



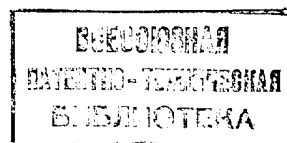
СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) **SU** (11) **1661752**

A1

(51) **G 06 F 7/00**

ГОСУДАРСТВЕННЫЙ КОМИТЕТ
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ
ПРИ ГИИТ СССР



ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 4722059/24

(22) 24.07.89

(46) 07.07.91. Бюл. № 25

(72) Л.Б.Авгуль, В.П.Супрун,

Н.А.Егоров и В.И.Костеневич

(53) 681.3 (088.8)

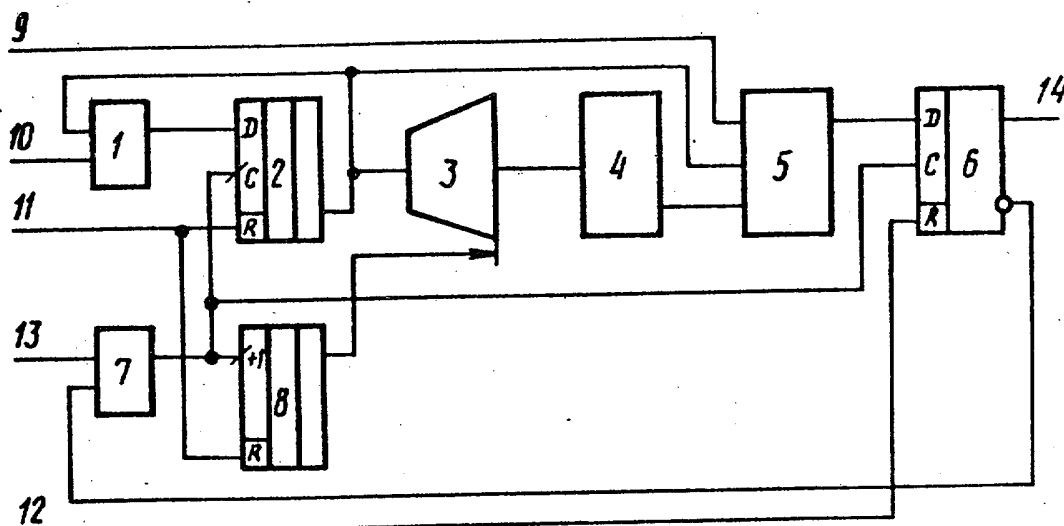
(56) Авторское свидетельство СССР
№ 1559337, кл. G 06 F 7/00, 1988.

Авторское свидетельство СССР
№ 1137457, кл. G 06 F 7/00, 1983.

(54) МНОГОФУНКЦИОНАЛЬНЫЙ ЛОГИЧЕСКИЙ
МОДУЛЬ

(57) Изобретение относится к вычис-
лительной технике и может быть ис-
пользовано при построении многофунк-
циональных устройств цифровой обра-
ботки информации и узлов промышлен-
ной автоматики. Цель изобретения -

упрощение многофункционального логи-
ческого модуля при вычислении сим-
метричных булевых функций. Модуль
содержит элемент ИЛИ 1, сдвиговый
регистр 2, демультиплексор 3, шиф-
ратор 4, блок 5 вычисления элемен-
тарных симметрических булевых функ-
ций, триггер 6, элемент И 7, счетчик
8. На информационные входы модуля
поступают двоичные переменные X_1 ,
 $X_2, \dots, X_n$, а в сдвиговый регистр
записывается двоичный код $\hat{f}(F)$ реали-
зуемой симметрической булевой функ-
ции $F = F(X_1, X_2, \dots, X_n)$. В те-
чение $n+1$ -тактового цикла на выходе
модуля реализуется значение функции
 F , определяемой двоичным кодом $\hat{f}(F)$.
1 з.п. ф-лы, 2 ил., 1 табл.



Фиг.1

(19) **SU** (11) **1661752** **A1**

Изобретение относится к вычислительной технике и может быть использовано при построении многофункциональных устройств цифровой обработки информации и узлов промышленной автоматизации.

Цель изобретения - упрощение многофункционального логического модуля при вычислении симметрических булевых функций (СБФ).

На фиг.1 представлена структурная схема многофункционального логического модуля; на фиг.2 - функциональная схема блока вычисления элементарных СБФ (ЭСБФ), входящего в состав модуля.

Модуль содержит элемент ИЛИ 1, сдвиговый регистр 2, демультимплексор 3, шифратор 4, блок 5 вычисления ЭСБФ, триггер 6, элемент И 7, счетчик 8, группу информационных входов 9, вход 10 настройки, первый 11 и второй 12 входы сброса модуля соответственно, тактовый вход 13 и выход 14.

Блок вычисления ЭСБФ содержит n элементов ИСКЛЮЧАЮЩЕЕ ИЛИ 15_1-15_n (n - количество аргументов реализуемых ЭСБФ), мажоритарный элемент 16 с порогом n , мажоритарный элемент 17 с порогом $n+1$ (имеет только инверсный выход), элемент И 18, n информационных входов 19_1-19_n , $n-1$ настроечных входов 20_1-20_{n-1} , вход 21 запрета и выход 22.

Модуль работает следующим образом.

Известно, что произвольная СБФ n аргументов $F = F(X_1, X_2, \dots, X_n)$ может быть однозначно представлена в виде

$$F = \bigvee_{i=0}^n F_n^i \vee \bigwedge_{i=1}^n F_n^i \vee \dots \bigwedge_{i=n}^n F_n^i, \quad (1)$$

где F_n^i - элементарные (или фундаментальные) СБФ от n аргументов, $\bigwedge_{i=1}^n \in \{0, 1\}$ и $i = 0, 1, \dots, n$. При этом

$$F_n^i = F_n^i(X_1, X_2) = \begin{cases} 1, \\ 0. \end{cases}$$

Таким образом, имеет место взаимнооднозначное соответствие между СБФ $F = F(X_1, X_2, \dots, X_n)$ и $(n+1)$ -разрядным двоичным кодом $\Pi(F) = (\pi_0, \pi_1, \dots, \pi_n)$.

Из (1) следует также, что

$$F = \bigvee_{K} F_n^K, \quad (2)$$

где дизъюнкция берется по всем K , для которых $\bigwedge_{k \in K} \pi_k = 1$.

Поскольку все ЭСБФ F_n^K взаимно ортогональны, то на заданном наборе двоичных переменных $X_1, X_2, \dots, X_n$ значение логической единицы принимает не более одной ЭСБФ из множества $\{F_n^K\}$. Следовательно, для вычисления произвольной СБФ $F = F(X_1, X_2, \dots, X_n)$ от n аргументов $X_1, X_2, \dots, X_n$, заданной посредством своего двоичного кода $\Pi(F)$, можно предложить следующую процедуру: вычислять последовательно значения ЭСБФ из $\{F_n^K\}$ на данном наборе аргументов $X_1, X_2, \dots, X_n$ до получения единичного значения и тогда $F = 1$ на данном наборе, либо до полного перебора всех ЭСБФ из $\{F_n^K\}$ и тогда $F = 0$, так как на данном наборе все слагаемые в (2) равны нулю.

Модуль содержит сдвиговый регистр 2, в который заносится код $\Pi(F)$ реализуемой СБФ $F = F(X_1, X_2, \dots, X_n)$. Через демультимплексор 3 значение старшего разряда регистра 2 - значение очередного компонента π_i двоичного кода $\Pi(F)$ управляет работой шифратора 4, формирующего код настройки блока 5 вычисления ЭСБФ: если $\pi_i = 1$, шифратор 4 настраивает блок 5 на вычисление функции F_n^i , значение которой на данном наборе фиксируется в триггере 6, если $\pi_i = 0$, работа шифратора 4 и последующих узлов блокируется. Затем в сдвиговом регистре 2 осуществляется кольцевой сдвиг информации на один разряд и производится аналогичный анализ компонента π_{i+1} . Работа продолжается либо до перебора всех компонент двоичного кода $\Pi(F)$, если $F = 0$ на данном наборе аргументов $X_1, X_2, \dots, X_n$, либо до получения единичного значения функции, запоминаемого в триггере 6. При этом сигнал с инверсного выхода триггера 6 запрещает поступление тактовых импульсов через элемент И 7 на вход модуля и свидетельствует о завершении вычисления значения F на данном наборе. Счетчик 8 в процессе работы указывает номер анализируемого компонента π_i .

Многофункциональный логический модуль работает следующим образом.

Перед началом работы подаются импульсы на первый 11 и второй 12 входы сброса модуля, которые обнуляют сдвиговый регистр 2, триггер 6 и счетчик 8. Далее осуществляется настройка модуля на реализацию СБФ

$F = F(X_1, X_2, \dots, X_n)$, заданной своим двоичным кодом $\tilde{F} = (\tilde{F}_0, \tilde{F}_1, \tilde{F}_2, \dots, \tilde{F}_n)$. В сопровождении серии из $n+1$ тактовых импульсов, подаваемых на тактовый вход 13, на вход 10 настройки поступают последовательно значения компонентов $\tilde{F}_0, \tilde{F}_1, \dots, \tilde{F}_n$. В результате этого в $(n+1)$ -м разрядном сдвиговом регистре 2 записывается код $\tilde{F}$, причем в старшем разряде, соединенном с входом демultipлексора 3, входом запрета блока 5 вычисления ЭСБФ и входом элемента ИЛИ 1 имеет место значение $\tilde{F}_0$, а в младшем — значение $\tilde{F}_n$. Модуль счета счетчика 8 равен $n+1$. Очевидно, разрядность счетчика равна $r = \lceil \log_2(n+1) \rceil$, поэтому после подачи указанной серии из $n+1$ тактовых импульсов счетчик 8 снова переходит в нулевое состояние, код которого указывает двоичный номер компонента $\tilde{F}_i$ вектора $\tilde{F}$, подключенного к входу демultipлексора 3. Поскольку счетный вход счетчика 8 соединен с тактовым входом сдвигового регистра 2, то всегда r -разрядный двоичный код i состояния счетчика 8 указывает номер компонента $\tilde{F}_i$, находящегося в данный момент в старшем разряде сдвигового регистра 2. После занесения кода $\tilde{F}$ в сдвиговый регистр 2 модуль готов к работе. На n шин группы информационных входов 9 модуля подаются двоичные аргументы $X_1, X_2, \dots, X_n$.

В течение $(n+1)$ -го тактового цикла подготовки модуля к работе триггер 6 находится в нулевом состоянии и единичный сигнал с его инверсного выхода, подаваемый на вход элемента И, разрешает прохождение тактовых импульсов с тактового входа 13 на тактовый вход сдвигового регистра 2 и счетный вход счетчика 8. Это обеспечивается тем, что во время занесения в сдвиговый регистр 2 кода $\tilde{F}$ на входе запрета блока 5 вычисления ЭСБФ присутствует сигнал старшего разряда предварительно обнуленного сдвигового регистра 2. Этот нулевой сигнал и запрещает формирование сигнала логической единицы на выходе блока 5 во время подготовки модуля к работе.

Демultipлексор 3 имеет $n+1$ выход (с нулевого по n -й), один инфор-

мационный вход, связанный с выходом старшего разряда сдвигового регистра 2, и $r = \lceil \log_2(n+1) \rceil$ адресных входов, на которые поступают сигналы с соответствующих разрядов счетчика 8. При этом при кольцевом сдвиге информации в сдвиговом регистре 2 в процессе вычисления СБФ $F = F(X_1, X_2, \dots, X_n)$ в старшем разряде последовательно присутствуют компоненты $\tilde{F}_0, \tilde{F}_1, \dots, \tilde{F}_n, \tilde{F}_0, \tilde{F}_1, \dots$ и, таким образом, значения этих компонентов в такой же последовательности имеют место на выходах демultipлексора 3: нулевом, первом, ..., n -м, нулевом, первом, и т.д.

Блок 5 вычисления ЭСБФ имеет n информационных входов, на которые с информационных входов 9 модуля поступают параллельно двоичные переменные $X_1, X_2, \dots, X_n$ реализуемой СБФ $F = F(X_1, X_2, \dots, X_n)$, и $n-1$ настроечных входов, на которые поступает код настройки $V' = (U_{1,1}, U_{1,2}, \dots, U_{1,n-1})$ с выходов шифратора 4, где $i = 0, 1, \dots, n$; $U_{i,s} \in \{0, 1\}$ и $s = 1, 2, \dots, n-1$. Функции шифратора 4 заключаются в преобразовании сигнала логической единицы на i -м входе ($i = 0, 1, \dots, n$) в $(n-1)$ -й разрядный вектор V^i на выходе. Следовательно, шифратор 4 имеет $n+1$ входов и $n-1$ выходов. Поскольку выходы демultipлексора 3 соединены с соответствующими входами шифратора 4, одновременно на входах шифратора может действовать не более одного сигнала логической единицы, поэтому всегда будет однозначное соответствие между сигналом $\tilde{F}_i = 1$, действующим на i -й вход шифратора 4, и вектором V^i , настраивающим блок 5 на вычисление ЭСБФ F^i_n ($i = 0, 1, \dots, n$).

В исходном состоянии в старшем разряде сдвигового регистра 2 находится компонент $\tilde{F}_0$ вектора $\tilde{F}$, счетчик 8 обнулен. На нулевом выходе демultipлексора 3 также присутствует сигнал $\tilde{F}_0$.

Если $\tilde{F}_0 = 1$, шифратор 4 формирует вектор настройки $V^0 = (U_{0,1}, U_{0,2}, \dots, U_{0,n-1})$, настраивающий блок 5 на реализацию функции F^0_n . Значение F^0_n на данном наборе аргументов $X_1, X_2, \dots, X_n$ с выхода блока 5 подается на информационный вход триггера 6. По переднему фронту первого син-

хромпульса рабочей серии, поступившего на тактовый вход 13 модуля, значение F_n^0 записывается в одноступенчатый триггер 6 (в качестве такого триггера может быть выбран, например, синхронный D-триггер). Если $F_n^0 = 1$ на данном наборе аргументов, а следовательно, $F = F(X_1, X_2, \dots, X_n) = 1$ на данном наборе, сигналом с инверсного выхода триггера 6 дальнейшее поступление синхроимпульсов на тактовый вход 13 блокируется. Значение реализуемой функции F равно логической единице и зафиксировано в триггере 6.

Если $\hat{\pi}_0 = 0$ (ЭСБФ F_n^0 не входит в (2) или $F_n^0 = 0$ на данном наборе), то по переднему фронту первого рабочего синхроимпульса нулевое состояние триггера 6 подтвердится, если $\hat{\pi}_0 = 1$, то значение старшего разряда сдвигового регистра 2, подаваемое на вход запрета блока 5, заблокирует его выходной сигнал.

В обоих случаях ($\hat{\pi}_0 = 0$ или $\hat{\pi}_0 = 1$) по заднему фронту первого синхроимпульса в сдвиговом регистре 2 произойдет кольцевой сдвиг информации (в старший разряд запишется значение $\hat{\pi}_1$, в младший $\hat{\pi}_0$), а состояние счетчика 8 увеличится на единицу и укажет номер компонента $\hat{\pi}_i$ вектора $\hat{\pi}(F)$, находящегося в данный момент в старшем разряде сдвигового регистра 2. При этом на первом выходе демультиплексора 3 присутствует сигнал $\hat{\pi}_i$ и при $\hat{\pi}_i = 1$ шифратор 4 настраивает блок 5 на реализацию функции F_i .

Если после подачи первого рабочего синхроимпульса триггер 6 остался в нулевом состоянии, подается следующий рабочий синхроимпульс, по переднему фронту которого в триггер 6 записывается значение F_n^1 на данном наборе аргументов $X_1, X_2, \dots, X_n$ (при $\hat{\pi}_1 = 1$), либо подтверждается нулевое состояние триггера 6 (при $\hat{\pi}_1 = 0$). По заднему фронту этого синхроимпульса также производится кольцевой сдвиг информации в сдвиговом регистре 2 и увеличение содержимого счетчика 8 на единицу. Если после второго такта триггер 6 остался в нулевом состоянии, подается третий синхроимпульс, по переднему фронту которого в триггер 6 заносится значение ЭСБФ F_n^2 на данном наборе (при

$\hat{\pi}_2 = 1$), либо подтверждается нулевое состояние триггера. По заднему фронту синхроимпульса также происходит кольцевой сдвиг информации в сдвиговом регистре 2 и увеличение содержимого счетчика 8 на единицу.

Вычисление значения СБФ $F = F(X_1, X_2, \dots, X_n)$ на данном наборе аргументов продолжается либо до фиксации в триггере 6 единичного значения (это указывает, что $F = 1$ на данном наборе аргументов), либо до окончания рабочей серии из $n+1$ тактовых импульсов, подаваемых на тактовый вход 13. В последнем случае значение F определяется состоянием триггера 6 после окончания $(n+1)$ -го тактового импульса.

Для вычисления значения заданной СБФ $F = F(X_1, X_2, \dots, X_n)$ на другом наборе аргументов на информационные входы 9 модуля подаются новые значения аргументов $X_1, X_2, \dots, X_n$, триггер 6 обнуляется подачей импульса на второй вход 12 сброса, а на тактовый вход 13 подается очередная рабочая серия из $n+1$ тактового импульса (последовательно импульс за импульсом либо до фиксации в триггере 6 единичного значения, либо до окончания всей серии импульсов).

Если значение $F = F(X_1, X_2, \dots, X_n)$ было вычислено "досрочно" (единичное значение F было зафиксировано в триггере 6 за $1 \leq t < n+1$ тактовых импульсов), нет необходимости заканчивать текущую серию из $n+1$ рабочих тактовых импульсов. Триггер 6 обнуляется, а новое значение аргументов $X_1, X_2, \dots, X_n$ сопровождается очередной серией тактовых импульсов. При этом, очевидно, начинается анализ не с компонента $\hat{\pi}_0$ (и соответствующей функции F_n^0 при $\hat{\pi}_0 = 1$), а с компонента $\hat{\pi}_t$ (и соответствующей функции F_n^t при $\hat{\pi}_t = 1$). Таким образом, среднее время вычисления СБФ $F = F(X_1, X_2, \dots, X_n)$ составит величину

$$T = \frac{(n+1)}{2} \Delta, \quad (3)$$

где Δ — период тактовых импульсов.

Коды настройки $V^i = (U_{i,1}, U_{i,2}, U_{i,3})$ и соответствующие им реализуемые ЭСБФ F_4^i ($i = 0, 1, \dots, 4$) для блока 5 (фиг. 2) при $n = 4$ представлены в таблице (значение сигнала на

входе 21 запрета равно при этом логической единице).

Как следует из фиг.1 и 2, на вход 21 запрета блока 5 вычисления ЭСБФ поступает значение компонента $\hat{a}_i$ с выхода старшего разряда сдвигового регистра 2. Очевидно, если $\hat{a}_i = 0$, то в соответствии с (2) значение F_i^n на данном наборе аргументов $X_1, X_2, \dots, X_n$ игнорируется вследствие появления нулевого сигнала на выходе 22 блока 5, соединенного с информационным входом триггера 6.

Структуру шифратора 4 рассмотрим на примере для $n = 4$. Для этого воспользуемся таблицей настроек блока 5.

Введем следующие обозначения: пусть a_i - сигнал на i -м выходе демultipлексора 3 (и соответственно на i -м входе шифратора 4), b_j - сигнал на j -м выходе шифратора 4, соединенного с настроечным входом 20; блока 5, где $i = 0, 1, \dots, 4$ и $j = 1, 2, 3$.

Как следует из таблицы настроек

$$\left. \begin{aligned} b_1 &= a_0 \vee a_1 \vee a_2, \\ b_2 &= a_2, \\ b_3 &= a_1 \vee a_2 \vee a_3. \end{aligned} \right\} \quad (4)$$

Таким образом, как следует из (4), при $n = 4$ шифратор 4 состоит из двух элементов ИЛИ на три входа каждый.

Если учесть ортогональность сигналов на входах шифратора 4, то

$$\left. \begin{aligned} b_1 &= \overline{a_3 \vee a_4}, \\ b_2 &= a_2, \\ b_3 &= \overline{a_0 \vee a_4}. \end{aligned} \right\} \quad (5)$$

Из (5) следует, что шифратор 4 может быть построен также на основе двух двухвходовых элементов ИЛИ-НЕ.

Дополнительным положительным эффектом изобретения является более высокое быстродействие.

Ф о р м у л а и з о б р е т е н и я

1. Многофункциональный логический модуль, содержащий счетчик, сдвиговый регистр и элемент ИЛИ, первый вход которого соединен с входом настройки модуля, выход старшего разряда сдвигового регистра соединен с вторым входом элемента ИЛИ, выход

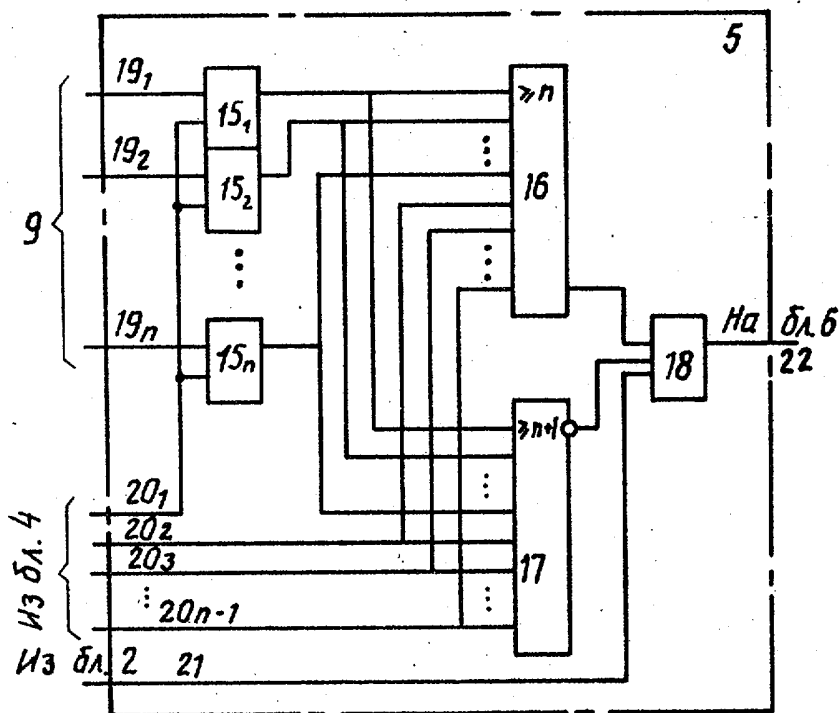
которого соединен с входом младшего разряда сдвигового регистра, вход установки в "0" которого соединен с входом установки в "0" счетчика и первым входом сброса модуля, отличающийся тем, что, с целью упрощения при вычислении симметрических булевых функций, содержит демultipлексор, шифратор, блок вычисления элементарных симметрических булевых функций, триггер и элемент И, тактовый вход модуля соединен с первым входом элемента И, второй вход которого соединен с инверсным выходом триггера, выход элемента И соединен со счетным входом счетчика, с тактовым входом триггера и с тактовым входом сдвигового регистра, выход старшего разряда которого соединен с входом запрета блока вычисления элементарных симметрических булевых функций и с информационным входом демultipлексора, адресные входы которого соединены с выходами счетчика, выходы демultipлексора соединены с входами шифратора, выходы которого соединены с настроечными входами блока вычисления элементарных симметрических булевых функций, информационные входы которого соединены с информационными входами модуля, а выход соединен с информационным входом триггера, вход установки в "0" которого соединен с вторым входом сброса модуля, а прямой выход соединен с выходом модуля.

2. Модуль по п.1, отличающийся тем, что блок вычисления элементарных симметрических булевых функций содержит элемент И, мажоритарный элемент с порогом n (n - количество аргументов реализуемых элементарных симметрических булевых функций), мажоритарный элемент с порогом $n+1$ и n элементов ИСКЛЮЧАЮЩЕЕ ИЛИ, первый вход i -го ($i = 1, 2, \dots, n$) из которых соединен с i -м информационным входом блока, второй вход соединен с первым настроечным входом блока, а выход соединен с i -м входом мажоритарного элемента с порогом n и i -м входом мажоритарного элемента с порогом $n+1$, $(n+j)$ -й ($j = 1, 2, \dots, n-2$) вход которого соединен с $(j+1)$ -м настроечным входом блока и $(n+j)$ -м входом мажоритарного элемента с порогом n , выход которого соединен с

первым входом элемента И, второй вход которого соединен с инверсным выходом мажоритарного элемента с порогом $n+1$,

вход запрета блока соединен с третьим входом элемента И, выход которого соединен с выходом блока.

Значения сигналов на входах							Реализуемая функция
информационных				настроечных			
19 ₁	19 ₂	19 ₃	19 ₄	20 ₁	20 ₂	20 ₃	
X ₁	X ₂	X ₃	X ₄	1	0	0	$F_4^0 = \bar{X}_1 \bar{X}_2 \bar{X}_3 \bar{X}_4$
				1	0	1	$F_4^1 = X_1 \bar{X}_2 \bar{X}_3 \bar{X}_4 \vee \bar{X}_1 X_2 \bar{X}_3 \bar{X}_4 \vee \bar{X}_1 \bar{X}_2 X_3 \bar{X}_4 \vee \bar{X}_1 \bar{X}_2 \bar{X}_3 X_4$
				1	1	1	$F_4^2 = \bar{X}_1 \bar{X}_2 X_3 X_4 \vee \bar{X}_1 X_2 \bar{X}_3 X_4 \vee \bar{X}_1 X_2 X_3 \bar{X}_4 \vee \bar{X}_1 \bar{X}_2 \bar{X}_3 X_4 \vee X_1 \bar{X}_2 \bar{X}_3 X_4 \vee X_1 \bar{X}_2 X_3 \bar{X}_4 \vee X_1 X_2 \bar{X}_3 \bar{X}_4$
				0	0	1	$F_4^3 = \bar{X}_1 X_2 X_3 X_4 \vee X_1 \bar{X}_2 X_3 X_4 \vee X_1 X_2 \bar{X}_3 X_4 \vee X_1 X_2 X_3 \bar{X}_4$
				0	0	0	$F_4^4 = X_1 X_2 X_3 X_4$



Фиг. 2

Составитель В.Сорокин

Редактор И.Горная

Техред М.Дидык

Корректор М.Самборская

Заказ 2124

Тираж 399

Подписное

ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР
113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-издательский комбинат "Патент", г. Ужгород, ул. Гагарина, 101