

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 24 年 5 月 24 日 (2012.5.24)

【公表番号】特表 2011-517855 (P2011-517855A)

【公表日】平成 23 年 6 月 16 日 (2011.6.16)

【年通号数】公開・登録公報 2011-024

【出願番号】特願 2011-504064 (P2011-504064)

【国際特許分類】

H 0 1 L 27/105 (2006.01)

H 0 1 L 45/00 (2006.01)

H 0 1 L 49/00 (2006.01)

H 0 1 L 51/05 (2006.01)

H 0 1 L 51/30 (2006.01)

H 0 1 L 27/28 (2006.01)

【F I】

H 0 1 L 27/10 4 4 8

H 0 1 L 45/00 A

H 0 1 L 45/00 Z

H 0 1 L 49/00 Z

H 0 1 L 29/28 1 0 0 B

H 0 1 L 29/28 2 5 0 E

H 0 1 L 27/10 4 4 9

【手続補正書】

【提出日】平成 24 年 3 月 30 日 (2012.3.30)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

メモリデバイスであって、

第 1 の伝導性電極と、

絶縁構造と、

前記絶縁構造の側壁上に置かれている抵抗率スイッチング素子と、

前記抵抗率スイッチング素子の上に置かれている第 2 の伝導性電極と、

前記第 1 の伝導性電極および前記第 2 の伝導性電極の間に前記抵抗率スイッチング素子と直列に置かれているステアリング素子と、を備え、

前記第 1 の伝導性電極から前記第 2 の伝導性電極への第 1 の方向における前記抵抗率スイッチング素子の高さは、第 1 の方向と直角をなす第 2 の方向における前記抵抗率スイッチング素子の厚さより大きく、

前記絶縁構造は、複数の絶縁レールを含み、

前記抵抗率スイッチング素子は、少なくとも 1 つの絶縁レールの側壁上に、隣接するレール間に露出した前記第 1 の伝導性電極と接触して置かれ、

複数の絶縁レールの間のスペースは、絶縁充填材料で充填され、

各絶縁レールは、前記抵抗率スイッチング素子が前記第 1 の伝導性電極および前記ステアリング素子と接触して置かれるように、前記第 1 の伝導性電極および前記ステアリング素子と部分的に位置ずれをしているデバイス。

**【請求項 2】**

請求項 1 記載のデバイスにおいて、

前記ステアリング素子は、前記抵抗率スイッチング素子より上に置かれているダイオードを含むデバイス。

**【請求項 3】**

請求項 1 記載のデバイスにおいて、

前記ステアリング素子は、前記抵抗率スイッチング素子より下に置かれているダイオードを含むデバイス。

**【請求項 4】**

請求項 1 記載のデバイスにおいて、

前記ステアリング素子は、伝導性障壁層によって前記抵抗率スイッチング素子から分離されている柱形 p i n ダイオードを含むデバイス。

**【請求項 5】**

請求項 1 記載のデバイスにおいて、

前記抵抗率スイッチング素子は、前記絶縁構造の側壁上に置かれている金属酸化物層であるデバイス。

**【請求項 6】**

請求項 1 記載のデバイスにおいて、

前記抵抗率スイッチング素子は、アンチヒューズ誘電体、ヒューズ、ポリシリコン記憶効果材料、金属酸化物またはスイッチャブルな複合金属酸化物材料、カーボンナノチューブ材料、グラフェンスイッチャブル抵抗材料、炭素抵抗率スイッチング材料、相変化材料、伝導性ブリッジ素子、電解質スイッチング材料、あるいはスイッチャブルなポリマー材料から選択されるデバイス。

**【請求項 7】**

請求項 1 記載のデバイスにおいて、

前記絶縁構造は、絶縁層内のトレンチを含み、  
前記抵抗率スイッチング素子は、前記絶縁層内のトレンチの側壁上に、前記絶縁層内のトレンチの底に露出した前記第 1 の伝導性電極と接触して置かれているデバイス。

**【請求項 8】**

請求項 1 記載のデバイスにおいて、

前記抵抗率スイッチング素子は、10 nm より大きい高さと 10 nm より小さい厚さとを有するデバイス。

**【請求項 9】**

メモリデバイスを作る方法であって、

第 1 の伝導性電極を形成するステップと、

前記第 1 の伝導性電極の上に絶縁構造を形成するステップと、

前記絶縁構造の側壁上に抵抗率スイッチング素子を形成するステップと、

前記抵抗率スイッチング素子の上に第 2 の伝導性電極を形成するステップと、

前記第 1 の伝導性電極および前記第 2 の伝導性電極の間に前記抵抗率スイッチング素子と直列にステアリング素子を形成するステップと、を含み、

前記第 1 の伝導性電極から前記第 2 の伝導性電極への第 1 の方向における前記抵抗率スイッチング素子の高さは、第 1 の方向と直角をなす第 2 の方向における前記抵抗率スイッチング素子の厚さより大きく、

前記ステアリング素子は、前記抵抗率スイッチング素子より上または下に置かれているダイオードを含む方法。

**【請求項 10】**

請求項 9 記載の方法において、

前記抵抗率スイッチング素子の上に絶縁層を形成するステップと、

前記第 2 の伝導性電極を形成するステップの前に、前記抵抗率スイッチング素子の上面を露出させるために前記絶縁層を平坦化するステップと、

をさらに含む方法。

【請求項 1 1】

請求項 9 記載の方法において、

前記抵抗率スイッチング素子は、

前記絶縁構造の側壁上に置かれている金属酸化物層であるか、または

アンチヒューズ誘電体、ヒューズ、ポリシリコン記憶効果材料、金属酸化物またはス  
イッチャブルな複合金属酸化物材料、カーボンナノチューブ材料、グラフェンスイッチャ  
ブル抵抗材料、炭素抵抗率スイッチング材料、相変化材料、伝導性ブリッジ素子、電解質  
スイッチング材料、あるいはスイッチャブルなポリマー材料から選択されるか、または

金属または金属窒化物層を前記絶縁構造の側壁上に堆積させ、金属酸化物または金属  
オキシニトリド層を形成するために金属または金属窒化物層を酸化させることによって形  
成された金属酸化物を含む方法。

【請求項 1 2】

請求項 9 記載の方法において、

前記絶縁構造を形成するために絶縁層内にトレンチを、前記第 1 の伝導性電極が前記ト  
レンチの底で露出され、かつ前記抵抗率スイッチング素子が前記トレンチの絶縁構造の側  
壁上に前記第 1 の伝導性電極と接触して形成されるように、形成するステップをさらに含  
む方法。

【請求項 1 3】

請求項 9 記載の方法において、

絶縁レール形の絶縁構造を形成するために絶縁層を、前記第 1 の伝導性電極が隣接する  
絶縁レール間で露出され、かつ前記抵抗率スイッチング素子が少なくとも 1 つの絶縁レー  
ルの側壁上に前記第 1 の伝導性電極と接触して形成されるように、パターンニングするス  
テップと、

前記絶縁レール間のスペースを絶縁充填材料で充填するステップと、  
をさらに含む方法。

【請求項 1 4】

請求項 9 記載の方法において、

柱形絶縁構造を形成するために絶縁層を、前記抵抗率スイッチング素子が前記柱形絶縁  
構造の側壁上に形成されるように、パターンニングするステップをさらに含む方法。

【請求項 1 5】

メモリデバイスであって、

第 1 の伝導性電極と、

絶縁構造と、

前記絶縁構造の側壁上に置かれている抵抗率スイッチング素子と、

前記抵抗率スイッチング素子の上に置かれている第 2 の伝導性電極と、

前記第 1 の伝導性電極および前記第 2 の伝導性電極の間に前記抵抗率スイッチング素子  
と直列に置かれているステアリング素子と、を備え、

前記第 1 の伝導性電極から前記第 2 の伝導性電極への第 1 の方向における前記抵抗率ス  
イッチング素子の高さは、第 1 の方向と直角をなす第 2 の方向における前記抵抗率ス  
イッチング素子の厚さより大きく、

前記ステアリング素子は、前記抵抗率スイッチング素子より上または下に置かれている  
ダイオードを含むデバイス。

【請求項 1 6】

請求項 1 5 記載のデバイスにおいて、

前記ステアリング素子は、伝導性障壁層によって前記抵抗率スイッチング素子から分離  
されている柱形 p i n ダイオードを含み、

前記抵抗率スイッチング素子は、前記絶縁構造の側壁上に置かれている金属酸化物層で  
あるデバイス。

【請求項 1 7】

請求項 1 5 記載のデバイスにおいて、

前記抵抗率スイッチング素子は、アンチヒューズ誘電体、ヒューズ、ポリシリコン記憶効果材料、金属酸化物またはスイッチャブルな複合金属酸化物材料、カーボンナノチューブ材料、グラフェンスイッチャブル抵抗材料、炭素抵抗率スイッチング材料、相変化材料、伝導性ブリッジ素子、電解質スイッチング材料、あるいはスイッチャブルなポリマー材料から選択されるデバイス。

【請求項 1 8】

請求項 1 5 記載のデバイスにおいて、

前記絶縁構造は、絶縁層内のトレンチを含み、

前記抵抗率スイッチング素子は、前記絶縁層内のトレンチの側壁上に、前記絶縁層内のトレンチの底に露出した前記第 1 の伝導性電極と接触して置かれているデバイス。

【請求項 1 9】

請求項 1 5 記載のデバイスにおいて、

前記絶縁構造は、複数の絶縁レールを含み、

前記抵抗率スイッチング素子は、少なくとも 1 つの絶縁レールの側壁上に、隣接するレール間に露出した前記第 1 の伝導性電極と接触して置かれ、

複数の絶縁レールの間のスペースは、絶縁充填材料で充填され、

各絶縁レールは、前記抵抗率スイッチング素子が前記第 1 の伝導性電極および前記ステアリング素子と接触して置かれるように、前記第 1 の伝導性電極および前記ステアリング素子と部分的に位置ずれをしているデバイス。

【請求項 2 0】

請求項 1 5 記載のデバイスにおいて、

前記絶縁構造は、絶縁柱を含み、前記抵抗率スイッチング素子が前記絶縁柱の少なくとも 1 つの側壁上に形成されるデバイス。

【請求項 2 1】

請求項 1 5 記載のデバイスにおいて、

前記抵抗率スイッチング素子は、10 nm より大きい高さと 10 nm より小さい厚さを有するデバイス。

【請求項 2 2】

メモリデバイスを作る方法であって、

第 1 の伝導性電極を形成するステップと、

前記第 1 の伝導性電極の上に少なくとも 1 つのダイオード層を形成するステップと、

前記ダイオード層の上に少なくとも 1 つの絶縁テンプレート層を形成するステップと、

前記絶縁テンプレート層の上にハードマスクパターンを形成するステップと、

前記ハードマスクパターンをマスクとして用いて前記絶縁テンプレート層をエッチングするステップと、

絶縁柱を含む絶縁構造を形成するために前記絶縁テンプレート層の幅を減少させるステップと、

抵抗率スイッチング素子を形成するために前記絶縁柱の側壁の上に金属酸化物抵抗率スイッチング層を堆積させるステップと、

ダイオードステアリング素子を含む柱状ダイオードを形成するために前記ハードマスクパターンをマスクとして用いて前記ダイオード層をエッチングするステップと、

前記金属酸化物抵抗率スイッチング層と接触する第 2 の伝導性電極を形成するステップと、

を含む方法。

【請求項 2 3】

請求項 2 2 記載の方法において、

前記幅を減少させるステップは、前記ハードマスクパターンをアンダーカットするために前記絶縁テンプレート層の等方性エッチングによって実行され、

前記金属酸化物抵抗率スイッチング層を堆積させるステップは、原子層堆積法によって

実行される方法。

【請求項 24】

請求項 23 記載の方法において、

前記第 2 の伝導性電極を形成するステップの前に、前記金属酸化物抵抗率スイッチング層と接触している前記ハードマスクパターンを除去するステップをさらに含む方法。