

ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, WS, ZA, ZM, ZW。

- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告 (条约第21条(3))。
-

(57) 摘要: 本申请提供一种阵列基板及显示面板, 该阵列基板内设有多个槽型的遮光图案, 氧化物半导体层对应形成于遮光图案的槽体内, 相较于通过增大平面面积来改善遮光图案的遮光效果, 槽型的遮光图案在阵列基板上的正投影区域的面积更小, 使得阵列基板上可透光的区域的面积更大, 从而提高阵列基板的开口率。

阵列基板及显示面板

技术领域

[0001] 本发明涉及显示技术领域，尤其涉及一种阵列基板及显示面板。

背景技术

[0002] 随着可穿戴设备技术的发展以及在目前电池领域技术未得到显著突破的背景下，人们对于显示设备的功耗要求越来越高。目前用于驱动薄膜晶体管和开关薄膜晶体管的低温多晶硅（low temperature poly-silicon, LTPS）技术由于其功耗较低的特点，仍为主流技术趋势。但是由于LTPS载流子迁移率较大，存在漏电流较高的问题，因此低温多晶氧化物（low temperature polycrystalline-si oxide, LTPO）技术应运而生，其结合了LTPS和氧化物两者的优点，可在提升显示设备响应速度的同时，降低显示设备的功耗。

发明概述

技术问题

[0003] 如图1所示，图1为现有技术中采用低温多晶氧化物技术的阵列基板的膜层结构示意图，该阵列基板包括依次层叠设置的基底101、缓冲层102、第一栅极绝缘层103、层间介质层104、第二栅极绝缘层105、钝化保护层106和平坦层107，该阵列基板内还设有多个栅极驱动薄膜晶体管11和像素驱动薄膜晶体管12，栅极驱动薄膜晶体管11和像素驱动薄膜晶体管12的半导体层分别为多晶硅半导体层111和氧化物半导体层121。由于氧化物半导体层121对光和氢比较敏感，对于底栅结构的像素驱动薄膜晶体管12，需要通过增大位于氧化物半导体层121底部的第一栅极122的面积来提升遮光的效果。如图2所示，图2为现有技术中像素驱动薄膜晶体管12的平面结构示意图，第一栅极122与扫描线14位于同一层，第一源极123和第一漏极124与数据线15位于同一层，为获得较好的遮光效果，第一栅极122需要超出氧化物半导体层121的边缘至少 $3\mu\text{m}$ ，但这样会导致阵列基板的开口率降低。另一方面，栅极驱动薄膜晶体管11的第二栅极112与第二源极113和第二漏极114之间需要通过层间介质层115绝缘隔开，层间介质层115中含氢量

较高，在制备氧化物半导体层121时，层间介质层115中的氢会扩散至氧化物半导体层121中，造成氧化物半导体层121的电性异常，导致像素驱动薄膜晶体管12的稳定性降低。

[0004] 综上，现有阵列基板存在通过增大栅极的面积来改善遮光效果导致的开口率降低的问题。故，有必要提供一种阵列基板及显示面板来改善这一缺陷。

问题的解决方案

技术解决方案

[0005] 本申请实施例提供一种阵列基板及其制作方法、显示面板，用于解决现有阵列基板存在通过增大栅极的面积来改善遮光效果导致的开口率降低的问题。

[0006] 本申请实施例提供一种阵列基板，所述阵列基板包括阵列分布的多个薄膜晶体管，所述多个薄膜晶体管中的至少部分薄膜晶体管包括氧化物半导体层；

[0007] 其中，所述阵列基板内设有多个槽型的遮光图案，所述氧化物半导体层对应形成于所述遮光图案的槽体内。

[0008] 根据本申请一实施例，所述阵列基板包括衬底基板和设置于所述衬底基板上的第一绝缘层，所述第一绝缘层上设有多个过孔，所述遮光图案设置于所述过孔内。

[0009] 根据本申请一实施例，所述遮光图案包括底面遮光层和侧面遮光层，所述底面遮光层平铺设置于所述过孔的底部，所述底面遮光层朝向所述第一绝缘层远离所述衬底基板的一侧延伸形成所述侧面遮光层，所述侧面遮光层与所述底面遮光层形成一定夹角。

[0010] 根据本申请一实施例，所述侧面遮光层与所述底面遮光层形成的夹角为直角或钝角。

[0011] 根据本申请一实施例，所述夹角的度数大于 90° ，小于或等于 140° 。

[0012] 根据本申请一实施例，所述侧面遮光层的顶部与所述底面遮光层之间的距离，大于所述氧化物半导体层远离所述衬底基板的一侧与所述底面遮光层之间的距离。

[0013] 根据本申请一实施例，所述遮光层在所述衬底基板上的正投影区域覆盖所述氧化物半导体层在所述衬底基板上的正投影区域。

- [0014] 根据本申请一实施例，所述多个薄膜晶体管包括第一薄膜晶体管，所述第一薄膜晶体管的有源层为所述氧化物半导体层，所述遮光图案为所述第一薄膜晶体管的栅极，所述第一薄膜晶体管形成于所述过孔内。根据本申请一实施例，所述阵列基板包括第二绝缘层，所述第二绝缘层覆盖所述第一绝缘层和所述遮光图案，所述氧化物半导体层设置于所述第二绝缘层位于所述过孔内的部分上；
- [0015] 所述第一薄膜晶体管包括第一源极和第一漏极，所述第一源极和所述第一漏极设置于所述第二绝缘层远离所述第一绝缘层的一侧上，并分别延伸至所述过孔内与所述氧化物半导体层连接。
- [0016] 根据本申请一实施例，所述多个薄膜晶体管还包括多个第二薄膜晶体管，所述第二薄膜晶体管的有源层为多晶硅半导体层；
- [0017] 所述第一绝缘层包括层叠设置于所述衬底基板上的第一栅极绝缘层和层间介质层，所述多晶硅半导体层设置于所述第一栅极绝缘层与所述衬底基板之间，所述第二薄膜晶体管的栅极设置于所述第一栅极绝缘层与所述层间介质层之间。
- [0018] 根据本申请一实施例，多个所述过孔形成于所述层间介质层上，所述过孔的底部朝向所述衬底基板延伸，所述第二绝缘层覆盖所述层间介质层和所述遮光图案。
- [0019] 根据本申请一实施例，所述第二薄膜晶体管包括第二源极和第二漏极，所述遮光图案与所述第二源极和所述第二漏极由同层金属材料制成。
- [0020] 根据本申请一实施例，所述第二薄膜晶体管包括第二源极和第二漏极，所述第二源极和所述第二漏极与所述第一源极由同层金属材料制成。
- [0021] 本申请实施例还提供一种显示面板，所述显示面板包括阵列基板，所述阵列基板包括阵列分布的多个薄膜晶体管，所述多个薄膜晶体管中的至少部分薄膜晶体管包括氧化物半导体层；
- [0022] 其中，所述阵列基板内设有多个槽型的遮光图案，所述氧化物半导体层对应形成于所述遮光图案的槽体内。
- [0023] 根据本申请一实施例，所述阵列基板包括衬底基板和设置于所述衬底基板上的第一绝缘层，所述第一绝缘层上设有多个过孔，所述遮光图案设置于所述过孔内。

- [0024] 根据本申请一实施例，所述遮光图案包括底面遮光层和侧面遮光层，所述底面遮光层平铺设置于所述过孔的底部，所述底面遮光层朝向所述第一绝缘层远离所述衬底基板的一侧延伸形成所述侧面遮光层，所述侧面遮光层与所述底面遮光层形成一定夹角。
- [0025] 根据本申请一实施例，所述侧面遮光层与所述底面遮光层形成的夹角为直角或钝角。
- [0026] 根据本申请一实施例，所述夹角的度数大于 90° ，小于或等于 140° 。
- [0027] 根据本申请一实施例，所述侧面遮光层的顶部与所述底面遮光层之间的距离，大于所述氧化物半导体层远离所述衬底基板的一侧与所述底面遮光层之间的距离。
- [0028] 根据本申请一实施例，所述遮光层在所述衬底基板上的正投影区域覆盖所述氧化物半导体层在所述衬底基板上的正投影区域。
- [0029] 本申请实施例还提供一种阵列基板的制作方法，包括：
- [0030] 提供衬底基板，在所述衬底基板上形成第一绝缘层；
- [0031] 在所述第一绝缘层上形成多个过孔；
- [0032] 在所述过孔内形成多个槽型的遮光图案；
- [0033] 在所述第一绝缘层远离所述衬底基板的一侧形成第二绝缘层，所述第二绝缘层覆盖所述遮光图案；
- [0034] 在所述过孔内形成氧化物半导体层，所述氧化物半导体层位于所述遮光图案的槽体内；以及
- [0035] 在所述第二绝缘层上形成源极和漏极。

发明的有益效果

有益效果

- [0036] 本揭示实施例的有益效果：本申请实施例提供一种阵列基板及其制作方法、显示面板，所述阵列基板包括阵列分布的多个薄膜晶体管，所述多个薄膜晶体管中的至少部分薄膜晶体管包括氧化物半导体层，所述阵列基板内设有多个槽型的遮光图案，所述氧化物半导体层对应形成于所述遮光图案的槽体内，利用槽型遮光图案的底面可以遮挡由阵列基板的入光侧照射至氧化物半导体层底部的

光线，利用槽型遮光图案的侧面可以遮挡由阵列基板的入光侧照射至氧化物半导体层侧面的光线，以此通过将遮光图案设置为槽型来改善遮光图案的遮光效果，相较于通过增大平面面积来改善遮光图案的遮光效果，槽型的遮光图案在阵列基板上的正投影区域的面积更小，使得阵列基板上可透光的区域的面积更大，从而提高阵列基板的开口率。

对附图的简要说明

附图说明

[0037] 为了更清楚地说明实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作简单介绍，显而易见地，下面描述中的附图仅仅是揭示的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

[0038] 图1为现有技术的阵列基板的膜层结构示意图；

[0039] 图2为现有技术的像素驱动薄膜晶体管的平面结构示意图；

[0040] 图3为本申请实施例提供的显示面板的平面结构示意图；

[0041] 图4为本申请实施例提供的第一种阵列基板沿A-A`方向的截面结构示意图；

[0042] 图5为本申请实施例提供的第二种阵列基板沿A-A`方向的截面结构示意图；

[0043] 图6为本申请实施例提供的第三种阵列基板沿A-A`方向的截面结构示意图；

[0044] 图7为本申请实施例提供的第四种阵列基板沿A-A`方向的截面结构示意图；

[0045] 图8为本申请实施例提供的阵列基板的制作方法的流程示意图；

[0046] 图9A至图9H为本申请实施例提供的阵列基板在制作过程中的结构示意图。

发明实施例

本发明的实施方式

[0047] 以下各实施例的说明是参考附加的图示，用以例示本揭示可用以实施的特定实施例。本揭示所提到的方向用语，例如[上]、[下]、[前]、[后]、[左]、[右]、[内]、[外]、[侧面]等，仅是参考附加图式的方向。因此，使用的方向用语是用以说明及理解本揭示，而非用以限制本揭示。在图中，结构相似的单元是用以相同标号表示。

[0048] 下面结合附图和具体实施例对本揭示做进一步的说明：

[0049] 本申请实施例提供一种阵列基板，下面结合图3至图7进行详细说明。

[0050] 如图3和图4所示，图3为本申请实施例提供的阵列基板的平面结构示意图，图4为本申请实施例提供的第一种阵列基板沿A-A'方向的截面结构示意图，所述阵列基板包括阵列分布的多个薄膜晶体管，所述多个薄膜晶体管中的至少部分薄膜晶体管包括氧化物半导体层231，所述阵列基板内还设有多个槽型的遮光图案21，所述氧化物半导体层231对应形成于所述遮光图案21的槽体内。

[0051] 需要说明的是，所述阵列基板可以与液晶层、彩膜基板以及背光模组构成液晶显示面板，背光模组位于阵列基板的入光侧，所述氧化物半导体层231位于所述遮光图案21远离所述阵列基板的入光侧的一侧。当背光模组发出的光线通过阵列基板的入光侧进入至所述阵列基板的内部时，槽型的遮光图案21的底部和侧面可分别阻挡照射至所述氧化物半导体层231底部和侧面的光线，以此保证所述氧化物半导体层231的电学性能。

[0052] 在一实施例中，如图4所示，所述阵列基板包括衬底基板20和设置于所述衬底基板上的第一绝缘层22，所述第一绝缘层22上设有多个过孔V1，所述遮光图案21设置于所述过孔V1内。

[0053] 所述遮光图案21包括底面遮光层211和侧面遮光层212，所述底面遮光层211平铺设置于所述过孔V1的底部，所述底面遮光层211朝向所述第一绝缘层22远离所述衬底基板20的一侧延伸形成所述侧面遮光层212，所述侧面遮光层212与所述底面遮光层211形成一定夹角。

[0054] 具体地，所述衬底基板20包括层叠设置的基板201和缓冲层202组成，所述基板201优选为玻璃基板。所述阵列基板内设有多个第一薄膜晶体管23，所述第一薄膜晶体管23的有源层为所述氧化物半导体层231，所述第一薄膜晶体管23形成于所述过孔V1内，所述第一薄膜晶体管23还包括第一源极232和第一漏极233。所述遮光图案21由金属材料制成，底面遮光层211可以防止光线从氧化物半导体层231的底面照射至所述氧化物半导体层231，侧面遮光层212可以防止光线从氧化物半导体层231的侧面照射至所述氧化物半导体层231。此外，所述遮光图案21还可以作为所述第一薄膜晶体管23的栅极，以形成底栅结构的氧化物薄膜晶体管。所述衬底基板20上还设有第二绝缘层223，所述第二绝缘层223覆盖所述第

一绝缘层22所述遮光图案21，所述氧化物半导体层231位于所述第二绝缘层223位于所述过孔V1内的部分上，所述第一源极232和所述第一漏极233均设置于所述第二绝缘层223远离所述衬底基板20的一侧上，并分别延伸至所述过孔V1内与所述氧化物半导体层231连接，形成欧姆接触。

[0055] 所述侧面遮光层212与所述底面遮光层211形成的夹角为钝角。如图4所示，过孔V1的尺寸由侧面遮光层212靠近底面遮光层211的一侧至远离底面遮光层211的一侧逐渐增大，以此便于后续第二绝缘层223、氧化物半导体层231、第一源极232以及第一漏极233的形成。本实施例通过增设向外侧倾斜的侧面遮光层212，不仅可以改善遮光图案21对氧化物半导体层231的遮光效果，相较于现有技术通过增大遮光图案的平面面积来改善遮光效果，本实施例采用槽型的遮光图案21，在与现有技术遮光图案增大相同面积的情况下，本实施例中的遮光图案21在衬底基板20上的正投影区域的面积更小，对于需要穿透阵列基板的光线的遮挡就更少，使得阵列基板具有更大的开口率。

[0056] 所述侧面遮光层212与所述底面遮光层211形成的夹角的度数范围为 $90^{\circ} \sim 140^{\circ}$ 。

[0057] 具体地，在本申请实施例中，所述侧面遮光层212与所述底面遮光层211形成的夹角的度数为 110° 。在实际应用中，可以根据需求采用其他的角度设计，而并不限于上述的 110° ，也可以是 100° 、 130° 或者 140° 等，除上述的钝角以外，所述侧面遮光层212与所述底面遮光层211形成的夹角还可以为直角。

[0058] 在一实施例中，如图4所示，所述侧面遮光层212的顶部与所述底面遮光层211之间的距离，大于所述氧化物半导体层231远离所述衬底基板20的一侧表面与所述底面遮光层211之间的距离。可以想到的是，当侧面遮光层212的高度要大于底面遮光层211的高度时，即使是从水平方向照射至氧化物半导体层231的光线也可以被侧面遮光层212所阻挡，从而进一步提高遮光图案21的遮光效果。在本实施例中，所述侧面遮光层212的顶部与所述第一绝缘层22远离所述衬底基板20的一侧表面齐平。在其他一些实施例中，侧面遮光层212的顶部也可以低于第一绝缘层22远离所述衬底基板20的一侧表面，或者延伸至所述第一绝缘层22远离所述衬底基板20一侧的表面上，其同样也可以获得与上述实施例相同的遮光效

果，此处不做限制。

[0059] 进一步的，所述遮光图案21在所述衬底基板20上的正投影区域覆盖所述氧化物半导体层231在所述衬底基板20上的正投影区域。可以理解的是，氧化物半导体层231位于所述遮光图案21远离衬底基板20的一侧，当所述遮光图案21在衬底基板20上的正投影区域覆盖所述氧化物半导体层231在所述衬底基板20上的正投影区域时，可以有效遮挡背光模组通过衬底基板20照射至氧化物半导体层231的光线。

[0060] 在一实施例中，如图3至图7所示，其中图5为本申请实施例提供的第二种阵列基板沿A-A'方向的截面结构示意图，图6为本申请实施例提供的第三种阵列基板沿A-A'方向的截面结构示意图，图7为本申请实施例提供的第四种阵列基板沿A-A'方向的截面结构示意图。所述阵列基板还包括多个第二薄膜晶体管24，所述第二薄膜晶体管24的有源层为多晶硅半导体层241，所述阵列基板包括透光区A1和围绕所述透光区A1的非透光区A2，所述第一薄膜晶体管23设置于所述透光区A1内，所述第二薄膜晶体管24设置于所述非透光区A2内。

[0061] 需要说明的是，所述阵列基板的透光区A1对应显示面板的显示区，非透光区A2对应显示面板的非显示区，位于所述显示区A1的至少一侧非显示区A2内设有栅极驱动电路（gate driver on array, GOA），所述第二薄膜晶体管24应用于所述栅极驱动电路中。所述第二薄膜晶体管24为低温多晶硅薄膜晶体管，具有载流子迁移率高、充电快、开关速度快以及功耗较低的优点，应用于GOA电路中，可以有效提高GOA电路的响应速度，并降低阵列基板的功耗。第一薄膜晶体管23设置于显示区A2内，并被应用于子像素驱动电路中，第一薄膜晶体管23为氧化物薄膜晶体管，具有良好的均一性以及漏电流较低的特点，可进一步降低阵列基板的功耗。

[0062] 进一步的，所述第一绝缘层22包括层叠设置于所述衬底基板20上的第一栅极绝缘层221和层间介质层222，所述第二薄膜晶体管24还包括栅极242，所述多晶硅半导体层241设置于所述第一栅极绝缘层221与所述衬底基板20之间，所述栅极242设置于所述第一栅极绝缘层221与所述层间介质层222之间。

[0063] 所述多个过孔V1形成于所述层间介质层222上，所述过孔V1的底部朝向所述衬

底基板20延伸，所述第二绝缘层223覆盖所述层间介质层222和所述遮光图案21。

[0064] 具体地，所述层间介质层222为氮化硅和氧化硅材料形成的叠层结构，其中氮化硅膜层位于氧化硅膜层与所述第一栅极绝缘层221之间，所述氮化硅膜层中含有较多的氢，所述氧化硅膜层则用于将所述氮化硅膜层与所述氧化物半导体层231隔开，防止所述氮化硅膜层中的氢扩散至所述氧化物半导体层231中。

[0065] 在一实施例中，如图5所示，所述遮光图案21的底面遮光层211位于衬底基板20靠近所述第一栅极绝缘层221的一侧表面，侧面遮光层212由所述底面遮光层211的边缘沿所述衬底基板20至所述层间介质层222的方向延伸形成，所述侧面遮光层212的顶部与所述层间介质层222远离所述衬底基板20的一侧表面齐平，所述氧化物半导体层231与所述底面遮光层211之间的距离小于所述侧面遮光层212的顶部与所述底面遮光层211之间的距离。槽型的遮光图案21对所述氧化物半导体层231构成半包围，将所述层间介质层222限制在所述遮光图案21的外围，在形成所述氧化物半导体层231时，可以避免所述层间介质层222中的氢扩散至所述氧化物半导体层231，以此保证氧化物半导体层231的电学性能，从而提高第一薄膜晶体管23的稳定性。

[0066] 进一步的，所述第二薄膜晶体管24包括第二源极243和第二漏极244，所述遮光图案21与所述第二源极243和所述第二漏极244由同层金属材料制成。

[0067] 如图5所示，所述第二源极243和所述第二漏极244设置于层间介质层222远离第一栅极绝缘层221的一侧上，遮光图案21设置在形成于所述层间介质层222上的过孔V1内。

[0068] 可以理解的是，在形成所述遮光图案21、所述第二源极243和第二漏极244之前，可以通过一次刻蚀制程，同时形成多个贯穿所述层间介质层222和所述第一栅极绝缘层221的过孔V1，该多个过孔V1分别暴露出所述多晶硅半导体层241的源极接触区域和漏极接触区域以及衬底基板20靠近所述第一栅极绝缘层221的一侧表面，槽型的遮光图案21可在暴露出衬底基板20表面的过孔V1内形成。所述栅极241由第一金属层M1通过图案化工艺制备而成，所述遮光图案21与所述第二源极243、所述第二漏极244由第二金属层M2通过图案化工艺制备而成，所述第一

源极232与所述第一漏极233、与所述第一源极232同层设置的触控信号线234以及信号走线235由第三金属层M3通过图案化工艺制备而成。

[0069] 具体地，所述第二金属层M2为Mo、Al和Ti形成的金属叠层走线结构，所述第一金属层M1、所述第三金属层M3与所述第二金属层M2的材料以及结构相同。在其他一些实施例中，所述第二金属层M2还可以为Mo、Al和Ti等材料中的任意一种所形成的金属走线结构，或者第二金属层M2的材料也可以为Mo、Al和Ti中两种或两种以上材料所形成的合金。所述第一金属层M1与所述第二金属层M2和所述第三金属层M3的材料以及结构可以相同，也可以不同。所述第一金属层M1与所述第二金属层M2和所述第三金属层M3的材料以及结构可以根据实际情况进行设定，此处不做限制。

[0070] 在一实施例中，所述如图6所示，所述第一源极232与所述第一漏极233、所述第二源极243和所述第二漏极244由同层金属材料制成。所述栅极242由第一金属层M1通过图案化工艺制备而成，所述遮光图案21由第二金属层M2通过图案化工艺制备而成，所述第一源极232与所述第一漏极233、所述第二源极243、所述第二漏极244、与所述第一源极232同层设置的触控信号线234由第三金属层M3通过图案化工艺制备而成。

[0071] 需要说明的是，由于遮光图案21与所述第二源极243和所述第二漏极244由不同层金属材料制备而成，遮光图案21所在的过孔V1的深度则可以根据需求进行设定。如图6所示，过孔V1的底部仅贯穿所述层间介质层222，并暴露出第一栅极绝缘层221远离所述衬底基板20的一侧表面，底面遮光层211形成于所述第一栅极绝缘层221远离所述衬底基板20的一侧表面，侧面遮光层212由所述底面遮光层211的边缘延伸至与所述层间介质层222远离所述衬底基板20的一侧表面保持齐平。在其他一些实施例中，遮光图案21所在的过孔V1的底部可以如图4所示，贯穿所述层间介质层222和所述第一栅极绝缘层221；或者，过孔V1的底部还可以位于所述层间介质层222中，并不贯穿所述层间介质层222；又或者，过孔V1的底部还可以位于所述第一栅极绝缘层221中，并不贯穿所述第一栅极绝缘层221。遮光图案21所在的过孔V1的深度可以根据实际需求进行设定，此处不做限制。

。

[0072] 在一实施例中，如图7所述，所述遮光图案21与所述第二源极243由不同层金属材料制成，所述第二源极243与所述第一源极232由不同层金属材料制成。

[0073] 具体地，所述栅极242由第一金属层M1通过图案化工艺制备而成，所述第二源极243和所述第二漏极244由第二金属层M2通过图案化工艺制备而成。所述阵列基板还包括第三绝缘层225，所述第三绝缘层225位于所述第二绝缘层223远离所述衬底基板20的一侧上，第二源极243和第二漏极244设置于层间介质层222上，过孔V1形成于第二绝缘层223上，第一源极232和第一漏极233设置于第三绝缘层225上。可以理解的是，在形成所述第二绝缘层223后，通过刻蚀所述第二绝缘层223，形成多个过孔V1，然后在第二绝缘层223上沉积第三金属层M3，再通过图案化工艺形成所述遮光图案21。所述第一源极232和第一漏极233以及与所述第一源极232同层设置的触控信号线234由第四金属层M4通过图案化工艺制备而成，第四金属层M4形成于所述第三绝缘层225远离所述衬底基板20的一侧上，所述第四金属层M4的材料和结构可以与上述金属层的材料和结构相同，此处不再赘述。

[0074] 在一实施例中，如图4至图7所示，所述阵列基板还包括层叠设置于第二绝缘层223或第三绝缘层225上的钝化保护层224、平坦层25、触控电极层26、第二钝化保护层27以及像素电极层28，所述触控电极层26内的触控电极通过过孔与所述触控信号线235连接，所述像素电极层28内的子像素电极通过过孔与所述第一薄膜晶体管23的第一漏极233连接。

[0075] 在一实施例中，所述氧化物半导体层231的材料优选为IGZO。当然，在其他一些实施例中，所述氧化物半导体层231的材料还可包括但不限于铟镓氧化物或者铟锌氧化物等氧化物半导体材料，具体材料可以根据实际需求进行选择，此处不做限制。

[0076] 综上所述，本申请实施例提供一种阵列基板，所述阵列基板包括阵列分布的多个薄膜晶体管，所述多个薄膜晶体管中的至少部分薄膜晶体管包括氧化物半导体层，所述阵列基板内设有多个槽型的遮光图案，所述氧化物半导体层对应形成于所述遮光图案的槽体内，利用槽型遮光图案的底面可以遮挡由阵列基板的入光侧照射至氧化物半导体层底部的光线，利用槽型遮光图案的侧面可以遮挡

由阵列基板的入光侧照射至氧化物半导体层侧面的光线，以此通过将遮光图案设置为槽型来改善遮光图案的遮光效果，相较于通过增大平面面积来改善遮光图案的遮光效果，槽型的遮光图案在阵列基板上的正投影区域的面积更小，使得阵列基板上可透光的区域的面积更大，从而提高阵列基板的开口率。

[0077] 本申请实施例还提供一种显示面板，所述显示面板包括阵列基板、彩膜基板、液晶层和背光模组，所述阵列基板与所述彩膜基板相对设置，所述液晶层设置于所述阵列基板与所述彩膜基板之间，所述背光模组设置于所述阵列基板的入光侧。本申请实施例中的阵列基板可以为上述实施例所提供的阵列基板，且该阵列基板应用于本申请实施例所提供的显示面板中，可以实现与上述实施例所提供的阵列基板相同的技术效果，此处不再赘述。

[0078] 本申请实施例还提供一种阵列基板的制作方法，下面结合图8至图9H进行详细说明，图8为本申请实施例提供的阵列基板的制作方法的流程示意图，图9A至图9H为本申请实施例提供的阵列基板在制作过程中的结构示意图，该阵列基板的制作方法包括：

[0079] 步骤S10：提供衬底基板30，在所述衬底基板上形成第一绝缘层32。

[0080] 在一实施例中，如图9A所示，所述衬底基板30由层叠设置的基板301和缓冲层302组成，所述基板301优选为玻璃基板。所述第一绝缘层32包括层叠设置于所述衬底基板30上的第一栅极绝缘层321和层间介质层322，所述步骤S10包括：

[0081] 步骤S101：提供衬底基板30，在所述衬底基板30上形成多晶硅半导体层341；

[0082] 步骤S102：在所述衬底基板30上形成第一栅极绝缘层321，所述第一栅极绝缘层321覆盖所述多晶硅半导体层341；

[0083] 步骤S103：在所述第一栅极绝缘层321远离所述衬底基板30的一侧上沉积第一金属层M1，对所述第一金属层M1进行图案化工艺，形成栅极342；

[0084] 步骤S104：在所述第一栅极绝缘321层远离所述衬底基板30的一侧上形成层间介质层322，所述层间介质层322覆盖所述栅极342。

[0085] 在本申请实施例中，所述多晶硅半导体层341和所述栅极342均形成于阵列基板的非透光区A2中，阵列基板的非透光区A2对应于显示面板的非显示区。

[0086] 具体地，所述步骤S103中，所述第一金属层M1为Mo、Al和Ti形成的金属叠层走

线结构。在其他一些实施例中，所述第一金属层M1还可以为Mo、Al和Ti等材料中的任意一种所形成的金属走线结构，或者第一金属层M1的材料也可以为Mo、Al和Ti中两种或两种以上材料所形成的合金。所述第一金属层M1的材料以及结构可以根据实际情况进行设定，此处不做限制。

[0087] 步骤S20：在所述第一绝缘层32上形成多个过孔。

[0088] 在一实施例中，如图9B所示，所述多个过孔包括第一过孔V1和第二过孔V2，可以利用同一刻蚀制程，同时形成所述第一过孔V1和第二过孔V2。所述第一过孔V1贯穿所述层间介质层322和所述第一栅极绝缘层321，并暴露出所述衬底基板30靠近所述第一栅极绝缘层321的一侧表面。所述第二过孔V2暴露出所述多晶硅半导体层341的源极接触区域和漏极接触区域。

[0089] 在其他一些实施例中，第一过孔V1的底部可以仅贯穿所述层间介质层322；或者，所述第一过孔V1的底部可以延伸至所述层间介质层322中，并未贯穿所述层间介质层322；又或者，所述第一过孔V1的底部可以延伸至所述第一栅极绝缘层321中，仅贯穿所述层间介质层322，但并未贯穿所述第一栅极绝缘层321。

[0090] 步骤S30：在所述过孔内形成多个槽型的遮光图案31；

[0091] 在一实施例中，所述步骤S30包括：

[0092] 步骤S301：在第一栅极绝缘层321远离所述衬底基板30的一侧表面、第一过孔V1以及第一过孔V2内沉积第二金属层M2；

[0093] 步骤S302：对第二金属层M2进行图案化工艺，形成第二源极343、第二漏极344和槽型的遮光图案31。

[0094] 如图9C所示，所述遮光图案31包括底面遮光层311和侧面遮光层312，侧面遮光层312由底面遮光层311的边缘延伸至与所述层间介质层322远离衬底基板30的一侧表面齐平，以将所述层间介质层322限制在槽型的遮光图案31的外围。

[0095] 所述第二源极343与所述第二漏极344、所述栅极342和所述多晶硅半导体层341构成第二薄膜晶体管34，所述第二薄膜晶体管34为低温多晶硅薄膜晶体管，具有载流子迁移率高、充电快、开关速度快以及功耗较低的优点，应用于非透光区A2的GOA电路中，可以有效提高GOA电路的响应速度，并降低阵列基板的功耗。

- [0096] 具体地，所述第二金属层M2为Mo、Al和Ti形成的金属叠层走线结构。在其他一些实施例中，所述第二金属层M2还可以为Mo、Al和Ti等材料中的任意一种所形成的金属走线结构，或者第二金属层M2的材料也可以为Mo、Al和Ti中两种或两种以上材料所形成的合金。所述第二金属层M2的材料以及结构可以根据实际情况进行设定，此处不做限制。
- [0097] 步骤S40：在所述第一绝缘层32远离所述衬底基板30的一侧形成第二绝缘层323，所述第二绝缘层323覆盖所述遮光图案31。
- [0098] 如图9D所示，所述步骤S40中，可以通过气相沉积的方法形成所述第二绝缘层323，所述第二绝缘层323的材料为无机材料，优选为氧化硅材料。第二绝缘层323覆盖所述遮光图案31的部分同样凹陷至所述第一过孔V1内，使得第二绝缘层323覆盖所述遮光图案31的部分的高度低于其他部分的高度。
- [0099] 所述步骤S40还包括：通过刻蚀制程，在所述第二绝缘层323上形成多个第三过孔V3，所述第三过孔V3暴露出所述第二漏极344。
- [0100] 步骤S50：在所述过孔内形成氧化物半导体层331，所述氧化物半导体层331位于所述遮光图案31的槽体内。
- [0101] 所述步骤S50的步骤包括：
- [0102] 步骤S501：在所述第二绝缘层323远离所述衬底基板30的一侧沉积一层金属氧化物材料；
- [0103] 步骤S502：对所述金属氧化物材料进行图案化工艺，形成氧化物半导体层331。
- [0104] 如图9D所示，所述氧化物半导体层331位于所述第一过孔V1内，所述氧化物半导体层331远离所述衬底基板30的一侧表面与所述底面遮光层311之间的距离小于所述侧面遮光层312的顶部与所述底面遮光层311之间的距离，以此利用槽型的遮光图案31对所述氧化物半导体层331构成半包围结构，以将层间介质层322与所述氧化物半导体层331隔开，避免层间介质层322中的氢扩散至氧化物半导体层331中，同时还可以避免光线从氧化物半导体层331的底部以及侧面照射至氧化物半导体层331中。
- [0105] 具体地，所述氧化物半导体层331的材料为IGZO。当然，在其他一些实施例中

，所述氧化物半导体层331的材料还可包括但不限于铟镓氧化物或者铟锌氧化物等氧化物半导体材料，具体材料可以根据实际需求进行选择，此处不做限制。

[0106] 步骤60：在所述第二绝缘层323上形成源极和漏极。

[0107] 如图9E所示，步骤S50中所指的源极和漏极分别为图9E中的第一源极332和第一漏极333，所述步骤S50包括：

[0108] 步骤S501：在所述第二绝缘层323远离所述衬底基板30的一侧以及所述第三过孔V3内沉积第三金属层M3；

[0109] 步骤S502：对所述第三金属层M3进行图案化工艺，形成第一源极332、第一漏极333、触控信号线334和信号走线335。

[0110] 在本实施例中，所述第一源极332与所述第一漏极333、所述氧化物半导体层331以及所述遮光图案31构成第一薄膜晶体管33，所述遮光图案31作为第一薄膜晶体管33的栅极。所述第一薄膜晶体管33位于阵列基板的透光区内，并应用于透光区内的子像素驱动电路中，第一薄膜晶体管33为氧化物薄膜晶体管，具有良好的均一性以及漏电流较低的特点，可进一步降低阵列基板的功耗。

[0111] 在本实施例中，所述第三金属层M3与第二金属层M2的材料和结构相同。在其他一些实施例中，所述第三金属层M3还可以为Mo、Al和Ti等材料中的任意一种所形成的金属走线结构，或者第三金属层M3的材料也可以为Mo、Al和Ti中两种或两种以上材料所形成的合金。所述第三金属层M3的材料以及结构可以根据实际情况进行设定，此处不做限制。

[0112] 步骤S70：在所述第二绝缘层323远离所述衬底基板30的一侧上形成第一钝化保护层324，通过刻蚀制程在所述第一钝化保护层324上形成多个第四过孔V4和第五过孔V5，所述多个第四过孔V4暴露出所述触控信号线335，所述多个第五过孔V5暴露出所述第一漏极333。

[0113] 如图9F所示，所述第一钝化保护层324形成于所述第二绝缘层323远离所述衬底基板30的一侧上，并覆盖所述触控信号线334、信号走线335、第一源极332、第一漏极333以及所述氧化物半导体层331。

[0114] 在一实施例中，为避免在刻蚀制程中对所述第一钝化保护层324造成侧蚀，所述第一钝化保护层324的厚度应为600nm。当然在其他一些实施例中，所述第一

钝化保护层324的厚度也可以为300nm、500nm、800nm或者100nm等。所述第一钝化保护层324的厚度可以根据实际情况进行设定，此处不做限制。

[0115] 步骤S80：在所述第一钝化保护层324远离所述衬底基板30的一侧上形成平坦层35，通过刻蚀制程在所述平坦层35上形成多个第六过孔V6和多个第七过孔V7，所述多个第六过孔V6暴露出所述触控信号线334，所述第七过孔V7暴露出所述第一漏极333。

[0116] 如图9G所示，所述第四过孔V4与所述第六过孔V6连通，所述第五过孔V5与所述第七过孔V7连通。

[0117] 所述平坦层35的材料为常用的光阻材料，在未固化前，利用其流动性可将所述第一过孔V1填充。

[0118] 步骤S90：在所述平坦层35远离所述衬底基板30的一侧上形成触控电极层36；在所述平坦层远离所述衬底基板30的一侧上形成第二钝化保护层37，通过刻蚀制程在所述第二钝化保护层37上形成多个第八过孔V8；在所述第二钝化保护层37远离所述衬底基板30的一侧上形成像素电极层38。

[0119] 结合图9G和图9H所示，所述触控电极层36包括多个触控电极，所述触控电极通过所述第六过孔V6和所述第四过孔V4与所述触控信号线335连接。

[0120] 所述第八过孔V8暴露出所述第一漏极334，所述像素电极层38包括多个子像素电极，所述子像素电极通过所述第八过孔V8与所述第一漏极334连接。

[0121] 在本申请实施例中，所述像素电极层38和所述触控电极层36的材料均为ITO。在其他一些实施例中，所述像素电极层38和所述触控电极层36的材料也可以为其他透明金属氧化物材料。所述像素电极层38和所述触控电极层36的材料可以相同，也可以不同。所述像素电极层38和所述触控电极层36的材料可以根据实际情况设定，此处不做限制。

[0122] 综上所述，本申请实施例提供一种阵列基板的制作方法，该制作方法通过在第一绝缘层上形成多个过孔，并在过孔内形成槽型的遮光图案，并将氧化物半导体层形成于遮光图案的槽体内，利用槽型遮光图案的底面可以遮挡由阵列基板的入光侧照射至氧化物半导体层底部的光线，利用槽型遮光图案的侧面可以遮挡由阵列基板的入光侧照射至氧化物半导体层侧面的光线，以此通过将遮光图

案设置为槽型来改善遮光图案的遮光效果，相较于通过增大平面面积来改善遮光图案的遮光效果，槽型的遮光图案在阵列基板上的正投影区域的面积更小，使得阵列基板上可透光的区域的面积更大，从而提高阵列基板的开口率，同时还可以利用遮光图案将层间介质层与氧化物半导体层隔开，避免层间介质层中的氢扩散至氧化物半导体层中，从而保证氧化物半导体层的电学性能。

[0123] 综上所述，虽然本申请以优选实施例揭露如上，但上述优选实施例并非用以限制本申请，本领域的普通技术人员，在不脱离本申请的精神和范围内，均可作各种更动与润饰，因此本申请的保护范围以权利要求界定的范围为基准。

权利要求书

- [权利要求 1] 一种阵列基板，所述阵列基板包括阵列分布的多个薄膜晶体管，所述多个薄膜晶体管中的至少部分薄膜晶体管包括氧化物半导体层；
其中，所述阵列基板内设有多个槽型的遮光图案，所述氧化物半导体层对应形成于所述遮光图案的槽体内。
- [权利要求 2] 如权利要求1所述的阵列基板，其中，所述阵列基板包括衬底基板和设置于所述衬底基板上的第一绝缘层，所述第一绝缘层上设有多个过孔，所述遮光图案设置于所述过孔内。
- [权利要求 3] 如权利要求2所述的阵列基板，其中，所述遮光图案包括底面遮光层和侧面遮光层，所述底面遮光层平铺设置于所述过孔的底部，所述底面遮光层朝向所述第一绝缘层远离所述衬底基板的一侧延伸形成所述侧面遮光层，所述侧面遮光层与所述底面遮光层形成一定夹角。
- [权利要求 4] 如权利要求3所述的阵列基板，其中，所述侧面遮光层与所述底面遮光层形成的夹角为直角或钝角。
- [权利要求 5] 如权利要求4所述的阵列基板，其中，所述夹角的度数大于 90° ，小于或等于 140° 。
- [权利要求 6] 如权利要求3所述的阵列基板，其中，所述侧面遮光层的顶部与所述底面遮光层之间的距离，大于所述氧化物半导体层远离所述衬底基板的一侧与所述底面遮光层之间的距离。
- [权利要求 7] 如权利要求6所述的阵列基板，其中，所述遮光层在所述衬底基板上的正投影区域覆盖所述氧化物半导体层在所述衬底基板上的正投影区域。
- [权利要求 8] 如权利要求2所述的阵列基板，其中，所述多个薄膜晶体管包括第一薄膜晶体管，所述第一薄膜晶体管的有源层为所述氧化物半导体层，所述遮光图案为所述第一薄膜晶体管的栅极，所述第一薄膜晶体管形成于所述过孔内。
- [权利要求 9] 如权利要求8所述的阵列基板，其中，所述阵列基板包括第二绝缘层，所述第二绝缘层覆盖所述第一绝缘层和所述遮光图案，所述氧化物

半导体层设置于所述第二绝缘层位于所述过孔内的部分上；

所述第一薄膜晶体管包括第一源极和第一漏极，所述第一源极和所述第一漏极设置于所述第二绝缘层远离所述第一绝缘层的一侧上，并分别延伸至所述过孔内与所述氧化物半导体层连接。

[权利要求 10] 如权利要求9所述的阵列基板，其中，所述多个薄膜晶体管还包括多个第二薄膜晶体管，所述第二薄膜晶体管的有源层为多晶硅半导体层；

所述第一绝缘层包括层叠设置于所述衬底基板上的第一栅极绝缘层和层间介质层，所述多晶硅半导体层设置于所述第一栅极绝缘层与所述衬底基板之间，所述第二薄膜晶体管的栅极设置于所述第一栅极绝缘层与所述层间介质层之间。

[权利要求 11] 如权利要求10所述的阵列基板，其中，多个所述过孔形成于所述层间介质层上，所述过孔的底部朝向所述衬底基板延伸，所述第二绝缘层覆盖所述层间介质层和所述遮光图案。

[权利要求 12] 如权利要求10所述的阵列基板，其中，所述第二薄膜晶体管包括第二源极和第二漏极，所述遮光图案与所述第二源极和所述第二漏极由同层金属材料制成。

[权利要求 13] 如权利要求10所述的阵列基板，其中，所述第二薄膜晶体管包括第二源极和第二漏极，所述第二源极和所述第二漏极与所述第一源极由同层金属材料制成。

[权利要求 14] 一种显示面板，所述显示面板包括阵列基板，所述阵列基板包括阵列分布的多个薄膜晶体管，所述多个薄膜晶体管中的至少部分薄膜晶体管包括氧化物半导体层；

其中，所述阵列基板内设有多个槽型的遮光图案，所述氧化物半导体层对应形成于所述遮光图案的槽体内。

[权利要求 15] 如权利要求14所述的显示面板，其中，所述阵列基板包括衬底基板和设置于所述衬底基板上的第一绝缘层，所述第一绝缘层上设有多个过孔，所述遮光图案设置于所述过孔内。

- [权利要求 16] 如权利要求15所述的显示面板，其中，所述遮光图案包括底面遮光层和侧面遮光层，所述底面遮光层平铺设置于所述过孔的底部，所述底面遮光层朝向所述第一绝缘层远离所述衬底基板的一侧延伸形成所述侧面遮光层，所述侧面遮光层与所述底面遮光层形成一定夹角。
- [权利要求 17] 如权利要求16所述的显示面板，其中，所述侧面遮光层与所述底面遮光层形成的夹角为直角或钝角。
- [权利要求 18] 如权利要求17所述的显示面板，其中，所述夹角的度数大于 90° ，小于或等于 140° 。
- [权利要求 19] 如权利要求16所述的显示面板，其中，所述侧面遮光层的顶部与所述底面遮光层之间的距离，大于所述氧化物半导体层远离所述衬底基板的一侧与所述底面遮光层之间的距离。
- [权利要求 20] 如权利要求19所述的显示面板，其中，所述遮光层在所述衬底基板上的正投影区域覆盖所述氧化物半导体层在所述衬底基板上的正投影区域。

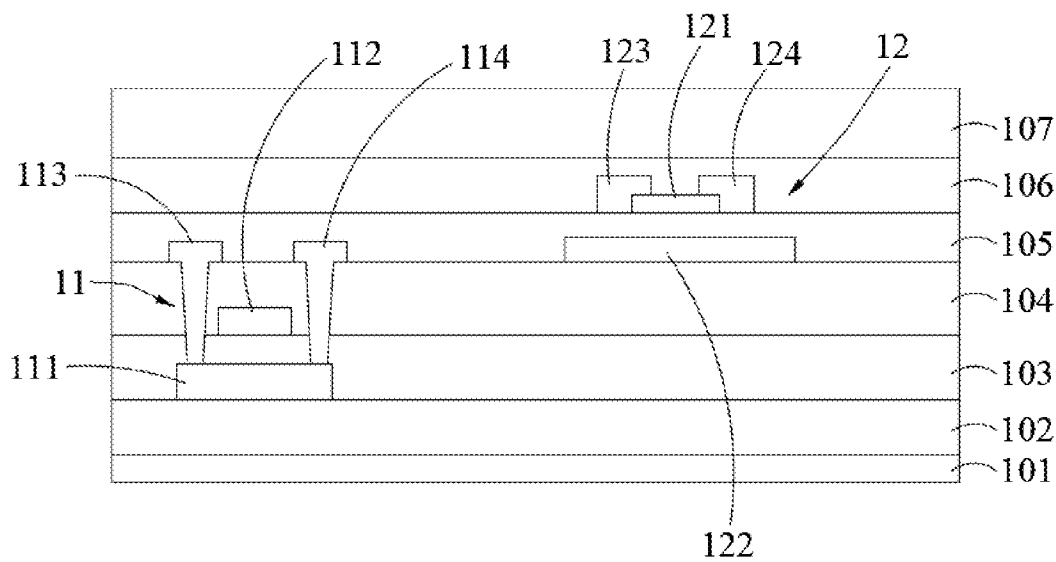


图 1

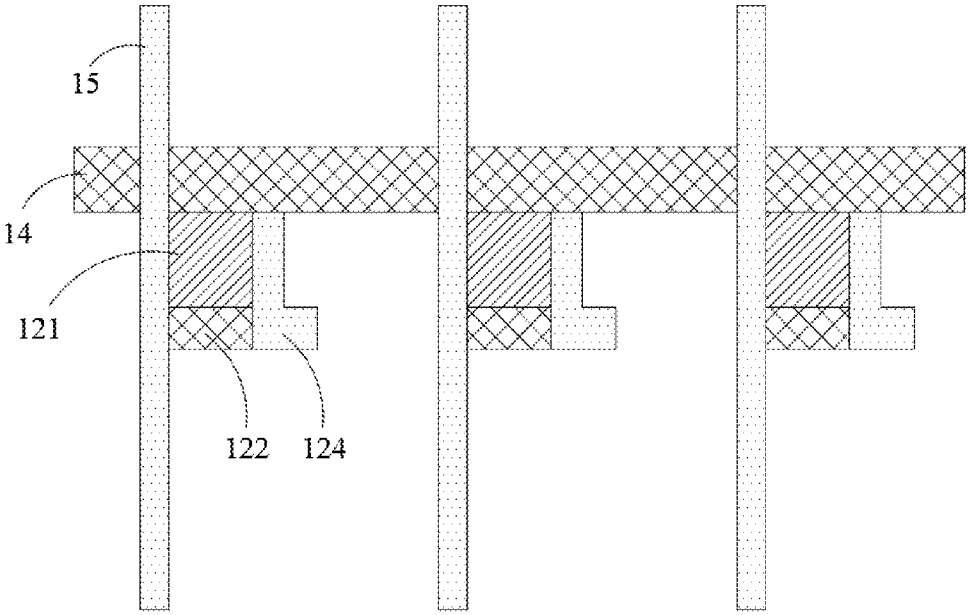


图 2

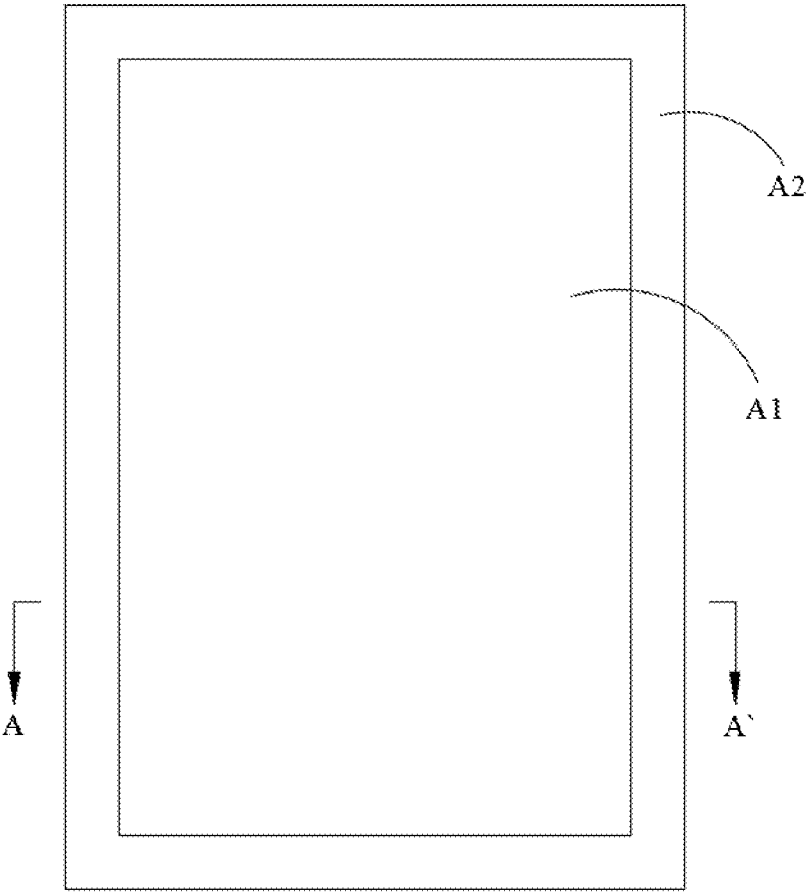


图 3

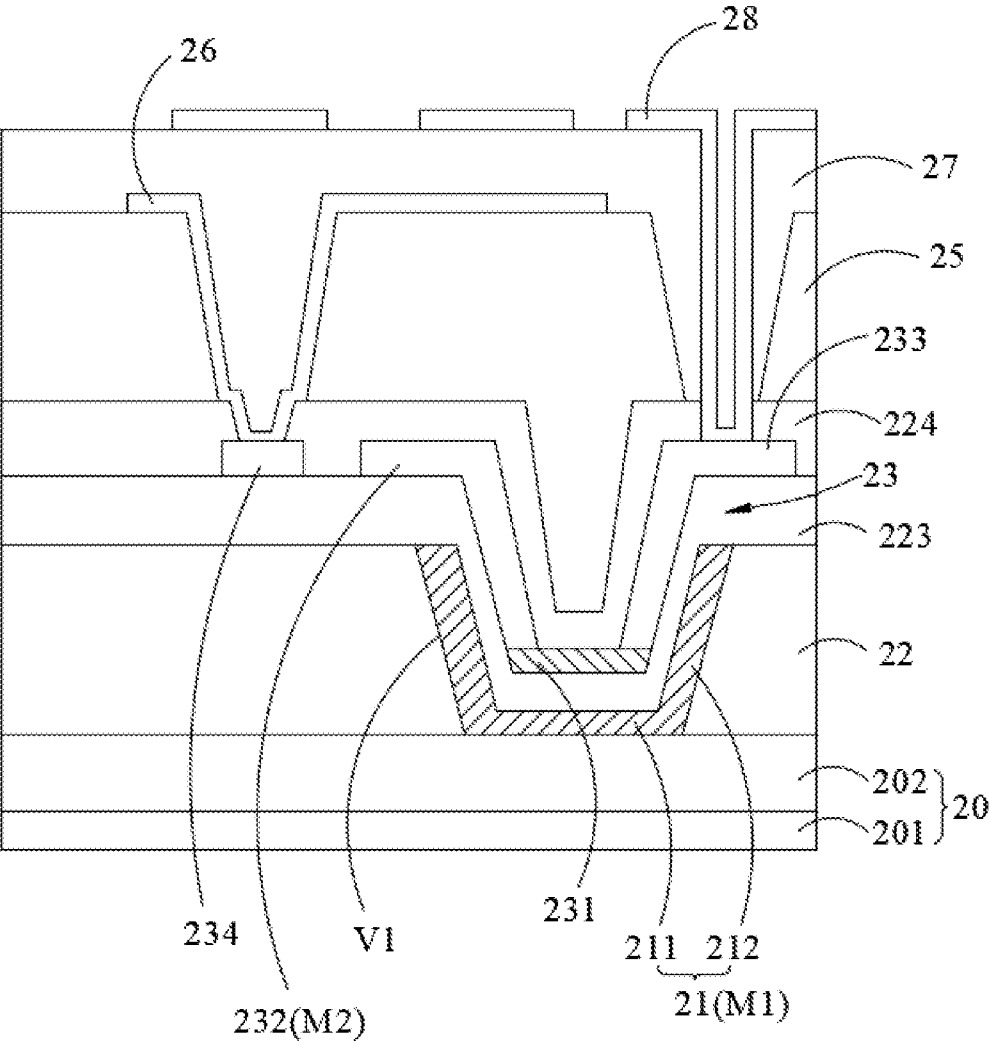


图 4

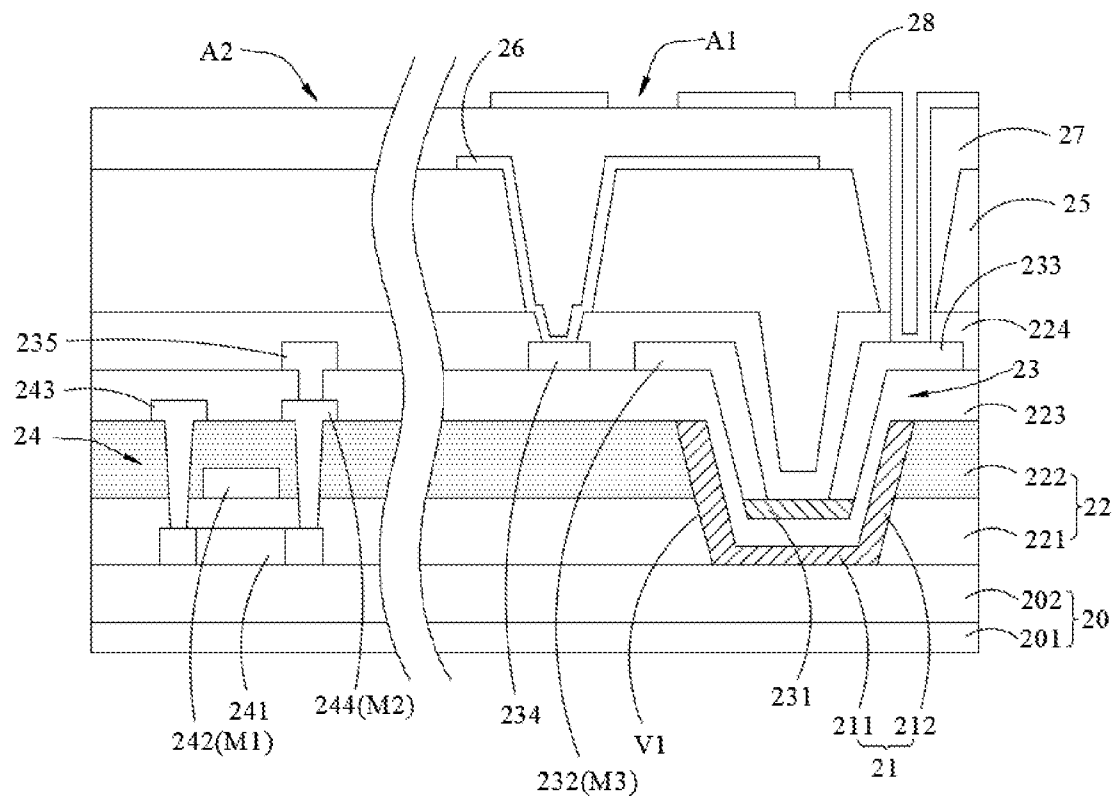


图 5

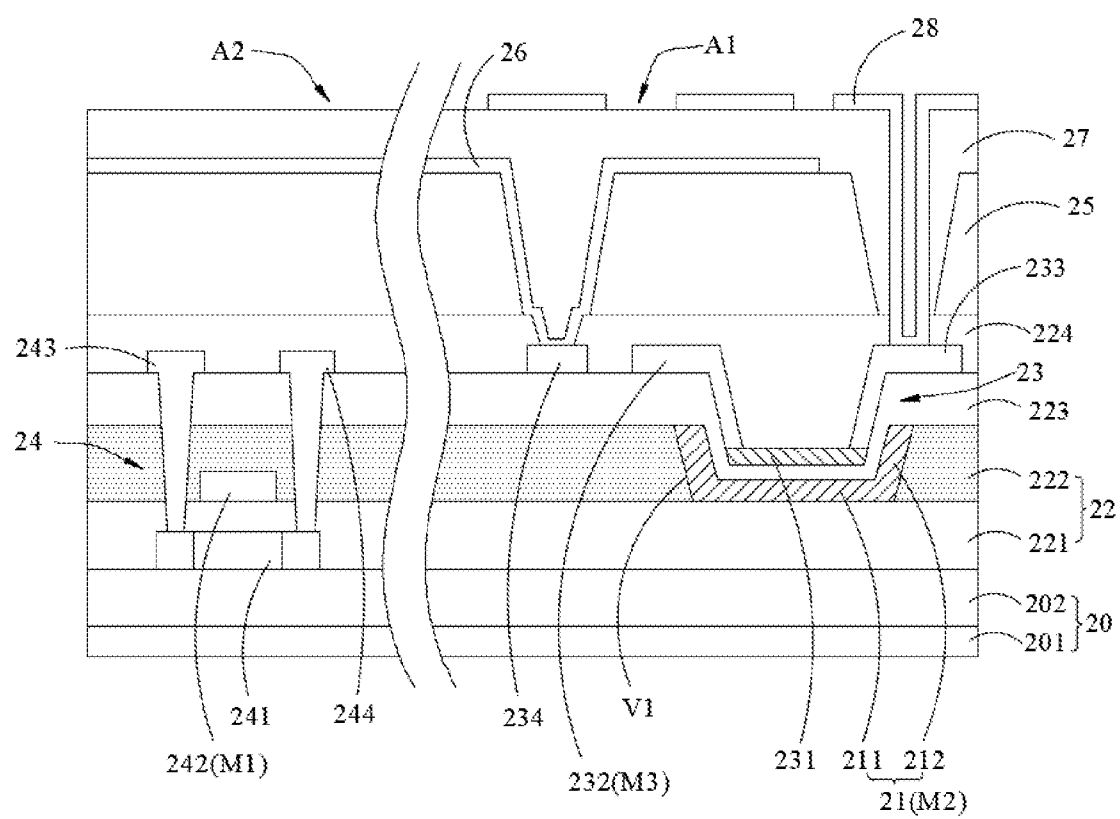


图 6

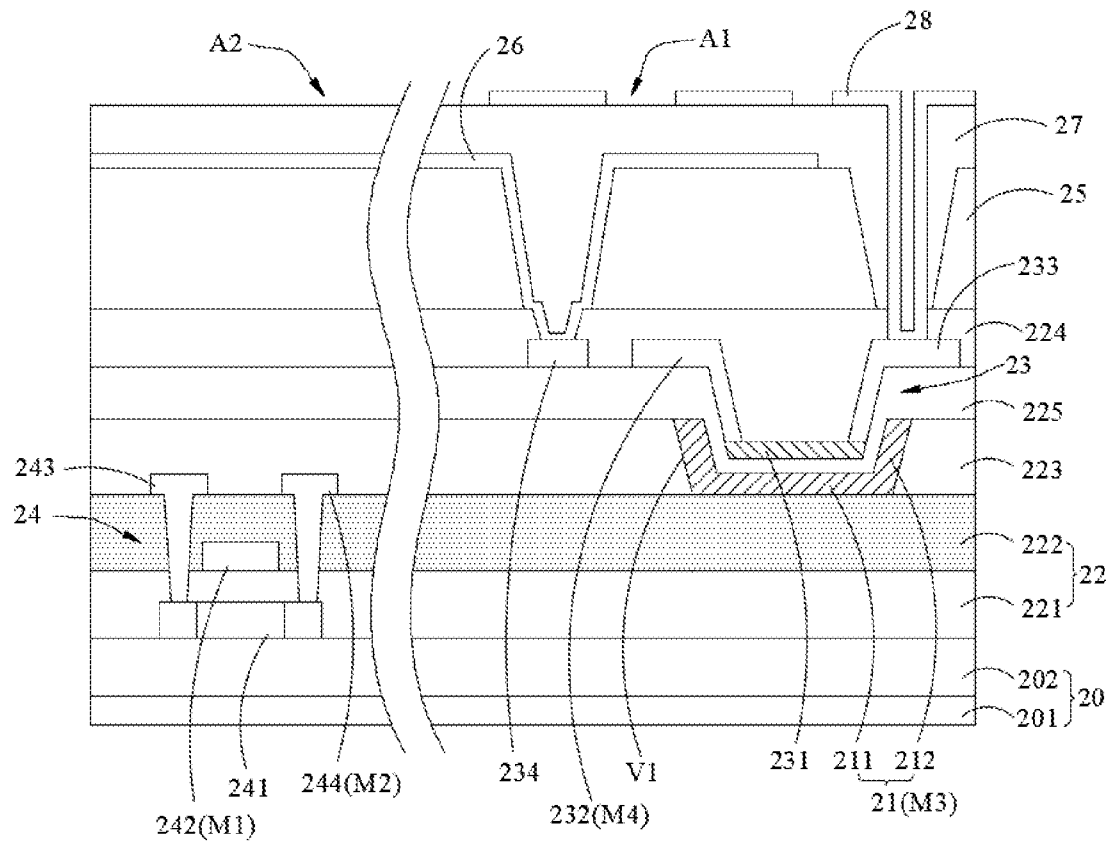


图 7

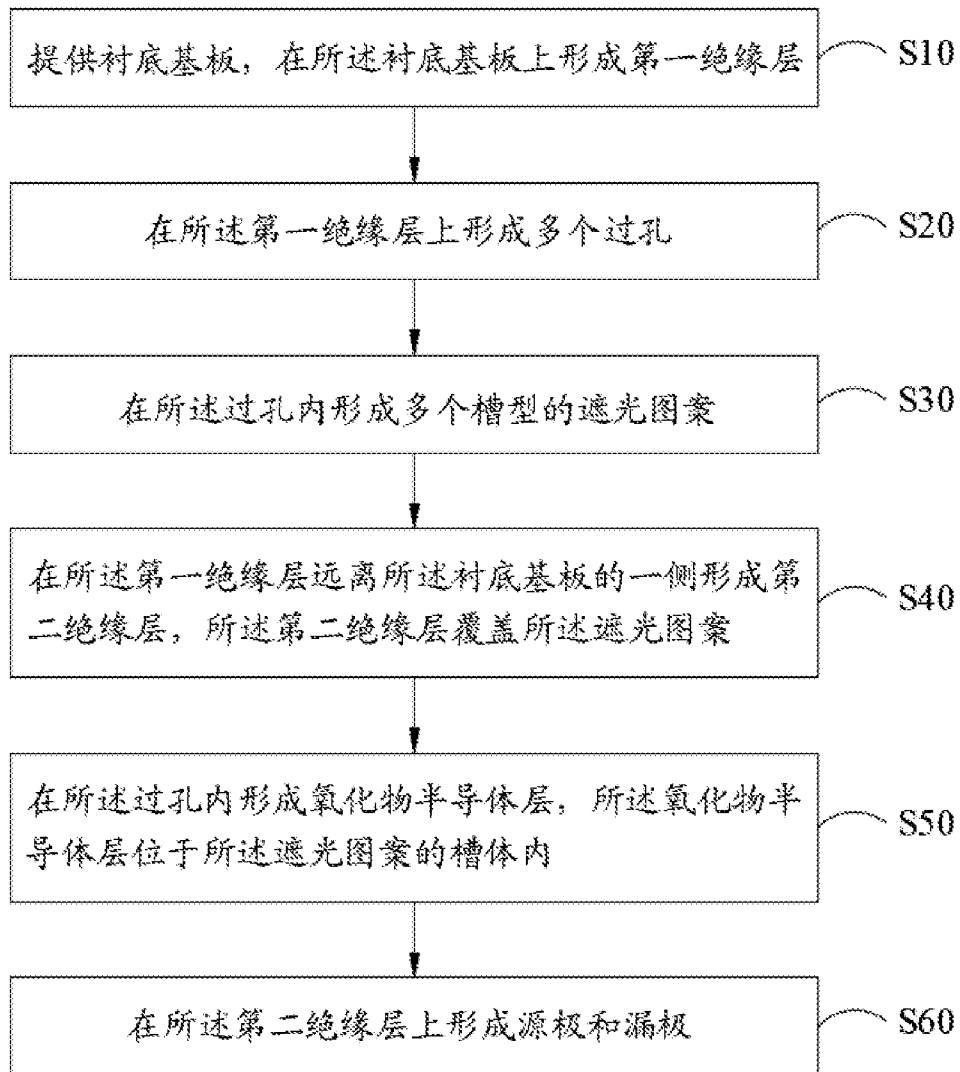


图 8

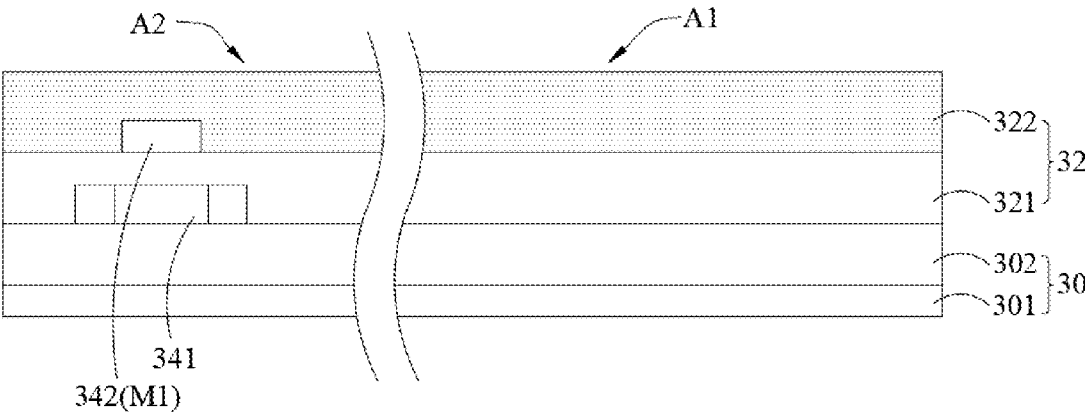


图 9A

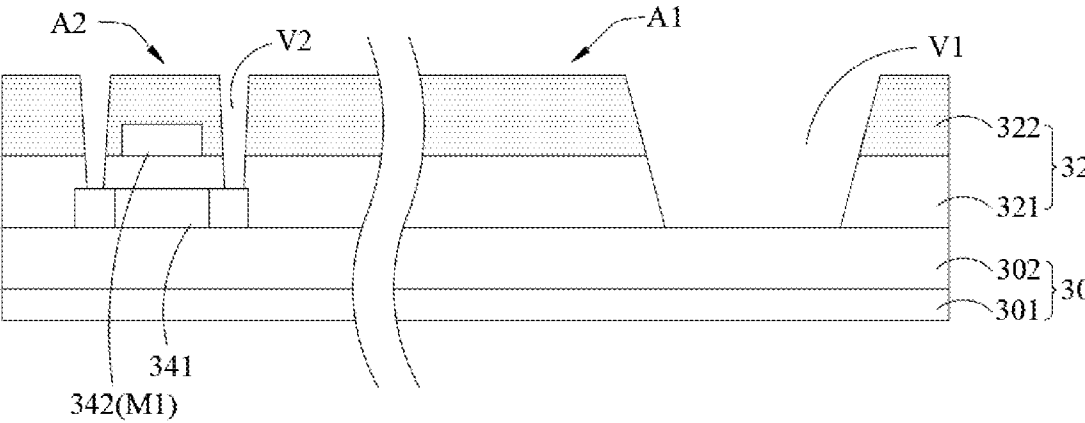


图 9B

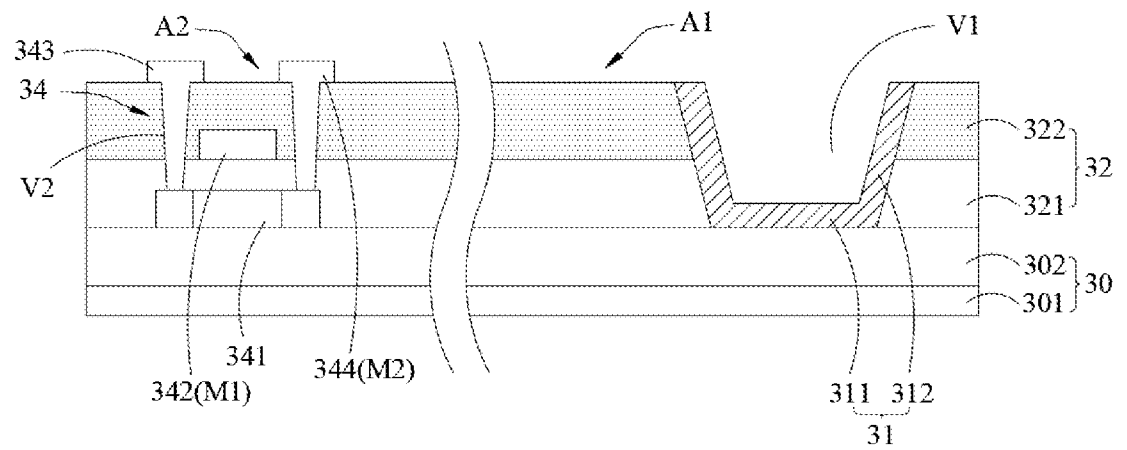


图 9C

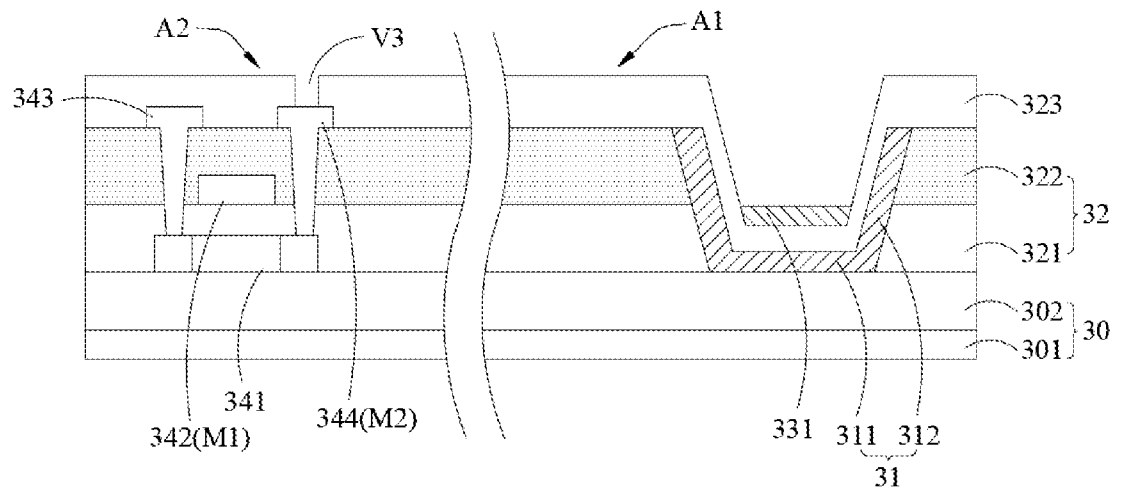


图 9D

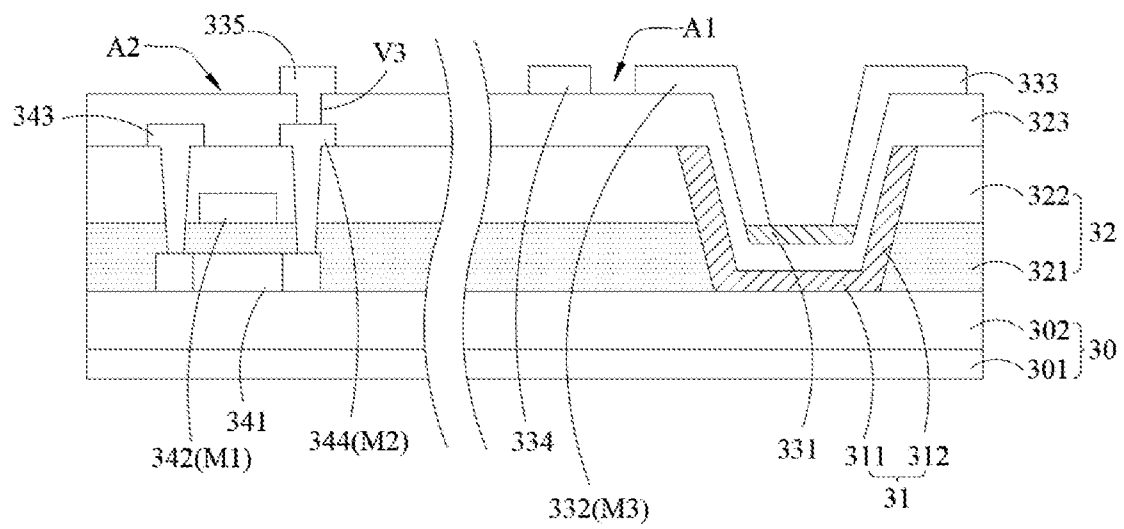


图 9E

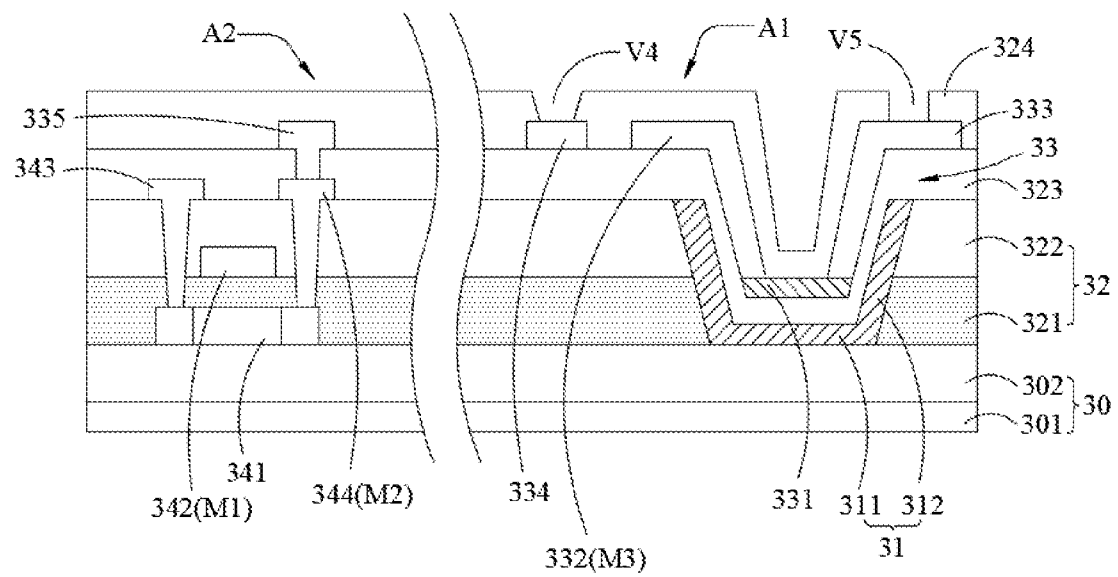


图 9F

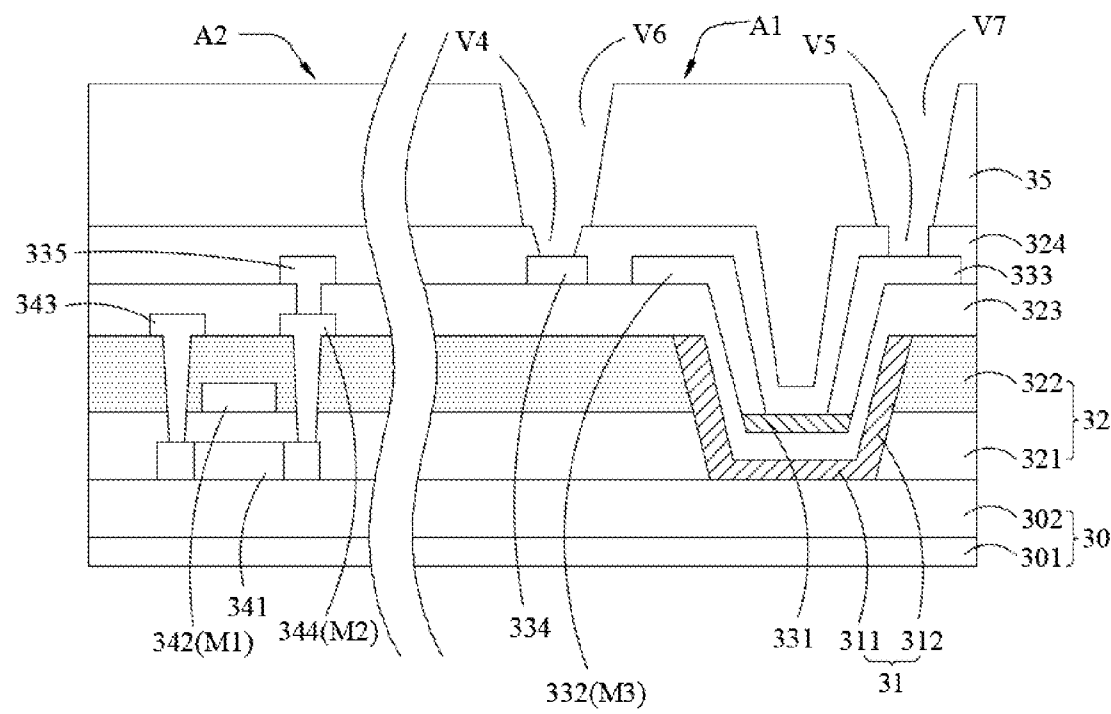


图 9G

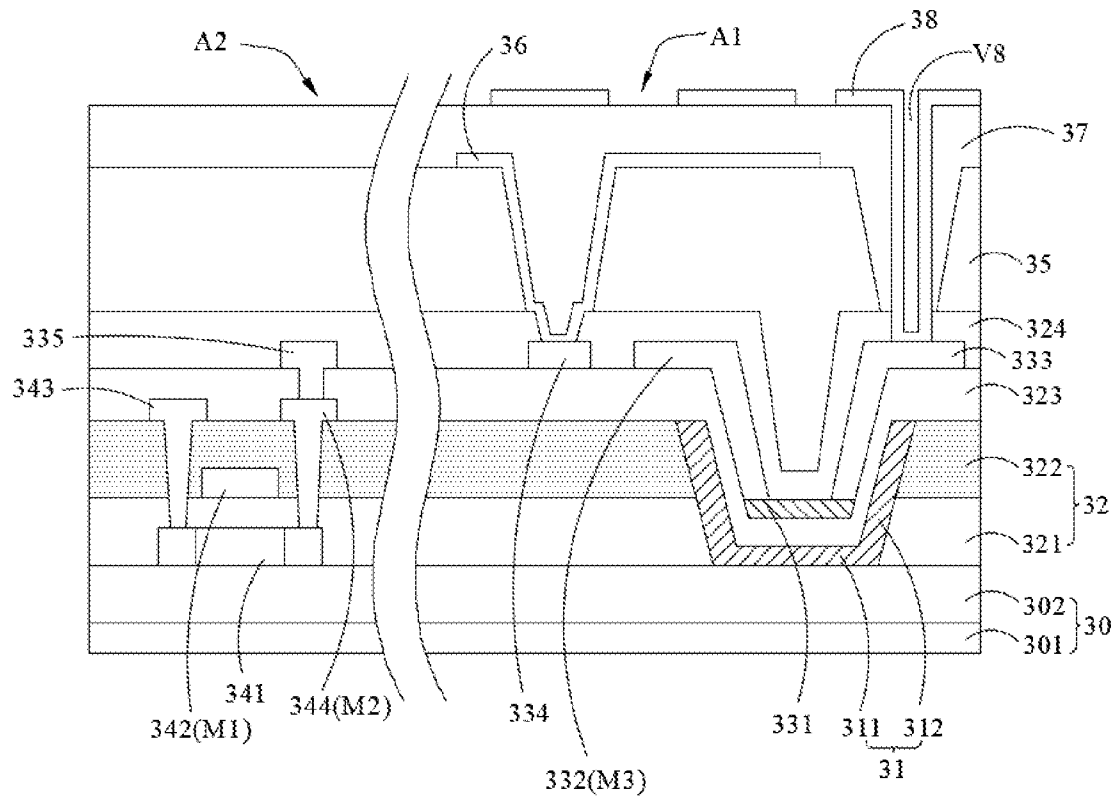


图 9H

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/075585

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/32(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS; CNTXT; CNKI; DWPI; SIPOABS: 薄膜晶体管, 氧化物, 挡光, 遮光, 侧, thin film transistor, TFT, oxide, light, barrier, mask, dark, shield, side

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 108695394 A (BOE TECHNOLOGY GROUP CO., LTD.) 23 October 2018 (2018-10-23) description paragraphs 0002-0089, figures 1-7c	1-20
X	CN 105070726 A (AU OPTRONICS CORPORATION) 18 November 2015 (2015-11-18) description paragraphs 0002-0029, figures 1A-8	1-20
X	JP 2012069842 A (HITACHI DISPLAYS LTD. et al.) 05 April 2012 (2012-04-05) description paragraphs 0002-0025, figure 2	1-20
A	CN 109427874 A (JAPAN DISPLAY, INC.) 05 March 2019 (2019-03-05) entire document	1-20
A	CN 109661729 A (SHARP CORPORATION) 19 April 2019 (2019-04-19) entire document	1-20

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

25 April 2021

Date of mailing of the international search report

20 May 2021

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088, China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2021/075585

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	108695394	A	23 October 2018	EP	3507834	A4	06 November 2019
				EP	3507834	A1	10 July 2019
				WO	2018184403	A1	11 October 2018
CN	105070726	A	18 November 2015	TW	I555183	B	21 October 2016
				TW	201635497	A	01 October 2016
				CN	105070726	B	13 February 2018
JP	2012069842	A	05 April 2012	None			
CN	109427874	A	05 March 2019	US	10629622	B2	21 April 2020
				JP	2019046903	A	22 March 2019
				US	2020212074	A1	02 July 2020
				US	2019067334	A1	28 February 2019
CN	109661729	A	19 April 2019	DE	112017004423	T5	19 June 2019
				JP	WO2018043472	A1	27 June 2019
				WO	2018043472	A1	08 March 2018
				US	20190243194	A1	08 August 2019

国际检索报告

国际申请号

PCT/CN2021/075585

A. 主题的分类

H01L 27/32 (2006.01) i

按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献 (标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用))

CNABS; CNTXT; CNKI; DWPI; SIPOABS: 薄膜晶体管, 氧化物, 挡光, 遮光, 侧, thin film transistor, TFT, oxide, light, barrier, mask, dark, shield, side

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 108695394 A (京东方科技集团股份有限公司) 2018年 10月 23日 (2018 - 10 - 23) 说明书第0002-0089段, 图1-7c	1-20
X	CN 105070726 A (友达光电股份有限公司) 2015年 11月 18日 (2015 - 11 - 18) 说明书第0002-0029段, 图1A-8	1-20
X	JP 2012069842 A (HITACHI DISPLAYS LTD 等) 2012年 4月 5日 (2012 - 04 - 05) 说明书第0002-0025段, 图2	1-20
A	CN 109427874 A (株式会社日本显示器) 2019年 3月 5日 (2019 - 03 - 05) 全文	1-20
A	CN 109661729 A (夏普株式会社) 2019年 4月 19日 (2019 - 04 - 19) 全文	1-20

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2021年 4月 25日

国际检索报告邮寄日期

2021年 5月 20日

ISA/CN的名称和邮寄地址

中国国家知识产权局 (ISA/CN)

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

王鹏

电话号码 86-(010)-62412105

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2021/075585

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	108695394	A	2018年 10月 23日	EP	3507834	A4	2019年 11月 6日
				EP	3507834	A1	2019年 7月 10日
				WO	2018184403	A1	2018年 10月 11日
CN	105070726	A	2015年 11月 18日	TW	I555183	B	2016年 10月 21日
				TW	201635497	A	2016年 10月 1日
				CN	105070726	B	2018年 2月 13日
JP	2012069842	A	2012年 4月 5日	无			
CN	109427874	A	2019年 3月 5日	US	10629622	B2	2020年 4月 21日
				JP	2019046903	A	2019年 3月 22日
				US	2020212074	A1	2020年 7月 2日
				US	2019067334	A1	2019年 2月 28日
CN	109661729	A	2019年 4月 19日	DE	112017004423	T5	2019年 6月 19日
				JP	W02018043472	A1	2019年 6月 27日
				WO	2018043472	A1	2018年 3月 8日
				US	20190243194	A1	2019年 8月 8日