

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6935055号  
(P6935055)

(45) 発行日 令和3年9月15日 (2021.9.15)

(24) 登録日 令和3年8月27日 (2021.8.27)

(51) Int.Cl.

F I

G09F 9/30 (2006.01)

G09F 9/30 338

G09F 9/00 (2006.01)

G09F 9/30 365

H05B 33/02 (2006.01)

G09F 9/30 348A

H01L 27/32 (2006.01)

G09F 9/00 338

H01L 51/50 (2006.01)

H05B 33/02

請求項の数 15 (全 23 頁) 最終頁に続く

(21) 出願番号 特願2017-141560 (P2017-141560)  
 (22) 出願日 平成29年7月21日 (2017.7.21)  
 (65) 公開番号 特開2019-20677 (P2019-20677A)  
 (43) 公開日 平成31年2月7日 (2019.2.7)  
 審査請求日 令和2年6月25日 (2020.6.25)

(73) 特許権者 519380923  
 天馬微電子有限公司  
 中華人民共和国広東省深▲セン▼市電華区  
 民治街道北駅社区留仙大道天馬大▲カ▼1  
 918  
 (74) 代理人 110001678  
 特許業務法人藤央特許事務所  
 (72) 発明者 松枝 洋二郎  
 神奈川県川崎市幸区鹿島田一丁目1番2号  
 Tianma Japan株式会社内

審査官 石本 努

最終頁に続く

(54) 【発明の名称】 O L E D表示装置、その回路、及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

O L E D表示装置の画素の光量を制御する回路であって、  
 有機発光膜に電流を供給する第1の薄膜トランジスタと、  
 前記第1の薄膜トランジスタのゲート電位を維持する保持容量と、を含み、  
 前記第1の薄膜トランジスタは、  
 ボトムゲート電極と、  
 前記ボトムゲート電極より上層において、前記ボトムゲート電極の一部と重なるように  
 形成されたチャネル部と、  
 前記チャネル部と前記ボトムゲート電極との間に形成された第1のゲート絶縁層と、  
 前記チャネル部よりも上層において、前記チャネル部と重なるように形成され、前記ボ  
 トムゲート電極と接続された、トップゲート電極と、  
 前記チャネル部と前記トップゲート電極との間に形成された第2のゲート絶縁層と、を  
 含み、  
 前記保持容量は、  
 前記チャネル部と同層において前記トップゲート電極と重なる領域の外に形成され、前  
 記ボトムゲート電極の一部と前記第1のゲート絶縁層を介して重なり、不純物半導体で形  
 成された、保持容量電極を含む、回路。

【請求項2】

請求項1に記載の回路であって、

10

20

前記第 1 のゲート絶縁層の厚みは、前記第 2 のゲート絶縁層の厚み以下である、回路。

【請求項 3】

請求項 1 に記載の回路であって、

前記第 1 の薄膜トランジスタのゲート及び前記保持容量に信号を与える第 2 の薄膜トランジスタをさらに含み、

前記第 2 の薄膜トランジスタは、

前記第 1 の薄膜トランジスタの前記チャネル部と同層における半導体部を含み、

前記半導体部は、前記第 2 の薄膜トランジスタのチャネル部と前記第 2 の薄膜トランジスタの前記チャネル部に連続する不純物ドーブ部とを含み、

前記不純物ドーブ部、前記第 1 の薄膜トランジスタの前記ボトムゲート電極、及び前記第 1 の薄膜トランジスタの前記トップゲート電極は、共通のコンタクトホールにおいて相互接続されている、回路。

10

【請求項 4】

請求項 3 に記載の回路であって、

前記第 1 の薄膜トランジスタ及び前記第 2 の薄膜トランジスタは、第 1 の基板上において、前記第 1 の基板と前記第 1 の基板と対向する第 2 の基板とを接合する接合部より内側に、配置され、

前記回路は、

前記第 2 の薄膜トランジスタの走査ドライバと、

前記接合部の下に配置され、前記走査ドライバのための、前記ボトムゲート電極と同層の配線層と前記トップゲート電極と同層の配線層と、をさらに含む、回路。

20

【請求項 5】

請求項 1 に記載の回路であって、

前記トップゲート電極より上層において、互いに離間して第 1 の方向に延びる複数の電源配線と、

前記第 1 の方向と異なる第 2 の方向に延び、前記ボトムゲート電極と同層に形成され、前記複数の電源配線とコンタクト部により接続された、複数の補助電源配線と、をさらに含む、回路。

【請求項 6】

O L E D 表示装置であって、

第 1 の基板上に配置され、複数の画素であって、各画素が、有機発光膜と、前記有機発光膜を挟む下部電極及び上部電極とを含む、複数の画素と、

前記複数の画素それぞれへ供給する電流を制御して前記複数の画素それぞれの発光量を制御する、複数の画素回路と、を含み、

前記複数の画素回路のそれぞれは、

前記下部電極を介して前記有機発光膜に電流を供給する第 1 の薄膜トランジスタと、

前記第 1 の薄膜トランジスタのゲート電位を維持する保持容量と、を含み、

前記第 1 の薄膜トランジスタは、

ボトムゲート電極と、

前記ボトムゲート電極より上層において、前記ボトムゲート電極の一部と重なるように形成されたチャネル部と、

前記チャネル部と前記ボトムゲート電極との間に形成された第 1 のゲート絶縁層と、

前記チャネル部よりも上層において、前記チャネル部と重なるように形成され、前記ボトムゲート電極と接続された、トップゲート電極と、

前記チャネル部と前記トップゲート電極との間に形成された第 2 のゲート絶縁層と、を含み、

前記保持容量は、

前記チャネル部と同層において前記トップゲート電極と重なる領域の外に形成され、前記ボトムゲート電極の一部と前記第 1 のゲート絶縁層を介して重なり、不純物ドーブされた半導体で形成された、保持容量電極を含む、O L E D 表示装置。

30

40

50

## 【請求項 7】

請求項 6 に記載の O L E D 表示装置であって、  
前記第 1 のゲート絶縁層の厚みは、前記第 2 のゲート絶縁層の厚み以下である、O L E D 表示装置。

## 【請求項 8】

請求項 6 に記載の O L E D 表示装置であって、  
前記複数の画素回路のそれぞれは、  
前記第 1 の薄膜トランジスタのゲート及び前記保持容量に信号を与える第 2 の薄膜トランジスタをさらに含み、

前記第 2 の薄膜トランジスタは、

前記第 1 の薄膜トランジスタの前記チャンネル部と同層における半導体部を含み、

前記半導体部は、前記第 2 の薄膜トランジスタのチャンネル部と前記第 2 の薄膜トランジスタの前記チャンネル部に連続する不純物ドーブ部とを含み、

前記不純物ドーブ部、前記第 1 の薄膜トランジスタの前記ボトムゲート電極、及び前記第 1 の薄膜トランジスタの前記トップゲート電極は、共通のコンタクトホールにおいて相互接続されている、O L E D 表示装置。

## 【請求項 9】

請求項 8 に記載の O L E D 表示装置であって、

前記第 1 の基板に対向する第 2 の基板と、

前記複数の画素回路を囲むように配置され、前記第 1 の基板と前記第 2 の基板とを接合する、接合部と、

前記接合部よりも内側に配置された、前記第 2 の薄膜トランジスタの走査ドライバと、

前記接合部の下に配置され、前記走査ドライバのための、前記ボトムゲート電極と同層の配線層と前記トップゲート電極と同層の配線層と、をさらに含む、O L E D 表示装置。

## 【請求項 10】

請求項 6 に記載の O L E D 表示装置であって、

前記トップゲート電極より上層において、互いに離間して第 1 の方向に延びる複数の電源配線と、

前記第 1 の方向と異なる第 2 の方向に延び、前記ボトムゲート電極と同層に形成され、前記複数の電源配線とコンタクト部により接続された、複数の補助電源配線と、をさらに含む、O L E D 表示装置。

## 【請求項 11】

O L E D 表示装置の製造方法であって、

前記 O L E D 表示装置は、

複数の画素であって、各画素が、有機発光膜と、前記有機発光膜を挟む下部電極及び上部電極とを含む、複数の画素と、

前記複数の画素それぞれへ供給する電流を制御して前記複数の画素それぞれの発光量を制御する、複数の画素回路と、を含み、

前記複数の画素回路の各画素回路は、前記下部電極を介して前記有機発光膜に電流を供給する第 1 の薄膜トランジスタと、前記第 1 の薄膜トランジスタのゲート電位を維持する保持容量と、を含み、

前記製造方法は、

第 1 の基板の上に前記第 1 の薄膜トランジスタのボトムゲート電極を形成する、第 1 ステップと、

前記ボトムゲート電極の上に第 1 のゲート絶縁層を形成する、第 2 ステップと、

前記第 1 のゲート絶縁層の上に、前記ボトムゲート電極の一部と重なる前記第 1 の薄膜トランジスタのチャンネル部と、前記ボトムゲート電極の他の一部と重なる前記保持容量の保持容量電極とを含む、半導体層を形成する、第 3 ステップと、

前記半導体層の上に第 2 のゲート絶縁層を形成する、第 4 ステップと、

前記第 2 のゲート絶縁層の上に、前記保持容量電極と重なる領域の外に、前記チャンネル

10

20

30

40

50

部と重なる前記第 1 の薄膜トランジスタのトップゲート電極を形成する、第 5 ステップと、

前記トップゲート電極をマスクとして不純部を前記半導体層に注入する、第 6 ステップと、を含む、製造方法。

【請求項 1 2】

請求項 1 1 に記載の製造方法であって、

前記第 1 のゲート絶縁層の厚みは、前記第 2 のゲート絶縁層の厚み以下である、製造方法。

【請求項 1 3】

請求項 1 1 に記載の製造方法であって、

前記複数の画素回路のそれぞれは、前記第 1 の薄膜トランジスタのゲート及び前記保持容量に信号を与える第 2 の薄膜トランジスタをさらに含み、

前記半導体層は、前記第 2 の薄膜トランジスタのチャネル部を含む半導体部をさらに含み、

第 5 ステップは、前記第 2 のゲート絶縁層の上に、前記第 2 の薄膜トランジスタの前記チャネル部と重なる前記第 2 の薄膜トランジスタのトップゲート電極をさらに形成し、

前記製造方法は、さらに、

前記第 1 の薄膜トランジスタ及び前記第 2 の薄膜トランジスタの前記トップゲート電極の上に、第 3 の絶縁層を形成するステップと、

前記第 1 のゲート絶縁層、前記第 2 のゲート絶縁層、及び前記第 3 の絶縁層を貫通し、前記第 2 の薄膜トランジスタの不純物ドーパ部、前記第 1 の薄膜トランジスタのボトムゲート電極、及び前記第 1 の薄膜トランジスタのトップゲート電極が露出するコンタクトホールを形成するステップと、

前記コンタクトホールに相互接続電極を形成するステップと、をさらに含む、製造方法。

【請求項 1 4】

請求項 1 3 に記載の製造方法であって、

前記第 1 ステップは、前記複数の画素回路の外側に、前記第 2 の薄膜トランジスタの走査ドライバの下部配線を形成することをさらに含み、

前記第 5 ステップは、前記複数の画素回路の外側に、前記第 2 の薄膜トランジスタの走査ドライバの上部配線を形成することをさらに含み、

前記製造方法は、

前記下部配線及び前記上部配線を覆うように、前記第 1 の基板上にガラスフリットを塗設し、前記ガラスフリット上に第 2 の基板を載置し、前記ガラスフリットをレーザ光により加熱し、溶融させて、前記第 1 の基板と前記第 2 の基板とを接合するステップをさらに含む、製造方法。

【請求項 1 5】

請求項 1 1 に記載の製造方法であって、

前記第 1 ステップは、前記ボトムゲート電極と同時に、第 1 の方向に延びる複数の補助電源配線をさらに形成し、

前記製造方法は、さらに、

前記第 1 の薄膜トランジスタの前記トップゲート電極より上層において、互いに離間して前記第 1 の方向と異なる第 2 の方向に延び、前記複数の画素に対する電流を伝送する複数の電源配線を形成する、ステップと、

前記複数の補助電源配線と前記複数の電源配線とを相互接続するステップと、を含む、製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、O L E D 表示装置、その回路、及びその製造方法に関する。

## 【背景技術】

## 【0002】

OLED (Organic Light-Emitting Diode) 素子は電流駆動型の自発光素子であるため、バックライトが不要となる上に、低消費電力、高視野角、高コントラスト比が得られるなどのメリットがあり、フラットパネルディスプレイの開発において期待されている。

## 【0003】

アクティブマトリックス (AM) タイプのOLED表示装置は、画素を選択するトランジスタと、画素に電流を供給する駆動トランジスタを含む。OLED表示装置におけるトランジスタは、TFT (Thin Film Transistor) であり、一般に、LTPS (Low Temperature Poly-silicon) TFTが使用される。また、一般のOLED表示装置には、駆動トランジスタの閾値電圧のバラツキや変動を補償する補償回路が実装される。

## 【0004】

従来構造のTFTは、ヒステリシス特性を有する。ヒステリシス特性により、ゲート電位の上昇と下降において異なるドレイン電流が流れる。駆動トランジスタのヒステリシス特性は、イメージリテンションと呼ばれる現象を引き起こす。例えば、OLED表示装置においてしばらく黒画面を表示した後に白画面が表示 (白表示) されるように画面表示の切り替え制御をした場合、切り替えたタイミングで画面がすぐに白くならず、数フレーム表示された後に白画面が表示される。

## 【0005】

駆動TFTに長時間電流を流さないと、駆動TFTのヒステリシス特性が初期化される。初期化されたヒステリシス特性を基にして決められた白表示用のV<sub>gs</sub>バイアスを印加しても、点灯させる場合にはヒステリシス特性によって瞬時に電流が減ってしまうので、本来の白表示の明るさにならない。

## 【0006】

一方、OLED表示装置の製造の観点において、効率的なプロセスが望まれる。OLED表示装置は、有機発光素子を含む画素及び画素の発光量を制御する画素回路を含む多層構造を有する。OLED表示装置の製造は、異なる開口パターンのマスクを使用したパターンニングを繰り返して、基板上に画素回路及び有機発光素子を形成する。

## 【先行技術文献】

## 【特許文献】

## 【0007】

【特許文献1】米国特許出願公開2017/0062545号

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0008】

したがって、OLED表示装置のイメージリテンションを抑制しつつ、OLED表示装置の製造に使用されるマスク数を低減できる技術が望まれる。

## 【課題を解決するための手段】

## 【0009】

本実施の形態の表示装置の一態様は、OLED表示装置の画素の光量を制御する回路であって、有機発光膜に電流を供給する第1の薄膜トランジスタと、前記第1の薄膜トランジスタのゲート電位を維持する保持容量と、を含み、前記第1の薄膜トランジスタは、ボトムゲート電極と、前記ボトムゲート電極より上層において、前記ボトムゲート電極の一部と重なるように形成されたチャネル部と、前記チャネル部と前記ボトムゲート電極との間に形成された第1のゲート絶縁層と、前記チャネル部よりも上層において、前記チャネル部と重なるように形成され、前記ボトムゲート電極と接続された、トップゲート電極と、前記チャネル部と前記トップゲート電極との間に形成された第2のゲート絶縁層と、を含み、前記保持容量は、前記チャネル部と同層において前記トップゲート電極と重なる領

域の外に形成され、前記ボトムゲート電極の一部と前記第１のゲート絶縁層を介して重なり、不純物半導体で形成された、保持容量電極を含む。

【発明の効果】

【００１０】

本実施の形態の一態様によれば、ＯＬＥＤ表示装置のイメージリテンションを抑制しつつ、ＯＬＥＤ表示装置の製造に使用されるマスク数を低減できる。

【図面の簡単な説明】

【００１１】

【図１】本実施形態に係る、ＯＬＥＤ表示装置の構成例を模式的に示す。

【図２Ａ】画素回路の構成例を示す。

10

【図２Ｂ】画素回路の他の構成例を示す。

【図２Ｃ】画素回路の他の構成例を示す

【図３Ａ】表示領域内の一部構成を示す平面図である。

【図３Ｂ】図３ＡにおけるＰＱ切断線での断面図である。

【図３Ｃ】図３ＡにおけるＲＳ切断線での断面図である。

【図４Ａ】ボトムゲート電極のパターン例を示す。

【図４Ｂ】ポリシリコン層のパターンを示す。

【図４Ｃ】トップゲート電極及び走査線を含む金属層を、下層のポリシリコン層及びボトムゲート電極のパターンと共に示す。

【図４Ｄ】Ｍ２金属層のパターンを示す。

20

【図５】表示領域の他の構成例を示す。

【図６Ａ】画素回路の他の構成例の平面図である。

【図６Ｂ】画素回路の他の構成例の断面図である。

【図７】ガラスフリットシール部に配設された走査ドライバ用配線の例を示す。

【発明を実施するための形態】

【００１２】

以下、添付図面を参照して本発明の実施形態を説明する。本実施形態は本発明を実現するための一例に過ぎず、本発明の技術的範囲を限定するものではないことに注意すべきである。

【００１３】

30

以下に開示するＯＬＥＤ（Organic Light-Emitting Diode）表示装置の画素回路は、デュアルゲート駆動ＴＦＴを含む。デュアルゲートＴＦＴのゲートは、チャンネル部を挟むトップゲート電極とボトムゲート電極とを含む、デュアル構造を有する。

【００１４】

発明者の研究により、デュアルゲートＴＦＴは、イメージリテンションの原因となるＴＦＴのヒステリシスを、大きく低減することができることがわかった。試験的に作成したデュアルゲートＴＦＴは、シングルゲートＴＦＴと比較して、小さいヒステリシス特性を示した。

【００１５】

40

一方、デュアルゲートＴＦＴは、通常のＴＦＴ構造に加えて、追加のゲート電極をさらに含む。したがって、ＯＬＥＤ表示装置の製造は、追加のゲート電極を形成するためのマスク及びパターニング工程を必要とする。

【００１６】

以下に開示の画素回路は、駆動ＴＦＴの半導体部と同一層に形成された保持容量電極を含む。保持容量は、駆動ＴＦＴのゲート電位を維持するための容量である。保持容量電極は、不純物がドーピングされた半導体で形成されており、駆動ＴＦＴの半導体部と同時に形成される。保持容量電極は、ボトムゲート電極と重なるように形成され、保持容量電極とボトムゲート電極との間で保持容量が構成される。

【００１７】

50

駆動ＴＦＴの半導体部は、チャネル部と、チャネル部を挟む不純物ドーピング部（ソース／ドレイン部）を含む。不純物ドーピング部は、不純物がドーピングされており、それぞれ、ソース電極及びドレイン電極とコンタクトする。以下に開示するＯＬＥＤ表示装置の製造方法は、トップゲート電極をマスクとして、半導体部に不純物をドーピングして、不純物ドーピング部を形成する（セルフアラインメント）。

【００１８】

トップゲート電極は、保持容量電極と重なる領域の外に形成されている。つまり、トップゲート電極は、保持容量電極と重ならない位置に形成されている。したがって、駆動ＴＦＴの半導体部へのドーピングは、半導体部と同一層の保持容量電極に対しても不純物をドーピングする。不純物ドーピングにより保持容量電の低効率が低下し、保持容量電極として必要な特性が得られる。

10

【００１９】

上述のように、デュアルゲート構造を有する駆動ＴＦＴは、ヒステリシス特性を低減し、ヒステリシス特性に起因するイメージリテンションを効果的に抑制できる。さらに、不純物ドーピングされる保持容量電極を、駆動ＴＦＴの半導体部と同一層において、トップゲート電極と重ならないように形成することで、セルフアラインメントにより、駆動ＴＦＴの半導体部と保持容量電極とを同時に形成（パターニング及びドーピング）できる。これにより、ＯＬＥＤ表示装置製造におけるマスク数を低減できる。

【００２０】

以下において、図面を参照して本実施形態を具体的に説明する。各図において共通の構成については同一の参照符号が付されている。説明をわかりやすくするため、図示した物の寸法、形状については、誇張して記載している場合もある。

20

【００２１】

[全体構成]

図１は、本実施形態に係る、ＯＬＥＤ表示装置１０の構成例を模式的に示す。ＯＬＥＤ表示装置１０は、有機発光素子が形成されるＴＦＴ（Thin Film Transistor）基板１００と、有機発光素子を封止する封止部２００と、ＴＦＴ基板１００と封止基板２００とを接合する接合部（ガラスフリットシール部）３００を含んで構成されている。ＴＦＴ基板１００と封止基板２００の間には、例えば、乾燥空気が封入されており、接合部３００により封止されている。

30

【００２２】

ＴＦＴ基板１００の表示領域１２５の外側のカソード電極形成領域１１４の周囲に、走査ドライバ１３１、エミッションドライバ１３２、保護回路１３３、ドライバＩＣ１３４、デマルチプレクサ１３６が配置されている。ドライバＩＣ１３４は、ＦＰＣ（Flexible Printed Circuit）１３５を介して外部の機器と接続される。

【００２３】

走査ドライバ１３１はＴＦＴ基板１００の走査線を駆動する。エミッションドライバ１３２は、エミッション制御線を駆動して、各画素の発光期間を制御する。ドライバＩＣ１３４は、例えば、異方性導電フィルム（ＡＣＦ：Anisotropic Conductive Film）を用いて実装される。

40

【００２４】

ドライバＩＣ１３４は、走査ドライバ１３１及びエミッションドライバ１３２に電源及びタイミング信号（制御信号）を与える。さらに、ドライバＩＣ１３４は、デマルチプレクサ１３６に、電源及びデータ信号を与える。

【００２５】

デマルチプレクサ１３６は、ドライバＩＣ１３４の一つのピンの出力を、 $n$ 本（ $n$ は２以上の整数）のデータ線に順次出力する。デマルチプレクサ１３６は、ドライバＩＣ１３４からのデータ信号の出力先データ線を、走査期間内に $n$ 回切り替えることで、ドライバＩＣ１３４の出力ピン数の $n$ 倍のデータ線を駆動する。

【００２６】

50

## 〔画素回路構成〕

基板 100 上には、複数の副画素のアノード電極にそれぞれ供給する電流を制御する複数の画素回路が形成されている。図 2 A は、画素回路の構成例を示す。各画素回路は、第 1 のトランジスタ T1 と、第 2 のトランジスタ T2 と、第 3 のトランジスタ T3 と、保持容量 C1 とを含む。画素回路は、副画素である OLED 素子 E1 の発光を制御する。トランジスタは、TFT (Thin Film Transistor) である。以下、第 1 のトランジスタ T1 ~ 第 3 のトランジスタ T3 をそれぞれトランジスタ T1 ~ トランジスタ T3 と略記する。

## 【0027】

トランジスタ T2 は副画素選択用のスイッチである。トランジスタ T2 は p チャンネル型 TFT であり、ゲート端子は、走査線 106 に接続されている。ドレイン端子は、データ線 105 に接続されている。ソース端子は、トランジスタ T1 のゲート端子に接続されている。

10

## 【0028】

トランジスタ T1 は OLED 素子 E1 の駆動用のトランジスタ (駆動 TFT) である。トランジスタ T1 は p チャンネル型 TFT であり、そのゲート端子は T2 のソース端子に接続されている。トランジスタ T1 のソース端子は電源線 108 (Vdd) に接続されている。ドレイン端子は、トランジスタ T3 のソース端子に接続されている。トランジスタ T1 のゲート端子とソース端子との間に保持容量 C1 が形成されている。

## 【0029】

20

トランジスタ T3 は、OLED 素子 E1 への駆動電流の供給と停止を制御するスイッチである。トランジスタ T3 は p チャンネル型 TFT であり、ゲート端子はエミッション制御線 107 に接続されている。トランジスタ T3 のソース端子はトランジスタ T1 のドレイン端子に接続されている。ドレイン端子は、OLED 素子 E1 に接続されている。

## 【0030】

次に、画素回路の動作を説明する。走査ドライバ 131 が走査線 106 に選択パルスを出し、トランジスタ T2 を開状態にする。データ線 105 を介してドライバ IC 134 から供給されたデータ電圧は、保持容量 C1 に格納される。保持容量 C1 は、格納された電圧を、1 フレーム期間を通じて保持する。保持電圧によって、トランジスタ T1 のコンダクタンスがアナログ的に変化し、トランジスタ T1 は、発光諧調に対応した順バイアス電流を OLED 素子 E1 に供給する。

30

## 【0031】

トランジスタ T3 は、駆動電流の供給経路上に位置する。エミッションドライバ 132 は、エミッション制御線 107 に制御信号を出力して、トランジスタ T3 開閉状態を制御する。トランジスタ T3 が開状態のとき、駆動電流が OLED 素子 E1 に供給される。トランジスタ T3 が閉状態のとき、この供給が停止される。トランジスタ T3 の開閉を制御することにより、1 フィールド周期内の点灯期間 (デューティ比) を制御することができる。

## 【0032】

図 2 B は、画素回路の他の構成例を示す。図 2 A の画素回路との相違は、トランジスタ T2a と、トランジスタ T3 である。トランジスタ T2a は、図 2 A のトランジスタ T2 の機能 (副画素選択用のスイッチ) と同じ機能を有するスイッチである。

40

## 【0033】

トランジスタ T3 は、様々な目的で 사용할 ことができる。トランジスタ T3 は、例えば、OLED 素子 E1 間のリーク電流によるクロストークを抑制するために、一旦、OLED 素子 E1 のアノード電極を黒信号レベル以下の十分低い電圧にリセットする目的で使用しても良い。

## 【0034】

他にも、トランジスタ T3 は、トランジスタ T1 の特性を測定する目的で使用してもよい。例えば、トランジスタ T1 を飽和領域、スイッチングトランジスタ T3 を線形領域で

50



動作するようにバイアス条件を選んで、電源線 108 (V<sub>dd</sub>) から基準電圧供給線 109 (V<sub>ref</sub>) に流れる電流を測定すれば、トランジスタ T1 の電圧・電流変換特性を正確に測定することができる。副画素毎のトランジスタ T1 の電圧・電流変換特性の違いを補償するデータ信号を外部回路で生成すれば、均一性の高い表示画像を実現できる。

#### 【0035】

一方、トランジスタ T1 をオフ状態にしてトランジスタ T3 をリニア領域で動作させ、OLED 素子 E1 を発光させる電圧を基準電圧供給線 109 から印加すれば、副画素毎の OLED 素子 E1 の電圧・電流特性を正確に測定することができる。例えば、長時間の使用によって OLED 素子 E1 が劣化した場合にも、その劣化量を補償するデータ信号を外部回路で生成すれば、長寿命化を実現できる。

10

#### 【0036】

図 2 A 及び 2 B の画素回路は例であって、画素回路は他の回路構成を有してよい。図 2 A 及び 2 B の画素回路は p チャネル型 TFT を使用しているが、画素回路は n チャネル型 TFT を使用してもよい。

#### 【0037】

##### [ 表示領域の詳細 ]

以下において、画素レイアウト、画素回路の物理構造及び OLED 表示装置の製造方法を説明する。特に、駆動 TFT (第 1 のトランジスタ T1) 及び保持容量 C1 の構造及びそれらの製造方法を詳細に説明する。説明の容易のため、図 2 C に示す画素回路構成を有する副画素の例を説明する。図 2 C の画素回路は、図 2 A に示す画素回路から、トランジスタ T3 及びエミッション制御線を省略した構成を有する。以下に説明する素子構造及び製造方法は、図 2 A 又は図 2 B に示すような、他の画素回路構成に適用することができる。

20

#### 【0038】

図 3 A は、表示領域 125 内の一部構成を示す平面図である。図 3 A において、積層された要素を視認しやすいように、要素は透過して描かれている。図 3 A は、二つの主画素を示す。一つの主画素は赤、緑、及び青の三つの副画素で構成される。各副画素 (OLED 素子) に一つの画素回路が対応する。なお、各画素の境界は、副画素の組を繰り返し配置した場合における隣り合う副画素の組との関係で規定されるものであり、矩形でもよく、矩形以外の形状でもよい。

30

#### 【0039】

以下の説明において、上下左右は、図 3 A における上下左右を意味する。左右方向はマトリックス状に配置された画素の行方向であり、上下方向は列方向である。図 3 A の紙面の法線方向は、表示領域 125 (副画素及び画素回路) の積層方向である。

#### 【0040】

図 3 A において、図示の容易のため、OLED 素子 (副画素) 及び画素回路の一部の要素のみが符号で指示されている。異なる色の副画素の画素回路は、一部異なる物理構造を有するが、同一の回路構成を有する。したがって、図 3 A において、一つの OLED 素子又は画素回路において符号で指示されている要素の説明は、他の OLED 素子又は画素回路において符号で指示されていない要素に適用できる。

40

#### 【0041】

図 3 A が示す画素レイアウト例において、赤の副画素の発光領域 165 R の下に緑の副画素の発光領域 165 G が配置されている。赤の副画素の発光領域 165 R 及び緑の副画素の発光領域 165 G の右側に、青の副画素の発光領域 165 B が配置されている。赤の発光領域 165 R 及び緑の発光領域 165 G は、上下方向に、交互に一行に配列されている。

#### 【0042】

青の副画素の発光領域 165 B は、上下方向に、連続して一行に配列されている。上側の画素行において、青の副画素の発光領域 165 B は、赤の副画素の発光領域 165 R よりも緑の副画素の発光領域 165 G により近い。下側の画素行において、青の副画素の発

50

光領域 1 6 5 B は、緑の副画素の発光領域 1 6 5 G よりも赤の副画素の発光領域 1 6 5 R により近い。図 3 A に示す画素レイアウト要素が表示領域 1 2 5 に渡って繰り返されている。

#### 【 0 0 4 3 】

図 3 A に示す画素レイアウトは一例であって、本実施形態の特徴は他の任意の画素レイアウトに適用することができる。例えば、赤、緑、及び青の副画素列が交互に配列された、R G B ストライプ配列やペンタイル配列に適用できる。例えば、隣接する二つの青の発光領域が連続し、連続する発光領域からなるペアは互いに分離されていてもよい。

#### 【 0 0 4 4 】

各副画素の発光領域は、アノード電極 1 6 2 内に配置されている。アノード電極 1 6 2 は、コンタクト部 1 7 8、電極 1 8 1 及びコンタクト部 1 7 6 を介して、駆動 T F T ( T 1 ) のドレインに接続されている。コンタクト部 1 7 8 はアノード電極 1 6 2 と電極 1 8 1 とを相互接続し、コンタクト部 1 7 6 は電極 1 8 1 と駆動 T F T ( T 1 ) のドレインとを相互接続する。

#### 【 0 0 4 5 】

後述するように、駆動 T F T ( T 1 ) はデュアルゲート構造を有する。本実施形態のデュアルゲート構造は、半導体部を、積層方向において絶縁層を介して挟む、トップゲート電極 1 5 7 及びボトムゲート電極 1 5 3 を有する。

#### 【 0 0 4 6 】

駆動 T F T ( T 1 ) のソースは、コンタクト部 1 7 7 を介して、電源線 1 0 8 に接続されている。電源線 1 0 8 は、上下方向に延び、左右方向に所定間隔を置いて、配列されている。一画素列に対して、3本の電源線 1 0 8 から電流が供給される。

#### 【 0 0 4 7 】

駆動 T F T ( T 1 ) のトップゲート電極 1 5 7 は、コンタクト部 1 7 4、電極 1 8 3、及びコンタクト部 1 7 3 を介して、ボトムゲート電極 1 5 3 に接続されている。コンタクト部 1 7 4 は、トップゲート電極 1 5 7 と電極 1 8 3 とを相互接続する。コンタクト部 1 7 3 は、電極 1 8 3 とボトムゲート電極 1 5 3 とを相互接続する。

#### 【 0 0 4 8 】

トップゲート電極 1 5 7 及びボトムゲート電極 1 5 3 は、さらに、電極 1 8 3 及びコンタクト部 1 7 2 を介して、スイッチング T F T ( 第 2 のトランジスタ ) ( T 2 ) のドレインに接続されている。コンタクト部 1 7 2 は、電極 1 8 3 とスイッチング T F T ( T 2 ) のドレインとを相互接続する。

#### 【 0 0 4 9 】

保持容量 C 1 は、保持容量電極 1 9 1 とボトムゲート電極 1 5 3 との間で構成される。保持容量電極 1 9 1 は、積層方向において、ボトムゲート電極 1 5 3 の一部と重なるように配置 ( 形成 ) されている。保持容量電極 1 9 1 は、トップゲート電極 1 5 7 と重なる領域の外に配置 ( 形成 ) されている。ボトムゲート電極 1 5 3 の一部はトップゲート電極 1 5 7 ( の一部 ) と対向し、ボトムゲート電極 1 5 3 の他の一部は、保持容量電極 1 9 1 と対向する。

#### 【 0 0 5 0 】

後述するように、保持容量電極 1 9 1 は不純物ドーパされた半導体であり、駆動 T F T ( T 1 ) の半導体部と同層に形成される。保持容量電極 1 9 1 は、トップゲート電極 1 5 7 と重ならない位置に形成されている。保持容量電極 1 9 1 は、駆動 T F T ( T 1 ) の半導体部と同じプロセスで形成することができる。さらに、セルフアラインメントによる不純物ドーパにより、マスクによらず、保持容量電極 1 9 1 と駆動 T F T ( T 1 ) の半導体部とを同時にドーパすることができる。

#### 【 0 0 5 1 】

走査線 1 0 6 はスイッチング T F T ( T 2 ) と重なり、スイッチング T F T ( T 2 ) のゲートとして機能する。走査線 1 0 6 は、左右方向において延び、上下方向に所定間隔を置いて配列されている。一画素行に対して、1本の走査線 1 0 6 から走査信号が与えられ

10

20

30

40

50

る。

【0052】

スイッチングTFT(T2)のソースは、コンタクト部171を介して、データ線105に接続されている。コンタクト部171は、スイッチングTFT(T2)のソースとデータ線105とを相互接続する。データ線105は、上下方向に延び、左右方向に所定間隔を置いて、配列されている。一画素列に対して、3本のデータ線105から副画素の輝度を決める制御信号が与えられる。

【0053】

図3Bは、図3AにおけるPQ切断線での断面図である。図3Cは、図3AにおけるRS切断線での断面図である。以下において、上下方向は図面における上下方向であり、多層膜の積層方向である。左右方向は図面における左右方向である。視認容易のため、図3Bにおける要素のハッチパターンは、図3Aにおける要素のハッチパターンとは異なる。

【0054】

図3Bは、主に、OLED素子、並びに、画素回路における、スイッチングTFT(T2)及び保持容量C1の構造を模式的に示している。OLED素子及び画素回路は、絶縁基板151と封止基板200との間に形成されている。

【0055】

OLED素子は、下部電極(例えば、アノード電極162)と、上部電極(例えば、カソード電極167)と、有機発光膜とを含む。図3Bは、赤の有機発光膜166Rと緑の有機発光膜166Gを図示する。図3Bは、トップエミッション型の副画素の例を示し、カソード電極167は、有機発光膜からの光を封止基板200に向けて透過させる透明電極である。副画素は、ボトムエミッション型であってもよい。

【0056】

カソード電極167は、表示領域125の全面を完全に覆う形状を有する。アノード電極162は、副画素毎に分離して形成されている。有機発光膜からの光の一部は、アノード電極162によって反射され、カソード電極167を透過して、封止基板200を通過して表示装置10の表示面に出射する。なお、副画素は、アノード電極が上部電極であり、カソード電極が下部電極である構成を有してもよい。

【0057】

絶縁基板151上に、絶縁層152を介して、ボトムゲート電極153が形成されている。ボトムゲート電極153の上に、下部ゲート絶縁層(第1のゲート絶縁層)154が形成されている。下部ゲート絶縁層154上に、スイッチングTFT(T2)の半導体部及び保持容量C1の保持容量電極191が形成されている。半導体部及び保持容量電極191は同一層(半導体層)であり、例えば、低温ポリシリコン(LTPS: Low-temperature polysilicon)で構成される。

【0058】

半導体部は、ソース142、チャネル部141A、141B、及びドレイン143を含む。ソース142及びドレイン143は高濃度不純物ドーパされた低温ポリシリコンである。本例において、ソース142及びドレイン143はp型半導体である。ソース142とドレイン143に挟まれたチャネル部141A、141Bは、i型半導体である。

【0059】

保持容量電極191は、ソース142及びドレイン143と同様に、高濃度不純物ドーパされた低温ポリシリコンである。保持容量電極191は、ボトムゲート電極153と積層方向において対向するように配置されている。保持容量電極191、ボトムゲート電極153、及び保持容量電極191とボトムゲート電極153とに挟まれた下部ゲート絶縁層154とが、保持容量C1を構成する。

【0060】

スイッチングTFT(T2)の半導体部及び保持容量電極191上に、上部ゲート絶縁層156(第2のゲート絶縁層)が形成されている。チャネル部141A、141Bを覆うように、上部ゲート絶縁層156上に、走査線106が形成されている。走査線106

10

20

30

40

50

は、スイッチングTFT(T2)のゲート電極であり、上部ゲート絶縁層156を介して、チャンネル部141A、141Bと対向する。

【0061】

走査線106と同一層に、駆動TFT(T1)のトップゲート電極157が形成されている。図3Aに示すように、トップゲート電極157は、駆動TFT(T1)の半導体部と対向する部分と、駆動TFT(T1)からスイッチングTFT(T2)に向かって延びるアーム部とを含む。

【0062】

走査線106及び駆動TFT(T1)のトップゲート電極157の層上に、層間絶縁層158が形成されている。データ線105、電極183、及び電源線108が、層間絶縁層158上に形成されている。これらは同一層において離間して形成されている。層間絶縁層158のコンタクトホールに形成されているコンタクト部171は、データ線105とスイッチングTFT(T2)のソース142とを相互接続している。層間絶縁層158の他のコンタクトホールに形成されているコンタクト部175は、電源線108と保持容量電極191とを相互接続している。

【0063】

さらに、層間絶縁層158の他の三つのコンタクトホールに形成されているコンタクト部172、173、及び174は、それぞれ、電極183と、スイッチングTFT(T2)のドレイン143、駆動TFT(T1)のボトムゲート電極153、及び駆動TFT(T1)のトップゲート電極157とを相互接続している。ボトムゲート電極153とトップゲート電極157とはショートしており、同電位である。

【0064】

データ線105、電極183、及び電源線108の層上に、絶縁性の平坦化層161が形成される。そして、絶縁性の平坦化層161の上に、アノード電極162が形成されている。アノード電極162の上に、OLED素子を分離する絶縁性の画素定義層(Pixel Defining Layer: PDL)163が形成されている。

【0065】

OLED素子は、積層された、アノード電極162、有機発光膜166R又は166G、及びカソード電極167(の部分)で構成される。OLED素子は、画素定義層163の開口に形成されている。このように、画素定義層163の開口が、各副画素それぞれの発光領域を規定する。

【0066】

アノード電極162の上に、有機発光膜166R又は166Gが形成されている。有機発光膜166R及び166Gは、それぞれ、画素定義層163の開口及びその周囲において、画素定義層163に付着している。有機発光膜166R及び166Gの上にカソード電極167が形成されている。

【0067】

カソード電極167は、透明電極である。カソード電極167は、有機発光膜166R及び166Gからの可視光の全て又は一部を透過させる。カソード電極167の上には、キャップ層が形成されてもよい。

【0068】

1つのカソード電極167と1つのアノード電極162との間に、1つの有機発光膜が配置されている。より詳しく説明すると、複数のアノード電極162は、同一面上(例えば、平坦化層161の上)に配置され、1つのアノード電極162の上に1つの有機発光膜が配置されている。

【0069】

TFT基板100と封止基板200とは所定の間隔で固定される。封止基板200は、透明な絶縁基板であって、例えばガラス基板である。TFT基板100と封止基板200との間には空間が保持され、この空間に乾燥した空気等の気体が密封される。この密封構造により、水分等が有機EL素子へ侵入して劣化されるのを防いでいる。封止基板200

10

20

30

40

50

の光出射面（前面）に、 / 4 位相差板 2 0 1 と偏光板 2 0 2 とが配置され、外部から入射した光の反射を抑制する。

【 0 0 7 0 】

なお、封止基板 2 0 0 と異なる封止構造部を使用することもできる。例えば、無機膜と有機膜の積層構造による薄膜封止（T F E : T h i n F i l m E n c a p s u l a t i o n）構造部や耐透水性の高い可撓性又は不撓性の封止基板で全面を覆う構造等が使用できる。

【 0 0 7 1 】

本実施の形態における OLED のデバイス構造は、いわゆるトップエミッション型である。トップエミッション型の場合、有機発光膜からの光の一部は、アノード電極 1 6 2 によって反射され、カソード電極 1 6 7 を透過して、封止基板 2 0 0 を通って表示装置 1 0 の表示面（接触面）に出射する。O L E D 素子がキャビティ構造を有する場合、有機発光膜からの光は、反射アノード電極 1 6 2 と半透過カソード電極 1 6 7 との間において反射を繰り返す。この多重反射により共振波長の光が増幅される共振効果が発生する。共振効果によって副画素の色の波長成分が強調されて、光が半透過の透明カソード電極 1 6 7 から表示装置 1 0 の表示面に出射される。

10

【 0 0 7 2 】

図 3 C は、主に、画素回路における、駆動 T F T（T 1）の構造を模式的に示している。駆動 T F T（T 1）はデュアルゲート構造を有する。絶縁基板 1 5 1 上に、絶縁層 1 5 2 を介して、ボトムゲート電極 1 5 3 が形成されている。ボトムゲート電極 1 5 3 の上に、下部ゲート絶縁層 1 5 4 が形成されている。

20

【 0 0 7 3 】

下部ゲート絶縁層 1 5 4 上に、駆動 T F T（T 1）の半導体部が形成されている。駆動 T F T（T 1）の半導体部は、スイッチング T F T（T 2）の半導体部と同一層に形成されており、低温ポリシリコンで構成される。

【 0 0 7 4 】

半導体部は、ソース 1 4 7、チャネル部 1 4 5、及びドレイン 1 4 6 を含む。ソース 1 4 7 及びドレイン 1 4 6 は高濃度不純物ドーパされた低温ポリシリコンである。本例において、ソース 1 4 7 及びドレイン 1 4 6 は p 型半導体である。ソース 1 4 7 とドレイン 1 4 6 に挟まれたチャネル部 1 4 5 は、i 型半導体である。

30

【 0 0 7 5 】

チャネル部 1 4 5 を覆うように、上部ゲート絶縁層 1 5 6 を介して、トップゲート電極 1 5 7 が形成されている。チャネル部 1 4 5 は、トップゲート電極 1 5 7 とボトムゲート電極 1 5 3 との間に挟まれている。当該デュアルゲート構造は、イメージリテンションの原因となる T F T のヒステリシスを、大きく低減することができる。

【 0 0 7 6 】

図 3 C の例において、ボトムゲート電極 1 5 3 の幅（左右方向における長さ）はトップゲート電極 1 5 7 の幅より大きい。これらは同一でも、トップゲート電極 1 5 7 がより大きくてもよい。

【 0 0 7 7 】

一例において、下部ゲート絶縁層 1 5 4 の厚みは、上部ゲート絶縁層 1 5 6 の厚み以下、又は、上部ゲート絶縁層 1 5 6 の厚み未満である。これにより、駆動 T F T（T 1）のヒステリシス特性を、さらに小さくすることができる。

40

【 0 0 7 8 】

駆動 T F T（T 1）の製造プロセスは、下層から上層に向かって層を順次形成する。下部ゲート絶縁層 1 5 4 のプロセスダメージは、上部ゲート絶縁層 1 5 6 よりも小さい。下部ゲート絶縁層 1 5 4 の膜厚を薄くすることで、ヒステリシス特性を小さくすると共に、駆動 T F T（T 1）の他の優れた特性を得ることができる。

【 0 0 7 9 】

トップゲート電極 1 5 7 の層上に層間絶縁層 1 5 8 が形成されている。層間絶縁層 1 5

50

8上に、電極181及び電源線108が同層において形成されている。電源線108は、上部ゲート絶縁層156及び層間絶縁層158を貫通するコンタクトホールに形成されているコンタクト部177を介して、ソース147に接続されている。コンタクト部177は、電源線108及びソース147を相互接続する。

【0080】

電極181及び電源線108の層上に、絶縁性の平坦化層161が形成されている。絶縁性の平坦化層161の上に、アノード電極162が形成されている。アノード電極162は、電極181を介して、駆動TFT(T1)のドレイン146に接続されている。

【0081】

電極181は、平坦化層161のコンタクトホールに形成されたコンタクト部178を介して、アノード電極162に接続されている。コンタクト部178は、電極181及びアノード電極162を相互接続する。図3Aに示すように、アノード電極162の一部であって、有機発光膜と重ならない部分が、コンタクト部178と接続している。

【0082】

さらに、電極181は、上部ゲート絶縁層156及び層間絶縁層158を貫通するコンタクトホールに形成されているコンタクト部176を介して、ドレイン146に接続されている。コンタクト部176は、電極181及びドレイン146を相互接続する。

【0083】

[製造方法]

OLED表示装置10の製造方法の一例を模式的に示す。以下の説明において、同一工程で(同時に)形成される要素は、同一層の要素である。OLED表示装置10の製造方法は、まず、ガラス等の絶縁基板151上に、CVD(Chemical Vapor Deposition)等によって例えばシリコン窒化物を堆積して、絶縁層152を形成する。

【0084】

次に、スパッタ法等により絶縁層152上に金属材料を堆積し、パターニングを行って、ボトムゲート電極153を形成する。図4Aは、ボトムゲート電極153のパターン例を示す。金属材料は、例えば、Mo、Nb、W、又はMoとNb若しくはWとの合金である。

【0085】

次に、ボトムゲート電極153及び絶縁層152上に、CVD等によって例えばシリコン窒化物を堆積して、下部ゲート絶縁層154を形成する。次に、公知の低温ポリシリコンTFT製造技術を用いて、ポリシリコン層を形成する。例えば、CVD法によってアモルファスシリコンを堆積し、ELA(Excimer Laser Annealing)により結晶化してポリシリコン層を形成できる。

【0086】

図4Bは、ポリシリコン層(半導体層)のパターンを示す。ポリシリコン層は、スイッチングTFT(T2)の半導体部401、駆動TFT(T1)の半導体部402、及び保持容量電極191を含む。図4Bは、理解の容易のため、形成前のいくつかのコンタクト部をポリシリコン層のパターンと共に示している。

【0087】

さらに、図4Bは、ボトムゲート電極153のパターンを破線で示す。なお、保持容量電極191は、高濃度の不純物がドーピングされたポリシリコンで形成されるが、説明の容易のため、ドーピング前のポリシリコン部も保持容量電極191と呼ぶ。

【0088】

図4Bに示すように、各ボトムゲート電極153は、駆動TFT(T1)の半導体部402及び保持容量電極191に対向する。つまり、積層方向において、駆動TFT(T1)の半導体部402(の一部)はボトムゲート電極153の一部と重なり、保持容量電極191は、ボトムゲート電極153の他の一部と重なる。図4Bの例において、保持容量電極191の全部が、積層方向において、ボトムゲート電極153の一部と重なっている

10

20

30

40

50

。

## 【0089】

次に、ポリシリコン層及び下部ゲート絶縁層154上に、CVD法等によって、例えばシリコン酸化膜を付着して上部ゲート絶縁層156を形成する。更に、スパッタ法等により金属材料を堆積し、パターニングを行って、トップゲート電極157及び走査線106を含む、M1金属層を形成する。金属層の金属材料は、例えば、例えばMo、W、Nb、MoW、MoNb、Al、Nd、Ti、Cu、Cu合金、Al合金、Ag、Ag合金である。金属層は、単層又は複層でもよい。

## 【0090】

図4Cは、トップゲート電極157及び走査線106を含む金属層を、下層のポリシリコン層及びボトムゲート電極153のパターンと共に示す。図4Cは、理解の容易のため、形成前のいくつかのコンタクト部も示す。

10

## 【0091】

トップゲート電極157は、駆動TFET(T1)の半導体部402及びボトムゲート電極153に対向する部分と、駆動TFET(T1)からスイッチングTFET(T2)に向かって延びるアーム部とを含む。半導体部402の一部は、トップゲート電極157に重ならず、トップゲート電極157の外側において露出している。保持容量電極191は、トップゲート電極157に重ならず、トップゲート電極157が覆う領域の外側に形成されている。

## 【0092】

20

走査線106は、スイッチングTFET(T2)の半導体部401に対向する。スイッチングTFET(T2)の半導体部401の一部は、走査線106に重ならず、走査線106の外側において露出している。

## 【0093】

次に、トップゲート電極157及び走査線106をマスクとして、例えばイオン注入法により、半導体層に高濃度の不純物をドーピングする(セルフアライメント)。不純物は、例えば、ホウ素元素又はアルミニウム元素を含む。

## 【0094】

このドーピング工程により、スイッチングTFET(T2)のソース142、ドレイン143、駆動TFET(T1)のソース147、ドレイン146が形成されると共に、保持容量電極191が完成する。上述のように、保持容量電極191は、トップゲート電極157の外側において露出しているため、セルフアライメントによるドーピング工程において、不純物がドーピングされる。

30

## 【0095】

保持容量電極191を、デュアルゲート駆動TFETの半導体部と同一層に同一プロセスで形成することで、デュアルゲート駆動TFETのゲート電極の保持容量の一部を構成する保持容量電極191を効率的に製造することができる。さらに、保持容量電極191をトップゲート電極157と積層方向において重なる領域の外に保持容量電極191を形成し、セルフアラインで不純物ドーピングすることで、マスク数を低減することができる。

## 【0096】

40

次に、CVD法等によって、例えばシリコン酸化膜等を堆積して、層間絶縁層158を形成する。層間絶縁層158、上部ゲート絶縁層156、及び下部ゲート絶縁層154に異方性エッチングを行い、コンタクトホールを開口する。

## 【0097】

次に、スパッタ法等によって、例えば、Ti/Al/Ti等のアルミ合金を堆積し、パターニングを行って、M2金属層を形成する。図4Dは、M2金属層のパターンを示す。金属層は、データ線105、電源線108、電極181、183、コンタクト部171~177を含む。

## 【0098】

次に、感光性の有機材料を堆積し、平坦化層161を形成し、アノード電極162と駆

50

動TFTのドレイン146とを接続するために、コンタクトホールを開口する。コンタクトホールを形成した平坦化層161上に、アノード電極162を形成する。アノード電極162は、コンタクト部178、電極181及びコンタクト部176を介して、駆動TFTのドレイン146に接続される。

【0099】

アノード電極162は、ITO、IZO、ZnO、 $\text{In}_2\text{O}_3$ 等の透明膜、Ag、Mg、Al、Pt、Pd、Au、Ni、Nd、Ir、Cr又はこれらの化合物金属の反射膜、前記した透明膜の3層を含む。なお、アノード電極162の3層構成は、一例であり2層でもよい。

【0100】

次に、スピコート法等によって、例えば感光性の有機樹脂膜を堆積し、パターニングを行って画素定義層163を形成する。パターニングにより画素定義層163には孔が形成され、各副画素のアノード電極162が形成された孔の底で露出する。画素定義層163により、各副画素の発光領域が分離される。

【0101】

次に、画素定義層163を形成した絶縁基板151に対して有機発光材料付着して有機発光膜（有機発光層）を成膜する。RGBの色毎に、例えば、メタルマスクを使用して、有機EL材料を成膜して、アノード電極162上に、有機発光膜を形成する。

【0102】

メタルマスクを用いて有機発光材料を選択的に堆積させる場合には、発光領域よりやや大きめの開口部を有するメタルマスクを、順次、絶縁基板151にアライメントしてセットし、選択的に各色の有機発光材料を堆積させる。実際に電流が流れるのは画素定義層163の開口部のみであるので、この部分が発光領域となる。

【0103】

有機発光膜は、下層側から、例えば、正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層によって構成される。有機発光膜は、電子輸送層／発光層／正孔輸送層、電子輸送層／発光層／正孔輸送層／正孔注入層、電子注入層／電子輸送層／発光層／正孔輸送層、又は発光層単独の、いずれの構造を有してもよい。発光層の材料は副画素の色毎に異なり、必要に応じて正孔注入層や正孔輸送層等の膜厚も色毎に制御する。

【0104】

次に、画素定義層163及び有機発光膜（画素定義層163の開口における）が露出した、TFT基板100に対して、カソード電極167のための金属材料を付着する。金属材料は、有機発光膜上に付着する。

【0105】

透明カソード電極167の層は、例えば、Li、Ca、LiF/Ca、LiF/Al、Al、Mg又はこれらの合金を蒸着して、形成する。カソード電極167の膜厚は、光取り出し効率を向上させ良好な視野角依存性を確保するため最適化される。カソード電極167の抵抗が高く発光輝度の均一性が損なわれる場合には、さらに、ITO、IZO、ZnOまたは $\text{In}_2\text{O}_3$ などの透明電極形成用の材料で補助電極層を追加する。カソード電極167の形成後、光取り出し効率向上のため、ガラスより屈折率の高い絶縁膜を堆積させキャップ層を形成してもよい。

【0106】

以上により、RGBの各副画素に対応するOLED素子が形成され、アノード電極162と有機発光膜とが接触した部分（画素定義層163の開口内）が各々、赤の発光領域165R、緑発光領域165G、青の発光領域165Bとなる。

【0107】

次に、TFT基板100の外周にガラスフリットを塗設し、その上に封止基板200を載置し、ガラスフリット部をレーザ光により加熱し、熔融させTFT基板100と封止基板200を密封する。その後、封止基板200の光出射側に、/4位相差板201、偏光板202を形成し、OLED表示装置10が完成する。

10

20

30

40

50



## 【 0 1 0 8 】

## [ 他の構成例 ]

図 5 は、表示領域 1 2 5 の他の構成例を示す。表示領域 1 2 5 は、図 3 A に示す構成に加え、補助電源線 1 0 2 を含む。補助電源線 1 0 2 は、ボトムゲート電極 1 5 3 と同一層において同一プロセスで形成される。補助電源線 1 0 2 は、走査線 1 0 6 と同様に、左右方向（行方向）に延び、互いに離間して上下方向（列方向）に配列されている。

## 【 0 1 0 9 】

補助電源線 1 0 2 は、それぞれ、電源線 1 0 8 に、下部ゲート絶縁層 1 5 4、上部ゲート絶縁層 1 5 6 及び層間絶縁層 1 5 8 を貫通するコンタクト部 1 2 1 を介して接続されている。コンタクト部 1 2 1 は、電源線 1 0 8 と補助電源線 1 0 2 とを相互接続する。コンタクト部 1 2 1 は、保持容量電極 1 9 1（ドープされた半導体部）と接続していてもよい。補助電源線 1 0 2 と電源線 1 0 8 とをメッシュ状に配列することで、駆動 T F T（T 1）それぞれに与える電位をより安定させることができる。

10

## 【 0 1 1 0 】

図 5 の例は、走査線 1 0 6 に近接する補助電源線 1 0 2 を示すが、補助電源線 1 0 2 は他の位置に形成されてもよい。補助電源線 1 0 2 の数は、走査線 1 0 6 の数と同一、より多い又はより少なくてよい。各補助電源線 1 0 2 は全ての電源線 1 0 8 にコンタクト部 1 2 1 において接続されていても、一部の電源線 1 0 8 にコンタクト部 1 2 1 において接続されていてもよい。

## 【 0 1 1 1 】

20

図 6 A 及び図 6 B は、画素回路の他の構成例を示す。本構成例において、トップゲート電極 1 5 7、スイッチング T F T（T 2）のドレイン 1 4 3、及びボトムゲート電極 1 5 3 が一つのコンタクトホールに形成された一つのコンタクト部 1 7 9 で相互接続されている。コンタクト部 1 7 9 は、図 3 B に示すコンタクト部 1 7 2、1 7 3、及び 1 7 4 を統合して形成されたコンタクト部である。3 絶縁層のコンタクトホールは、一回のエッチングで同時に形成される。

## 【 0 1 1 2 】

このように、M 2 金属層、ポリシリコン層及び M 1 金属層を一つのコンタクト部で相互接続することで、コンタクト部の専有面積を低減できる。この結果、例えば、保持容量電極及び保持容量を大きくすることができる。

30

## 【 0 1 1 3 】

図 7 は、接合部（ガラスフリットシール部）3 0 0 下に配設された走査ドライバ用配線の例を示す。走査ドライバ 1 3 1 及び表示領域 1 2 5 は、接合部 3 0 0 の内側（図 7 における右側）に配置されている。

## 【 0 1 1 4 】

走査ドライバ用配線は、ボトムゲート電極 1 5 3 と同層の下部配線層 3 1 3 と、トップゲート電極 1 5 7 と同層（M 1 金属層）の上部配線層 3 1 5 とを含む。下部配線層 3 1 3 と基板 1 5 1 との間には絶縁層 1 5 2 が形成され、下部配線層 3 1 3 と上部配線層 3 1 5 との間には、下部ゲート絶縁層 1 5 4 及び上部ゲート絶縁層 1 5 6 が配置されている。上部配線層 3 1 5 と接合部 3 0 0 との間は、それらと接触する層間絶縁層 1 5 8 が配置されている。

40

## 【 0 1 1 5 】

このように、接合部 3 0 0 と重なる領域、つまり、接合部 3 0 0 と基板 1 5 1 との間に走査ドライバ用の配線を設け、配線の一部を M 1 層に配置し、配線の他の部分をボトムゲート電極 1 5 3 と同層に配置することで、狭額縁化を実現できる。

## 【 0 1 1 6 】

O L E D 表示装置 1 0 の製造は、下部ゲート絶縁層 1 5 4 及び上部ゲート絶縁層 1 5 6 を覆うように、ガラスフリットを塗設し、その上に封止基板 2 0 0 を載置し、ガラスフリット部をレーザ光により加熱し、熔融させ T F T 基板 1 0 0 と封止基板 2 0 0 を密封する。

50

## 【 0 1 1 7 】

このように、接合部（ガラスフリット部）300は、レーザ光により加熱、溶融されるため、下部配線層313（ボトムゲート電極153を含む層）と上部配線層315（トップゲート電極157を含むM1金属層）とは、例えば、高融点金属材料で形成される。高融点材料の例は、Mo（モリブデン）、Nb（ニオブ）、W（タングステン）、又は高融点金属の合金である。

## 【 0 1 1 8 】

以上、本発明の実施形態を説明したが、本発明が上記の実施形態に限定されるものではない。当業者であれば、上記の実施形態の各要素を、本発明の範囲において容易に変更、追加、変換することが可能である。ある実施形態の構成の一部を他の実施形態の構成に置き換えることが可能であり、ある実施形態の構成に他の実施形態の構成を加えることも可能である。

10

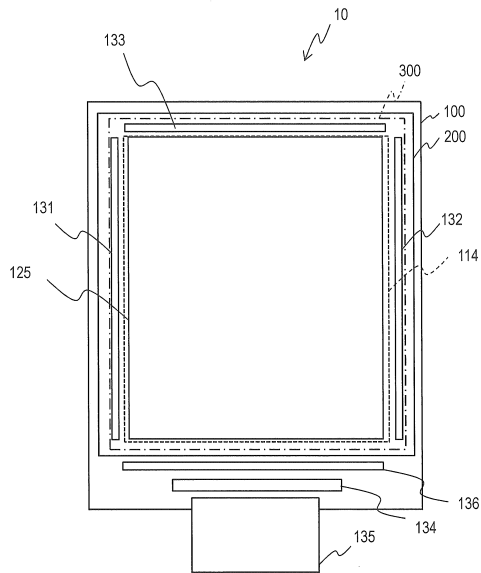
## 【符号の説明】

## 【 0 1 1 9 】

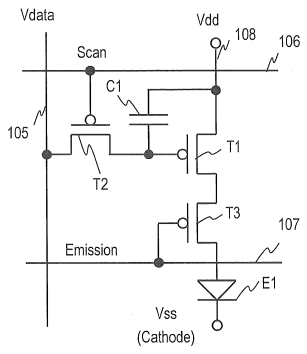
10 OLED表示装置、100 TFT基板、102 補助電源線、105 データ線  
106 走査線、108 電源線、121 コンタクト部、125 表示領域、141A  
、141B スイッチングTFTのチャンネル部、142 スイッチングTFTのソース、  
143 スイッチングTFTのドレイン、145 駆動TFTのチャンネル部、146 駆  
動TFTのドレイン、147 駆動TFTのソース、151 絶縁基板、152 絶縁層  
、153 ボトムゲート電極、154 下部ゲート絶縁層、156 上部ゲート絶縁層、  
157 トップゲート電極、158 層間絶縁層、161 平坦化層、162 アノード  
電極、163 画素定義層、165R 赤発光領域、165G 緑発光領域、165B  
青発光領域、166R 赤有機発光膜、166G 緑有機発光膜、167 カソード電極  
、171～179 コンタクト部、181、183 電極、191 保持容量電極、20  
0 封止基板、300 接合部（ガラスフリットシール部）、313、315 走査ドラ  
イバ用配線層、401 スイッチングTFTの半導体部、402 駆動TFTの半導体部

20

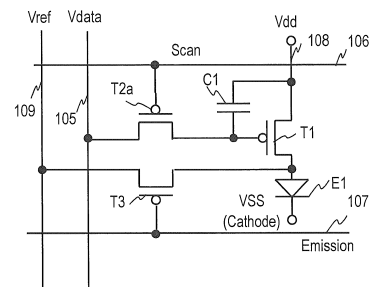
【図 1】



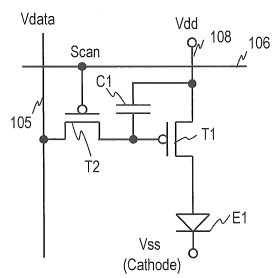
【図 2 A】



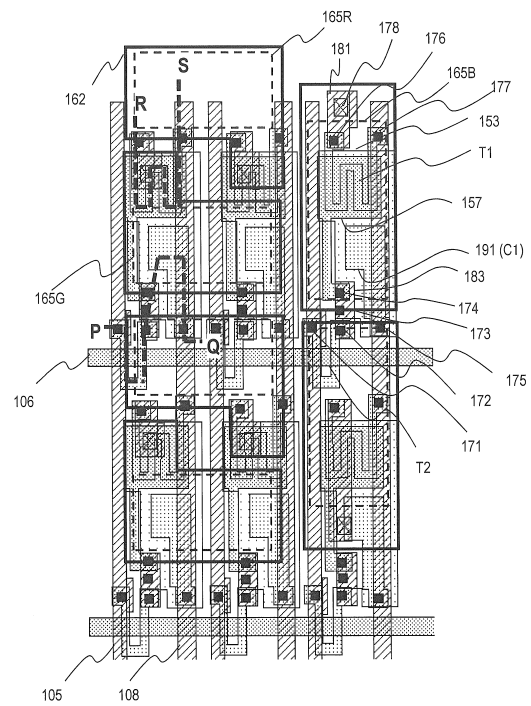
【図 2 B】



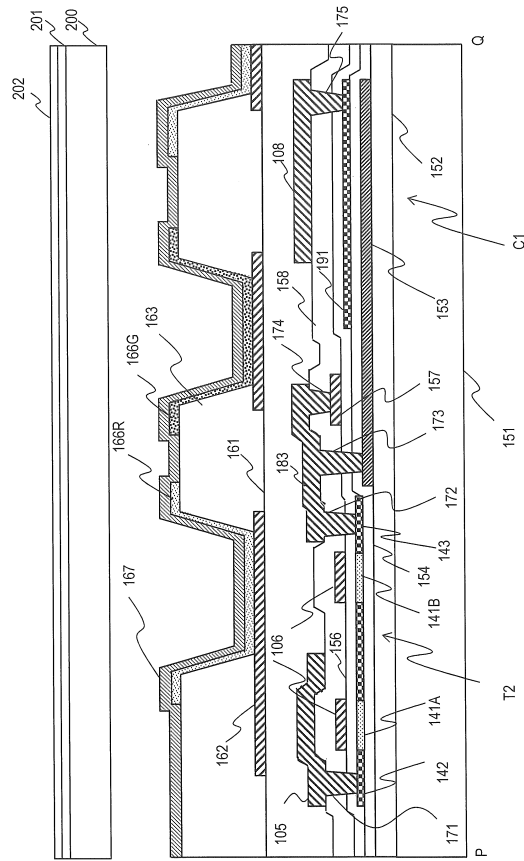
【図 2 C】



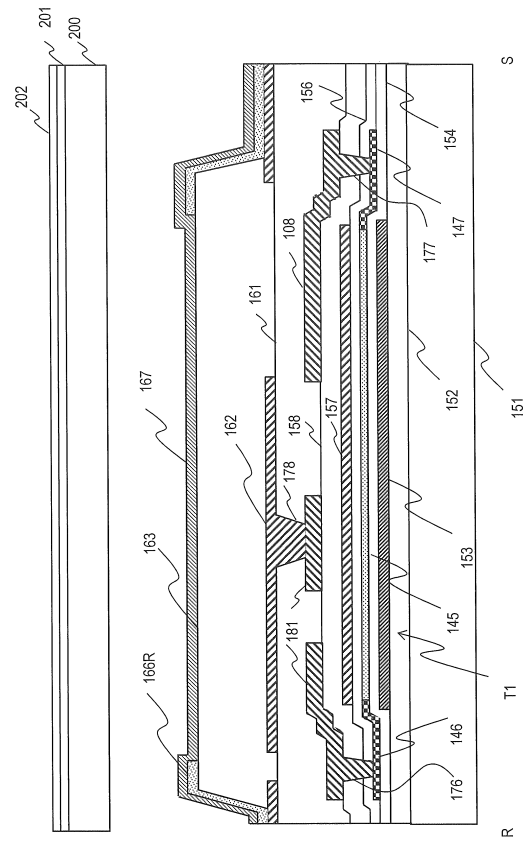
【図 3 A】



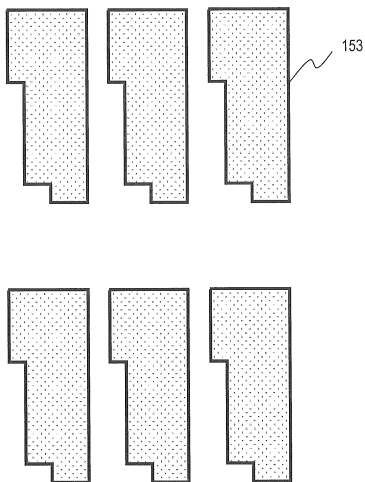
【図 3 B】



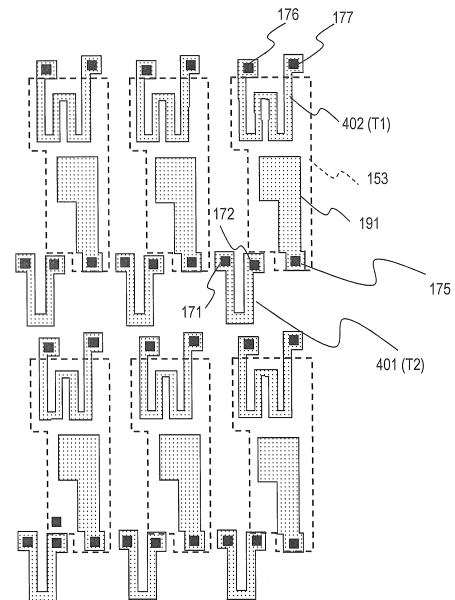
【図 3 C】



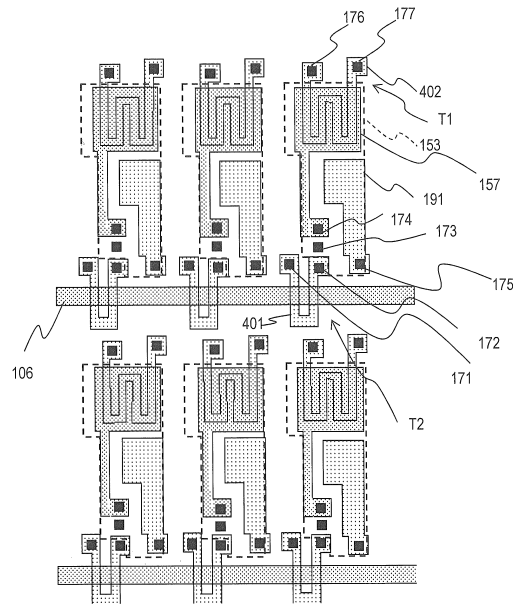
【図 4 A】



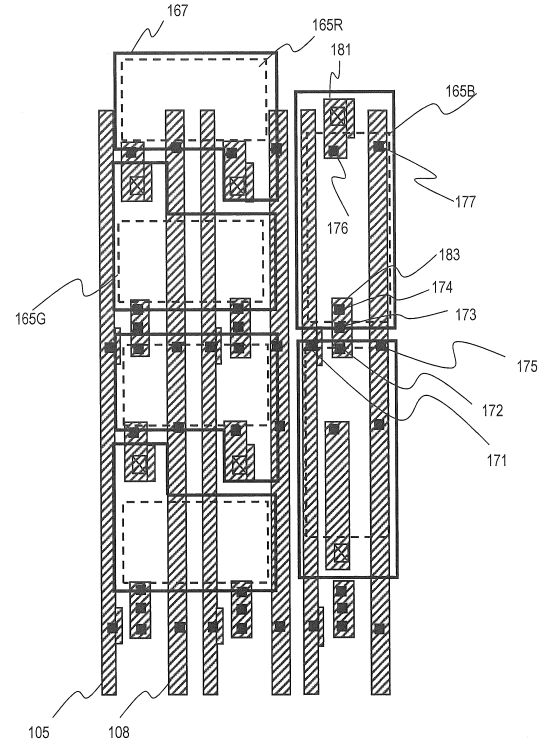
【図 4 B】



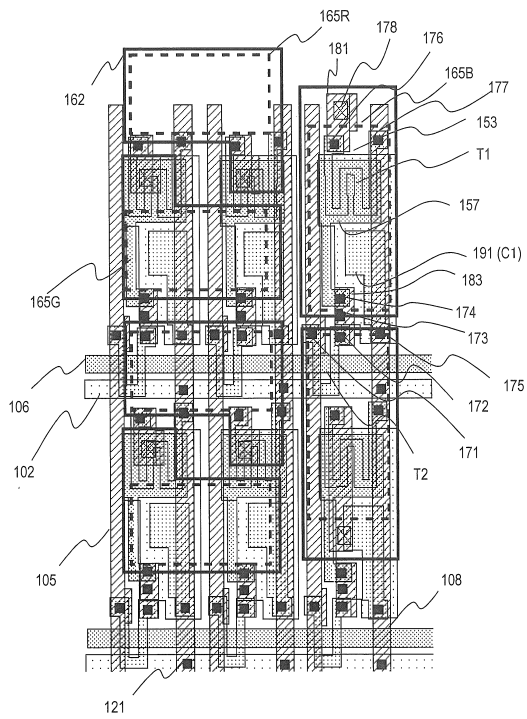
【図 4 C】



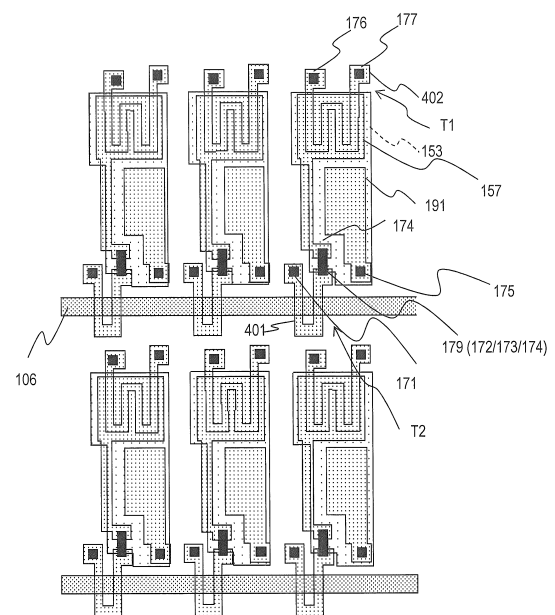
【図 4 D】



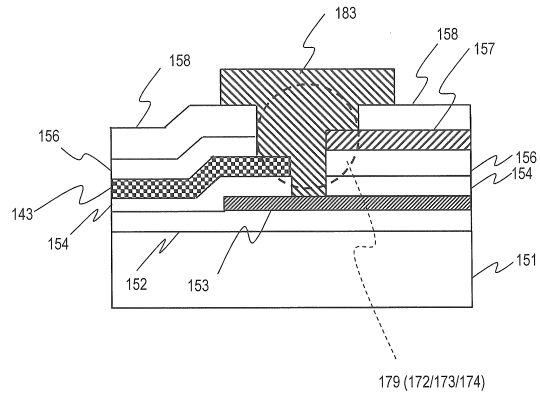
【図 5】



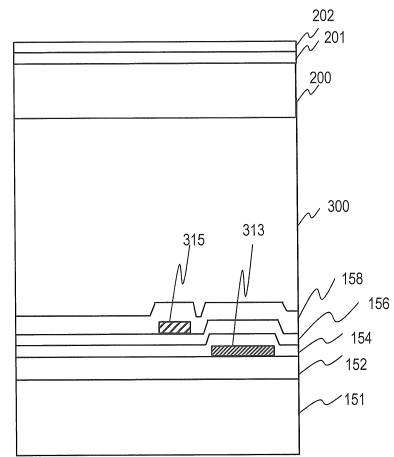
【図 6 A】



【図 6 B】



【図 7】



## フロントページの続き

(51)Int.Cl. F I  
H 0 5 B 33/10 (2006.01) H 0 1 L 27/32  
H 0 5 B 33/14 A  
H 0 5 B 33/10

(56)参考文献 特開 2 0 1 5 - 1 9 1 0 3 8 ( J P , A )  
特開 2 0 1 6 - 1 2 2 8 4 3 ( J P , A )  
特開 2 0 0 4 - 1 0 3 8 2 7 ( J P , A )  
特開 2 0 1 2 - 0 6 3 6 5 4 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)  
G 0 9 F 9 / 0 0  
H 0 1 L 2 1 / 3 3 6  
2 7 / 3 2  
2 9 / 7 8 6  
5 1 / 5 0  
H 0 5 B 3 3 / 0 0 - 3 3 / 2 8