

公告本

294829

724715

申請日期	85 年 1 月 29 日
案 號	85101080
類 別	161L 2/31, 2/211 Int

A4
C4

(以上各欄由本局填註)

294829

發 明 專 利 說 明 書
~~新 型~~

一、發明 名稱	中 文	製造半導體裝置的方法
	英 文	Method of manufacturing a semiconductor device
二、發明 人 創 作	姓 名	(1) 名倉雅彦
	國 籍	(1) 日本 (1) 日本國靜岡縣浜松市中沢町一〇番一號 ヤマハ株式会社内
	住、居所	
三、申請人	姓 名 (名稱)	(1) 山葉股份有限公司 ヤマハ株式会社
	國 籍	(1) 日本 (1) 日本國靜岡縣浜松市中沢町一〇番一號
	住、居所 (事務所)	
	代 表 人 姓 名	(1) 上島清介

裝

訂

線

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權

日本 1995 年 1 月 31 日 7-34343

☒無主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明 (1)

發明背景：

(a) 發明領域

本發明有關於製造半導體裝置的方法，特別是有關於將塗覆在如接線層表面之類的階狀表面上的膜予以蝕回的技術。

(b) 相關技藝說明

蝕刻塗覆膜的技術主要係供使用作為平坦化技術，以減少製造半導體積體電路之多接線層時的步驟。例如，可先將第一接線層形成在形成有電路元件的半導體基體上，再將一層間絕緣膜沈積在第一接線層上。要使層間絕緣膜的不規則表面平坦化或平面化以配合下方的第一接線層，乃塗覆一層由旋轉玻璃 (spin-on-glass, S O G) 等製成的玻璃膜，並以乾蝕刻方法將整個表面蝕回 (etch back)。玻璃膜可從平坦寬闊的表面上完全除去，只留下位於階狀部份處的玻璃膜。在此種情形下，蝕刻之後留下的玻璃膜厚度會從階狀緣處逐漸減低，而降低原本的階級高度。在此一平坦化的基體表面上，再形成第二接線層 (可參考例如日本專利第 5-87146 號)。

在此種平坦化技術中必須能夠控制塗覆膜的蝕刻量至最佳狀況。控制蝕刻量的方法有以下數種：

(a) 根據先前測量的蝕刻率，再依據蝕刻時間來決定塗覆膜蝕刻量；

(b) 在電漿中蝕刻塗覆膜，並根據輻射頻譜中的強

(請先閱讀背面之注意事項再填寫本頁)

訂

編

五、發明說明 (2)

度改變來估算未蝕刻之塗覆膜的厚度 (藉由偵測不同位置處的下方表面之出現) ；

(c) 使用偏振光橢圓率測量儀或其他裝置，以光學方法測量平坦區域處未蝕刻之塗覆膜的厚度。

(a) (b) 兩方法均使用間接膜厚度測量，因此很難對蝕刻量達成高度精確的控制。採用方法 (c) 時，雖然能夠測量平坦區域處未蝕刻之塗覆膜的厚度，但在平坦區域處以外蝕刻之塗覆膜的厚度便無法測量。例如，要將塗覆膜完全從平坦區域上除去而僅留下階狀區域上的部份時，便很難採用此方法。

另有一種測量塗覆膜蝕刻量的方法是在膜蝕回後以電子顯微鏡或其他裝置檢視半導體基體的剖面。此種蝕回後進行的檢視是一種破壞性檢視，並且在將檢視結果反饋至實際製程時會有延遲。此外，在單一晶片上也很難有多個觀察點。

發明節要：

本發明目的之一便是要提供一種製造半導體裝置的方法，而能夠經由簡單的非破壞性光學檢視來判斷最佳蝕刻量。

依據本發明之第一部份內容，乃是提供有一種製造半導體裝置的方法，包含以下步驟：在形成有所要電路元件的半導體基體表面上形成測試圖型，該測試圖型具有線與空間區域，且在基體多個位置處具有不同的線寬度對空間

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (3)

寬度比例，而線區域則具有固定的厚度；在形成有測試圖型的半導體基體表面上形成塗覆膜；以及，蝕回該塗覆膜，並偵測測試圖型中空間區域處之塗覆膜與暴露之下方層間的邊界位置，及從事先測量的邊界位置與蝕刻量之間的關係資料來估算蝕刻量。

依據本發明之另一部份內容，乃是提供有一種製造半導體裝置的方法，包含以下步驟：在形成有所要電路元件的半導體基體表面上形成測試圖型，該測試圖型具有線區域與空間區域，且在基體多個位置處具有不同的線寬度對空間寬度比例，而線區域則具有固定的厚度；在形成有測試圖型的半導體基體表面上形成絕緣膜；在絕緣膜上形成測試圖型；以及，蝕回該塗覆膜，並偵測測試圖型中空間區域處之塗覆膜與暴露之下方層間的邊界位置，及從事先測量的邊界位置與蝕刻量之間的關係資料來判斷蝕刻量是否為最佳。

在距離上升階狀部份處一段距離的平坦寬闊區域處蝕去塗覆膜後，塗覆膜會在間隙部份與接近上升階狀部份處留下不定厚度的部份。要判斷塗覆膜的蝕刻量是否為最佳，本案使用凸出的測試圖型，該測試圖型具有線區域與空間區域，且在基體多個位置處具有不同的線寬度對空間寬度比例（後文中簡稱線／空間比例），而下方表面上的線區域則具有固定的厚度。此一測試圖型形成於平坦表面上，再將塗覆膜形成於其上並予以蝕回。塗覆膜的蝕刻量在具有不同線／空間比例的區域處會有所不同，而塗覆膜與

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

五、發明說明 (4)

暴露之下方層間的邊界位置會隨著蝕刻量而改變。使用電子顯微鏡，便可很容易地偵測出塗覆膜與下方層間的邊界位置。

測試圖型中塗覆膜與下方層間的邊界位置和蝕刻量之間的關係資料可事先經由多次反覆測量來獲得。在實際平坦化程序中，係以光學方式偵測邊界位置，並根據關係資料來判斷最佳蝕刻量。

破壞性檢視並無必要，而多點檢視也十分容易。平坦化可在正確的蝕刻量控制和極少誤差變化下達成。

藉由參酌後文對較佳實施例之詳細說明及附圖，可對本發明上述及其他目的、特性和所具優點獲致更清楚的了解。

圖式之簡要說明：

圖 1 A 至 1 I 示出根據本發明之實施例而設有測試圖型之半導體裝置製造方法的主要步驟。

圖 2 A 至 2 D 為剖面圖，示出測試圖型之形狀（位置）與留下未蝕刻之塗覆膜厚度間的關係。

圖 3 為平面圖，示出測試圖型與未蝕刻之塗覆膜之間的關係。

圖 4 為平面圖，示出留下未蝕刻之塗覆膜與下方層間之邊界位置的改變。

圖 5 示出在塗覆膜未蝕刻的區域中，蝕回量與臨界寬度之間的關係。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

五、發明說明 (5)

圖 6 示出平坦化程序的實施例。

圖 7 示出平坦化程序的另一實施例。

圖 8 至 13 示出其他測試圖型實施例的平面圖。

較佳實施例之詳細說明：

以下參照附圖來說明本發明的實施例。

圖 1 A 至 1 I 示出形成在半導體晶片上的測試圖型。圖 1 A 為半導體晶片之示意頂視圖。半導體晶片 C H 在晶片中央區域處具有一個裝置區域 D A。測試圖型 T P 1 至 T P 4 形成在晶片 C H 的四個角落。各測試圖型 T P 的外側邊與晶片 C H 的對應側邊平行。

圖 1 B 為測試圖型 T P 1 的放大頂視圖。測試圖型 T P 1 具有一對相對的圖型 T P 1 a 與 T P 1 b。圖型 T P 1 a 與 T P 1 b 和裝置區域 D A 相隔距離 d 1 和 d 2。距離 d 1 和 d 2 最好為 10 μ m 或更大。電路元件如半導體元件或接線圖型等可形成在裝置區域 D A 上的任意處。圖型 T P 1 a 與 T P 1 b 與晶片 C H 側邊相隔距離 d 3 和 d 4。距離 d 3 和 d 4 最好為 10 μ m 或更大。

相對的圖型 T P 1 a 與 T P 1 b 在其間界定不同寬度的空間（容後詳述）。測試圖型 T P 2 之平面形狀與測試圖型 T P 1 左右對稱（或相同）。測試圖型 T P 3 與 T P 4 之平面形狀與測試圖型 T P 2 和 T P 1 左右對稱（或相同）。

圖 1 C 為沿 I C - I C 線所得的剖面圖，示出測試圖

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

五、發明說明 (6)

型 T P 1 的內側壁。測試圖型 T P 1 之相對圖型 T P 1 a 與 T P 1 b 形成在晶片 C H 的平坦表面上，並具有相同的高度 h。兩者間於圖 1 C 側方向上具有不同寬度但相同高度的空間。

以下參考圖 1 D 來說明測試圖型如何及何時形成。先在矽半導體晶片 C H 的表面上形成具有預定圖型的場氧化膜 F O X，以界定出多個由場氧化膜所圍繞的活性區或壕溝 M T。再於活性區 M T 中形成 M O S 電晶體方法，其具有閘極氧化膜 5 1、閘電極 5 2、以及與基體 C H 傳導型式相反的源／汲極區 5 3 與 5 4。在基體表面上沈積第一層間絕緣膜 5 5。在第一層間絕緣膜 5 5 中形成層間絕緣膜 5 5。在第一層間絕緣膜 5 5 中形成暴露出源／汲極區 5 3 與 5 4 的接觸孔 5 7 與 5 8，之後在第一層間絕緣膜 5 5 上沈積由障蔽金屬 (T i , T i N , T i O N 等) 與鋁或鋁合金之疊層構成之第二側邊 6 0。於第一接線層 6 0 形成的同時也形成了測試圖型 T P 1 至 T P 4。如果要形成多層接線層，則可在形成上方接線層時形成測試圖型。

圖 1 E 為測試圖型 (例如測試圖型 T P 3) 之更詳細的頂視圖。圖型 1 1 與 1 2 彼此相對而在其間界定出不同寬度的空間。圖 1 E 中兩圖型在水平方向上彼此相對的方向稱為寬方向 w，而與晶片表面上之寬方向垂直的方向，亦即圖 1 E 中之垂直方向，稱為橫方向 t。

如圖 1 C 所示，圖型 1 1 與 1 2 具有相同的高度；其

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (7)

平面形狀如圖 1 E 所示。圖型 1 1 與 1 2 的左右外側邊指向橫方向，且彼此平行。圖型 1 1 與 1 2 的左右內側邊具有如圖 1 E 所示的階梯形狀。各梯階的高度（橫方向 t 上的長度）相同，但寬度（寬方向 w 上的長度）則不同。上述圖型 1 1 與 1 2 中的內外側邊界定了在寬方向 w 上具有不同長度（寬度）L 的圖型區域。寬度 L 由圖 1 E 的上方位置朝向下方向位置增加，從 L 1、L 2、L 3 增加至 L 4。

圖型 1 1 與 1 2 的相對內側邊之間在寬方向 w 上界定了不同尺寸大小（空間寬度）的空間區域。空間寬度 S 由圖 1 E 的上方位置朝向下方向位置減少，從 S 1、S 2、S 3 減少至 S 4。空間寬度 S 的變化範圍例如在 $1\ \mu\text{m}$ 至 $20\ \mu\text{m}$ 之間。例如，最窄之間距 S 4 為 $1\ \mu\text{m}$ ，而最寬的間距 S 1 為 $20\ \mu\text{m}$ 。圖型 1 1 與 1 2 安置在寬度為 W 的區域中。依此，沿圖型 1 1 與 1 2 寬方向 w 上的圖型（線）／空間比例隨著橫方向 t 上位置的改變而改變。

圖 1 F 至 1 I 為沿圖 1 E 之 I F - I F，I G - I G，I H - I H 及 I I - I I 線所得的剖面圖。

圖 1 F 中，空間寬度為 S 1，而空間區域兩側之圖型區域寬度為 L 1。圖 1 G 中，空間寬度為 S 2，而空間區域兩側之圖型區域寬度為 L 2。圖 1 H 中，空間寬度為 S 3，而空間區域兩側之圖型區域寬度為 L 3。圖 1 I 中，空間寬度為 S 4，而空間區域兩側之圖型區域寬度為 L 4。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

五、發明說明 (8)

雖然前述說明中係假設圖型 1 1 與 1 2 形成在基體 1 0 的平坦表面上，但基體 1 0 的表面並不一定必須完全平坦，只要其具有某種程度的平坦度，而足以在後述平坦化程序中提供測試圖型功能即可。類似地，圖型 1 1 與 1 2 的高度並不一定必須恰好相同，而其頂表面也不一定必須完全平坦。基體表面與圖型頂表面間的平行關係也是如此。

於基體 1 0 的平坦表面上形成測試圖型之後，以旋轉塗覆器在基體表面上塗覆由例如旋轉玻璃 (S O G) 製成的薄膜，再於電漿中以乾蝕刻方式蝕回。使用電漿以乾蝕刻方式蝕回的塗覆膜之蝕刻量在不同圖型 (線) / 空間比例處各不相同，而塗覆膜與下方層間的邊界位置會隨著蝕刻量而改變。吾人進行以下之預備測量，以觀察和建立蝕刻量與邊界位置之間的關係。

圖 2 A 至 2 D 示出在一個具有如圖 1 E 至 1 I 所示測試圖型的基體上形成有一層例如由 S O G 製成之塗覆膜 1 3，而在預定蝕回時間之後，留下未蝕刻的塗覆膜 1 4。圖 2 A 至 2 D 為沿圖 1 E 之 I F - I F，I G - I G，I H - I H 及 I I - I I 線所得的剖面圖。如圖所示，塗覆膜在測試圖型之間的空間區域之剖面與蝕刻程度會隨著空間區域寬度而有所不同。由頂視平面圖所見之殘留膜 1 4 的狀態示於圖 3。在空間區域中心處，殘留膜 1 4 與下方層之間的邊界位置 e 隨著蝕刻進行而逐漸移向橫方向的下方。圖 4 示出殘留膜隨著蝕刻進行而導致之形狀改變

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (9)

- 。隨著蝕刻進行，邊界位置由 e_1 移至 e_2 、 e_3 . . .
- 。橫方向 t 上的測試圖型之邊界位置 e 可藉由光學顯微鏡等來觀察。

上述測量提供了蝕回量（亦即塗覆膜之蝕刻量）與邊界位置 e 之間的關係，更詳言之是蝕回量與留下未蝕刻之膜 14 在空間區域寬方向 w 上最大寬度（臨界寬度）間的關係。經由測量臨界寬度（為蝕回量之函數）後，便可獲得圖 5 所示之蝕回量與臨界寬度 e 間的關係。如果事先預備了此項關係資料，便可在平坦化程序中藉由偵測測試圖型的臨界寬度 e 來估算蝕回量。例如，如果臨界寬度在 A 的範圍內，便可判斷出蝕回量在 B 的範圍內。

以下說明使用此技術作為降低接線階差之平坦化程序的實施例。如圖 6 所示，在具有電路元件之矽基體 21 上覆蓋有一層絕緣膜 22，而在絕緣膜 22 上形成有第一接線圖型（為鈦與鋁之疊層）23。於此接線圖型化程序中，在基體 21 之平坦表面上另也形成了如圖 1A-1I 所示之測試圖型 24。雖然圖 6 僅係以簡單形式繪示該方法，但如先前參考圖 1B 時所示，測試圖型 24 與接線圖型 23 分開 $10\ \mu\text{m}$ 或更遠。接著再塗覆例如 SOG 膜 25 作為平坦化膜，以除去或降低第一接線圖型 23 之階差。SOG 塗覆條件的一例為，在 5000 至 7000 rpm 的旋轉速度下塗覆，接著在 180°C 下進行烘焙。接著在以下條件下進行蝕回，以除去平坦寬闊部份的塗覆膜：氧氣流率 300 sccm；氫／氮混合氣體（ H_2 3%）流率 60 sccm；

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

五、發明說明 (10)

總壓力 0.55 torr；RF 功率 200 瓦。在 S O G 膜 2 5 蝕回和平坦化進行中，可使用圖 5 所示的光學觀察與關係資料來判斷蝕回量是否為最佳。

在上述蝕回量控制下進行平坦化之後，如有需要，可再沈積另一層間絕緣膜及形成第二接線層。如前所述，蝕回量和塗覆膜邊界位置之間的關係資料以及相對測試圖型之間的下方層可事先經由多次反覆測量而獲得。在實際平坦化程序中，則以光學方式偵測邊界位置，並根據關係資料來判斷最佳蝕刻量。破壞性檢視並無必要，而多點檢視也十分容易。平坦化可在正確的蝕刻量控制和極少誤差變化下達成。

在圖 7 所示的另一實施例中，於形成第一接線圖型 2 3 之後，經由化學蒸鍍 (C V D) 方法沈積一層絕緣膜 2 6 (例如為 SiO_2 膜)，再於其上形成平坦化 S O G 膜 2 5。如果絕緣膜 2 6 具有良好的階層覆蓋特性，則測試圖型 2 4 的形狀便轉移至絕緣膜的表面。C V D 膜與 S O G 膜可具有不同的蝕刻率。此外，膜性質的差異可能反應在干擾 (色彩) 的差異上。C V D 膜與 S O G 膜之間的邊界可經由色彩變化來偵測。不直接使用測試圖型 2 4，而使用轉移至絕緣膜 2 6 表面的測試圖型，亦可判斷出蝕回量。本例中，係使用圖 7 所示方法來獲得圖 5 所示的關係資料。

測試圖型並不侷限於上述實施例中所述者，而可為各種平面形狀，例如圖 8 至 1 3 所示者便皆可使用。圖 8 所

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (1)

示之測試圖型具有多個寬度相同的線區域 (凸出區域) 8 1 、 8 2 、 8 3 、 8 4 , 安置在與線方向垂直的方向上而間隔多種不同的空間寬度。線 / 空間比例沿圖 8 箭號 a 所示方向逐漸變小。隨著塗覆膜依前述實施例所述方式蝕回, 留下未蝕刻膜與下方層之間的邊界位置便根據各空間寬度而有 e 1 、 e 2 與 e 3 的不同。蝕回量和留下未蝕刻膜與下方層間之邊界位置之間的關係資料便可據此予以測量。

圖 9 所示之測試圖型具有一對凸出區域 9 1 與 9 2 , 其內部空間區域成 V 字形且空間寬度逐漸改變。與圖 1 A 至 1 I 所示實施例相似, 沿箭號 a 方向所示之線 / 空間比例沿圖 9 箭號 b 所示方向逐漸變大。

圖 1 0 所示之測試圖型具有一對由固定間隙 (空間) 所分開的凸出區域 1 0 1 與 1 0 2 , 但沿箭號 b 表示方向有不同的線寬度。隨著位置朝箭號 b 方向移動, 線 / 空間比例沿箭號 a 所示方向增加。蝕刻後的塗覆膜隨著線區域變寬而變厚 (即使空間寬度相同) 。亦即, 塗覆膜的厚度在不同線 / 空間比例處也隨之不同。因此, 可在塗覆膜蝕回時從邊界位置 e 來估算蝕回量。

圖 1 1 所示之測試圖型具有一對凸出區域 1 1 1 與 1 1 2 , 其線寬度與空間寬度以較複雜的方式變化。

前述測試圖型之兩凸出區域並不一定需要分離。例如, 圖 1 A 至 1 I 所示實施例之測試圖型可整合成一個如圖 1 2 所示的單一凸出區域, 而圖 9 所示之測試圖型可整合

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (12)

成一個如圖 1 3 所示的單一凸出區域。這些測試圖型的線／空間比例同樣地在各空間區域中不同，而可測量出蝕回量和塗覆膜與下方層間之邊界位置 e 之間的關係資料。

雖然本發明已就較佳實施例予以說明如上，但本發明並不僅侷限於所述實施例。在不脫離由後述申請專利範圍所界定之發明範圍下，熟習本技術之士應可立刻想到對本發明作各種的修改變化、改良與組合等等。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

四、中文發明摘要(發明之名稱：)

製造半導體裝置的方法

在覆蓋形成有所要電路元件的矽基體之絕緣膜上形成第一鋁接線層，並同時使用相同之鋁層形成測試圖型。測試圖型與第一鋁接線層具有相同的厚度，其形狀則在多個位置處具有不同的線／空間比例。在接線層與測試圖型上再形成塗覆膜，接著蝕回。於蝕回過程中，測試圖型中空間區域處之塗覆膜與暴露絕緣膜的邊界位置以光學方式偵測，並根據事先測量之邊界位置與蝕刻量間的關係資料來判斷蝕刻量。依此方式，便可辨識蝕刻量是否為最佳。如由此可提供一種製造半導體裝置的方法，而能夠輕易地經由光學非破壞性檢視來判斷蝕刻量是否為最佳。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

英文發明摘要(發明之名稱：)

訂

線

六、申請專利範圍

1. 一種製造半導體裝置的方法，包含以下步驟：

在形成有所要電路元件的半導體基體表面上形成測試圖型，該測試圖型具有線與空間區域，且在基體上沿與第一方向垂直之第二方向上安排的多個位置處，具有在第一方向上不同的線寬度對空間寬度比例，而線區域則具有固定的厚度；

在形成有測試圖型的半導體基體表面上形成塗覆膜；

以及

蝕回該塗覆膜，並偵測測試圖型中空間區域處之塗覆膜與暴露之下方層間的邊界位置，及從事先測量的邊界位置與蝕刻量之間的關係資料來估算蝕刻量。

2. 如申請專利範圍第1項之方法，其中所述形成測試圖型的步驟同時形成接線圖型。

3. 如申請專利範圍第2項之方法，其中所述測試圖型係由鋁或鋁合金製成。

4. 如申請專利範圍第1項之方法，其中所述蝕刻步驟為使用電漿執行之乾蝕刻。

5. 如申請專利範圍第1項之方法，其進一步包含：於形成塗覆膜步驟之前，在測試圖型上形成沈積膜的步驟。

6. 如申請專利範圍第5項之方法，其中所述形成沈積膜的步驟係以化學蒸鍍方法進行。

7. 如申請專利範圍第6項之方法，其中所述沈積膜為絕緣膜。

六、申請專利範圍

8. 如申請專利範圍第1項之方法，其中所述測試圖型具有平面形狀，其內部相對側邊界定出空間區域，且該內部相對側邊成階狀輪廓。

9. 如申請專利範圍第1項之方法，其中所述測試圖型具有平面形狀，其內部相對側邊界定出空間區域，且該內部相對側邊成連續改變之輪廓。

10. 如申請專利範圍第1項之方法，其中所述測試圖型具有平面形狀，其內部相對側邊界定出空間區域，且其外側邊與內部相對側邊共同界定出線區域。

11. 如申請專利範圍第10項之方法，其中所述外側邊包括兩平行側邊。

12. 如申請專利範圍第11項之方法，其中所述內部相對側邊成階狀輪廓。

13. 如申請專利範圍第11項之方法，其中所述內部相對側邊成連續而單調改變之輪廓。

14. 如申請專利範圍第10項之方法，其中所述內部相對側邊與外側邊均具有非線性輪廓。

15. 如申請專利範圍第14項之方法，其中所述內部相對側邊與外側邊均具有階狀輪廓。

16. 如申請專利範圍第10項之方法，其中所述內部相對側邊為平行而外側邊具有非線性輪廓。

17. 如申請專利範圍第16項之方法，其中所述外側邊成階狀輪廓。

18. 如申請專利範圍第10項之方法，其中所述測

六、申請專利範圍

試圖型為包括內部相對側邊與外側邊的整合圖型。

19. 如申請專利範圍第1項之~~結構~~^{方法}，其中所述測試圖型包括兩個以上的矩形圖型，該等矩形圖型沿一方向安置，而具有不同寬度的空間區域插置在相鄰矩形圖型對之間。

20. 一種製造半導體裝置的結構，包含以下步驟：

在形成有所要電路元件的半導體基體表面上形成測試圖型，該測試圖型具有線與空間區域，且在基體上沿與第一方向垂直之第二方向上安排的多個位置處，具有在第一方向上不同的線寬度對空間寬度比例，而線區域則具有固定的厚度；

在形成有測試圖型的半導體基體表面上形成絕緣膜；

在絕緣膜上形成測試圖型；以及，

蝕回該塗覆膜，並偵測測試圖型中空間區域處之塗覆膜與暴露之下方層間的邊界位置，及從事先測量的邊界位置與蝕刻量之間的關係資料來判斷蝕刻量是否為最佳。

21. 一種結構，包含有一個測試圖型，該測試圖型相對於基體表面而言具有固定高度，以於蝕刻形成在其上之絕緣膜時使用，測試圖型在沿平行於基體表面之第一方向上具有線寬度與空間寬度，且該線寬度與空間寬度沿基體表面上垂直於第一方向之方向而階狀或連續改變。

22. 如申請專利範圍第21項之結構，其中所述測試圖型具有平面形狀，其內部相對側邊界定出空間區域，且其外側邊與內部相對側邊共同界定出線區域。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

2 3 . 如申請專利範圍第 2 2 項之結構，其中所述外側邊包括兩平行側邊。

2 4 . 如申請專利範圍第 2 3 項之結構，其中所述內部相對側邊成階狀輪廓。

2 5 . 如申請專利範圍第 2 3 項之結構，其中所述內部相對側邊成連續而單調改變之輪廓。

2 6 . 如申請專利範圍第 2 2 項之結構，其中所述內部相對側邊與外側邊均具有非線性輪廓。

2 7 . 如申請專利範圍第 2 6 項之結構，其中所述內部相對側邊與外側邊均具有階狀輪廓。

2 8 . 如申請專利範圍第 2 7 項之結構，其中所述內部相對側邊為平行而外側邊具有非線性輪廓。

2 9 . 如申請專利範圍第 2 8 項之結構，其中所述外側邊成階狀輪廓。

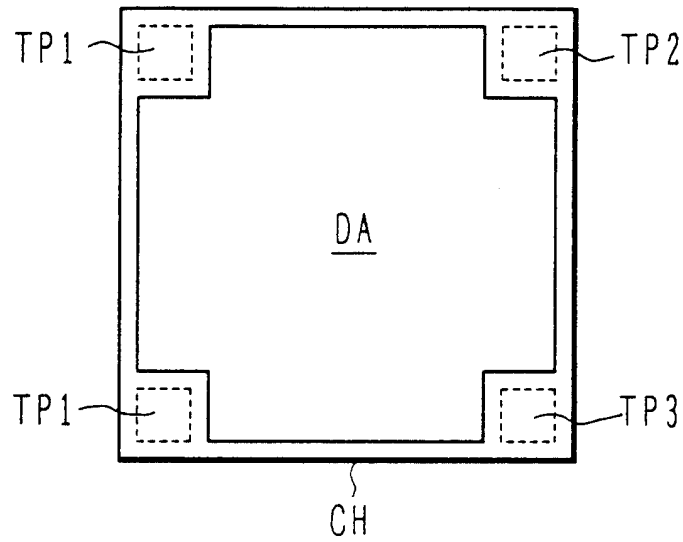
3 0 . 如申請專利範圍第 2 1 項之結構，其中所述測試圖型為包括內部相對側邊與外側邊的整合圖型。

(請先閱讀背面之注意事項再填寫本頁)

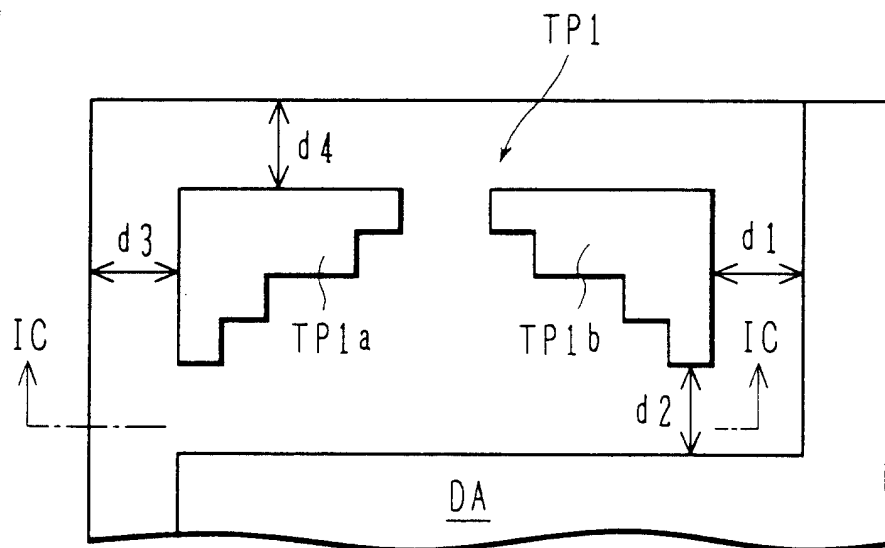
裝

訂

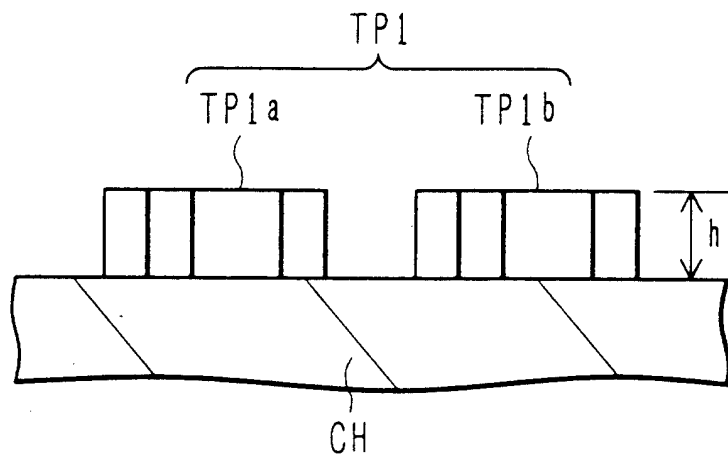
第 1 圖 A



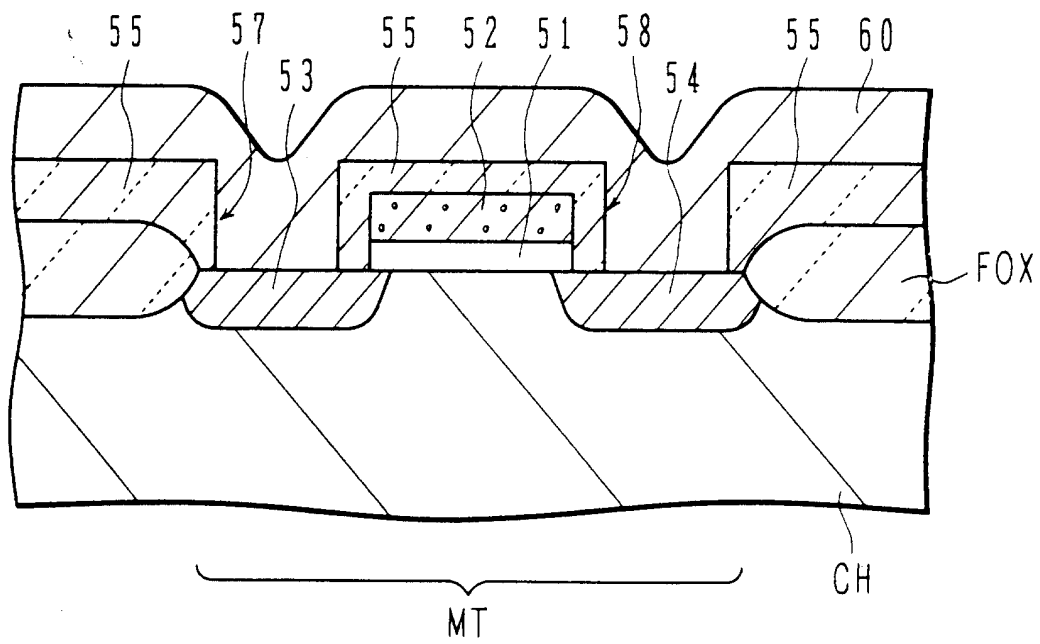
第 1 圖 B



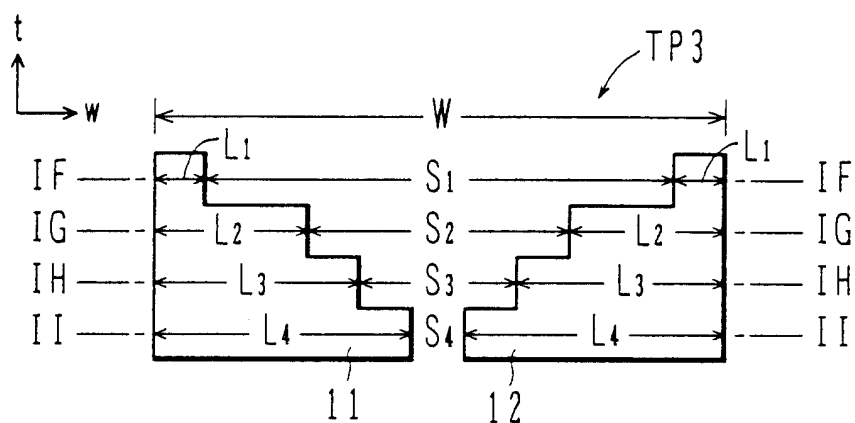
第 1 圖 C



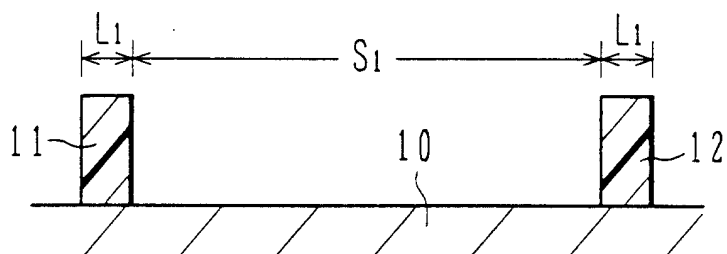
第 1 圖 D



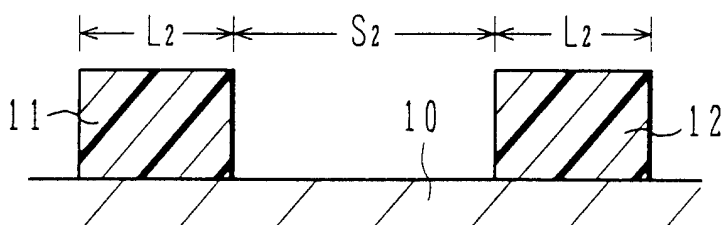
第 1 圖 E



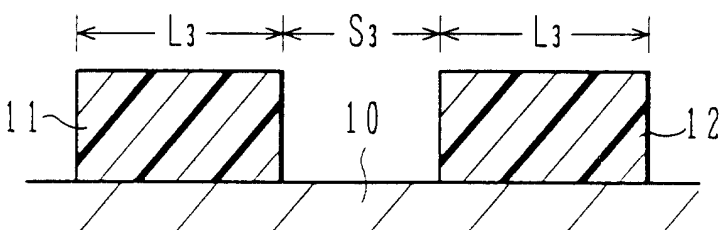
第 1 圖 F



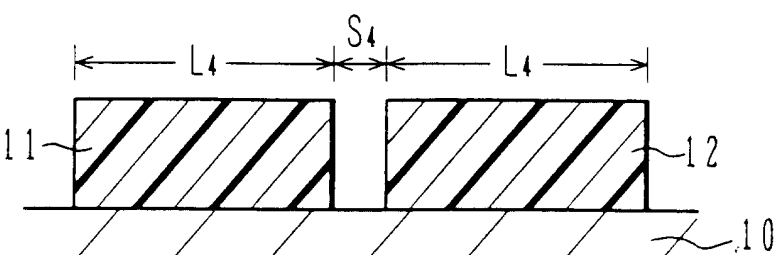
第 1 圖 G



第 1 圖 H

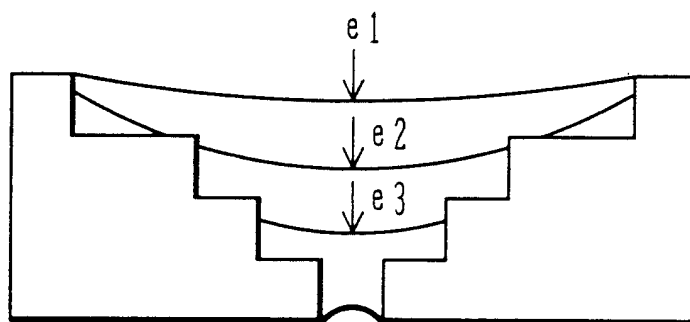


第 1 圖 I



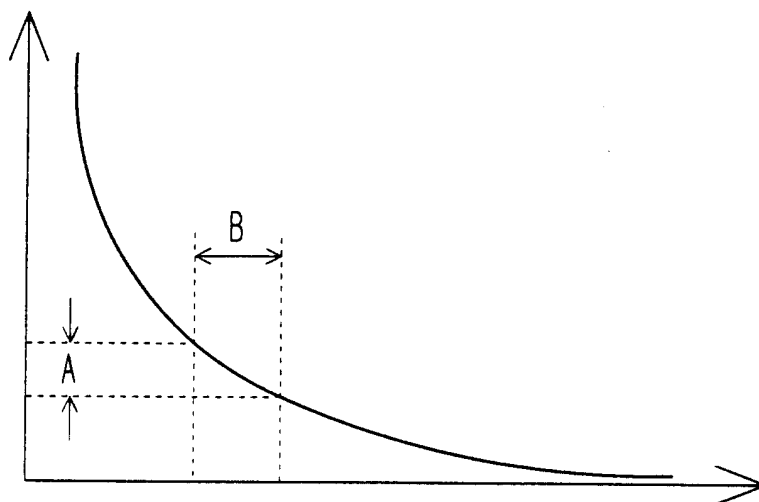
4

第 4 圖



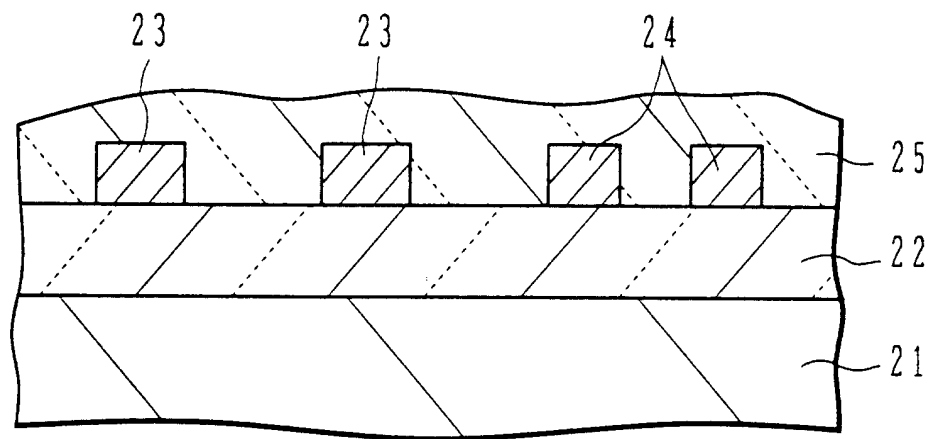
5

第 5 圖



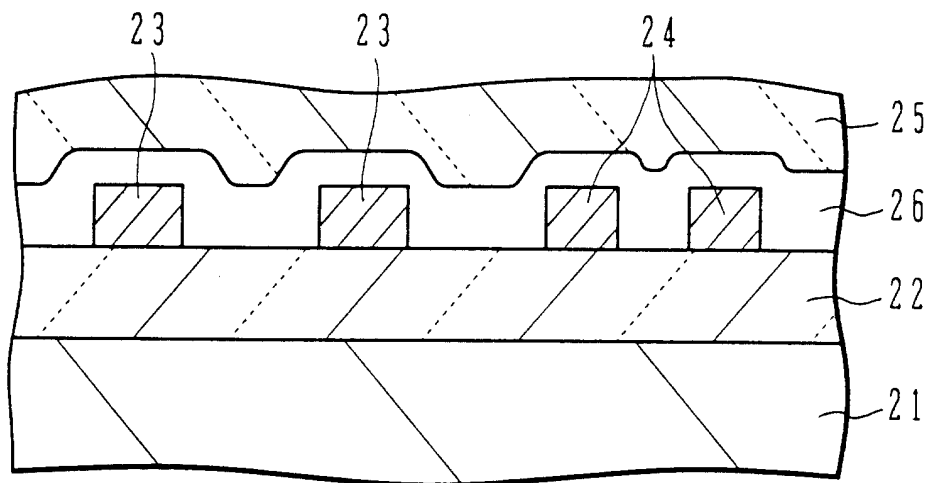
第 6 圖

6

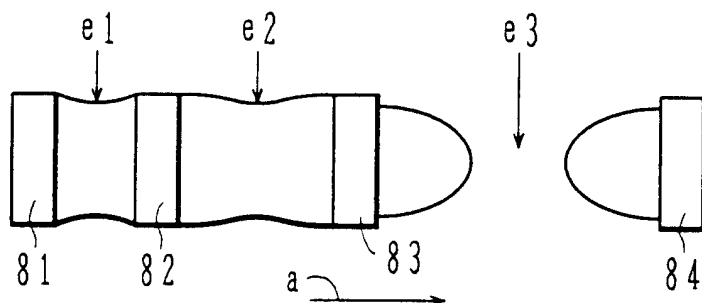


第 7 圖

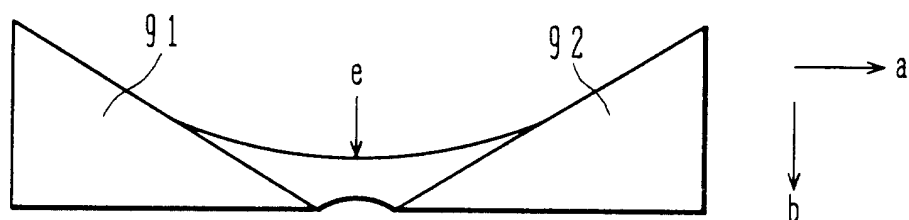
7



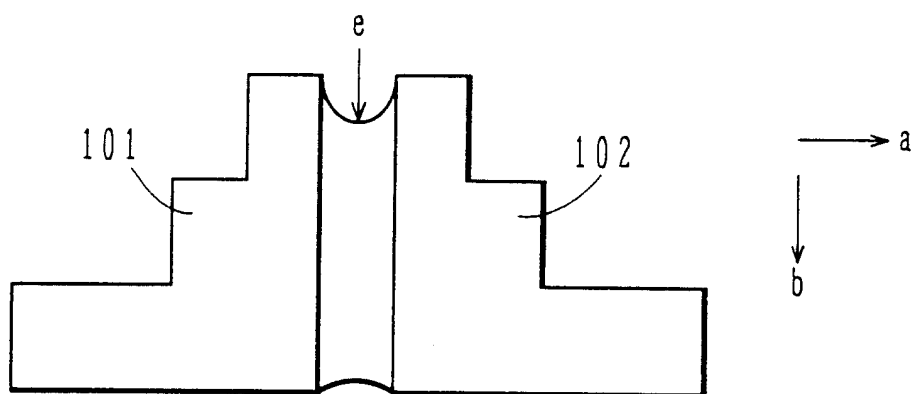
第 8 圖



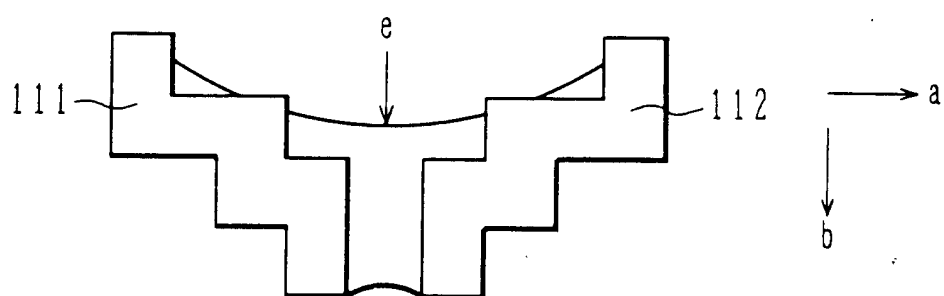
第 9 圖



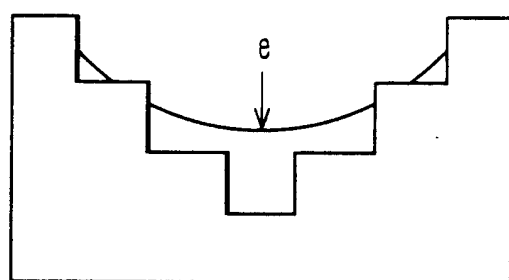
第 10 圖



第 11 圖



第12圖



第13圖

