



(12) 发明专利申请

(10) 申请公布号 CN 116632004 A

(43) 申请公布日 2023. 08. 22

(21) 申请号 202310896309.2

(22) 申请日 2023.07.21

(71) 申请人 上海韬润半导体有限公司

地址 201203 上海市浦东新区中国(上海)

自由贸易试验区海科路929弄1号

(72) 发明人 周立人

(74) 专利代理机构 上海硕力知识产权代理事务

所(普通合伙) 31251

专利代理师 童素珠

(51) Int. Cl.

H01L 27/088 (2006.01)

H01L 27/02 (2006.01)

H01L 23/52 (2006.01)

H03F 3/45 (2006.01)

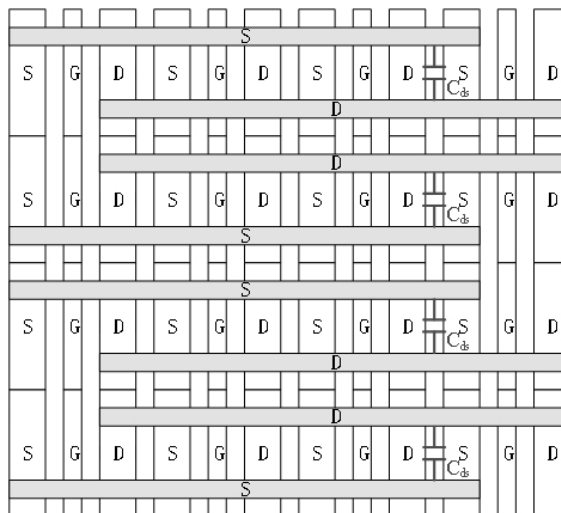
权利要求书2页 说明书8页 附图3页

(54) 发明名称

一种并联MOS管、差分对、布图方法及集成电路

(57) 摘要

本发明公开了一种并联MOS管、差分对、布图方法及集成电路,其中一种并联MOS管包括n个直线并联结构,每个直线并联结构包括沿第一方向排列的m个MOS管;所述n个直线并联结构沿第二方向排列;其中,所述m个MOS管的源极通过第一金属条连接、漏极通过第二金属条连接;相邻的直线并联结构的第一金属条相邻设置,或相邻的直线并联结构的第二金属条相邻设置;n和m均为大于等于2的整数;所述n个直线并联结构的第一金属条相互连接,所述n个直线并联结构的第二金属条相互连接,使所述n个直线并联结构共同构成并联MOS管。本发明通过改进MOS管连接结构,可使并联MOS管及相关集成电路工作在更高的频率,同时增加增益。



1. 一种并联MOS管,用于集成电路,其特征在于,
包括n个直线并联结构,每个直线并联结构包括沿第一方向排列的m个MOS管;所述n个直线并联结构沿第二方向排列;
其中,所述m个MOS管的源极通过第一金属条连接、漏极通过第二金属条连接;相邻的直线并联结构的第一金属条相邻设置,或相邻的直线并联结构的第二金属条相邻设置;
n和m均为大于等于2的整数;所述n个直线并联结构的第一金属条相互连接,所述n个直线并联结构的第二金属条相互连接,使所述n个直线并联结构共同构成并联MOS管。
2. 如权利要求1所述的并联MOS管,其特征在于,
所述第二方向为多层芯片结构的层叠方向,所述n个直线并联结构的第一金属条通过通孔连接;所述n个直线并联结构的第二金属条通过通孔连接。
3. 一种差分对,其特征在于,
所述差分对包括第一MOS管和第二MOS管,所述第一MOS管和所述第二MOS管均为权利要求1或2所述的并联MOS管;
其中,所述第一MOS管的源极、漏极之一和所述第二MOS管的源极、漏极之一连接。
4. 如权利要求3所述的差分对,其特征在于,
两个所述并联MOS管沿第三方向并列设置,所述第一方向、所述第二方向、所述第三方向两两相互垂直。
5. 如权利要求3或4所述的差分对,其特征在于,
所述第一MOS管和所述第二MOS管具有相同数量且一一并列设置的直线并联结构。
6. 如权利要求5所述的差分对,其特征在于,
所述差分对为NMOS管差分对,所述第一MOS管的第一金属条和所述第二MOS管的第一金属条一一并列设置且相互连接;
或,所述差分对为PMOS管差分对,所述第一MOS管的第二金属条和所述第二MOS管的第二金属条一一并列设置且相互连接。
7. 一种集成电路的布图方法,用于形成并联MOS管,其特征在于,包括步骤:
将m个MOS管沿第一方向排列构成直线并联结构;
将n个直线并联结构沿第二方向排列,构成并联阵列;
将直线并联结构的m个MOS管的源极通过第一金属条连接、漏极通过第二金属条连接;
将相邻的直线并联结构的第一金属条相邻设置,或将相邻的直线并联结构的第二金属条相邻设置;
将所述n个直线并联结构的第一金属条相互连接,将所述n个直线并联结构的第二金属条相互连接,使所述n个直线并联结构共同构成并联MOS管;
其中,n和m均为大于等于2的整数。
8. 如权利要求7所述的布图方法,其特征在于,
所述第二方向为多层芯片结构的层叠方向,所述n个直线并联结构的第一金属条通过通孔连接;所述n个直线并联结构的第二金属条通过通孔连接。
9. 如权利要求7所述的布图方法,其特征在于,还包括步骤:
将两个所述并联MOS管并列设置,且两个所述并联MOS管具有相同数量且一一并列设置的直线并联结构;

其中,一个并联MOS管的第一金属条、第二金属条之一和另一个并联MOS管的第一金属条、第二金属条之一,一一并列设置且相互连接。

10.一种集成电路,其特征在于,
包括权利要求1至2中任一项所述的并联MOS管。

一种并联MOS管、差分对、布图方法及集成电路

技术领域

[0001] 本发明涉及集成电路技术领域,具体而言,涉及一种并联MOS管、差分对、布图方法及集成电路。

背景技术

[0002] 差分电路是具有“对共模信号抑制,对差模信号放大”特征的电路。该电路的输入端是两个信号的输入,这两个信号的差值,为电路有效输入信号,电路的输出是对这两个输入信号之差的放大。如果存在干扰信号,会对两个输入信号产生相同的干扰,通过二者之差,干扰信号的有效输入为零,这就达到了抗共模干扰的目的。

[0003] 差分对(Differential Pair)广泛应用于电路系统中,用于差分信号的放大。随着信号频率越来越高,对差分对的性能要求也越来越高。期望差分对的增益能提高,同时又期望差分对能支持更高频率的传输。

[0004] 在电路系统中,MOS管为四端口器件分别为栅端(gate,g),源端(source,s),漏端(drain,d),衬底(bulk,b)。在实际应用中,MOS管最大工作频率 f_{max} 为:

$f_{max} = \min(1/(R_{gate} * C_{gg}), 1/(R_{source} * C_{ss}), 1/(R_{drain} * C_{dd}))/2/\pi$; 其中: R_{gate} 为栅极电阻, C_{gg} 为栅极电容; R_{source} 为源极电阻, C_{ss} 为源极电容; R_{drain} 为漏极电阻, C_{dd} 为漏极电容。在电路系统中,期望 f_{max} 越大越好,最好能接近 f_T (MOS管的截止工作频率),可见减小漏极与源极之间的电容,可以使得差分对工作在更高的频率。

发明内容

[0005] 为了提高差分对的工作频率和增益,本发明提供一种并联MOS管、差分对、布图方法及集成电路,通过改进MOS管连接结构,可使并联MOS管及相关集成电路工作在更高的频率,同时增加增益。

[0006] 具体的,本发明的技术方案如下:

第一方面,本发明公开一种并联MOS管,用于集成电路,其特征在于,

包括n个直线并联结构,每个直线并联结构包括沿第一方向排列的m个MOS管;所述n个直线并联结构沿第二方向排列;

其中,所述m个MOS管的源极通过第一金属条连接、漏极通过第二金属条连接;相邻的直线并联结构的第一金属条相邻设置,或相邻的直线并联结构的第二金属条相邻设置;

n和m均为大于等于2的整数;所述n个直线并联结构的第一金属条相互连接,所述n个直线并联结构的第二金属条相互连接,使所述n个直线并联结构共同构成并联MOS管。

[0007] 在一些实施方式中,所述第二方向为多层芯片结构的层叠方向,所述n个直线并联结构的第一金属条和第二金属条分别通过通孔相互连接。

[0008] 第二方面,本发明还公开一种差分对,

所述差分对包括第一MOS管和第二MOS管,所述第一MOS管和所述第二MOS管均为权利要求1或2所述的并联MOS管;

其中,所述第一MOS管的源极、漏极之一和所述第二MOS管的源极、漏极之一连接。

[0009] 在一些实施方式中,两个所述并联MOS管沿第三方向并列设置,所述第一方向、所述第二方向、所述第三方向两两相互垂直。

[0010] 在一些实施方式中,所述第一MOS管和所述第二MOS管具有相同数量且一一并列设置的直线并联结构。

[0011] 在一些实施方式中,所述差分对为NMOS管差分对,所述第一MOS管的第一金属条和所述第二MOS管的第一金属条一一并列设置且相互连接;

或,所述差分对为PMOS管差分对,所述第一MOS管的第二金属条和所述第二MOS管的第二金属条一一并列设置且相互连接。

[0012] 第三方面,本发明还公开一种集成电路的布图方法,用于形成并联MOS管,其特征在于,包括步骤:

将m个MOS管沿第一方向排列构成直线并联结构;

将n个直线并联结构沿第二方向排列,构成并联阵列;

将直线并联结构的m个MOS管的源极通过第一金属条连接、漏极通过第二金属条连接;

将相邻的直线并联结构的第一金属条相邻设置,或将相邻的直线并联结构的第二金属条相邻设置;

将所述n个直线并联结构的第一金属条相互连接,将所述n个直线并联结构的第二金属条相互连接,使所述n个直线并联结构共同构成并联MOS管;

其中,n和m均为大于等于2的整数。

[0013] 在一些实施方式中,所述第二方向为多层芯片结构的层叠方向,所述n个直线并联结构的第一金属条通过通孔连接;所述n个直线并联结构的第二金属条通过通孔连接。

[0014] 在一些实施方式中,还包括步骤:

将两个所述并联MOS管并列设置,且两个所述并联MOS管具有相同数量且一一并列设置的直线并联结构;

其中,一个并联MOS管的第一金属条和第二金属条之一和另一个并联MOS管的第一金属条和第二金属条之一,一一并列设置且相互连接。

[0015] 第四方面,本发明还公开一种集成电路,其特征在于,

包括上述任一实施方式中所述的并联MOS管。

[0016] 与现有技术相比,本发明至少具有以下一项有益效果:

1、提出了一种并联MOS管的结构,该结构适用于集成电路,可提高电路的功率和效率,增加电路的可靠性。

[0017] 2、提出了一种差分对结构,对差分对电路的版图结构做出了改进,将相邻两层中性质相同的两个金属条设计在一起,减小了并联MOS管结构总体的电容,可有效提高并联MOS管工作频率,同时提高了差分对工作频率。每一层的所述子电路的所述源极金属条通过金属通孔并联,提高了差分对增益。

[0018] 3、提出了一种集成电路布局方法,该集成电路的版图可以拼接扩大,设计多层子电路,每一层子电路中设计多个MOS管并联,可以显著减小源极端与漏极端产生的电容,使得并联MOS管和差分对可以工作在更高的频率。且并联的MOS管越多,产生的运放增益

越大。

附图说明

[0019] 下面将以明确易懂的方式,结合附图说明优选实施方式,对本发明的上述特性、技术特征、优点及其实现方式予以进一步说明。

[0020] 图1为传统并联MOS管结构的连接示意版图;

图2为本发明提供的改进后的一种并联MOS管结构的连接示意版图;

图3为传统的差分对的结构剖面图;

图4为本发明提供的改进后的一种差分对的结构剖面图;

图5为本发明提供的一种差分对结构的等效电路图;

图6为本发明提供的改进后的一种差分对结构的连接示意版图。

具体实施方式

[0021] 以下描述中,为了说明而不是为了限定,提出了诸如特定系统结构、技术之类的具体细节,以便透彻理解本申请实施例。然而,本领域的技术人员应当清楚,在没有这些具体细节的其他实施例中也可以实现本申请。在其他情况中,省略对众所周知的系统、装置、电路以及方法的详细说明,以免不必要的细节妨碍本申请的描述。

[0022] 应当理解,当在本说明书和所附权利要求书中使用时,术语“包括”指示所述描述特征、整体、步骤、操作、元素和/或组件的存在,但并不排除一个或多个其他特征、整体、步骤、操作、元素、组件和/或集合的存在或添加。

[0023] 为使图面简洁,各图中只示意性地表示出了与发明相关的部分,它们并不代表其作为产品的实际结构。另外,以使图面简洁便于理解,在有些图中具有相同结构或功能的部件,仅示意性地绘示了其中的一个,或仅标出了其中的一个。在本文中,“一个”不仅表示“仅此一个”,也可以表示“多于一个”的情形。

[0024] 还应当进一步理解,在本申请说明书和所附权利要求书中使用的术语“和/或”是指相关联列出的项中的一个或多个的任何组合以及所有可能组合,并且包括这些组合。

[0025] 在本文中,需要说明的是,除非另有明确的规定和限定,术语“安装”、“相连”、“连接”应做广义理解,例如,可以是固定连接,也可以是可拆卸连接,或一体的连接;可以是机械连接,也可以是电连接;可以是直接相连,也可以通过中间媒介间接相连,可以是两个元件内部的连通。对于本领域的普通技术人员而言,可以根据具体情况理解上述术语在本发明中的具体含义。

[0026] 具体实现中,本申请实施例中描述的终端设备包括但不限于诸如具有触摸敏感表面(例如,触摸屏显示器和/或触模板)的移动电话、膝上型计算机、家教机或平板计算机之类的其他便携式设备。还应当理解的是,在某些实施例中,所述终端设备并非便携式通信设备,而是具有触摸敏感表面(例如:触摸屏显示器和/或触模板)的台式计算机。

[0027] 另外,在本申请的描述中,术语“第一”、“第二”等仅用于区分描述,而不能理解为指示或暗示相对重要性。

[0028] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对照附图说明本发明的具体实施方式。显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于

本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图,并获得其他的实施方式。

[0029] 本发明提供了一种并联MOS管的一个实施例,用于集成电路。

[0030] 包括n个直线并联结构,每个直线并联结构包括沿第一方向排列的m个MOS管。所述n个直线并联结构沿第二方向排列。

[0031] 具体的,并联MOS管通常用于提高运放的增益。每一层直线并联结构都包括第一金属条和第二金属条,用于连接并联MOS管的源极或漏极。

[0032] 具体的,传统的并联MOS管结构的示意版图参考说明书附图1,以16个MOS管为例,采用4*4画法。图1中阴影部分的S和D,表示的分别是源极连接的第一金属条和漏极连接的第二金属条。相邻的第一金属条和第二金属条之间存在一个较大的电容,若不考虑相隔n层之间金属的电容($n \geq 2$),假设每一层直线并联结构中源极相连的金属与相邻一层直线并联结构中漏极相连的金属之间的电容为 C_{ds} 。

[0033] 其中,所述m个MOS管的源极通过第一金属条连接、漏极通过第二金属条连接。相邻的直线并联结构的第一金属条相邻设置,或相邻的直线并联结构的第二金属条相邻设置。

[0034] 具体的,本发明提供了一种并联MOS管结构将多层芯片结构层叠的每一层的源极端与相邻一层的源极端连接在一起。优化后的并联MOS管结构的示意版图如图2所示,其中相邻的两个S或相邻的两个D之间可以看作完全相连,也可以看作共用同一金属条,所以不存在电容。

[0035] 对比图1与图2,可见传统的并联MOS管结构中D,S之间的存在的总电容为 $7 * C_{ds}$ 。采用相邻的直线并联结构的第一金属条相邻设置,或相邻的直线并联结构的第二金属条相邻设置的画法,如图2即采用SD DS SD DS...或DS SD DS SD...连接的方式,减小了D,S之间的电容,此时的D,S之间的总电容为 $4 * C_{ds}$,减小为原来的 $4/7$ 。

[0036] 一般的,当采用n行的画法,相比于传统结构,优化后的结构的 C_{ds} 可以减小为原来的 $n / (2 * n - 1)$,当n趋近于无穷大时,优化后的结构的 C_{ds} 可以减小为原来的 $1/2$,可以显著减小D,S看到的电容。

[0037] 综上,可得所述并联MOS管电路的总电容C可表示为: $C = n \times C_{ds}$;其中n为所述并联MOS管n个直线并联结构。

[0038] 可对电容 C_{ds} 进行拆分: $C_{ds} = \alpha C_{dd} + \beta C_{ss}$,其中: C_{ss} 为源极电容, C_{dd} 为漏极电容, α 与 β 为定值参数,根据具体电路情况决定。

[0039] 所述并联MOS管电路的工作频率f为:

$$f_{\max} = \min(1/(R_{gate} * C_{gg}), 1/(R_{source} * C_{ss}), 1/(R_{drain} * C_{dd})) / 2 / \pi$$

[0040] 一般情况下,栅极电容 C_{gg} 远大于源极电容 C_{ss} 和漏极电容 C_{dd} 。可见,源极电容 C_{ss} 和漏极电容 C_{dd} 减小,会影响电路的工作频率f变大,使得整体并联MOS管电路工作在更高的频率。

[0041] 在本实施例的另一实施方式中,还存在另一种情况,即所述m个MOS管的漏极通过第一金属条连接、源极通过第二金属条连接。

[0042] 本发明一种并联MOS管的另一个实施例,在上述并联MOS管的一个实施例的基础

上,所述第二方向为多层芯片结构的层叠方向,所述n个直线并联结构的第一金属条通过通孔连接;所述n个直线并联结构的第二金属条通过通孔连接。

[0043] 具体的,实施例中所述的第一方向与第二方向相互垂直。以空间直角坐标系为标准,所述的第一方向与第二方向分别为X轴方向和Y轴方向,同理,平面方向上构成阵列也可行,即第一方向与第二方向分别为X轴方向和Z轴方向。

[0044] n和m均为大于等于2的整数。所述n个直线并联结构的第一金属条相互连接,所述n个直线并联结构的第二金属条相互连接,使所述n个直线并联结构共同构成并联MOS管。

[0045] 基于相同的技术构思,本发明还公开了一种差分对,其特征在于,包括第一MOS管和第二MOS管,所述第一MOS管和所述第二MOS管均为上述实施例所述的并联MOS管。

[0046] 其中,所述第一MOS管的源极、漏极之一和所述第二MOS管的源极、漏极之一连接。

[0047] 所述第一MOS管和所述第二MOS管具有相同数量且一一并列设置的直线并联结构。

[0048] 具体的,两个同类型,且结构对称的所述并联MOS管连接可以形成差分对结构。差分对结构能以最简单的方式构成性能优良的差分放大器。

[0049] 具体的,传统的差分对的结构剖面图如说明书附图3所示。以NMOS管差分对电路为例,如图,左半部分为第一MOS管结构,右半部分为第二MOS管结构,通常采用并联MOS管分别从底层连到顶层后,再使用顶层金属连接它们的源极端。

[0050] 其中:折线部分为连接走线的电阻,M0-M3分别为多层并联MOS管结构的每一层直线并联结构。VIA0-VIA2为两层直线并联结构之间连接的通孔。图3中以4层为例。R0为并联MOS管从M0到M3的走线电阻,R1为M3的连线电阻。图中,第一MOS管与第二MOS管的源极端分别从M0连到M3,再通过M3连接二者之间的源极端。电路结构等效电阻 $R_s=R_0+R_1+R_0$ 。

[0051] 在本实施例的另一实施方式中,所述差分对为NMOS管差分对,所述第一MOS管的第一金属条和所述第二MOS管的第一金属条一一并列设置且相互连接。

[0052] 或,所述差分对为PMOS管差分对,所述第一MOS管的第二金属条和所述第二MOS管的第二金属条一一并列设置且相互连接。

[0053] 参考说明书附图4,本发明提供的改进后的一种差分对电路结构,以NMOS管差分对电路为例,折线部分为连接走线的电阻。M0-M3分别为多层并联MOS管结构的每一层直线并联结构。VIA0-VIA2为两层直线并联结构之间连接的通孔。第一MOS管与第二MOS管的每层结构的源极端都连一起。

[0054] 具体的,本发明提供的一种差分对结构的等效电路图如图5所示,并联后的所述源极金属条,形成总的源极电阻 R_s ,可表示为:

$$R_s=R_{M3}/R_{M2}/R_{M1}/R_{M0}$$

其中: $R_{M3}-R_{M0}$ 为4层并联结构中每一层所述子电路所对应的金属条的等效电阻。

[0055] 相较于改进前电路结构的等效电阻而言,改进后的电路结构可有效减小 R_s 阻值,从而达到提高增益的目的。

[0056] 具体的,所述差分对电路的增益 A_V 为:

$$[0057] \quad A_V = \frac{g_m}{\frac{R_s}{r_0} + g_m * R_s + 1} * R_L \approx \frac{g_m}{g_m * R_s + 1} * R_L$$

[0058] 其中： g_m 为MOS管的迁移率； r_0 为所述子电路的源极端与漏极端之间的等效电阻； R_L 为MOS管的负载电阻。

[0059] 可见， R_s 越大，使得整体增益降低。当 R_s 减小，所述差分对电路的增益 A_V 随之增大。

[0060] 具体的，若所述两个并联MOS管为N沟道MOS管，组成NMOS管差分对电路，那么，两个N沟道MOS管的每一层直线并联结构的源极金属条均并列设置并相互连接。两个并联MOS管为N沟道MOS管时，差分对结构的连接方式参考说明书附图6。图中左半部分对应图4中的第一MOS管，右半部分对应图4中的第二MOS管。第一MOS管与第二MOS管的每一层的第一金属条即源极金属条S相连。

[0061] 另一种情况下，若所述两个并联MOS管为P沟道MOS管，组成PMOS管差分对电路，那么，两个P沟道MOS管的每一层直线并联结构的第二金属条即漏极金属条均并列设置并相互连接。

[0062] 本实施例也可在如图1所示的现有技术的基础上实施，即第一MOS管和第二MOS管仍采用图1的实施方式，也可实现增大差分对电路的增益的效果。

[0063] 本发明提供的差分对的另一个实施例，在上述任意一个差分对实施例的基础上，所述差分对结构中，两个所述并联MOS管沿第一方向并列设置，所述第一方向与所述第二方向相互垂直。

[0064] 具体的，每两个所述并联MOS管构成一个差分对，差分对与差分对之间也可通过并联拼接扩大版图。其中，并联的差分对沿着第一方向排列。以空间直角坐标系为标准，实施方式中所述的第一方向与第二方向分别为X轴方向和Y轴方向，同理，平面方向上构成阵列理论上也可行，即第一方向与第二方向分别为X轴方向和Z轴方向。

[0065] 本发明差分对实施例的另一实施方式中，所述差分对结构中，两个所述并联MOS管沿第三方向并列设置，所述第一方向与所述第三方向相互垂直。

[0066] 具体的，每两个所述并联MOS管构成一个差分对，其中，所述并联MOS管中的子MOS管均沿着第一方向排列设置，所述差分对中两个所述并联MOS管沿第三方向并列设置。

[0067] 或差分对中两个所述并联MOS管沿第一方向并列设置；并联MOS管中的子MOS管均沿着第三方向排列。以空间直角坐标系为标准，所述第一方向、所述第二方向、所述第三方向分别为空间直角坐标系中的X轴、Y轴、Z轴。如果并联阵列是平行设置，则只能沿第一方向并列设置。

[0068] 基于相同的技术构思，本发明还公开了一种集成电路的布图方法，用于形成并联MOS管，其特征在于，包括步骤：

将 m 个MOS管沿第一方向排列构成直线并联结构。

[0069] 将 n 个直线并联结构沿第二方向排列，构成并联阵列。

[0070] 将直线并联结构的 m 个MOS管的源极通过第一金属条连接、漏极通过第二金属条连接。

[0071] 将相邻的直线并联结构的第一金属条相邻设置，或将相邻的直线并联结构的第二金属条相邻设置。

[0072] 将所述 n 个直线并联结构的第一金属条相互连接，将所述 n 个直线并联结构的第二金属条相互连接，使所述 n 个直线并联结构共同构成并联MOS管。

[0073] 其中， n 和 m 均为大于等于2的整数。

[0074] 本发明方法的另一实施例,在上述实施例的基础上,将两个相同类型的所述并联MOS管并列设置,构成差分对。

[0075] 其中,不限于上述实施例和附图中的4层并联结构,本发明集成电路可为n层结构(n大于等于2)。

[0076] 不限于上述实施例和附图中每层并联结构包括4个MOS管,每层并联结构可由m个MOS管组成(m大于等于2)。

[0077] 不限于上述实施例和附图中描述的M0-M3层的源极金属互联,n层结构的每一层源极金属均互联。

[0078] 本发明提供的布图方法的另一个实施例,在上述方法实施例的基础上,还包括步骤:

将两个所述并联MOS管并列设置,且两个所述并联MOS管具有相同数量且一一并列设置的直线并联结构;

其中,一个并联MOS管的第一金属条和第二金属条之一和另一个并联MOS管的第一金属条和第二金属条之一,一一并列设置且相互连接。

[0079] 具体的,传统的差分对的结构剖面图如说明书附图3所示。如图,左半部分为第一MOS管结构,右半部分为第二MOS管结构,通常采用并联MOS管分别从底层连到顶层后,再使用顶层金属连接它们的源极端。

[0080] 其中:折线部分为连接走线,M0-M3分别为多层并联MOS管结构的每一层直线并联结构。图3中以4层为例。R0为并联MOS管从M0到M3的走线电阻,R1为M3的连线电阻。图中,第一MOS管与第二MOS管的源极端分别从M0连到M3,再通过M3连接二者之间的源极端。电路结构等效电阻 $R_s=R_0+R_1+R_0$ 。

[0081] 本发明提供的改进后的一种差分对电路结构,如说明书附图4所示:折线部分为连接走线。第一MOS管与第二MOS管的每层结构的源极端都连一起,漏极端不连。再将多层结构并联打孔。

[0082] 具体的,并联后的所述源极金属条,形成总的源极电阻 R_s ,可表示为:

$$R_s=R_{M3} // R_{M2} // R_{M1} // R_{M0}$$

其中: $R_{M3}-R_{M0}$ 为4层并联结构中每一层所述子电路所对应的所述源极金属条的等效电阻。

[0083] 相较于改进前电路结构的等效电阻而言,改进后的电路结构可有效减小 R_s 阻值,从而达到提高增益的目的。

[0084] 具体的,所述差分对电路的增益 A_V 为:

$$A_V = \frac{g_m}{\frac{R_s}{r_0} + g_m * R_s + 1} * R_L \approx \frac{g_m}{g_m * R_s + 1} * R_L$$

[0085] 其中: g_m 为MOS管的迁移率; r_0 为所述子电路的源极端与漏极端之间的等效电阻; R_L 为MOS管的负载电阻。

[0086] 可见, R_s 越大,使得整体增益降低。当 R_s 减小,所述差分对电路的增益 A_V 随之增大。

[0087] 本实施例也可在如图1所示的现有技术的基础上实施,即第一MOS管和第二MOS管

仍采用图1的实施方式,也可实现增大差分对电路的增益的效果。

[0088] 基于相同的技术构思,本发明还公开了一种集成电路,包括上述任意一种并联MOS管实施例中所述的并联MOS管。

[0089] 本发明集成电路的一个实施例如下:所述集成电路中包括n层子电路,每一层的所述子电路由m个MOS管并联形成;其中,所述n和m均为不小于2的整数。

[0090] 所述集成电路中:每层的所有MOS管的源级均与本层的顶部金属条相连,形成第一金属条,即源级金属条;每层的所有MOS管的漏极均与本层的底部金属条相连,形成第二金属条,即漏极金属条;

所述集成电路中,每一奇数层的所述子电路的漏极金属条与相邻下一偶数层的所述子电路的漏极金属条相连。每一奇数层的所述子电路的源极金属条与相邻上一偶数层的所述子电路的源极金属条相连。形成:SD DS SD DS...的结构。

[0091] 或,所述集成电路中,每一奇数层的所述子电路的漏极金属条与相邻上一偶数层的所述子电路的漏极金属条相连。每一奇数层的所述子电路的源极金属条与相邻下一偶数层的所述子电路的源极金属条相连。形成:DS SD DS SD...的结构。

[0092] 本发明的一种并联MOS管、差分对、布图方法及集成电路均具有相同的技术构思,二者的实施例的技术细节可相互适用,为减少重复,此次不再赘述。本发明是参照根据本发明实施例的方法、设备(系统)和计算机程序产品的流程图和/或方框图来描述的。应理解可由计算机程序指令实现流程图和/或方框图中的每一流程和/或方框,以及流程图和/或方框图中的流程和/或方框的结合。可提供这些计算机程序指令到通用计算机、专用计算机、嵌入式处理机或其他可编程数据处理设备的处理器以产生一个机器,使得通过计算机或其他可编程数据处理设备的处理器执行的指令产生用于实现在流程图一个流程或多个流程和/或方框图一个方框或多个方框中指定的功能的装置。

[0093] 尽管已描述了本发明的优选实施例,但本领域内的技术人员一旦得知了基本创造性概念,则可对这些实施例作出另外的变更和修改。所以,所附权利要求意欲解释为包括优选实施例以及落入本发明范围的所有变更和修改。

[0094] 显然,本领域的技术人员可以对本发明进行各种改动和变型而不脱离本发明的精神和范围。这样,倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内,则本发明也意图包含这些改动和变型在内。

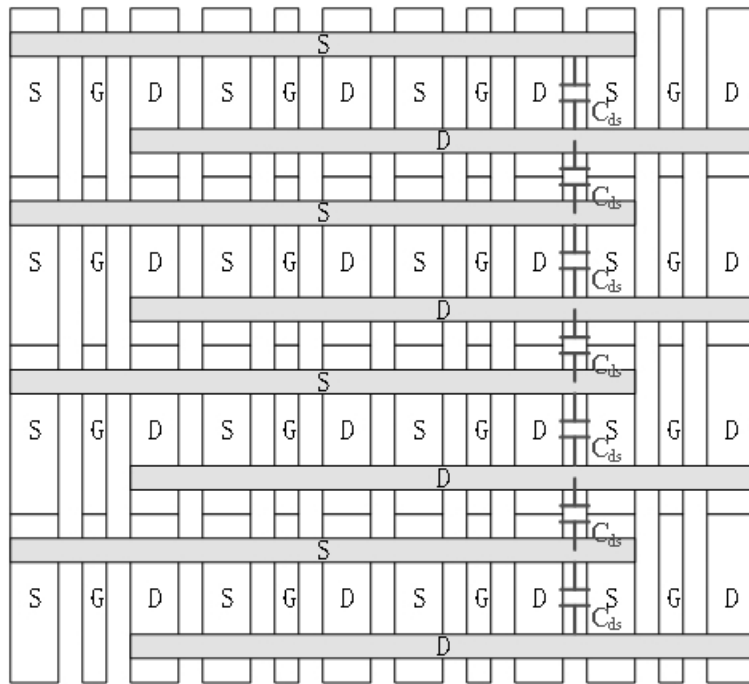


图 1

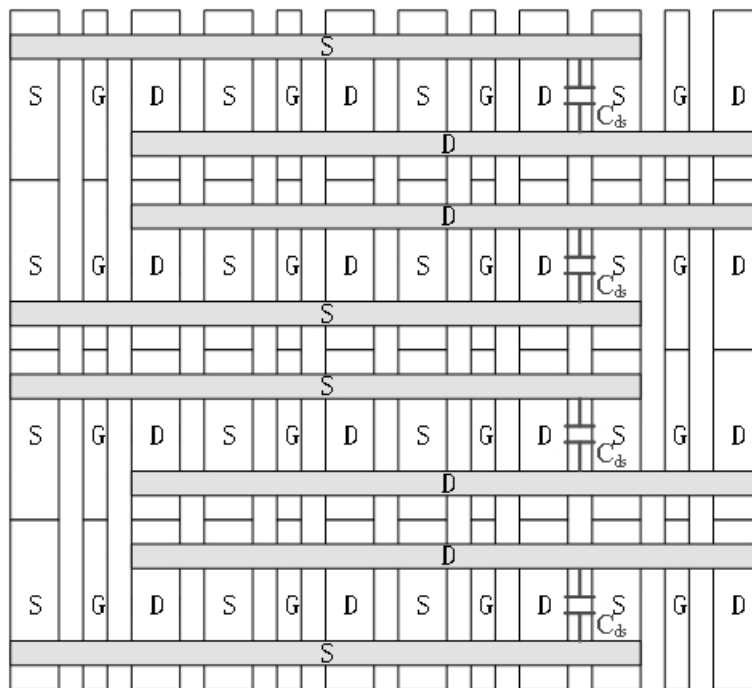


图 2

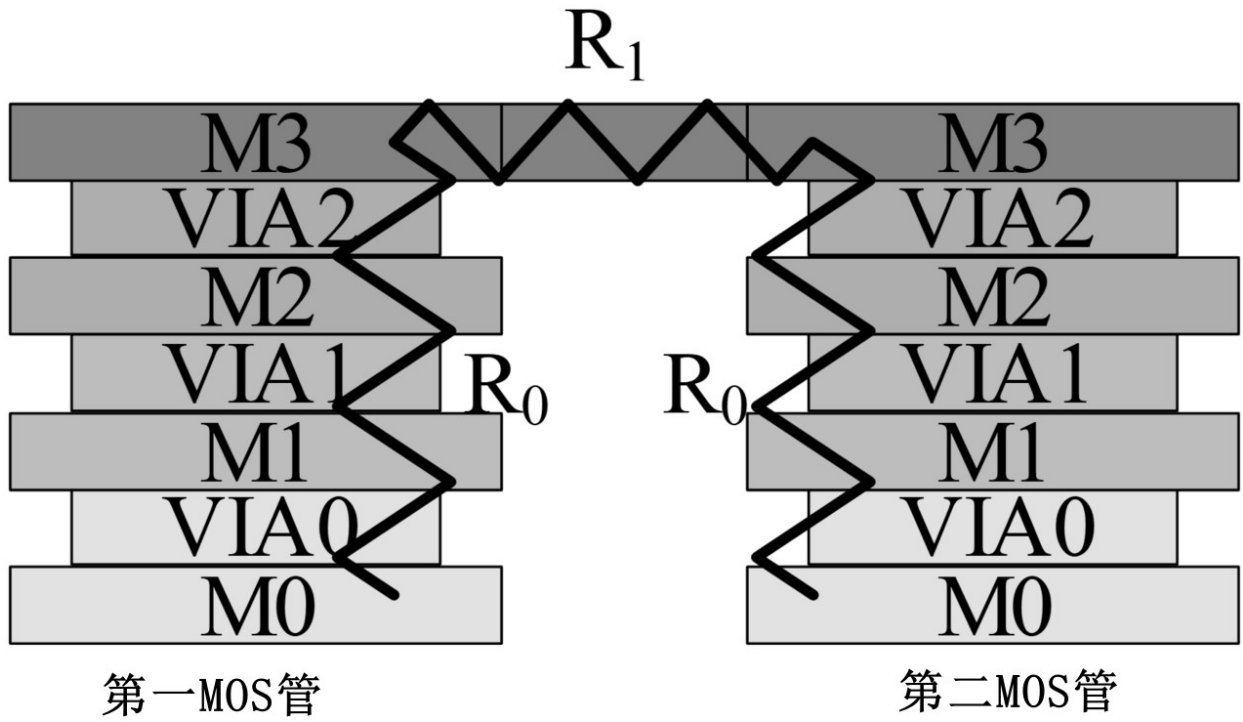


图 3

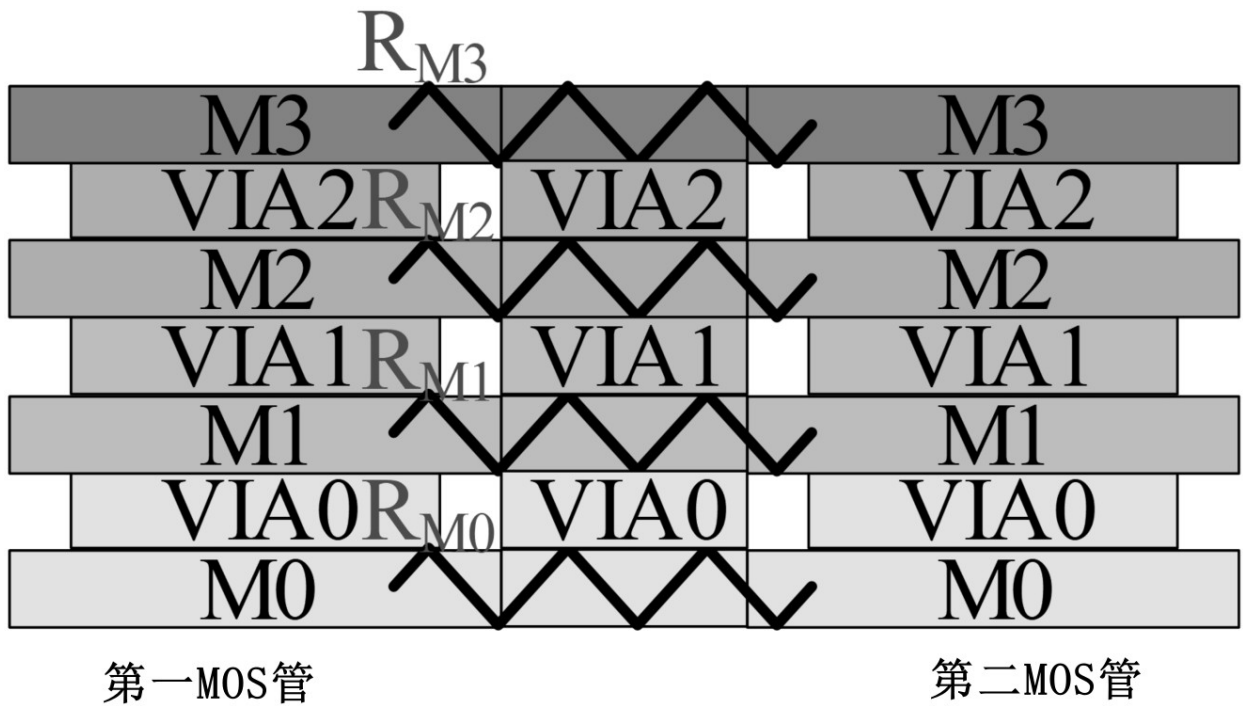


图 4

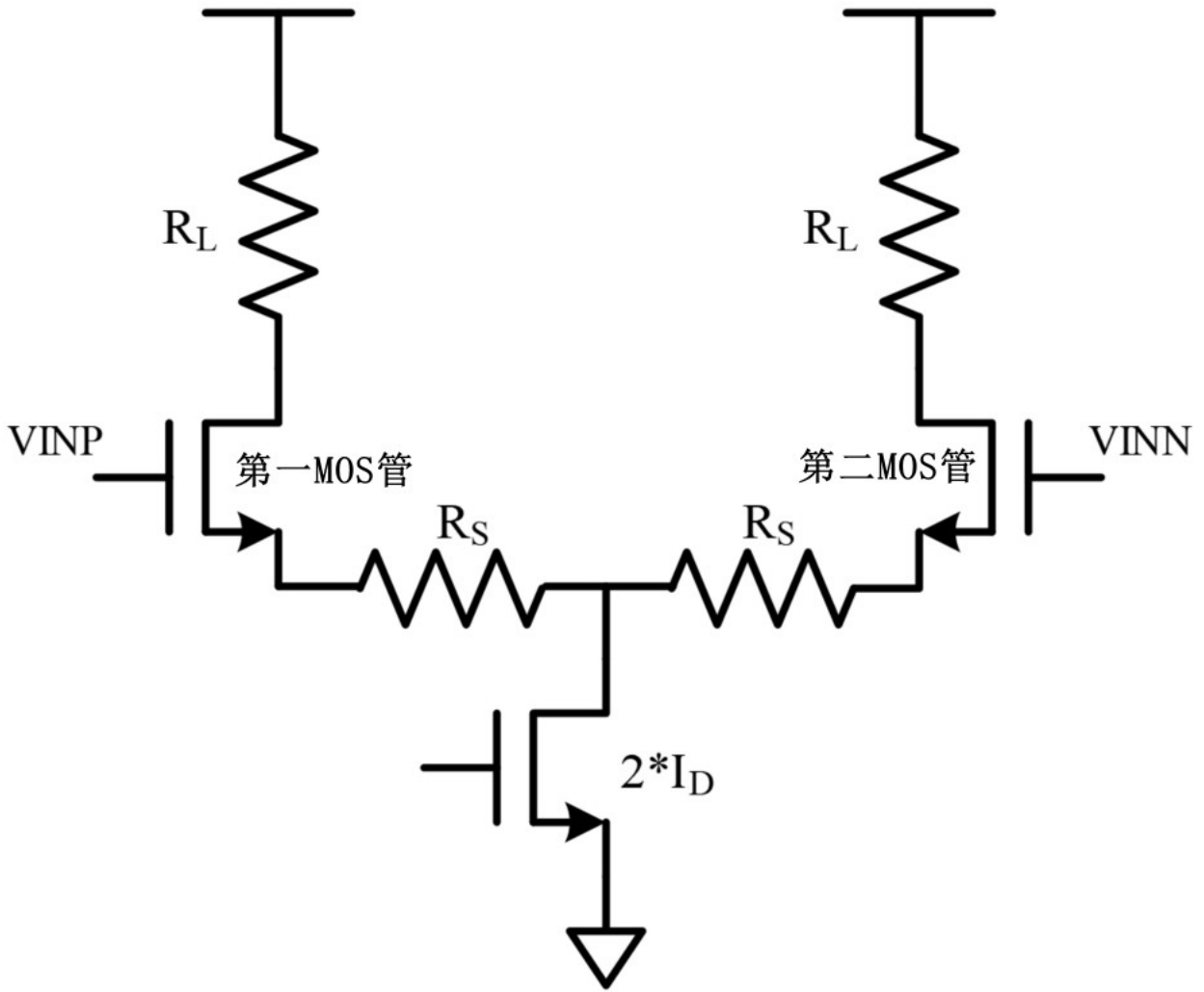


图 5

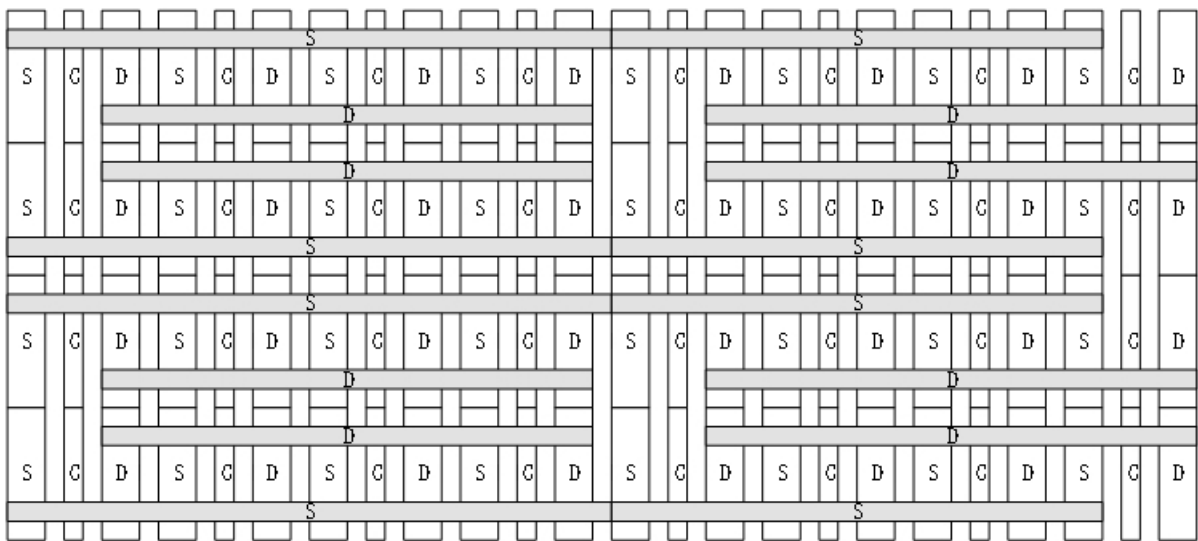


图 6