

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2015 年 7 月 9 日 (09.07.2015)



(10) 国际公布号
WO 2015/100776 A1

- (51) 国际专利分类号:
G02F 1/1333 (2006.01) H01L 21/77 (2006.01)
- (21) 国际申请号: PCT/CN2014/070385
- (22) 国际申请日: 2014 年 1 月 9 日 (09.01.2014)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201310747724.8 2013 年 12 月 31 日 (31.12.2013) CN
- (71) 申请人: 深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (72) 发明人: 徐向阳 (XU, Xiangyang); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。 张伟闵 (CHANG, Wei-Min); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。 曾勉 (ZENG, Mian); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。

- (74) 代理人: 深圳汇智容达专利商标事务所 (普通合伙) (SHENZHEN RONDA PATENT AND TRADE-MARK LAW OFFICE); 中国广东省深圳市福田区深南中路与广深高速公路交界东南金运世纪大厦 04 层 04G, Guangdong 518040 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE,

[见续页]

(54) Title: METHOD FOR MANUFACTURING ARRAY SUBSTRATE OF LIQUID CRYSTAL DISPLAY

(54) 发明名称: 一种液晶显示器的阵列基板的制造方法

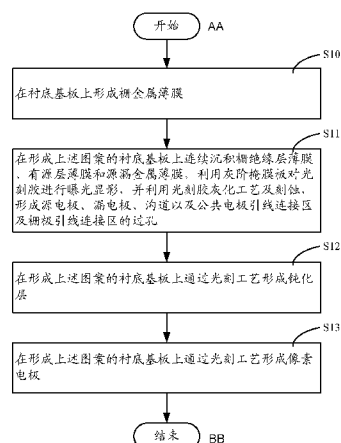


图 1 / Fig. 1

S10 Forming a gate metal thin film on a base substrate
S11 Depositing on patterned base substrate a gate insulating layer thin film, an active layer thin film, and a source/drain metal thin film, utilizing a grayscale mask for exposure and development of the photoresist, then ashing and etching the photoresist to form the source electrode, drain electrode, channels, and the vias of the common electrode lead connecting area and of the gate electrode lead connecting area
S12 Forming a passivation layer by photolithography on the base substrate on which the pattern is formed
S13 Forming a pixel electrode by photolithography on the patterned base substrate
AA Start
BB End

(57) Abstract: A method for manufacturing an array substrate, comprising the steps of: forming a gate metal thin film on a base substrate (10) and employing a first single-tone mask to form a pattern comprising a gate scan line and a gate electrode (11); successively depositing onto the base substrate (10) on which the pattern is formed a gate insulating layer thin film (12), an active layer thin film (13), and a source/drain metal thin film (14), coating a photoresist (3) onto the source/drain metal thin film (14), employing a grayscale mask (2) for exposure and development of the photoresist (3), and utilizing an ashing process and etching of the photoresist (3) to form a source electrode (141), a drain electrode (140), a channel, and vias (1120 and 1110) of a common electrode lead connecting area (112) and of a gate electrode lead connecting area (111), where the grayscale mask (2) corresponds to three or more light transmittances; forming a passivation layer via a photolithography process on the base substrate (10) on which the pattern is formed; and, forming a pixel electrode via a photolithography process on the base substrate (10) on which the pattern is formed. This allows for reduced costs for manufacturing the array substrate and increased performance of the array substrate.

(57) 摘要:

[见续页]



WO 2015/100776 A1



IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO,
RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD,
TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

一种阵列基板的制造方法，包括步骤：在衬底基板（10）上形成栅金属薄膜，并采用第一单色调掩膜板，形成包括有栅极扫描线及栅电极（11）的图案；在形成图案的衬底基板（10）上连续沉积栅绝缘层薄膜（12）、有源层薄膜（13）和源漏金属薄膜（14），在源漏金属薄膜（14）上涂覆光刻胶（3），并采用一灰阶掩膜板（2）对光刻胶（3）进行曝光显影，并利用光刻胶（3）灰化工艺及刻蚀，形成源电极（141）、漏电极（140）、沟道以及公共电极引线连接区（112）及栅极引线连接区（111）的过孔（1120、1110），其中，灰阶掩膜板（2）对应有三种以上的光线透过率；在形成图案的衬底基板（10）上通过光刻工艺形成钝化层；在形成图案的衬底基板（10）上通过光刻工艺形成像素电极。可以降低制造阵列基板的成本，以及提高阵列基板的性能。

一种液晶显示器的阵列基板的制造方法

本申请要求于 2013 年 12 月 31 日提交中国专利局、申请号为 201310747724.8、发明名称为“一种液晶显示器的阵列基板的制造方法”的中国专利申请的优先权，上述专利的全部内容通过引用结合在本申请中。

技术领域

本发明涉及薄膜晶体管液晶显示器（Thin Film Transistor liquid crystal display, TFT-LCD）的制造技术，特别涉及一种液晶显示器的阵列基板的制造方法。

背景技术

薄膜晶体管液晶显示器是目前主流的液晶显示器。现有的薄膜晶体管液晶显示器的液晶面板包括有阵列基板和彩膜基板。阵列基板的典型结构是包括衬底基板；衬底基板上形成有横向及纵向交叉的数据线和栅线；数据线和栅线围设形成矩阵形式排列的像素单元；每个像素单元包括 TFT 开关和像素电极；TFT 开关包括栅电极、源电极、漏电极和有源层；栅电极连接栅线，源电极连接数据线，漏电极连接像素电极，有源层形成在源电极和漏电极与栅电极之间。衬底基板上一般还形成有公共电极线，用于向公共电极输入公共电压。

为了提高 TFT-LCD 阵列基板的制造良率，通常会在形成源电极、漏电极之后增加一道栅极引线连接区（pad 区）的过孔掩模工艺，这无疑会增加基板的制造成本，另外，会增加由于均匀性不良而导致的源/漏层短路的几率。

发明内容

本发明所要解决的技术问题在于，提供一种液晶显示器的阵列基板的制造方法，可以降低成本，并能改善阵列基板的性能。

为了解决上述技术问题，本发明的实施例的一方面提供了一种阵列基板的制造方法，包括：

在衬底基板上形成栅金属薄膜，在栅金属薄膜上涂覆光刻胶，并采用第

一单色调掩模板，形成包括有栅极扫描线及栅电极的图案，并通过灰化去除相应光刻胶；

在形成上述图案的衬底基板上连续沉积栅绝缘层薄膜、有源层薄膜和源漏金属薄膜，在源漏金属薄膜上涂覆光刻胶，并采用一灰阶掩模板对光刻胶进行曝光显影，并利用光刻胶灰化工艺及刻蚀，形成源电极、漏电极、沟道以及公共电极引线连接区及栅极引线连接区的过孔，其中，灰阶掩模板对应有三种以上的光线透过率；

在形成上述图案的衬底基板上通过光刻工艺形成钝化层；

在形成上述图案的衬底基板上通过光刻工艺形成像素电极。

其中，在形成上述图案的衬底基板上连续沉积栅绝缘层薄膜、有源层薄膜和源漏金属薄膜，在源漏金属薄膜上涂覆光刻胶，并采用一灰阶掩模板对光刻胶进行曝光显影，并利用光刻胶灰化工艺及刻蚀，形成源电极、漏电极、沟道以及公共电极引线连接区及栅极引线连接区的过孔的步骤，具体为：

在形成上述图案的衬底基板上连续沉积栅绝缘层薄膜、有源层薄膜和源漏金属薄膜，在源漏金属薄膜上涂覆光刻胶，并采用一灰阶掩模板对光刻胶进行曝光显影，通过灰阶掩模板至少在源电极区域、漏电极区域形成第一厚度区域，在沟道区域上方形成第二厚度区域，在公共电极引线连接区及栅极引线连接区的上方形成第四厚度区域，在其他区域形成第四厚度区域的光刻胶图案；

进行刻蚀，刻蚀掉第四厚度区域处的源漏金属薄膜、半导体层薄膜和栅绝缘层薄膜，形成及公共电极引线连接区及栅极引线连接区的过孔，并通过灰化去除第三厚度区域的光刻胶；

进行刻蚀，刻蚀掉第三厚度区域处的源漏金属薄膜和半导体层薄膜，并通过灰化去除第二厚度区域的光刻胶；

进行刻蚀，刻蚀第二厚度区域处的源漏金属薄膜，以形成沟道，并将剩余光刻胶剥离，以形成源电极、漏电极。

其中，灰阶掩模板对应于第一厚度区域对光线具有第一透过率，对应于第二厚度区域对光线具有第二透过率，对应于第三厚度区域对光线具有第三透过率，对应于第四厚度区域对光线具有第四透过率。

其中，第一厚度大于第二厚度，第二厚度大于第三厚度，第三厚度大于第四厚度；第一透过率小于第二透过率，第二透过率小于第三透过率，第三透过率小于第四透过率。

其中，第四厚度为零；第一透过率为 0/3，第二透过率为 1/3，第三透过率为 2/3，第四透过率为 3/3。

其中，其中，在衬底基板上形成栅金属薄膜的步骤包括：

采用溅射或热蒸发的方法在衬底基板上沉积厚度为 1000 Å~6000Å 的栅金属薄膜。

其中，在形成上述图案的衬底基板上连续沉积栅绝缘层薄膜、有源层薄膜和源漏金属薄膜的步骤包括：

采用化学气相沉积方法，在衬底基板上依次沉积厚度为 2000 Å~5000Å 的栅绝缘层薄膜、厚度为 1000 Å~3000Å 的半导体层薄膜，然后采用磁控溅射或热蒸发方法，沉积厚度为 1000 Å~6000Å 的源漏金属薄膜。

其中，在形成上述图案的衬底基板上通过光刻工艺形成钝化层的步骤包括，包括：

采用化学气相沉积方法，在衬底基板上沉积厚度为 1000 Å~3000Å 的绝缘保护层薄膜；

在绝缘保护层薄膜上涂覆光刻胶，并采用第二单色调掩模板对光刻胶进行曝光显影、刻蚀，形成钝化层图形及过孔；

并剥离相应光刻胶。

其中，在形成上述图案衬底基板上通过光刻工艺形成像素电极的步骤，包括：

在形成上述图案的衬底基板上沉积 100Å~1000Å 厚度的透明电极层，在透明电极层上涂覆光刻胶，采用第三单色调掩模板对光刻胶进行曝光显影，至少形成位于像素电极区域上方、栅线引线连接区域上方以及数据线引线连接区域上方的光刻胶图案；

采用湿法刻蚀工艺进行刻蚀，并剥离刻胶，形成像素电极的图案。

其中，在衬底基板上形成包括有栅极扫描线及栅电极的图案的步骤中采用的为湿法刻蚀工艺。

相应地，本发明实施例的另一方面，还提供一种阵列基板的制造方法，其中，包括步骤：

在衬底基板上形成栅金属薄膜，在栅金属薄膜上涂覆光刻胶，并采用第一单色调掩模板对光刻胶进行曝光显影、刻蚀，形成包括有栅极扫描线及栅电极的图案，并通过灰化去除相应光刻胶；

在形成上述图案的衬底基板上连续沉积栅绝缘层薄膜、有源层薄膜和源漏金属薄膜，在源漏金属薄膜上涂覆光刻胶，并采用一灰阶掩模板对光刻胶进行曝光显影，通过灰阶掩模板至少在源电极区域、漏电极区域形成第一厚度区域，在沟道区域上方形成第二厚度区域，在公共电极引线连接区及栅极引线连接区的上方形成第四厚度区域，在其他区域形成第四厚度区域的光刻胶图案；

进行刻蚀，刻蚀掉第四厚度区域处的源漏金属薄膜、半导体层薄膜和栅绝缘层薄膜，形成及公共电极引线连接区及栅极引线连接区的过孔，并通过灰化去除第三厚度区域的光刻胶；

进行刻蚀，刻蚀掉第三厚度区域处的源漏金属薄膜和半导体层薄膜，并通过灰化去除第二厚度区域的光刻胶；

进行刻蚀，刻蚀第二厚度区域处的源漏金属薄膜，以形成沟道，并将剩余光刻胶剥离，以形成源电极、漏电极；

在形成上述图案的衬底基板上通过光刻工艺形成钝化层；

在形成上述图案的衬底基板上通过光刻工艺形成像素电极。

其中，灰阶掩模板对应于第一厚度区域对光线具有第一透过率，对应于第二厚度区域对光线具有第二透过率，对应于第三厚度区域对光线具有第三透过率，对应于第四厚度区域对光线具有第四透过率。

其中，第一厚度大于第二厚度，第二厚度大于第三厚度，第三厚度大于第四厚度；第一透过率小于第二透过率，第二透过率小于第三透过率，第三透过率小于第四透过率。

其中，第四厚度为零；第一透过率为 $0/3$ ，第二透过率为 $1/3$ ，第三透过率为 $2/3$ ，第四透过率为 $3/3$ 。

其中，在衬底基板上形成栅金属薄膜的步骤，包括：

采用溅射或热蒸发的方法在衬底基板上沉积厚度为 $1000\text{ \AA}$ ~ $6000\text{ \AA}$ 的栅金属薄膜。

其中，在形成上述图案的衬底基板上连续沉积栅绝缘层薄膜、有源层薄膜和源漏金属薄膜的步骤包括：

采用化学气相沉积方法，在衬底基板上依次沉积厚度为 $2000\text{ \AA}$ ~ $5000\text{ \AA}$ 的栅绝缘层薄膜、厚度为 $1000\text{ \AA}$ ~ $3000\text{ \AA}$ 的半导体层薄膜，然后采用磁控溅射或热蒸发方法，沉积厚度为 $1000\text{ \AA}$ ~ $6000\text{ \AA}$ 的源漏金属薄膜。

其中，在形成上述图案的衬底基板上通过光刻工艺形成钝化层的步骤包括，包括：

采用化学气相沉积方法，在衬底基板上沉积厚度为 $1000\text{ \AA}$ ~ $3000\text{ \AA}$ 的绝缘保护层薄膜；

在绝缘保护层薄膜上涂覆光刻胶，并采用第二单色调掩模板对光刻胶进行曝光显影、刻蚀，形成钝化层图形及过孔；

并剥离相应光刻胶。

其中，在形成上述图案衬底基板上通过光刻工艺形成像素电极的步骤，包括：

在形成上述图案的衬底基板上沉积 $100\text{ \AA}$ ~ $1000\text{ \AA}$ 厚度的透明电极层，在透明电极层上涂覆光刻胶，采用第三单色调掩模板对光刻胶进行曝光显影，至少形成位于像素电极区域上方、栅线引线连接区域上方以及数据线引线连接区域上方的光刻胶图案；

采用湿法刻蚀工艺进行刻蚀，并剥离刻胶，形成像素电极的图案。

其中，在衬底基板上形成包括有栅极扫描线及栅电极的图案的步骤中采用的为湿法刻蚀工艺。

实施本发明的实施例，具有如下的有益效果：

本发明的实施例中，通过在沉积有栅绝缘层薄膜、有源层薄膜和源漏金属薄膜的衬底基板上，采用一个具有多种光线透过率的灰阶掩模板对光刻胶进行曝光显影以及刻蚀，通过减少掩模板的数量，从而降低了制造阵列基板的成本；通过对栅极过孔、源漏层过孔以及沟道分别进行刻蚀，可以获得优良的薄膜晶体管源漏层沟道的性能。

附图说明

为了更清楚地说明本发明实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本发明的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其它的附图。

图1是本发明提供一种液晶显示器的阵列基板制造方法的一个实施例的主流程示意图；

图2是本发明提供一种液晶显示器的阵列基板制造方法中在衬底基板上形成的栅电极的示意图；

图3是对图2沉积栅绝缘层的示意图；

图4是对图2沉积栅绝缘层、有源层薄膜和源漏金属薄膜，并采用灰阶掩模板形成光刻胶图案的示意图；

图5是图4中的形成光刻胶图案后的示意图；

图6是对图5中在第三厚度区域进行刻蚀的示意图；

图7是对图6进行第一次灰化的示意图；

图8是对图7中第二厚度区域进行刻蚀的示意图；

图9是对图8进行第二次灰化的示意图；

图10是对图9中第一厚度区域进行刻蚀的示意图；

图11是对图10中剩余的光刻胶进行剥离的示意图；

图12是对图11通过光刻工艺形成钝化层的示意图。

具体实施方式

下面参考附图对本发明的优选实施例进行描述。

如图1所示，示出了本发明提供的液晶显示器的阵列基板的制造方法的一个实施例中的主流程示意图；在该实施例中，该液晶显示器的阵列基板制造方法包括如下的步骤：

步骤S10，在衬底基板10上形成栅金属薄膜，在栅金属薄膜上涂覆光刻胶，并采用第一单色调掩模板对光刻胶进行曝光显影、刻蚀，形成包括有栅极扫描线及栅电极11的图案，并通过灰化去除相应光刻胶；具体地，在一个实施例中，可以采用溅射或热蒸发的方法在玻璃的衬底基板10上沉积

厚度为 $1000\text{ \AA}$ ~ $6000\text{ \AA}$ 的栅金属薄膜, 其中, 该栅金属薄膜可以为 Cr、Mo、Al、Cu、Ti、Ta 的单层膜, 或 Cr、Mo、Al、Ti、Ta 和 Cu 任意组合所构成的复合膜。其中刻蚀可以采用湿法刻蚀工艺。最后在衬底基板 10 形成包含有栅电极 11 的图案, 以及形成与栅电极 11 连通的栅极引线连接区 111 (pad 区), 具体可参见图 1 所示。

步骤 S11, 在形成上述图案的衬底基 10 上连续沉积栅绝缘层薄膜 12、有源层薄膜 13 和源漏金属薄膜 14, 并在源漏金属薄膜上涂覆光刻胶 3, 并采用一灰阶掩模板 2 对光刻胶进行曝光显影, 并利用光刻胶灰化工艺及刻蚀, 形成源电极、漏电极、沟道以及公共电极引线连接区及栅极引线连接区的过孔。

具体地, 首先, 采用化学气相沉积方法, 在衬底基板 10 上依次沉积厚度为 $2000\text{ \AA}$ ~ $5000\text{ \AA}$ 的栅绝缘层薄膜 12 (例如 SiN_x 层)、厚度为 $1000\text{ \AA}$ ~ $3000\text{ \AA}$ 的半导体层薄膜 13 (例如 a-Si 层), 然后采用磁控溅射或热蒸发方法, 沉积厚度为 $1000\text{ \AA}$ ~ $6000\text{ \AA}$ 的源漏金属薄膜 14; 并在源漏金属薄膜 14 上涂覆光刻胶 3;

然后采用一灰阶掩模板 2 对光刻胶 3 进行曝光显影, 以形成光刻胶图案。其中, 该灰阶掩模板 2 包含至少三种以上透过率的区域, 以使在紫外线 (UV) 的照射下使光刻胶 3 上形成不同厚度的图案。具体地, 通过该灰阶掩模板 2 在源电极区域 141、漏电极区域 140、数据线区域形成第一厚度区域 (a 区域)、在沟道区域上方形成第二厚度区域 (b 区域)、在公共电极引线连接区 112 及栅极引线连接区 111 的上方形成第四厚度区域 (d 区域), 其他区域形成第三厚度区域 (c 区域), 其中, 第一厚度大于第二厚度, 第二厚度大于第三厚度, 第三厚度大于第四厚度, 在一个实施例中, 该第四厚度区域的厚度可以接近或等于零; 相应地, 在灰阶掩模板 2 上, 对应于第一厚度的区域的地方对光线具有第一透过率 20, 在对应于第二厚度区域的地方对光线具有第二透过率 21, 在对应于第三厚度区域的地方对光线具有第三透过率 22, 在对应于第四厚度区域的地方对光线具有第四透过率 23, 其中, 第一透过率小于第二透过率, 第二透过率小于第三透过率, 第三透过率小于第四透过率, 例如, 在一个实施例中, 第一透过率为 $0/3$, 第二透过率为 $1/3$, 第三透过率

为 2/3，第四透过率为 3/3。具体图案请详见图 4 及图 5。

接着，进行刻蚀，刻蚀掉第三厚度区域对应的源漏金属薄膜、半导体层薄膜和栅绝缘层薄膜，形成及公共电极引线连接区 112 的过孔 1120 及栅极引线连接区 111 的过孔 1110，并灰化去除第三厚度区域的相应光刻胶，露出部份第三厚度区域的源漏金属薄膜，请参见图 6 及图 7 所示；

进行刻蚀，刻蚀掉第三厚度区域对应的源漏金属薄膜和半导体层薄膜，并按照进行灰化去除第二厚度区域的相应光刻胶，露出第二厚度区域的源漏金属薄膜，请参见图 8 及图 9；

进行刻蚀，刻蚀掉第二厚度区域对应的源漏金属薄膜，以形成沟道 15，并将剩余的光刻胶剥离，以形成源电极 141、漏电极 140 以及数据数据线区域 130，请参见图 10 及图 11。

步骤 S12，在形成上述图案的衬底基板上通过光刻工艺形成钝化层；具体地，包括：

采用化学气相沉积方法，在衬底基板上沉积厚度为 $1000\text{Å} \sim 3000\text{Å}$ 的绝缘保护层薄膜 16（如 SiN_x 层）；在绝缘保护层薄膜 16 上涂覆光刻胶，并采用第二单色调掩模板对光刻胶进行曝光显影、刻蚀，形成钝化层图形及过孔 160，请参见图 12。

步骤 S13，在形成上述图案的衬底基板上通过光刻工艺形成像素电极，具体地，包括：

在形成上述图案的衬底基板上沉积 $100\text{Å} \sim 1000\text{Å}$ 厚度的透明电极层（如 ITO 或 IZO 层），在该透明电极层上涂覆光刻胶，采用第三单色调掩模板对光刻胶进行曝光显影，至少形成位于像素电极区域上方、栅线引线连接区域上方以及数据线引线连接区域上方的光刻胶图案；

采用湿法刻蚀工艺进行刻蚀，并剥离光刻胶，形成像素电极的图案。

实施本发明，具有如下的有益效果：

本发明的实施例中，通过在沉积有栅绝缘层薄膜、有源层薄膜和源漏金属薄膜的衬底基板上，采用一个具有多种光线透过率的灰阶掩模板对光刻胶进行曝光显影以及刻蚀，通过减少掩模板的数量，从而降低了制造阵列基板的成本；通过对栅极过孔、源漏层过孔以及沟道分别进行刻蚀，可以获得优

良的薄膜晶体管源漏层沟道的性能。

以上所揭露的仅为本发明较佳实施例而已，当然不能以此来限定本发明之权利范围，因此等同变化，仍属本发明所涵盖的范围。

权利要求

1、一种阵列基板的制造方法，其中，包括：

在衬底基板上形成栅金属薄膜，在所述栅金属薄膜上涂覆光刻胶，并采用第一单色调掩模板对光刻胶进行曝光显影、刻蚀，形成包括有栅极扫描线及栅电极的图案，并通过灰化去除相应光刻胶；

在形成上述图案的衬底基板上连续沉积栅绝缘层薄膜、有源层薄膜和源漏金属薄膜，在所述源漏金属薄膜上涂覆光刻胶，并采用一灰阶掩模板对光刻胶进行曝光显影，并利用光刻胶灰化工艺及刻蚀，形成源电极、漏电极、沟道以及公共电极引线连接区及栅极引线连接区的过孔，其中，所述灰阶掩模板对应有三种以上的光线透过率；

在形成上述图案的衬底基板上通过光刻工艺形成钝化层；

在形成上述图案的衬底基板上通过光刻工艺形成像素电极。

2、根据权利要求 1 所述的阵列基板的制造方法，其中，在形成上述图案的衬底基板上连续沉积栅绝缘层薄膜、有源层薄膜和源漏金属薄膜，在所述源漏金属薄膜上涂覆光刻胶，并采用一灰阶掩模板对光刻胶进行曝光显影，并利用光刻胶灰化工艺及刻蚀，形成源电极、漏电极、沟道以及公共电极引线连接区及栅极引线连接区的过孔的步骤，具体为：

在形成上述图案的衬底基板上连续沉积栅绝缘层薄膜、有源层薄膜和源漏金属薄膜，在所述源漏金属薄膜上涂覆光刻胶，并采用一灰阶掩模板对光刻胶进行曝光显影，通过所述灰阶掩模板至少在源电极区域、漏电极区域形成第一厚度区域，在沟道区域上方形成第二厚度区域，在公共电极引线连接区及栅极引线连接区的上方形成第四厚度区域，在其他区域形成第四厚度区域的光刻胶图案；

进行刻蚀，刻蚀掉所述第四厚度区域处的源漏金属薄膜、半导体层薄膜和栅绝缘层薄膜，形成及公共电极引线连接区及栅极引线连接区的过孔，并通过灰化去除所述第三厚度区域的光刻胶；

进行刻蚀，刻蚀掉所述第三厚度区域处的源漏金属薄膜和半导体层薄

膜，并通过灰化去除所述第二厚度区域的光刻胶；

进行刻蚀，刻蚀所述第二厚度区域处的源漏金属薄膜，以形成沟道，并将剩余光刻胶剥离，以形成源电极、漏电极。

3、根据权利要求 2 所述的阵列基板的制造方法，其中，所述灰阶掩模板对应于所述第一厚度区域对光线具有第一透过率，对应于所述第二厚度区域对光线具有第二透过率，对应于所述第三厚度区域对光线具有第三透过率，对应于所述第四厚度区域对光线具有第四透过率。

4、根据权利要求 3 所述的阵列基板的制造方法，其中，所述第一厚度大于所述第二厚度，所述第二厚度大于所述第三厚度，所述第三厚度大于所述第四厚度；所述第一透过率小于所述第二透过率，所述第二透过率小于所述第三透过率，所述第三透过率小于所述第四透过率。

5、根据权利要求 3 所述的阵列基板的制造方法，其中，所述第四厚度为零；所述第一透过率为 0/3，所述第二透过率为 1/3，所述第三透过率为 2/3，所述第四透过率为 3/3。

6、根据权利要求 5 所述的阵列基板的制造方法，其中，所述在衬底基板上形成栅金属薄膜的步骤，包括：

采用溅射或热蒸发的方法在所述衬底基板上沉积厚度为 1000 Å~6000Å 的栅金属薄膜。

7、根据权利要求 6 所述的阵列基板的制造方法，其中，所述在形成上述图案的衬底基板上连续沉积栅绝缘层薄膜、有源层薄膜和源漏金属薄膜的步骤包括：

采用化学气相沉积方法，在所述衬底基板上依次沉积厚度为 2000 Å~5000Å 的栅绝缘层薄膜、厚度为 1000 Å~3000Å 的半导体层薄膜，然后采用磁控溅射或热蒸发方法，沉积厚度为 1000 Å~6000Å 的源漏金属薄膜。

8、根据权利要求 7 所述的阵列基板的制造方法，其中，在形成上述图案的衬底基板上通过光刻工艺形成钝化层的步骤包括，包括：

采用化学气相沉积方法，在所述衬底基板上沉积厚度为 1000 Å~3000Å 的绝缘保护层薄膜；

在所述绝缘保护层薄膜上涂覆光刻胶，并采用第二单色调掩模板对光刻

胶进行曝光显影、刻蚀，形成钝化层图形及过孔；

并剥离相应光刻胶。

9、根据权利要求 8 所述的阵列基板的制造方法，其中，所述在形成上述图案衬底基板上通过光刻工艺形成像素电极的步骤，包括：

在形成上述图案的衬底基板上沉积 $100\text{\AA}\sim 1000\text{\AA}$ 厚度的透明电极层，在所述透明电极层上涂覆光刻胶，采用第三单色调掩模板对光刻胶进行曝光显影，至少形成位于像素电极区域上方、栅线引线连接区域上方以及数据线引线连接区域上方的光刻胶图案；

采用湿法刻蚀工艺进行刻蚀，并剥离刻胶，形成像素电极的图案。

10、根据权利要求 9 所述的阵列基板的制造方法，其中，在所述衬底基板上形成包括有栅极扫描线及栅电极的图案的步骤中采用的为湿法刻蚀工艺。

11、一种阵列基板的制造方法，其中，包括：

在衬底基板上形成栅金属薄膜，在所述栅金属薄膜上涂覆光刻胶，并采用第一单色调掩模板对光刻胶进行曝光显影、刻蚀，形成包括有栅极扫描线及栅电极的图案，并通过灰化去除相应光刻胶；

在形成上述图案的衬底基板上连续沉积栅绝缘层薄膜、有源层薄膜和源漏金属薄膜，在所述源漏金属薄膜上涂覆光刻胶，并采用一灰阶掩模板对光刻胶进行曝光显影，通过所述灰阶掩模板至少在源电极区域、漏电极区域形成第一厚度区域，在沟道区域上方形成第二厚度区域，在公共电极引线连接区及栅极引线连接区的上方形成第四厚度区域，在其他区域形成第四厚度区域的光刻胶图案；

进行刻蚀，刻蚀掉所述第四厚度区域处的源漏金属薄膜、半导体层薄膜和栅绝缘层薄膜，形成及公共电极引线连接区及栅极引线连接区的过孔，并通过灰化去除所述第三厚度区域的光刻胶；

进行刻蚀，刻蚀掉所述第三厚度区域处的源漏金属薄膜和半导体层薄膜，并通过灰化去除所述第二厚度区域的光刻胶；

进行刻蚀，刻蚀所述第二厚度区域处的源漏金属薄膜，以形成沟道，并将剩余光刻胶剥离，以形成源电极、漏电极；

在形成上述图案的衬底基板上通过光刻工艺形成钝化层;

在形成上述图案的衬底基板上通过光刻工艺形成像素电极。

12、根据权利要求 11 所述的阵列基板的制造方法,其中,所述灰阶掩模板对应于所述第一厚度区域对光线具有第一透过率,对应于所述第二厚度区域对光线具有第二透过率,对应于所述第三厚度区域对光线具有第三透过率,对应于所述第四厚度区域对光线具有第四透过率。

13、根据权利要求 12 所述的阵列基板的制造方法,其中,所述第一厚度大于所述第二厚度,所述第二厚度大于所述第三厚度,所述第三厚度大于所述第四厚度;所述第一透过率小于所述第二透过率,所述第二透过率小于所述第三透过率,所述第三透过率小于所述第四透过率。

14、根据权利要求 13 所述的阵列基板的制造方法,其中,所述第四厚度为零;所述第一透过率为 0/3,所述第二透过率为 1/3,所述第三透过率为 2/3,所述第四透过率为 3/3。

15、根据权利要求 14 所述的阵列基板的制造方法,其中,所述在衬底基板上形成栅金属薄膜的步骤,包括:

采用溅射或热蒸发的方法在所述衬底基板上沉积厚度为 1000 Å~6000Å 的栅金属薄膜。

16、根据权利要求 15 所述的阵列基板的制造方法,其中,所述在形成上述图案的衬底基板上连续沉积栅绝缘层薄膜、有源层薄膜和源漏金属薄膜的步骤包括:

采用化学气相沉积方法,在所述衬底基板上依次沉积厚度为 2000 Å~5000Å 的栅绝缘层薄膜、厚度为 1000 Å~3000Å 的半导体层薄膜,然后采用磁控溅射或热蒸发方法,沉积厚度为 1000 Å~6000Å 的源漏金属薄膜。

17、根据权利要求 16 所述的阵列基板的制造方法,其中,在形成上述图案的衬底基板上通过光刻工艺形成钝化层的步骤包括,包括:

采用化学气相沉积方法,在所述衬底基板上沉积厚度为 1000 Å~3000Å 的绝缘保护层薄膜;

在所述绝缘保护层薄膜上涂覆光刻胶,并采用第二单色调掩模板对光刻胶进行曝光显影、刻蚀,形成钝化层图形及过孔;

并剥离相应光刻胶。

18、根据权利要求 17 所述的阵列基板的制造方法，其中，所述在形成上述图案衬底基板上通过光刻工艺形成像素电极的步骤，包括：

在形成上述图案的衬底基板上沉积 $100\text{\AA}\sim 1000\text{\AA}$ 厚度的透明电极层，在所述透明电极层上涂覆光刻胶，采用第三单色调掩膜板对光刻胶进行曝光显影，至少形成位于像素电极区域上方、栅线引线连接区域上方以及数据线引线连接区域上方的光刻胶图案；

采用湿法刻蚀工艺进行刻蚀，并剥离刻胶，形成像素电极的图案。

19、根据权利要求 18 所述的阵列基板的制造方法，其中，在所述衬底基板上形成包括有栅极扫描线及栅电极的图案的步骤中采用的为湿法刻蚀工艺。

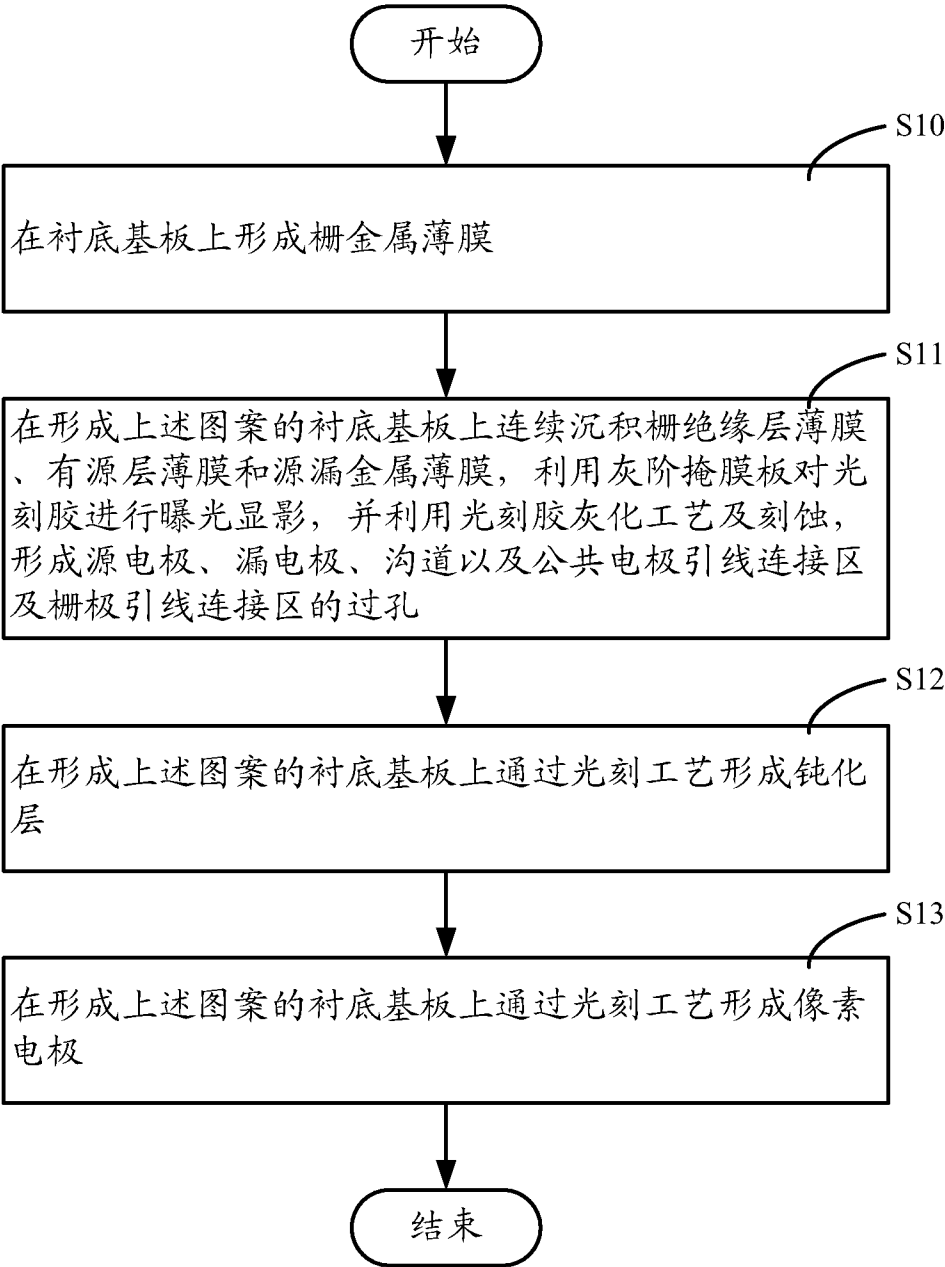


图 1



图 2

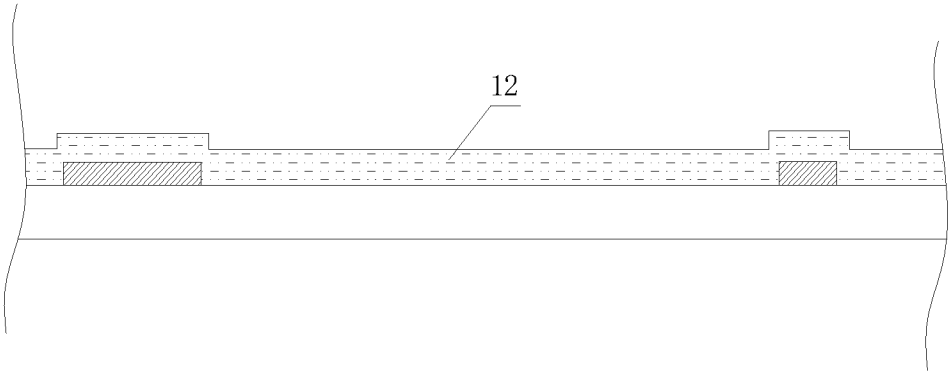


图 3

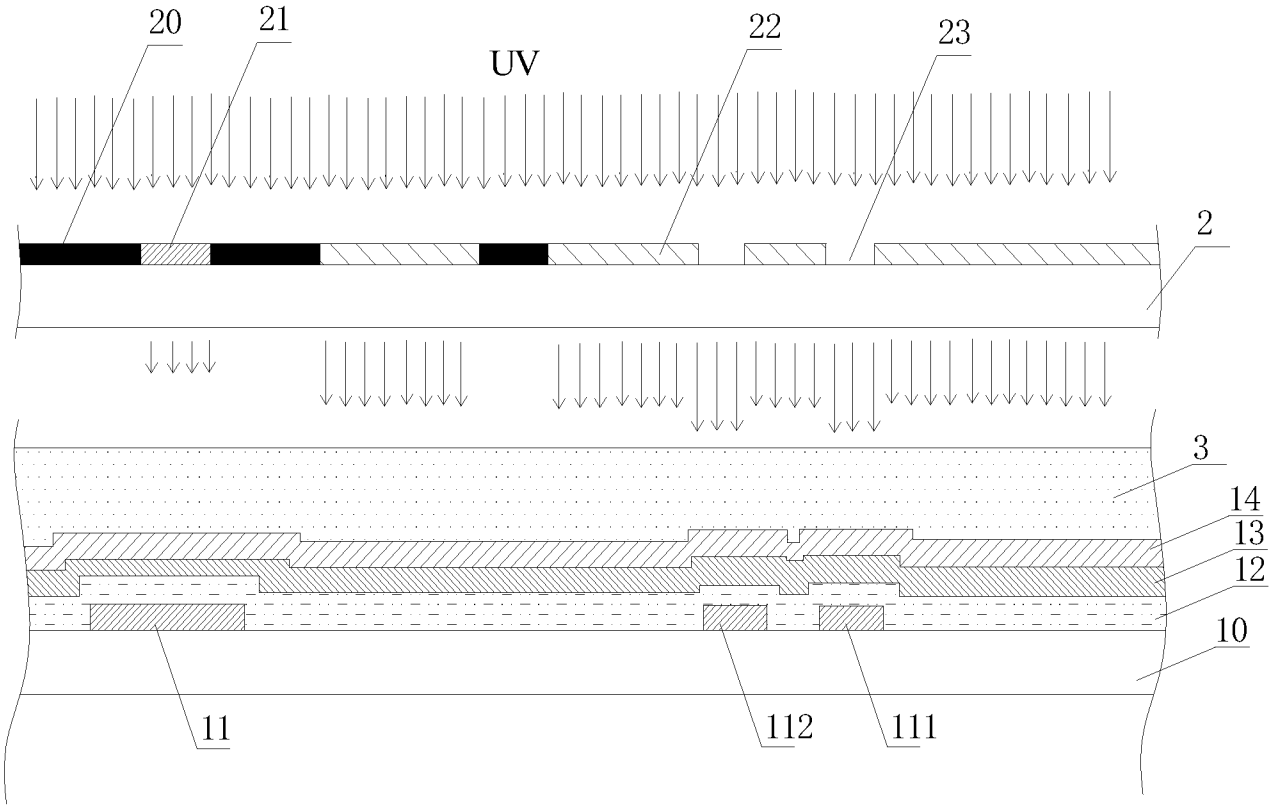


图 4

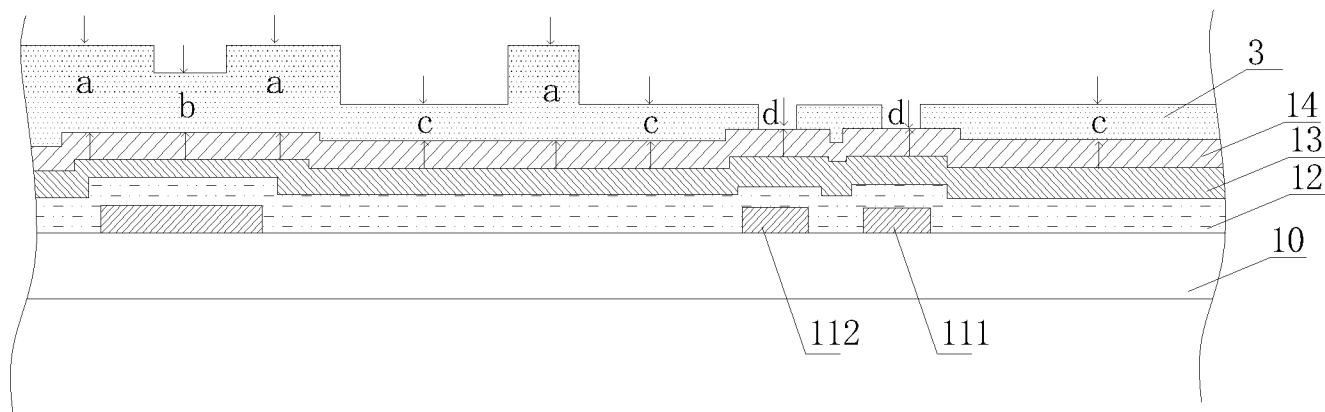


图 5

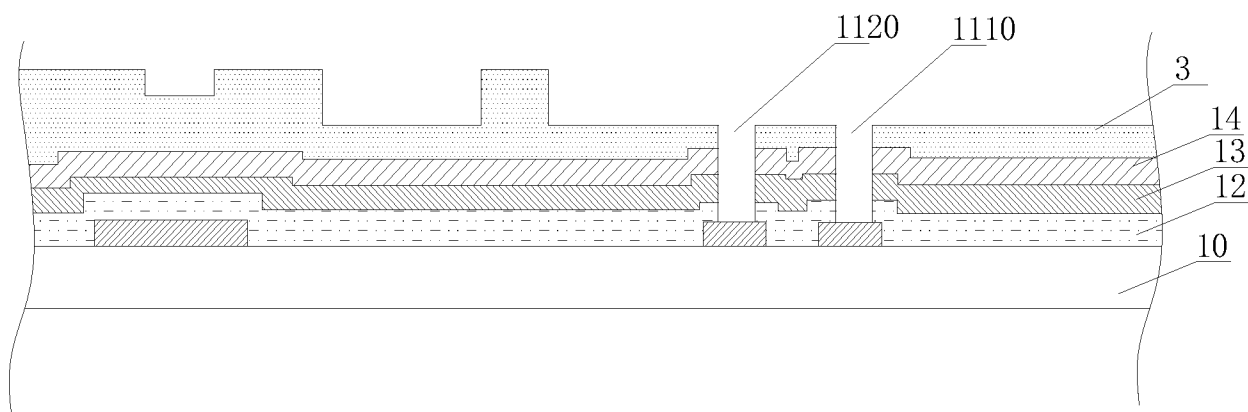


图 6

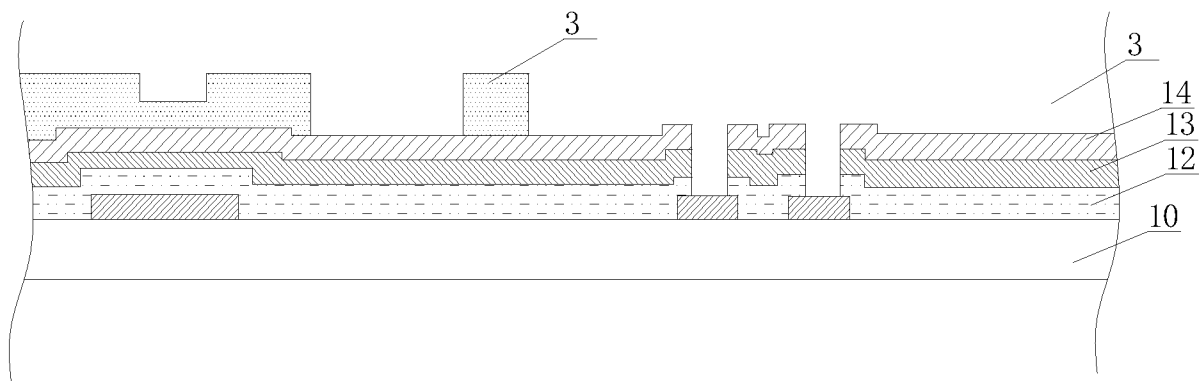


图 7

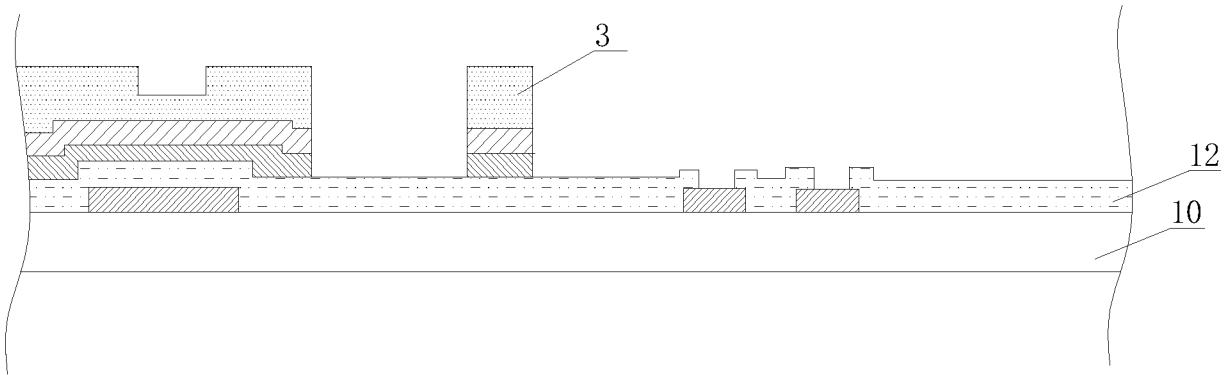


图 8

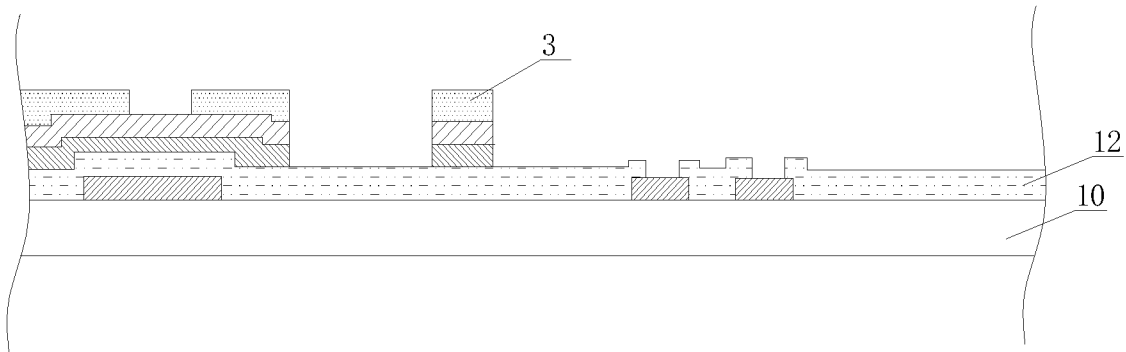


图 9

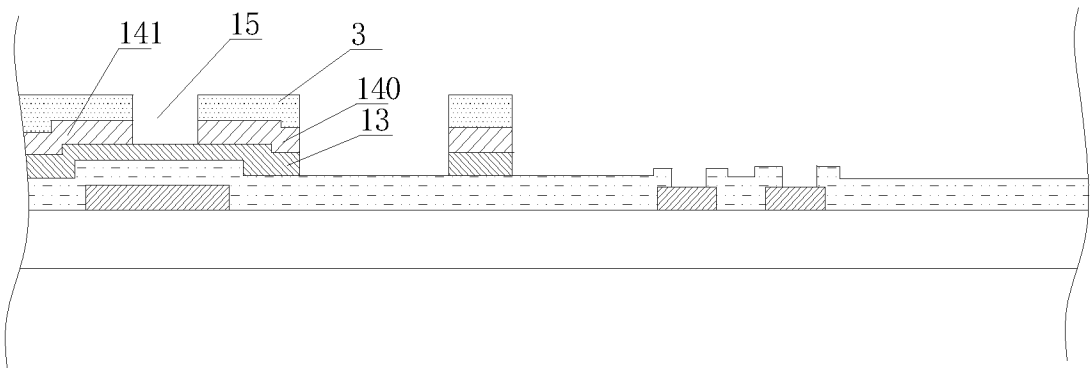


图 10

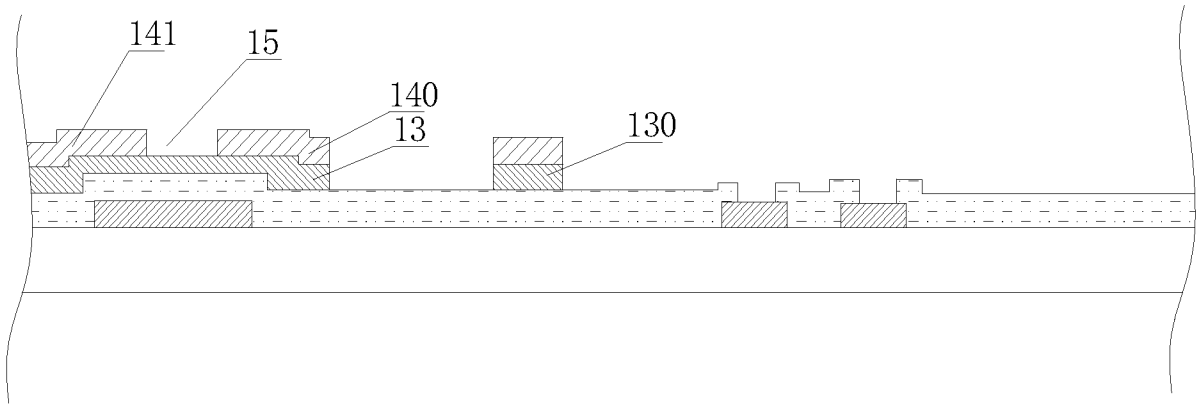


图 11

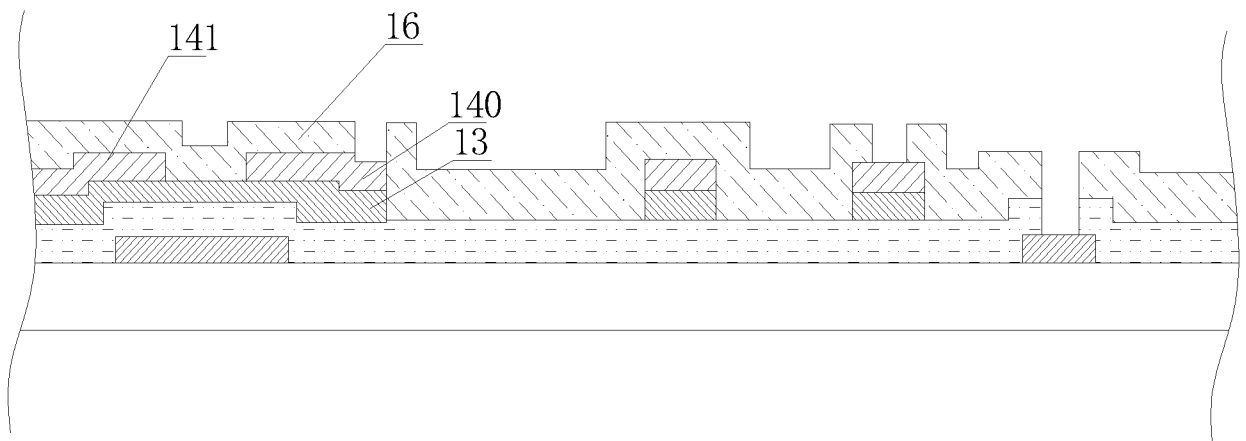


图 12

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2014/070385

A. CLASSIFICATION OF SUBJECT MATTER

G02F 1/1333 (2006.01) i; H01L 21/77 (2006.01) i
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G02F; H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, VEN: resist+, tft, film, manufactur+, g02f1/136+, transmittance, fabricat+, mask?, etch+, thin, array, transistor?, photoresist, substrate?, product+, optical, panel

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 101582430 A (SHANGHAI SVA LIQUID CRYSTAL DI) 18 November 2009 (18.11.2009) description, page 6, line 8 to page7, line 24, and figures 6-7F	1-19
A	CN 101093844 A (BEIJING BOE OPTOELECTRONICS TECHNOLOGY CO LTD) 26 December 2007 (26.12.2007) the whole document	1-19
A	US 8450850 B2 (SAMSUNG DISPLAY CO LTD) 28 May 2013 (28.05.2013) the whole document	1-19
A	US 2005219435 A1 (LG PHILIPS LCD CO LTD) 06 October 2005 (06.10.2005) the whole document	1-19

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	
"E" earlier application or patent but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	"&"document member of the same patent family

Date of the actual completion of the international search 29 September 2014	Date of mailing of the international search report 10 October 2014
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer ZHANG, Fan Telephone No. (86-10) 62089309

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2014/070385

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 101582430 A	18 November 2009	None	
CN 101093844 A	26 December 2007	CN 100433338 C	12 November 2008
US 8450850 B2	28 May 2013	US 2012112346 A1	10 May 2012
		KR 20120047541 A	14 May 2012
US 2005219435 A1	06 October 2005	KR 20050098123 A	11 October 2005
		US 7488979 B2	10 February 2009
		US 7410817 B2	12 August 2008
		US 2008142804 A1	19 June 2008
		KR 100584716 B1	29 May 2006

A. 主题的分类		
G02F 1/1333(2006.01)i; H01L 21/77(2006.01)i		
按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类		
B. 检索领域		
检索的最低限度文献(标明分类系统和分类号)		
G02F, H21L		
包含在检索领域中的除最低限度文献以外的检索文献		
在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))		
CNABS;VEN:resist+, tft, 阵列, film, 基板, manufactur+, 薄膜晶体管, g02f1/136+, transmittance, 掩膜, fabricat+, mask?, etch+, 透过, thin, array, 透光, transistor?, photoresist, 面板, substrate?, TFT, 制作, product+, 生产, 制造, optical, panel		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 101582430 A (上海广电NEC液晶显示器有限公司) 2009年 11月 18日 (2009 - 11 - 18) 说明书第6页第8行至第7页第24行, 图6-7F	1-19
A	CN 101093844 A (京东方科技集团股份有限公司) 2007年 12月 26日 (2007 - 12 - 26) 全文	1-19
A	US 8450850 B2 (SAMSUNG DISPLAY CO LTD) 2013年 5月 28日 (2013 - 05 - 28) 全文	1-19
A	US 2005219435 A1 (LG PHILIPS LCD CO LTD) 2005年 10月 06日 (2005 - 10 - 06) 全文	1-19
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期		国际检索报告邮寄日期
2014年 9月 29日		2014年 10月 10日
ISA/CN的名称和邮寄地址		授权官员
中华人民共和国国家知识产权局(ISA/CN) 北京市海淀区蓟门桥西土城路6号 100088 中国		张帆
传真号 (86-10)62019451		电话号码 (86-10)62089309

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2014/070385

检索报告引用的专利文件			公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN	101582430	A	2009年 11月 18日	无	
CN	101093844	A	2007年 12月 26日	CN	100433338 C 2008年 11月 12日
US	8450850	B2	2013年 5月 28日	US	2012112346 A1 2012年 5月 10日
				KR	20120047541 A 2012年 5月 14日
US	2005219435	A1	2005年 10月 06日	KR	20050098123 A 2005年 10月 11日
				US	7488979 B2 2009年 2月 10日
				US	7410817 B2 2008年 8月 12日
				US	2008142804 A1 2008年 6月 19日
				KR	100584716 B1 2006年 5月 29日

表 PCT/ISA/210 (同族专利附件) (2009年7月)