

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年12月12日(12.12.2024)



(10) 国際公開番号

WO 2024/252874 A1

(51) 国際特許分類:

H01P 1/18 (2006.01)

(21) 国際出願番号:

PCT/JP2024/017967

(22) 国際出願日:

2024年5月15日(15.05.2024)

(25) 国際出願の言語:

日本語

(26) 国際公開の言語:

日本語

(30) 優先権データ:

特願 2023-093907 2023年6月7日(07.06.2023) JP

(71) 出願人: 株式会社フジクラ (FUJIKURA LTD.)
[JP/JP]; 〒1358512 東京都江東区木場 1
- 5 - 1 Tokyo (JP).

(72) 発明者: 上 道 雄 介 (UEMICHI Yusuke);
〒2858550 千葉県佐倉市六崎 1 4 4 0 株式会
社フジクラ 佐倉事業所内 Chiba (JP).

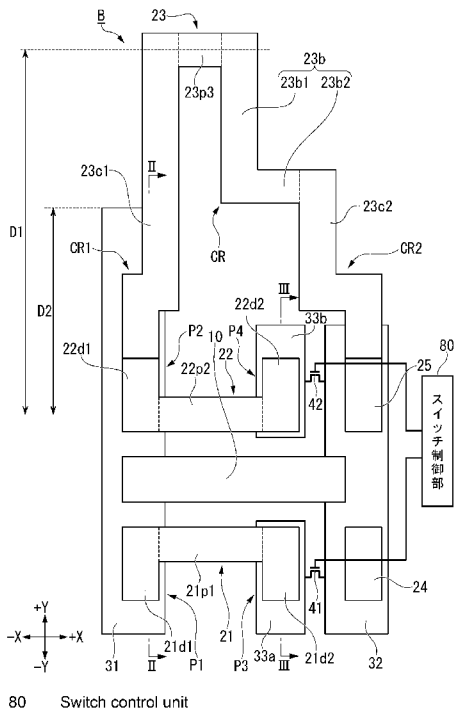
(74) 代理人: 及 川 周, 外 (OIKAWA Shu et al.);
〒1006620 東京都千代田区丸の内一丁
目9番2号 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,

(54) Title: DIGITAL PHASE-SHIFT CIRCUIT AND DIGITAL PHASE SHIFTER

(54) 発明の名称: デジタル移相回路及びデジタル移相器



(57) Abstract: This digital phase-shift circuit includes: a signal line; a first line including a first parallel line; a second line including a second parallel line; a third line including a first crossing line which extends from a first end of the second parallel line in a crossing direction so as to be away from the signal line, a third parallel line which extends in parallel with the signal line from a first end of the first crossing line, and a second crossing line which extends so as to approach the signal line in the crossing direction from a first end of the third parallel line; a first ground conductor electrically connected to a first end of the first parallel line and the first end of the second parallel line; a second ground conductor electrically connected to a first end of the third line; a first electronic switch provided between a second end of the first parallel line and the second ground conductor; and a second electronic switch provided between a second end of the second parallel line and the second ground conductor. The signal line is positioned between the first parallel line and the second parallel line, and the cross-sectional area of the third line is smaller than the cross-sectional areas of the signal line, the first line, and the second line.



CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE,
SN, TD, TG).

添付公開書類：

一 国際調査報告（条約第21条(3)）

(57) 要約：デジタル移相回路は、信号線路と、第1平行線路を含む第1線路と、第2平行線路を含む第2線路と、第2平行線路の第1の端部から交差方向において信号線路から遠ざかるように延びる第1交差線路と、第1交差線路の第1の端部から信号線路と平行に延びる第3平行線路と、第3平行線路の第1の端部から交差方向において信号線路に近づくように延びる第2交差線路と、を含む第3線路と、第1平行線路の第1の端部及び第2平行線路の第1の端部に電氣的に接続された第1接地導体と、第3線路の第1の端部に電氣的に接続された第2接地導体と、第1平行線路の第2の端部と第2接地導体との間に設けられた第1電子スイッチと、第2平行線路の第2の端部と第2接地導体との間に設けられた第2電子スイッチと、を備え、第1平行線路と第2平行線路との間に信号線路が位置し、第3線路の断面積は、信号線路、第1線路、及び第2線路の断面積よりも小さい。

明 細 書

発明の名称： デジタル移相回路及びデジタル移相器

技術分野

[0001] 本発明は、デジタル移相回路及びデジタル移相器に関する。

本願は、2023年06月07日に、日本に出願された特願2023-093907号に基づき優先権を主張し、その内容をここに援用する。

背景技術

[0002] 非特許文献1には、マイクロ波、準ミリ波、或いはミリ波を対象とするデジタル制御型の移相回路（デジタル移相回路）が開示されている。このデジタル移相回路は、非特許文献1の図2に示されているように、信号線路（signal line）、一对の内側線路（inner lines）、一对の外側線路（outer lines）、第1接地バー、第2接地バー、及び一对のNMOSスイッチ等を備える。一对の内側線路は、信号線路の両側に設けられる。一对の外側線路は、一对の内側線路の外側に設けられる。第1接地バーは、各内側線路の第1端及び各外側線路の第1端に接続される。第2接地バーは、各外側線路の第2端に接続される。各NMOSスイッチは、各内側線路の第2端と第2接地バーとの間に設けられる。

[0003] このようなデジタル移相回路は、信号線路における信号波の伝送に起因して一对の内側線路或いは一对の外側線路に流れるリターン電流を一对のNMOSスイッチの開／閉に応じて切り替えることにより、動作モードを低遅延モードと高遅延モードとに切り替える。即ち、デジタル移相回路は、一对の内側線路にリターン電流が流れる場合に動作モードが低遅延モードとなり、一对の外側線路にリターン電流が流れる場合に動作モードが高遅延モードとなる。

先行技術文献

非特許文献

[0004] 非特許文献1： A Ka-band Digitally-Controlled Phase Shifter with sub-de

gree Phase Precision (2016, IEEE, RFIC)

発明の概要

発明が解決しようとする課題

[0005] 上述したようなデジタル移相回路において、限られた面積で移相量を確保するには、回路定数の1つであるインダクタンスについて、高遅延モード時の値（インダクタンス値）を低遅延モード時のインダクタンス値に対して十分に大きくすることが望ましい。しかしながら、上述した従来のデジタル移相回路において、高遅延モード時のインダクタンス値を大きくするためには、信号線路に対して外側線路を離す（或いは、外側線路の長さを長くする）必要があることから、サイズが大きくなってしまう。デジタル移相器は、複数のデジタル移相回路が縦続接続された構成であるから、デジタル移相回路のサイズが大きくなると、デジタル移相器が大型化してしまう。

[0006] 本発明は、上記事情に鑑みてなされたものであり、従来よりも小型で所望の移相特性を実現することができるデジタル移相回路及びデジタル移相器を提供することを目的とする。

課題を解決するための手段

[0007] 本発明の第1の態様によるデジタル移相回路（B、B'、B''）は、信号線路（10）と、前記信号線路と平行に延びる第1平行線路（21p1）を含む第1線路（21）と、前記信号線路と平行に延びる第2平行線路（22p2）を含む第2線路（22）と、前記第2平行線路の第1の端部に接続され、平面視において、前記第2平行線路の第1の端部から前記信号線路の長手方向と交差する交差方向（Y）において前記信号線路から遠ざかるように延びる第1交差線路（23c1）と、前記第1交差線路の第1の端部から前記信号線路と平行に延びる第3平行線路（23p3）と、前記第3平行線路の第1の端部から前記交差方向において前記信号線路に近づくように延びる第2交差線路（23c2）と、を含む第3線路（23）と、前記第1平行線路の第1の端部及び前記第2平行線路の第1の端部に電氣的に接続された第1接地導体（31）と、前記第3線路の第1の端部に電氣的に接続された第

2 接地導体（3 2）と、前記第 1 平行線路の第 2 の端部と前記第 2 接地導体との間に設けられた第 1 電子スイッチ（4 1）と、前記第 2 平行線路の第 2 の端部と前記第 2 接地導体との間に設けられた第 2 電子スイッチ（4 2）と、を備え、前記第 1 平行線路と前記第 2 平行線路との間に前記信号線路が位置し、前記第 3 線路の断面積が、前記信号線路、前記第 1 線路、及び前記第 2 線路の断面積よりも小さい。

[0008] 本発明の第 1 の態様によるデジタル移相回路では、第 1 電子スイッチ及び第 2 電子スイッチが閉状態に設定される低遅延モードでは、第 1 線路の一部をなす第 1 平行線路に第 1 リターン電流が流れるとともに、第 2 線路の一部をなす第 2 平行線路に第 2 リターン電流が流れる。これに対し、第 1 電子スイッチ及び第 2 電子スイッチがオフ状態に設定される高遅延モードでは、断面積が、信号線路、第 2 線路、及び第 2 線路の断面積よりも小さい第 3 線路（第 2 交差線路、第 3 平行線路、及び第 1 交差線路）に第 3 リターン電流が流れる。これにより、インダクタンス値を大きくできるので、従来よりも小型で所望の移相特性を実現することができる。

[0009] 本発明の第 2 の態様によるデジタル移相回路は、本発明の第 1 の態様によるデジタル移相回路において、前記第 3 線路が、前記信号線路、前記第 1 線路、及び前記第 2 線路より厚みが小さい。

[0010] 本発明の第 3 の態様によるデジタル移相回路は、本発明の第 1 又は第 2 の態様によるデジタル移相回路において、前記第 3 線路が、前記第 1 線路及び前記第 2 線路よりも内層に形成されている。

[0011] 本発明の第 4 の態様によるデジタル移相回路は、本発明の第 1 から第 3 の何れかの態様によるデジタル移相回路において、前記第 3 線路には、前記第 3 線路に沿って複数の孔（H）が形成されている。

[0012] 本発明の第 5 の態様によるデジタル移相回路は、本発明の第 1 から第 4 の何れかの態様によるデジタル移相回路において、前記信号線路の第 1 の端部に接続されたコンデンサ（6 0）と、前記コンデンサと前記第 1 接地導体との間に設けられた第 3 電子スイッチ（4 3）と、を更に備え、前記第 1 接地

導体の第1の端部が、前記交差方向において前記信号線路から遠ざかるように延びて前記第3電子スイッチに接続されている。

[0013] 本発明の第6の態様によるデジタル移相回路は、本発明の第5の態様によるデジタル移相回路において、前記第1電子スイッチ、前記第2電子スイッチ、及び前記第3電子スイッチが、電界効果トランジスタであり、前記第1電子スイッチ及び前記第2電子スイッチをなす電界効果トランジスタのサイズは、前記第3電子スイッチをなす電界効果トランジスタのサイズの2倍以上である。

[0014] 本発明の第7の態様によるデジタル移相回路は、本発明の第1から第6の何れかの態様によるデジタル移相回路において、前記第1平行線路の第2の端部に設けられた第1上側パッド（21d2）と、前記第2平行線路の第2の端部に設けられた第2上側パッド（22d2）と、を更に備え、前記第1上側パッドの前記交差方向における寸法の最大値は、前記第1平行線路の幅よりも大きく、前記第2上側パッドの前記交差方向における寸法の最大値は、前記第2平行線路の幅よりも大きい。

[0015] 本発明の第8の態様によるデジタル移相回路は、本発明の第7の態様によるデジタル移相回路において、ビア（50）を介して前記第1上側パッドに接続されるとともに、前記第1電子スイッチが接続される第1下側パッド（33a）と、ビア（50）を介して前記第2上側パッドに接続されるとともに、前記第2電子スイッチが接続される第2下側パッド（33b）と、を更に備え、前記第1下側パッドの前記交差方向における寸法の最大値が、前記第1上側パッドの前記交差方向における寸法の最大値よりも大きく、前記第2下側パッドの前記交差方向における寸法の最大値が、前記第2上側パッドの前記交差方向における寸法の最大値よりも大きい。

[0016] 本発明の第9の態様によるデジタル移相回路は、本発明の第1から第8の何れかの態様によるデジタル移相回路において、前記信号線路の第1の端部と前記第1接地導体との間に設けられた第4電子スイッチ（44）を更に備える。

[0017] 本発明の第1の態様によるデジタル移相器は、複数のデジタル移相回路（ $B_1 \sim B_n$ ）が縦続接続されたデジタル移相器（ $A_1 \sim A_4$ ）であって、前記複数のデジタル移相回路の各々が、第1から第9の何れかの態様によるデジタル移相回路であり、前記デジタル移相回路が隣り合う部分において、前記第1接地導体と前記第2接地導体とが共通化されており、前記第1交差線路及び前記第2交差線路が、クランク形状である。

[0018] 本発明の第2の態様によるデジタル移相器は、本発明の第1の態様によるデジタル移相器において、前記複数のデジタル移相回路のうちの少なくとも1つのデジタル移相回路が、他のデジタル移相回路と、前記交差方向における前記第2平行線路の中心線と前記第3平行線路の中心線との間の距離（ D_1 ）が異なる。

[0019] 本発明の第3の態様によるデジタル移相器は、複数のデジタル移相回路（ $B_1 \sim B_n$ ）が縦続接続されたデジタル移相器であって、前記複数のデジタル移相回路のうちの少なくとも2つのデジタル移相回路である特定デジタル移相回路が、第4の態様によるデジタル移相回路であり、前記デジタル移相回路が隣り合う部分において、前記第1接地導体と前記第2接地導体とが共通化されており、前記第1交差線路及び前記第2交差線路が、クランク形状である。

[0020] 本発明の第4の態様によるデジタル移相器は、本発明の第1の態様によるデジタル移相器において、前記複数のデジタル移相回路の前記第3線路が、同じ層に形成されている。

[0021] 本発明の第5の態様によるデジタル移相器は、本発明の第1の態様によるデジタル移相器において、前記複数のデジタル移相回路のうちの少なくとも1つのデジタル移相回路の前記第3線路が、他のデジタル移相回路の前記第3線路とは異なる層に形成されている。

発明の効果

[0022] 本発明の上記態様によれば、従来よりも小型で所望の移相特性を実現することができる。

図面の簡単な説明

[0023] [図1]本発明の第1実施形態によるデジタル移相回路の基本構成を示す平面図である。

[図2]図1中のⅠⅠーⅠⅠ線に沿う断面矢視図である。

[図3]図1中のⅠⅠⅠーⅠⅠⅠ線に沿う断面矢視図である。

[図4]本発明の第1実施形態によるデジタル移相回路における接続パッドと第1、第2電子スイッチとの接続関係を示す平面図である。

[図5]本発明の第1実施形態によるデジタル移相器の要部構成を示す平面図である。

[図6]本発明の第2実施形態によるデジタル移相回路の基本構成を示す平面図である。

[図7]本発明の第2実施形態によるデジタル移相器の要部構成を示す平面図である。

[図8]本発明の第3実施形態によるデジタル移相回路の基本構成を示す平面図である。

[図9]本発明の第4実施形態によるデジタル移相器の要部構成を示す平面図である。

発明を実施するための形態

[0024] 以下、図面を参照して本発明の実施形態によるデジタル移相回路及びデジタル移相器について詳細に説明する。

[0025] [第1実施形態]

〈デジタル移相回路〉

図1は、本発明の第1実施形態によるデジタル移相回路の基本構成を示す平面図である。図2は、図1中のⅠⅠーⅠⅠ線に沿う断面矢視図である。図3は、図1中のⅠⅠⅠーⅠⅠⅠ線に沿う断面矢視図である。

[0026] 図1に示す通り、デジタル移相回路Bは、信号線路10と、第1線路21と、第2線路22と、第3線路23と、上側パッド24と、上側パッド25と、第1接地導体31と、第2接地導体32と、を備える。本実施形態にお

ける第1線路21は、第1平行線路21p1と、一対の上側パッド21d1、21d2と、を含む。本実施形態における第2線路22は、第2平行線路22p2と、一対の上側パッド22d1、22d2と、を含む。本実施形態における第3線路23は、第1交差線路23c1と、第3平行線路23p3と、屈曲線路23bと、第2交差線路23c2と、を含む。また、本実施形態におけるデジタル移相回路Bは、第1～第4電子スイッチ41～44と、複数の接続導体50と、コンデンサ60と、複数の接続パッドP1～P4と、を備える（図2及び図3も参照）。

[0027] 信号線路10は、図1に示す通り、一方向に延在する直線状の帯状導体である。即ち、信号線路10は、一定の幅、一定の厚さ及び所定の長さを有する長尺板状の導体である。信号線路10には、図1における紙面左側から紙面右側に向かって、つまり紙面左側の端部（入力端）から紙面右側の端部（出力端）に向かって信号電流が流れる。この信号電流は、上述したマイクロ波、準ミリ波、或いはミリ波の波長域を有する高周波信号である。

[0028] ここで、本実施形態では、信号線路10の長手方向（信号線路10が延在する方向）を、単に長手方向Xという。長手方向Xに沿って、信号線路10の入力端から出力端に向かう向きを、+Xの向き又は右方という。右方とは反対の向きを、左方又は-Xの向きという。信号線路10に交差する（例えば、直交する）方向を、交差方向Yという。交差方向Yに沿う一つの向きを、奥側又は+Yの向きという。奥側とは反対の向きを、手前側又は-Yの向きという。長手方向X及び交差方向Yの双方に交差する（例えば、直交する）方向を、上下方向Zという。上下方向Zに沿う一つの向きを、上方又は+Zの向きという。上方とは反対の向きを、下方又は-Zの向きという。上下方向Zから見ることを、平面視という。

なお、上下方向Zは鉛直方向と一致していなくてもよい。また、「上方」および「下方」は、鉛直方向における上側および下側と一致していなくてもよい。また、+Xの向きおよび-Xの向きをそれぞれ右方および左方と定義する代わりに、+Xの向きおよび-Xの向きをそれぞれ左方および右方とし

てもよい。

[0029] 信号線路10は、電氣的には集中定数回路素子としてのインダクタンス L_1 を有する。インダクタンス L_1 は、信号線路10の長さ等、信号線路10の形状に応じた大きさを有する寄生インダクタンスである。また、信号線路10は、電氣的には集中定数回路素子としての静電容量 C_1 をも有する。静電容量 C_1 は、信号線路10と第1平行線路21p1（詳細は後述）との間、信号線路10と第2平行線路22p2（詳細は後述）との間、信号線路10と第3平行線路23p3（詳細は後述）との間、または信号線路10とシリコン基板（不図示）との間等における寄生容量である。

[0030] 以下の説明では、信号線路10に対して交差方向Yの一方側（+Y側）を、信号線路10の第1の側方といい、信号線路10に対して交差方向Yの他方側（-Y側）を、信号線路10の第2の側方という。第1平行線路21p1は、信号線路10の第2の側方（-Y側）に設けられた直線状の帯状導体である。第1平行線路21p1は、一定の幅、一定の厚さ、及び所定の長さを有する長尺板状の導体である。第1平行線路21p1は、信号線路10と平行（長手方向X）に延びている。第1平行線路21p1と信号線路10とは、交差方向Yに間隔を空けて配されている。第1平行線路21p1の端のうち、-X側に位置する端を第1端（一端）といい、+X側に位置する端を第2端（他端）という。第1平行線路21p1の側縁のうち、+Y側に位置する側縁を、第1の側縁（一方の側縁）といい、-Y側に位置する側縁を、第2の側縁（他方の側縁）という。

[0031] 上側パッド21d1は、第1平行線路21p1の第1端（-X側）に接続された長方形の平板導体である。上側パッド21d1の長辺は交差方向Yに延びており、上側パッド21d1の短辺は長手方向Xに延びている。上側パッド21d1の短辺のうち、+Y側に位置する短辺を、第1の短辺（一方の短辺）といい、-Y側に位置する短辺を、第2の短辺（他方の短辺）という。上側パッド21d1の第1の短辺（+Y側）は、第1平行線路21p1の第1の側縁（+Y側）と交差方向Yにおいて略同一の位置にある。また、

上側パッド21d1の第2の短辺（－Y側）は、第1平行線路21p1の第2の側縁（－Y側）よりも手前側（－Y側）に位置する。つまり、上側パッド21d1の交差方向Yにおける寸法は、第1平行線路21p1の幅（交差方向Yにおける寸法）よりも大きい。

[0032] 上側パッド21d2（第1上側パッド）は、第1平行線路21p1の第2端（＋X側）に接続された長方形の平板導体である。上側パッド21d2の長辺は交差方向Yに伸びており、上側パッド21d2の短辺は長手方向Xに伸びている。上側パッド21d2の短辺のうち、＋Y側に位置する短辺を、第1の短辺（一方の短辺）といい、－Y側に位置する短辺を、第2の短辺（他方の短辺）という。上側パッド21d2の第1の短辺（＋Y側）は、第1平行線路21p1の第1の側縁（＋Y側）と交差方向Yにおいて略同一の位置にある。また、上側パッド21d2の第2の短辺（－Y側）は、第1平行線路21p1の第2の側縁（－Y側）よりも手前側（－Y側）に位置する。つまり、上側パッド21d2の交差方向Yにおける寸法は、第1平行線路21p1の幅（交差方向Yにおける寸法）よりも大きい。

[0033] 第2平行線路22p2は、信号線路10の第1の側方（＋Y側）に設けられた直線状の帯状導体である。第2平行線路22p2は、一定の幅、一定の厚さ、及び所定の長さを有する長尺板状の導体である。第2平行線路22p2は、信号線路10と平行（長手方向X）に伸びている。第2平行線路22p2と信号線路10とは、交差方向Yに間隔を空けて配されている。第2平行線路22p2の端のうち、－X側に位置する端を第1端（一端）といい、＋X側に位置する端を第2端（他端）という。第2平行線路22p2の側縁のうち、－Y側に位置する側縁を、第1の側縁（一方の側縁）といい、＋Y側に位置する側縁を、第2の側縁（他方の側縁）という。

[0034] 第2平行線路22p2は、信号線路10に対して第1平行線路21p1とは逆側に設けられている。言い換えれば、第2平行線路22p2は、信号線路10が交差方向Yにおいて第1平行線路21p1及び第2平行線路22p2の間に位置するように、配置されている。

[0035] 上側パッド22d1は、第2平行線路22p2の第1端（－X側）に接続された長方形の平板導体である。上側パッド22d1の長辺は交差方向Yに延びており、上側パッド22d1の短辺は長手方向Xに延びている。上側パッド22d1の短辺のうち、－Y側に位置する短辺を、第1の短辺（一方の短辺）といい、＋Y側に位置する短辺を、第2の短辺（他方の短辺）という。上側パッド22d1の第1の短辺（－Y側）は、第2平行線路22p2の第1の側縁（－Y側）と交差方向Yにおいて略同一の位置にある。また、上側パッド22d1の第2の短辺（＋Y側）は、第2平行線路22p2の第2の側縁（＋Y側）よりも奥側（＋Y側）に位置する。つまり、上側パッド22d1の交差方向Yにおける寸法は、第2平行線路22p2の幅（交差方向Yにおける寸法）よりも大きい。

[0036] 上側パッド22d2（第2上側パッド）は、第2平行線路22p2の第2端（＋X側）に接続された長方形の平板導体である。上側パッド22d2の長辺は交差方向Yに延びており、上側パッド22d2の短辺は長手方向Xに延びている。上側パッド22d2の短辺のうち、－Y側に位置する短辺を、第1の短辺（一方の短辺）といい、＋Y側に位置する短辺を、第2の短辺（他方の短辺）という。上側パッド22d2の第1の短辺（－Y側）は、第2平行線路22p2の第1の側縁（－Y側）と交差方向Yにおいて略同一の位置にある。また、上側パッド22d2の第2の短辺（＋Y側）は、第2平行線路22p2の第2の側縁（＋Y側）よりも奥側（＋Y側）に位置する。つまり、上側パッド22d2の交差方向Yにおける寸法は、第2平行線路22p2の幅（交差方向Yにおける寸法）よりも大きい。

[0037] 第3線路23は、信号線路10、第1線路21、第2線路22、上側パッド24、及び上側パッド25が形成された層、並びに、第1接地導体31及び第2接地導体32が形成された層とは異なる層に形成されている。例えば、第3線路23は、図2、3に示す第2中間パッド71b、72b、73b、74b（詳細は後述する）が形成された層に形成されている。尚、第3線路23は、図2、3に示す第3中間パッド71c、72c、73c、74c

(詳細は後述する) が形成された層に形成されていてもよい。

[0038] 第3線路23をこのような層に形成するのは、第3線路23の厚み(断面積)を、信号線路10、第1線路21、及び第2線路22の厚み(断面積)よりも小さくするためである。一般的に、多層構造の半導体では、表面よりも内層に行くほど配線の厚みが小さくなるように形成される。このため、本実施形態では、信号線路10、第1線路21、第2線路22、上側パッド24、及び上側パッド25が形成された層よりも第3線路23を下の層(内層)に形成することで、第3線路23の厚み(断面積)を、信号線路10、第1線路21、及び第2線路22の厚み(断面積)よりも小さくしている。

[0039] 詳細は後述するが、第3線路23の厚みを、信号線路10、第1線路21、及び第2線路22の厚みよりも小さくするのは、第3線路23を流れる電流(第3リターン電流)によって発生する磁界の強度を高めるとともに、第3線路23の抵抗を大きくするためである。第3線路23の厚みは、第3線路23の断面積が、信号線路10、第1線路21、及び第2線路22の断面積の1/5未満となるように設定するのが望ましい。

[0040] 第1交差線路23c1は、第2平行線路22p2の第1端(−X側)に電氣的に接続された帯状導体である。第1交差線路23c1には、屈曲部CR1が形成されており、第2平行線路22p2に近い側(例えば、交差方向Yにおける第1交差線路23c1の中点の位置よりも第2平行線路22p2側)がクランク形状である。第1交差線路23c1は、平面視において、第2平行線路22p2の第1端(−X側)から、交差方向Yにおいて信号線路10から遠ざかるように延び、屈曲部CR1において右側(+X側)に折り曲がった後に、再び交差方向Yにおいて信号線路10から遠ざかるように延びている。第1交差線路23c1の端のうち、+Y側に位置する端を第1端(一端)または奥側の端といい、−Y側に位置する端を第2端(他端)または手前側の端という。

[0041] 第3平行線路23p3は、第1交差線路23c1の第1端(+Y側)に接続された直線状の帯状導体である。第3平行線路23p3は、一定の幅、一

定の厚さ、及び所定の長さを有する長尺板状の導体である。第3平行線路23p3は、第1交差線路23c1の第1端（+Y側）から、信号線路10と平行（長手方向X）に延びている。つまり、本実施形態における第3平行線路23p3は、第1交差線路23c1の第1端（+Y側）から右側（+X側）に向けて延びている。第3平行線路23p3の長さは第2平行線路22p2の長さより短い。第3平行線路23p3の端のうち、+X側に位置する端を第1端（一端）といい、-X側に位置する端を第2端（他端）という。

[0042] 第3平行線路23p3は、信号線路10の第1の側方（+Y側）において、第2平行線路22p2よりも信号線路10から遠い位置に設けられている。言い換えれば、第3平行線路23p3は、第2平行線路22p2が交差方向Yにおいて信号線路10と第3平行線路23p3との間に位置するように、配置されている。

[0043] 図1に示す通り、交差方向Yにおいて、第2平行線路22p2の中心線と第3平行線路23p3の中心線との間の距離D1は、第2平行線路22p2の中心線と第1接地導体31（後述）の奥側の外縁（第3平行線路23p3側の外縁）との間の距離D2よりも大きい。

[0044] 屈曲線路23bは、第3平行線路23p3の第1端（+X側）に接続され、屈曲部CRが形成された帯状導体である。屈曲線路23bは、第1部分線路23b1と、第2部分線路23b2とからなる。第1部分線路23b1は、第3平行線路23p3の第1端（+X側）から、交差方向Yにおいて信号線路10に近づくように延びる。第1部分線路23b1の端のうち、-Y側に位置する端を第1端（一端）といい、+Y側に位置する端を第2端（他端）という。第2部分線路23b2は、第1部分線路23b1の第1端（-Y側）から信号線路10と平行（長手方向X）に延びる。第2部分線路23b2の端のうち、+X側に位置する端を第1端（一端）といい、-X側に位置する端を第2端（他端）という。屈曲線路23bをなす部分線路23b1、23b2はそれぞれ、一定の幅、一定の厚さ、及び所定の長さを有する長尺板状の導体である。第1部分線路23b1の長さは第1交差線路23c1の

長さより短い。尚、屈曲線路 2 3 b には、屈曲部 C R が複数形成されていてもよい。本実施形態では、第 2 部分線路 2 3 b 2 の第 1 端は、屈曲線路 2 3 b の第 1 端（一端）であり、第 1 部分線路 2 3 b 1 の第 2 端は、屈曲線路 2 3 b の第 2 端（他端）である。

[0045] 第 2 交差線路 2 3 c 2 は、屈曲線路 2 3 b を構成する第 2 部分線路 2 3 b 2 の第 1 端（+ X 側）に接続された帯状導体である。第 2 交差線路 2 3 c 2 には、屈曲部 C R 2 が形成されており、第 2 平行線路 2 2 p 2 に近い側（例えば、交差方向 Y における第 2 交差線路 2 3 c 2 の中点の位置よりも第 2 平行線路 2 2 p 2 側）がクランク形状である。第 2 交差線路 2 3 c 2 は、平面視において、屈曲線路 2 3 b を構成する第 2 部分線路 2 3 b 2 の第 1 端（+ X 側）から、交差方向 Y において信号線路 1 0 に近づくように延び、屈曲部 C R 2 において右側（+ X 側）に折り曲がった後に、再び交差方向 Y において信号線路 1 0 に近づくように延びている。第 2 交差線路 2 3 c 2 の端のうち、- Y 側に位置する端を第 1 端（一端）といい、+ Y 側に位置する端を第 2 端（他端）という。第 2 交差線路 2 3 c 2 の第 1 端は、第 3 線路 2 3 の第 1 端（一端）である。

[0046] 本実施形態における第 2 交差線路 2 3 c 2 の第 1 端縁（- Y 側）は、上側パッド 2 2 d 1, 2 2 d 2 の第 1 の短辺（- Y 側）及び第 2 平行線路 2 2 p 2 の第 1 の側縁（- Y 側）と交差方向 Y において略同一の位置にある。また、上側パッド 2 2 d 2 と第 2 交差線路 2 3 c 2 とは、長手方向 X において間隔を空けて配されている。

[0047] また、本実施形態における第 2 交差線路 2 3 c 2 の第 1 端（- Y 側）は、不図示の導体によって、第 2 接地導体 3 2（後述）と常時電氣的に接続されている。言い換えれば、第 3 線路 2 3 の第 1 端は、不図示の導体によって、第 2 接地導体 3 2 と常時電氣的に接続されている。

[0048] 以上説明した第 1 交差線路 2 3 c 1、第 3 平行線路 2 3 p 3、屈曲線路 2 3 b、及び第 2 交差線路 2 3 c 2 は、奥側（+ Y 側）に凸となるループ線路を構成している。つまり、第 3 線路 2 3 は、奥側（+ Y 側）に凸となるルー

ブ線路である。

[0049] 上側パッド24は、第1線路21の一部をなす上側パッド21d1, 21d2と同様の長方形形状の平板導体である。上側パッド24の長辺は交差方向Yに延びており、上側パッド24の短辺は長手方向Xに延びている。上側パッド24の短辺のうち、+Y側に位置する短辺を、第1の短辺（一方の短辺）といい、-Y側に位置する短辺を、第2の短辺（他方の短辺）という。上側パッド24の第1の短辺（+Y側）は、第1平行線路21p1の第1の側縁（+Y側）と交差方向Yにおいて略同一の位置にある。また、上側パッド24の第2の短辺（-Y側）は、第1平行線路21p1の第2の側縁（-Y側）よりも手前側（-Y側）に位置する。つまり、上側パッド24の交差方向Yにおける寸法は、第1線路21の一部をなす上側パッド21d1, 21d2と同様に、第1平行線路21p1の幅（交差方向Yにおける寸法）よりも大きい。また、上側パッド24は、第2交差線路23c2の第1端（-Y側）と同様に、不図示の導体によって、第2接地導体32と常時電氣的に接続されている。

[0050] 上側パッド25は、第2線路22の一部をなす上側パッド22d1, 22d2と同様の長方形形状の平板導体である。上側パッド25の長辺は交差方向Yに延びており、上側パッド25の短辺は長手方向Xに延びている。上側パッド25の短辺のうち、-Y側に位置する短辺を、第1の短辺（一方の短辺）といい、+Y側に位置する短辺を、第2の短辺（他方の短辺）という。上側パッド25の第1の短辺（-Y側）は、第2平行線路22p2の第1の側縁（-Y側）と交差方向Yにおいて略同一の位置にある。また、上側パッド25の第2の短辺（+Y側）は、第2平行線路22p2の第2の側縁（+Y側）よりも奥側（+Y側）に位置する。つまり、上側パッド25の交差方向Yにおける寸法は、第2線路22の一部をなす上側パッド22d1, 22d2と同様に、第2平行線路22p2の幅（交差方向Yにおける寸法）よりも大きい。また、上側パッド25は、第2交差線路23c2の第1端（-Y側）と同様に、不図示の導体によって、第2接地導体32と常時電氣的に接続

されている。

[0051] 第1接地導体31は、信号線路10の入力端側（－X側）に設けられる板状の導体である。第1接地導体31は、電氣的に接地されている。第1接地導体31は、長辺が交差方向Yに延び、短辺が長手方向Xに延びる長方形状を有する。また、第1接地導体31は、上側パッド21d1、22d1及び第1交差線路23c1の手前側（－Y側）の端部と上下方向Zにおいて重なっている。第1接地導体31は、図2に示す通り、信号線路10、第1線路21（上側パッド21d1）、第2線路22（上側パッド22d1）、及び第3線路23（第1交差線路23c1）よりも下方（－Z側）に位置する。第1接地導体31の端のうち、＋Y側に位置する端を第1端（一端）といい、－Y側に位置する端を第2端（他端）という。

[0052] 第2接地導体32は、信号線路10の出力端側（＋X側）に設けられる板状の導体である。第2接地導体32は、電氣的に接地されている。詳細な図示は省略するが、第2接地導体32は、信号線路10、第1線路21、第2線路22、第3線路23、及び上側パッド24、25よりも下方（－Z側）に位置する。第2接地導体32は、長辺が交差方向Yに延び、短辺が長手方向Xに延びている長方形状を有する。第2接地導体32の短辺のうち、＋Y側に位置する短辺を、第1の短辺（一方の短辺）といい、－Y側に位置する短辺を、第2の短辺（他方の短辺）という。

[0053] 第1接続パッドP1は、図2に示す通り、上述した上側パッド21d1と、第1中間パッド71aと、第2中間パッド71bと、第3中間パッド71cと、第1接地導体31と、を含む。上側パッド21d1、第1中間パッド71a、第2中間パッド71b、第3中間パッド71c、及び第1接地導体31は、平面視において互いに重なっている。また、上側パッド21d1、第1中間パッド71a、第2中間パッド71b、第3中間パッド71c、及び第1接地導体31は、上側（＋Z側）から下側（－Z側）に向けてこの順に並んでおり、上下方向Zにおいて間隔を空けて配されている。

[0054] 図2に示す通り、上側パッド21d1と第1中間パッド71aとは、複数

の接続導体 50 によって電氣的且つ機械的に接続されている。また、第 1 中間パッド 71 a と第 2 中間パッド 71 b とは、複数の接続導体 50 によって電氣的且つ機械的に接続されている。また、第 2 中間パッド 71 b と第 3 中間パッド 71 c とは、複数の接続導体 50 によって電氣的且つ機械的に接続されている。また、第 3 中間パッド 71 c と第 1 接地導体 31 とは、複数の接続導体 50 によって電氣的且つ機械的に接続されている。これにより、第 1 接続パッド P1 は、第 1 平行線路 21 p1 の第 1 端（－X 側）と第 1 接地導体 31 とを、常時電氣的に接続している。

[0055] 尚、本明細書において「接続導体 50」は、上下方向 Z に延在する導体であり、接続導体 50 の上端に接続される部材と接続導体 50 の下端に接続される部材とを電氣的且つ機械的に接続する部材である。接続導体 50 は、例えば絶縁層（不図示）を上下方向 Z に貫通するビアである。

[0056] 第 2 接続パッド P2 は、図 2 に示す通り、上側パッド 22 d1 と、第 1 中間パッド 72 a と、第 2 中間パッド 72 b と、第 3 中間パッド 72 c と、第 1 接地導体 31 と、を含む。上側パッド 22 d1、第 1 中間パッド 72 a、第 2 中間パッド 72 b、第 3 中間パッド 72 c、及び第 1 接地導体 31 は、平面視において互いに重なっている。また、上側パッド 22 d1、第 1 中間パッド 72 a、第 2 中間パッド 72 b、第 3 中間パッド 72 c、及び第 1 接地導体 31 は、上側（＋Z 側）から下側（－Z 側）に向けてこの順に並んでおり、上下方向 Z において間隔を空けて配されている。

[0057] 図 2 に示す通り、上側パッド 22 d1 と第 1 中間パッド 72 a とは、複数の接続導体 50 によって電氣的且つ機械的に接続されている。また、第 1 中間パッド 72 a と第 2 中間パッド 72 b とは、複数の接続導体 50 によって電氣的且つ機械的に接続されている。また、第 2 中間パッド 72 b と第 3 中間パッド 72 c とは、複数の接続導体 50 によって電氣的且つ機械的に接続されている。また、第 3 中間パッド 72 c と第 1 接地導体 31 とは、複数の接続導体 50 によって電氣的且つ機械的に接続されている。これにより、第 2 接続パッド P2 は、第 2 平行線路 22 p2 の第 1 端（－X 側）と第 1 接地

導体 3 1 とを、常時電氣的に接続している。

[0058] ここで、図 2 に示す通り、第 2 接続パッド P 2 に含まれる第 2 中間パッド 7 2 b には、第 1 交差線路 2 3 c 1 の手前側（－Y 側）の端部が接続されている。これにより、第 2 接続パッド P 2 は、第 3 線路 2 3 と第 1 接地導体 3 1 とを、常時電氣的に接続している。尚、第 1 交差線路 2 3 c 1 の手前側（－Y 側）の端部は、第 2 接続パッド P 2 に含まれる第 3 中間パッド 7 2 c に接続されていてもよい。

[0059] 第 3 接続パッド P 3 は、図 3 に示す通り、上述した上側パッド 2 1 d 2 と、第 1 中間パッド 7 3 a と、第 2 中間パッド 7 3 b と、第 3 中間パッド 7 3 c と、下側パッド 3 3 a と、を含む。上側パッド 2 1 d 2、第 1 中間パッド 7 3 a、第 2 中間パッド 7 3 b、第 3 中間パッド 7 3 c、及び下側パッド 3 3 a は、平面視において互いに重なっている。また、上側パッド 2 1 d 2、第 1 中間パッド 7 3 a、第 2 中間パッド 7 3 b、第 3 中間パッド 7 3 c、及び下側パッド 3 3 a は、上側（＋Z 側）から下側（－Z 側）に向けてこの順に並んでおり、上下方向 Z において間隔を空けて配されている。

[0060] ここで、下側パッド 3 3 a（第 1 下側パッド）は、図 1 に示す通り、長辺が交差方向 Y に延び、短辺が長手方向 X に延びる長方形の平板導体である。下側パッド 3 3 a の短辺のうち、＋Y 側に位置する短辺を、第 1 の短辺（一方の短辺）といい、－Y 側に位置する短辺を、第 2 の短辺（他方の短辺）という。下側パッド 3 3 a は、第 2 接地導体 3 2 とは別体に設けられる。下側パッド 3 3 a と第 2 接地導体 3 2 とは、第 1 電子スイッチ 4 1（後述）の状態に応じて、電氣的接続の有無が切り替わる。従って、下側パッド 3 3 a は、第 1 電子スイッチ 4 1 の状態に応じて、電氣的接地の有無が切り替わる。

[0061] 図 3 に示す通り、上側パッド 2 1 d 2 と第 1 中間パッド 7 3 a とは、複数の接続導体 5 0 によって電氣的且つ機械的に接続されている。また、第 1 中間パッド 7 3 a と第 2 中間パッド 7 3 b とは、複数の接続導体 5 0 によって電氣的且つ機械的に接続されている。また、第 2 中間パッド 7 3 b と第 3 中

間パッド73cとは、複数の接続導体50によって電氣的且つ機械的に接続されている。また、第3中間パッド73cと下側パッド33aとは、複数の接続導体50によって電氣的且つ機械的に接続されている。これにより、第3接続パッドP3は、第1平行線路21p1の第2端（+X側）と第1電子スイッチ41とを、常時電氣的に接続している。

[0062] 第4接続パッドP4は、図3に示す通り、上述した上側パッド22d2と、第1中間パッド74aと、第2中間パッド74bと、第3中間パッド74cと、下側パッド33bと、を含む。上側パッド22d2、第1中間パッド74a、第2中間パッド74b、第3中間パッド74c、及び下側パッド33bは、平面視において互いに重なっている。また、上側パッド22d2、第1中間パッド74a、第2中間パッド74b、第3中間パッド74c、及び下側パッド33bは、上側（+Z側）から下側（-Z側）に向けてこの順に並んでおり、上下方向Zにおいて間隔を空けて配されている。

[0063] ここで、下側パッド33b（第2下側パッド）は、図1に示す通り、長辺が交差方向Yに延び、短辺が長手方向Xに延びる長形状の平板導体である。下側パッド33bの短辺のうち、+Y側に位置する短辺を、第1の短辺（一方の短辺）といい、-Y側に位置する短辺を、第2の短辺（他方の短辺）という。下側パッド33bは、第2接地導体32及び下側パッド33aとは別体に設けられる。下側パッド33bと第2接地導体32とは、第2電子スイッチ42（後述）の状態に応じて、電氣的接続の有無が切り替わる。従って、下側パッド33bは、第2電子スイッチ42の状態に応じて、電氣的接地の有無が切り替わる。

[0064] 図3に示す通り、上側パッド22d2と第1中間パッド74aとは、複数の接続導体50によって電氣的且つ機械的に接続されている。また、第1中間パッド74aと第2中間パッド74bとは、複数の接続導体50によって電氣的且つ機械的に接続されている。また、第2中間パッド74bと第3中間パッド74cとは、複数の接続導体50によって電氣的且つ機械的に接続されている。また、第3中間パッド74cと下側パッド33bとは、複数の

接続導体50によって電氣的且つ機械的に接続されている。これにより、第4接続パッドP4は、第2平行線路22p2の第2端（+X側）と第2電子スイッチ42とを、常時電氣的に接続している。

[0065] ここで、図3に示す通り、接続パッドP3の一部をなす下側パッド33aの交差方向Yにおける寸法D12は、接続パッドP3の一部をなす上側パッド21d2の交差方向Yにおける寸法D11よりも大きい。また、接続パッドP4の一部をなす下側パッド33bの交差方向Yにおける寸法D22は、接続パッドP4の一部をなす上側パッド22d2の交差方向Yにおける寸法D21よりも大きい。詳細は後述するが、これは高周波信号の損失を低減するために、下側パッド33a、33bに接続される第1電子スイッチ41及び第2電子スイッチ42のサイズを大きくしたことに伴うものである。

[0066] コンデンサ60は、例えば、図2に示す通り、上部電極が信号線路10に接続され、下部電極が第3電子スイッチ43を介して第1接地導体31に接続される平行平板である。コンデンサ60は、平行平板の対向面積に応じた静電容量Caを有する。即ち、静電容量Caは、信号線路10と第1接地導体31との間に設けられる回路定数である。但し、コンデンサ60は楕円型コンデンサであってもよい。

[0067] 第1電子スイッチ41は、図1に示す通り、第3接続パッドP3の下側パッド33aと第2接地導体32とを開閉自在に接続するトランジスタである。本実施形態における第1電子スイッチ41は、図1に示す通り、例えばMOS型FETであり、ドレイン端子が第3接続パッドP3の下側パッド33aに接続され、ソース端子が第2接地導体32に接続され、またゲート端子がスイッチ制御部80に接続されている。

[0068] 第1電子スイッチ41は、スイッチ制御部80からゲート端子に入力されるゲート信号に基づいて、ドレイン端子とソース端子との導通状態を開状態或いは閉状態に切り替える。即ち、第1電子スイッチ41は、スイッチ制御部80によって、第1平行線路21p1の第2端（+X側）と第2接地導体32との間を導通状態又は遮断状態にする。

- [0069] 第2電子スイッチ42は、図1に示す通り、第4接続パッドP4の下側パッド33bと第2接地導体32とを開閉自在に接続するトランジスタである。本実施形態における第2電子スイッチ42は、図1に示す通り、例えばMOS型FETであり、ドレイン端子が第4接続パッドP4の下側パッド33bに接続され、ソース端子が第2接地導体32に接続され、またゲート端子がスイッチ制御部80に接続されている。
- [0070] 第2電子スイッチ42は、スイッチ制御部80からゲート端子に入力されるゲート信号に基づいて、ドレイン端子とソース端子との導通状態を開状態或いは閉状態に切り替える。即ち、第2電子スイッチ42は、スイッチ制御部80によって、第2平行線路22p2の第2端（+X側）と第2接地導体32との間を導通状態又は遮断状態にする。
- [0071] 図4は、本発明の第1実施形態によるデジタル移相回路における接続パッドと第1、第2電子スイッチとの接続関係を示す平面図である。図4に示す通り、第1電子スイッチ41及び第2電子スイッチ42は、例えば、平面視形状が矩形形状のMOS型FETであり、ドレイン端子DT及びソース端子STを備える。尚、図4においては、ゲート端子の図示は省略している。
- [0072] 上述した通り、第1電子スイッチ41及び第2電子スイッチ42は、高周波信号の損失を低減するためにサイズ（具体的には、ゲート幅W）を大きくしている。第1電子スイッチ41及び第2電子スイッチ42のサイズが大きくなると、図4に示す通り、ドレイン端子DT及びソース端子STの交差方向Yにおける長さも長くなる。
- [0073] 下側パッド33aの交差方向Yにおける寸法D12（図3参照）が、上側パッド21d2の交差方向Yにおける寸法D11と同程度であると、第1電子スイッチ41は、ドレイン端子DTの一部のみが下側パッド33aに接続されることとなる。同様に、下側パッド33bの交差方向Yにおける寸法D22（図3参照）が、上側パッド22d2の交差方向Yにおける寸法D21と同程度であると、第2電子スイッチ42は、ドレイン端子DTの一部のみが下側パッド33bに接続されることとなる。

- [0074] 本実施形態では、下側パッド33aの交差方向Yにおける寸法D12を、第1電子スイッチ41のドレイン端子DTの交差方向Yにおける長さに合わせて長くしている。つまり、下側パッド33aの交差方向Yにおける寸法D12を、上側パッド21d2の交差方向Yにおける寸法D11よりも大きくしている。これにより、第1電子スイッチ41のドレイン端子DTの全体が下側パッド33aに接続されるようにしている。
- [0075] 同様に、下側パッド33bの交差方向Yにおける寸法D22を、第2電子スイッチ42のドレイン端子DTの交差方向Yにおける長さに合わせて長くしている。つまり、下側パッド33bの交差方向Yにおける寸法D22を、上側パッド22d2の交差方向Yにおける寸法D21よりも大きくしている。これにより、第2電子スイッチ42のドレイン端子DTの全体が下側パッド33bに接続されるようにしている。
- [0076] 尚、第2接地導体32の第2の短辺（－Y側）は、下側パッド33aの第2の短辺（－Y側）と交差方向Yにおいて略同一の位置にある。つまり、第2接地導体32は、交差方向Yにおいて、下側パッド33bの第1の短辺（＋Y側）から下側パッド33aの第2の短辺（－Y側）まで延在している。このため、図4に示す通り、第1電子スイッチ41及び第2電子スイッチ42のソース端子STも、全体が第2接地導体32に接続されている。
- [0077] 第3電子スイッチ43は、図2に示す通り、コンデンサ60の下部電極と第1接地導体31とを開閉自在に接続するトランジスタである。第3電子スイッチ43は、例えばMOS型FETであり、ドレイン端子がコンデンサ60の下部電極に接続され、ソース端子が第1接地導体31に接続され、またゲート端子がスイッチ制御部80に接続されている。
- [0078] ここで、第3電子スイッチ43は、図2に示す通り、信号線路10から奥側（＋Y側）に離れた位置に配置されている。また、第1接地導体31の第1端（＋Y側）は、交差方向Yにおいて、信号線路10から遠ざかるように延びて第3電子スイッチ43に接続されている。このような配置にするのは、特定の半導体製造工程において、コンデンサ60の下部電極の接続には設

計ルール上の制約があるためである。

[0079] 具体的には、特定の半導体製造装置において、コンデンサ60の下部電極は、一旦、接続配線及びビアを介して上の配線層（例えば、信号線路10が形成されている層）に接続し、その配線層からビアを介して下の配線層に接続しなければならないという制約がある。尚、図2においては、コンデンサ60の下部電極と第3電子スイッチ43との接続経路を簡略化して図示している。この制約のために、第3電子スイッチ43を、コンデンサ60が形成されている位置（例えば、図1に示す信号線路10の入力端側（−X側））の近傍に配置することはできず、信号線路10から奥側（+Y側）に離れた位置に配置しなければならない。第1接地導体31は、このような位置に配置された第3電子スイッチ43のソース端子に接続されるために、交差方向Yにおいて、信号線路10から遠ざかるように延びている。

[0080] 第3電子スイッチ43は、スイッチ制御部80からゲート端子に入力されるゲート信号に基づいて、ドレイン端子とソース端子との導通状態を開状態或いは閉状態に切り替える。即ち、第3電子スイッチ43は、スイッチ制御部80によって、コンデンサ60の下部電極と第1接地導体31との間を導通状態又は遮断状態にする。

[0081] ここで、第1電子スイッチ41及び第2電子スイッチ42のサイズ（ゲート幅）は、例えば、第3電子スイッチ43のサイズ（ゲート幅）の2倍以上に設定される。尚、第1電子スイッチ41及び第2電子スイッチ42のサイズ（ゲート幅）は、第3電子スイッチ43のサイズ（ゲート幅）の5倍以上であることが好ましい。

[0082] 詳細は後述するが、本実施形態では、高遅延モードにおける高周波信号の損失を格段に低減することができる。高遅延モードにおける高周波信号の損失と低遅延モードにおける高周波信号の損失との差は極力小さいことが望ましいため、高遅延モードにおける高周波信号の損失が低減されれば、低遅延モードにおける高周波信号の損失も低減させる必要がある。このため、第1電子スイッチ41及び第2電子スイッチ42のサイズを、第3電子スイッチ

4 3 のサイズよりも大きくしている。

[0083] 尚、高遅延モードにおける高周波信号の損失と低遅延モードにおける高周波信号の損失との差を小さくするためには、1 電子スイッチ 4 1 及び第 2 電子スイッチ 4 2 のサイズを、少なくとも第 3 電子スイッチ 4 3 のサイズの 2 倍以上に設定する必要がある。また、第 1 電子スイッチ 4 1 及び第 2 電子スイッチ 4 2 のサイズを、第 3 電子スイッチ 4 3 のサイズの 5 倍以上にすれば、高遅延モードにおける高周波信号の損失と低遅延モードにおける高周波信号の損失とを同程度にすることができる。

[0084] 第 4 電子スイッチ 4 4 は、図 2 に示す通り、信号線路 1 0 の入力端側（－X 側）と第 1 接地導体 3 1 とを開閉自在に接続するトランジスタである。第 4 電子スイッチ 4 4 は、上述した第 1 電子スイッチ 4 1、第 2 電子スイッチ 4 2、及び第 3 電子スイッチ 4 3 と同様に、MOS 型 FET であり、ドレイン端子が信号線路 1 0 の入力端側（－X 側）に接続され、ソース端子が第 1 接地導体 3 1 に接続され、またゲート端子がスイッチ制御部 8 0 に接続されている。尚、第 4 電子スイッチ 4 4 は、信号線路 1 0 の入力端側（－X 側）と第 1 接地導体 3 1 との間ではなく、信号線路 1 0 の出力端側（＋X 側）と第 2 接地導体 3 2 との間に設けてもよい。

[0085] 第 4 電子スイッチ 4 4 は、スイッチ制御部 8 0 からゲート端子に入力されるゲート信号に基づいて、ドレイン端子とソース端子との導通状態を開状態或いは閉状態に切り替える。即ち、第 4 電子スイッチ 4 4 は、スイッチ制御部 8 0 によって、信号線路 1 0 の入力端側（－X 側）と第 1 接地導体 3 1 との間を導通状態又は遮断状態にする。

[0086] スイッチ制御部 8 0 は、上述した第 1 電子スイッチ 4 1、第 2 電子スイッチ 4 2、第 3 電子スイッチ 4 3、及び第 4 電子スイッチ 4 4 を制御する制御回路である。スイッチ制御部 8 0 は、4 つの出力ポートを備えており、各出力ポートから第 1 電子スイッチ 4 1、第 2 電子スイッチ 4 2、第 3 電子スイッチ 4 3、及び第 4 電子スイッチ 4 4 の各ゲート端子にゲート信号を個別に出力する。即ち、スイッチ制御部 8 0 は、上記ゲート信号によって、第 1 電

子スイッチ4 1、第2電子スイッチ4 2、第3電子スイッチ4 3、及び第4電子スイッチ4 4を開状態又は閉状態にする。

[0087] 次に、以上のように構成されたデジタル移相回路Bの作用について説明する。

[0088] 本実施形態におけるデジタル移相回路Bは、第1～第3電子スイッチ4 1～4 3の導通状態に応じて動作モードが切り替えられる。即ち、デジタル移相回路Bの動作モードには、スイッチ制御部8 0によって第1電子スイッチ4 1及び第2電子スイッチ4 2が閉状態に設定され、第3電子スイッチ4 3が開状態に設定される低遅延モードと、スイッチ制御部8 0によって第1電子スイッチ4 1及び第2電子スイッチ4 2が開状態に設定され、第3電子スイッチ4 3が閉状態に設定される高遅延モードと、がある。

[0089] 低遅延モードにおいて、スイッチ制御部8 0は、第1電子スイッチ4 1及び第2電子スイッチ4 2を閉状態に設定し、第3電子スイッチ4 3を開状態に設定する。即ち、低遅延モードでは、高周波信号が信号線路1 0の入力端（左端）から出力端（右端）まで伝播するまでの第1伝搬遅延時間 T_L によって、出力端（右端）における位相が、高遅延モードにおける第2の位相 θ_H よりも小さな第1の位相 θ_L となる。以下、低遅延モードについて更に詳しく説明する。

[0090] 第1電子スイッチ4 1が閉状態に設定されることにより、第1平行線路2 1 p 1の第2端（+X側）は、第3接続パッドP 3を介して、第2接地導体3 2と接続される（図1参照）。一方、第1平行線路2 1 p 1の第1端（-X側）は、第1接続パッドP 1を介して、第1接地導体3 1と常時接続されている（図1及び図2参照）。従って、第1平行線路2 1 p 1は、第2端（+X側）が第1電子スイッチ4 1を介して第2接地導体3 2に接続されることによって、第1端（-X側）と第2端（+X側）との間に電流が流れ得る第1通電経路を形成する。

[0091] また、第2電子スイッチ4 2が閉状態に設定されることにより、第2平行線路2 2 p 2の第2端（+X側）は、第4接続パッドP 4を介して、第2接

地導体 3 2 と接続される（図 1 参照）。一方、第 2 平行線路 2 2 p 2 の第 1 端（－X 側）は、第 2 接続パッド P 2 を介して、第 1 接地導体 3 1 と常時接続されている（図 1 及び図 2 参照）。従って、第 2 平行線路 2 2 p 2 は、第 2 端（＋X 側）が第 2 電子スイッチ 4 2 を介して第 2 接地導体 3 2 に接続されることによって、第 1 端（－X 側）と第 2 端（＋X 側）との間に電流が流れ得る第 2 通電経路を形成する。

[0092] そして、第 1 平行線路 2 1 p 1 及び第 2 平行線路 2 2 p 2 の両端が接続されている状態において、信号線路 1 0 に入力端から出力端に向けた信号電流が流れると、信号電流の伝播に起因して、第 1 平行線路 2 1 p 1 及び第 2 平行線路 2 2 p 2 にリターン電流が生じる。リターン電流は、第 1 平行線路 2 1 p 1 及び第 2 平行線路 2 2 p 2 を、第 2 端（＋X 側）から第 1 端（－X 側）に向かって流れる。

[0093] 即ち、第 1 通電経路を形成する第 1 平行線路 2 1 p 1 には、信号線路 1 0 における信号電流の通電によって、信号電流の通電の向きとは逆向きの第 1 リターン電流が流れる。また、第 2 通電経路を形成する第 2 平行線路 2 2 p 2 には、信号線路 1 0 における信号電流の通電によって、信号電流の通電の向きとは逆向き、つまり第 1 リターン電流と同じ向きの第 2 リターン電流が流れる。

[0094] ここで、第 1 平行線路 2 1 p 1 に流れる第 1 リターン電流及び第 2 平行線路 2 2 p 2 に流れる第 2 リターン電流は、何れも、信号電流の通電の向きとは逆向きである。従って、第 1 リターン電流及び第 2 リターン電流は、信号線路 1 0 と第 1 平行線路 2 1 p 1 との電磁気的な結合（相互誘導）及び信号線路 1 0 と第 2 平行線路 2 2 p 2 との電磁気的な結合（相互誘導）に起因して、デジタル移相回路 B の全体のインダクタンスを減少させるように作用する。信号線路 1 0 のインダクタンスを $L_{s_{low}}$ 、リターン経路（第 1 平行線路 2 1 p 1 及び第 2 平行線路 2 2 p 2）のインダクタンスを $L_{g_{low}}$ 、信号線路 1 0 とリターン経路との相互インダクタンスを M_{low} とする。低遅延モードにおけるデジタル移相回路 B の全体のインダクタンス L_{low} は、 $L_{s_{low}} + L_{g_{low}} - M_{low}$ と

なる。

[0095] また、信号線路10は、上述した通り寄生容量としての静電容量C1を有している。低遅延モードでは、第3電子スイッチ43が開状態に設定されるので、コンデンサ60は、信号線路10と第1接地導体31との間に接続されていない。即ち、コンデンサ60の静電容量Caは、信号線路10を伝播する高周波信号に影響を与えない。従って、信号線路10を伝播する高周波信号には、 $(L_{\text{low}} \times C1)^{1/2}$ に比例した第1伝搬遅延時間 T_L が作用する。

[0096] そして、信号線路10の出力端における高周波信号は、第1伝搬遅延時間 T_L に起因して、信号線路10の入力端における高周波信号より位相が第1の位相 θ_L だけ遅れたものとなる。即ち、低遅延モードでは、第1リターン電流及び第2リターン電流に起因してデジタル移相回路Bの全体のインダクタンスがインダクタンス L_{low} になることによって、伝搬遅延時間が減少する。

[0097] 一方、高遅延モードにおいて、スイッチ制御部80は、第1電子スイッチ41及び第2電子スイッチ42を開状態に設定し、第3電子スイッチ43を閉状態に設定する。尚、第4電子スイッチ44は、開状態に設定される。即ち、高遅延モードでは、高周波信号が信号線路10の入力端（左端）から出力端（右端）まで伝播するまでの第2伝搬遅延時間 T_H によって、出力端（右端）における位相が、低遅延モードにおける第1の位相 θ_L よりも大きな第2の位相 θ_H となる。以下、高遅延モードについて更に詳しく説明する。

[0098] 上述した通り、高遅延モードでは、第1電子スイッチ41及び第2電子スイッチ42が開状態に設定される。よって、第1平行線路21p1には上述した第1導電経路が形成されず、また、第2平行線路22p2には上述した第2導電経路が形成されない。従って、第1平行線路21p1に流れる第1リターン電流は極めて小さくなり、また、第2平行線路22p2に流れる第2リターン電流は極めて小さくなる。

[0099] これに対して、第3線路23の一部をなす第1交差線路23c1の手前側（－Y側）の端部は、第2接続パッドP2を介して、第1接地導体31と常時接続されている（図2参照）。また、第3線路23の一部をなす第2交差

線路 2 3 c 2 の第 1 端（－Ｙ側）は、上述した通り、第 2 接地導体 3 2 と常時接続されている。従って、第 3 線路 2 3 には、第 2 交差線路 2 3 c 2 の第 1 端（－Ｙ側）と第 1 交差線路 2 3 c 1 の手前側（－Ｙ側）の端部との間に電流が流れ得る第 3 通電経路が予め形成されている。このため、高遅延モードでは、信号線路 1 0 における信号電流に起因して、第 2 交差線路 2 3 c 2 の第 1 端（－Ｙ側）から屈曲線路 2 3 b 及び第 3 平行線路 2 3 p 3 を経由して第 1 交差線路 2 3 c 1 の手前側（－Ｙ側）の端部に向かう第 3 リターン電流が流れる。

[0100] ここで、第 3 リターン電流は、信号線路 1 0 と平行な第 3 平行線路 2 3 p 3 及び屈曲線路 2 3 b の第 2 部分線路 2 3 b 2 において、信号線路 1 0 における信号電流の通電の向きとは逆向きに流れる。また、屈曲線路 2 3 b の第 1 部分線路 2 3 b 1、第 3 平行線路 2 3 p 3、及び第 1 交差線路 2 3 c 1 は、信号線路 1 0 とは反対側（＋Ｙ側）に凸となるループ線路を構成している。従って、リターン経路（第 3 リターン電流が流れる経路）がループ線路を構成していない従来の構成と比較してリターン経路のインダクタンスを増大させることができる。しかも、本実施形態では、第 3 線路 2 3 の厚み（第 1 交差線路 2 3 c 1、第 3 平行線路 2 3 p 3、屈曲線路 2 3 b、及び第 2 交差線路 2 3 c 2 の厚み）が、信号線路 1 0、第 1 線路 2 1、及び第 2 線路 2 2 の厚みよりも小さい。

[0101] これにより、デジタル移相回路 B の全体のインダクタンスを格段に増加させることができ、移相量が小さくなる低周波においても所望の移相量を確保することができる。信号線路 1 0 のインダクタンスを L_{s_high} 、リターン経路（第 2 交差線路 2 3 c 2、屈曲線路 2 3 b、第 3 平行線路 2 3 p 3、第 1 交差線路 2 3 c 1）のインダクタンスを L_{g_high} 、信号線路 1 0 とリターン経路との相互インダクタンスを M_{high} とする。尚、 $L_{s_high} = L_{s_low}$ である。高遅延モードにおけるデジタル移相回路 B の全体のインダクタンス L_{high} は、 $L_{s_high} + L_{g_high} - M_{high}$ となる。ここで、明らかに、 $L_{g_low} < L_{g_high}$ 及び $M_{low} > M_{high}$ が成り立つから、 $L_{high} > L_{low}$ が成り立つ。

[0102] 尚、第3リターン電流がリターン経路のインダクタンスを増加させるように作用する原理は次のように説明できる。つまり、第3リターン電流が屈曲線路23bの第1部分線路23b1を流れる際に発生させる磁界、第3リターン電流が第3平行線路23p3を流れる際に発生させる磁界、及び第3リターン電流が第1交差線路23c1を流れる際に発生させる磁界は、何れも、上記ループ線路内において同一の向き（+Zの向き）である。このため、これらの磁界は互いに強め合う。従って、第3リターン電流が流れる線路がループ線路を構成していない従来の構成と比較して、第3リターン電流が生じさせる磁界を大きくし、リターン経路のインダクタンスを増大させることができる。また、ループの高さ（即ち、第3平行線路23p3の交差方向Yにおける位置、並びに、第1交差線路23c1及び屈曲線路23bの第1部分線路23b1を調整することにより、リターン経路のインダクタンスの値を大きく変化させることができる。

[0103] 一方、信号線路10は寄生容量としての静電容量C1を有している。また、高遅延モードでは、第3電子スイッチ43が閉状態に設定されるので、信号線路10と第1接地導体31との間には、コンデンサ60が接続されている。即ち、信号線路10は、コンデンサ60の静電容量Caと静電容量C1（寄生容量）とを合算した静電容量Cbを有する。従って、信号線路10を伝播する高周波信号には、伝送系のインダクタンスの増加と、合算した静電容量Cbと、に係る第2伝搬遅延時間 T_H が作用する。

[0104] そして、信号線路10の出力端における高周波信号は、このような第2伝搬遅延時間 T_H に起因して、信号線路10の入力端における高周波信号より位相が第2の位相 θ_H だけ遅れたものとなる。即ち、高遅延モードでは、第3リターン電流に起因して伝送系のインダクタンスが増大されることによって、伝搬遅延時間が増大する。

[0105] ここで、高遅延モードでは、電子スイッチ44を閉状態に設定することにより、信号線路10の損失を意図的に増加させてもよい。この損失付与は、高遅延モードにおける高周波信号の損失を、低遅延モードにおける高周波信

号の損失と同程度にしようとするためのものである。

[0106] 〈デジタル移相器〉

図5は、本発明の第1実施形態によるデジタル移相器の要部構成を示す平面図である。図5に示す通り、本実施形態のデジタル移相器A1は、複数のデジタル移相回路 B_1 , B_2 , B_3 , ..., B_{n-1} , B_n を長手方向Xに縦続接続したものである。尚、デジタル移相回路 B_1 , B_2 , B_3 , ..., B_{n-1} , B_n の基本構成は、図1～図4を用いて説明したデジタル移相回路Bと同様である。

[0107] デジタル移相器A1は、デジタル移相回路 B_1 から入力された高周波信号をデジタル移相回路 B_n から出力し、又は、デジタル移相回路 B_n から入力された高周波信号をデジタル移相回路 B_1 から出力する。尚、以下では、デジタル移相回路 B_1 から入力された高周波信号をデジタル移相回路 B_n から出力する場合を例に挙げて説明する。尚、見やすさのため、図5においては、第1電子スイッチ41、第2電子スイッチ42、及びスイッチ制御部80の図示は省略している。

[0108] 図5に示す通り、デジタル移相器A1において、デジタル移相回路 B_1 , B_2 , B_3 , ..., B_{n-1} , B_n は、全てのデジタル移相回路 B_1 , B_2 , B_3 , ..., B_{n-1} , B_n の第1線路21が信号線路10の第2の側方（-Y側）に位置し、全てのデジタル移相回路 B_1 , B_2 , B_3 , ..., B_{n-1} , B_n の第2線路22及び第3線路23が信号線路10の第1の側方（+Y側）に位置するように長手方向Xに縦続接続されている。つまり、デジタル移相器A1は、信号線路10の第1の側方（+Y側）にのみループ線路が配置された構成である。このような構成にするのは、デジタル移相器A1の小型化を図るためである。

[0109] 本実施形態によるデジタル移相器A1において、デジタル移相回路 $B_1 \sim B_{n-1}$ は、右側（+X側）に隣接するデジタル移相回路 $B_2 \sim B_n$ に対し、一部が入り込むように接続されている。尚、実施形態によるデジタル移相器A1において、デジタル移相回路 $B_2 \sim B_n$ は、左側（-X側）に隣接するデジタル

移相回路 $B_1 \sim B_{n-1}$ に対し、一部が入り込むように接続されているということもできる。

[0110] より具体的には、デジタル移相回路 B が隣り合う部分において、第 1 接地導体 3 1 と第 2 接地導体 3 2 とが共通化されており、第 1 交差線路 2 3 c 1 の一部と第 2 交差線路 2 3 c 2 の一部とが共通化されており、上側パッド 2 1 d 1 と上側パッド 2 4 とが共通化されており、上側パッド 2 2 d 1 と上側パッド 2 5 とが共通化されている。すなわち、隣り合うデジタル移相回路 B のうち、一方のデジタル移相回路 B の第 1 接地導体 3 1 と他方のデジタル移相回路 B の第 2 接地導体 3 2 とが共通化されており、一方のデジタル移相回路 B の第 1 交差線路 2 3 c 1 の一部と他方のデジタル移相回路 B の第 2 交差線路 2 3 c 2 の一部とが共通化されており、一方のデジタル移相回路 B の上側パッド 2 1 d 1 と他方のデジタル移相回路 B の上側パッド 2 4 とが共通化されており、一方のデジタル移相回路 B の上側パッド 2 2 d 1 と他方のデジタル移相回路 B の上側パッド 2 5 とが共通化されている。図 5 に示す例では、例えば、デジタル移相回路 B_1 の第 2 接地導体 3 2 と、デジタル移相回路 B_2 の第 1 接地導体 3 1 とが共通化されており、デジタル移相回路 B_1 の第 2 交差線路 2 3 c 2 の一部と、デジタル移相回路 B_2 の第 1 交差線路 2 3 c 1 の一部とが共通化されており、デジタル移相回路 B_1 の上側パッド 2 4 と、デジタル移相回路 B_2 の上側パッド 2 1 d 1 とが共通化されており、デジタル移相回路 B_1 の上側パッド 2 5 と、デジタル移相回路 B_2 の上側パッド 2 2 d 1 とが共通化されている。

[0111] このため、デジタル移相回路 B_2 の第 1 接地導体 3 1 は、デジタル移相回路 B_1 の第 2 接地導体 3 2 としても機能する。また、デジタル移相回路 B_2 の第 1 交差線路 2 3 c 1 の一部は、デジタル移相回路 B_1 の第 2 交差線路 2 3 c 2 の一部としても機能する。また、デジタル移相回路 B_2 の上側パッド 2 1 d 1 は、デジタル移相回路 B_1 の上側パッド 2 4 としても機能する。また、デジタル移相回路 B_2 の上側パッド 2 2 d 1 は、デジタル移相回路 B_1 の上側パッド 2 5 としても機能する。

- [0112] ここで、第3線路23をなす第1交差線路23c1には、屈曲部CR1が形成されており、第2平行線路22p2に近い側がクランク形状である。また、第3線路23をなす第2交差線路23c2には、屈曲部CR2が形成されており、第2平行線路22p2に近い側がクランク形状である。このため、デジタル移相回路Bが隣り合う部分において、共通化された第1交差線路23c1及び第2交差線路23c2は、平面視において、第2平行線路22p2の第1端（-X側）から、交差方向Yにおいて信号線路10から遠ざかるように延び、屈曲部CR1において右側（+X側）に折り曲がり、屈曲部CR2において左側（-X側）に折り曲がるT字形状となっている。
- [0113] このような接続を行うことで、隣り合うデジタル移相回路Bが互いに干渉し合うことで生ずる磁界の低下を軽減することができる。その結果、隣り合うデジタル移相回路Bの間における相互インダクタンスを小さくすることができる。
- [0114] このように、本実施形態のデジタル移相器A1では、前述した通り、デジタル移相回路B₁～B_nの各々において、第3リターン電流が流れる線路が、信号線路10とは反対側（+Y側）に凸となるループ線路を構成しており、且つ、第3リターン電流が流れる線路の厚み（断面積）が、信号線路10、第1線路21、及び第2線路22の厚み（断面積）よりも小さい。このため、従来に比べて磁界の発生効率を格段に高めることができる。また、本実施形態のデジタル移相器A1では、上述の通り、隣り合うデジタル移相回路B間における相互インダクタンスを小さくすることができる。これにより、本実施形態のデジタル移相器A1は、信号線路10の第1の側方（+Y側）にのみループ線路が配置された構成であっても、必要な移相量を確保することができる。
- [0115] また、本実施形態のデジタル移相器A1では、例えば、デジタル移相回路B₁を除き、隣接するデジタル移相回路が高遅延モードに設定された場合に、第3リターン電流が第2接続パッドP2を介さない経路を流れる。例えば、デジタル移相回路B₁～B₃が高遅延モードに設定されたとすると、第3リタ

ーン電流は、デジタル移相回路 B_2 、 B_3 の第 2 接続パッド P 2 及び第 1 接地導体 3 1（第 2 接地導体 3 2）等のロスの大きい障害物を介することなく、図中の経路 P T を流れる。このため、本実施形態のデジタル移相器 A 1 は、高遅延モードにおいて、高周波信号の損失を格段に低減することができる。

[0116] このように、本実施形態のデジタル移相器 A 1 は、高遅延モードにおいて、高周波信号の損失を格段に低減することができる。その結果、低遅延モードにおける第 1 リターン電流及び第 2 リターン電流の電流経路に配置されている第 1 電子スイッチ 4 1 及び第 2 電子スイッチ 4 2 の大きさを大きくすることができる。なぜならば、高遅延モードにおける高周波信号の損失と低遅延モードにおける高周波信号の損失との差は極力小さいことが望ましいため、高遅延モードにおける高周波信号の損失が低減されれば、低遅延モードにおける高周波信号の損失も低減させる必要があるからである。このように、本実施形態のデジタル移相器 A 1 は、全体として高周波信号の損失を低減することができる。

[0117] 以上の通り、本実施形態のデジタル移相器 A 1 は、縦続接続された複数のデジタル移相回路 $B_1 \sim B_n$ を有する移相器である。複数のデジタル移相回路 $B_1 \sim B_n$ はそれぞれ、信号線路 1 0、第 1 線路 2 1、第 2 線路 2 2、第 3 線路 2 3、第 1 接地導体 3 1、第 2 接地導体 3 2、第 1 電子スイッチ 4 1、及び第 2 電子スイッチ 4 2 を備える。第 1 線路 2 1 は、信号線路 1 0 と平行に延びる第 1 平行線路 2 1 p 1 を含む。第 2 線路 2 2 は、信号線路 1 0 と平行に延びる第 2 平行線路 2 2 p 2 を含む。第 3 線路 2 3 は、第 2 平行線路 2 2 p 2 の第 1 の端部に接続され、平面視において、第 2 平行線路 2 2 p 2 の第 1 の端部から信号線路 1 0 の長手方向と交差する交差方向において信号線路 1 0 から遠ざかるように延びる第 1 交差線路 2 3 c 1 と、第 1 交差線路 2 3 c 1 の第 1 の端部から信号線路 1 0 と平行に延びる第 3 平行線路 2 3 p 3 と、第 3 平行線路 2 3 p 3 の第 1 の端部から交差方向において信号線路 1 0 に近づくように延びる第 2 交差線路 2 3 c 2 と、を含む。

[0118] また、複数のデジタル移相回路 $B_1 \sim B_n$ はそれぞれ、第 1 接地導体 3 1 と

第2接地導体32と第1電子スイッチ41と第2電子スイッチ42とを備える。第1接地導体31は、第1平行線路21p1の第1の端部及び第2平行線路22p2の第1の端部に電氣的に接続されており、第2接地導体32は、第3線路23の第1の端部に接続されている。第1電子スイッチ41は、第1平行線路21p1の第2の端部と第2接地導体32との間に設けられており、第2電子スイッチ42は、第2平行線路22p2の第2の端部と第2接地導体32との間に設けられている。

[0119] また、複数のデジタル移相回路 $B_1 \sim B_n$ のそれぞれにおいては、第1平行線路21p1と第2平行線路22p2との間に信号線路10が位置する。第3線路23の断面積は、信号線路10、第1線路21、及び第2線路22の断面積よりも小さい。第3線路23に含まれる第1交差線路23c1及び第2交差線路23c2は、第2平行線路22p2に近い側がクランク形状である。

[0120] 本実施形態のデジタル移相器A1においては、デジタル移相回路が隣り合う部分において、第1接地導体31と第2接地導体32とが共通化されている。また、デジタル移相回路が隣り合う部分において、第3線路23の第2交差線路23c2は、隣り合うデジタル移相回路における第3線路23の第1交差線路23c1に接続されている。以上の構成により、従来よりも小型で所望の移相特性を実現することができる。また、本実施形態では、周波数が低くても所望の移相量を確保することができる。

[0121] 〔第2実施形態〕

〈デジタル移相回路〉

図6は、本発明の第2実施形態によるデジタル移相回路の基本構成を示す平面図である。尚、図6においては、図1に示す構成と同様の構成については同一の符号を付してある。図6に示す通り、本実施形態によるデジタル移相回路 B' は、図1に示すデジタル移相回路Bと概ね同様の構成であるが、第3線路23の構成が異なる。具体的に、第3線路23は、図1に示す屈曲線路23bが省略され、第1交差線路23c1、第3平行線路23p3、及

び第2交差線路23c2から構成される。デジタル移相回路B'は、より高い周波数（例えば、39GHz）に対応したものである。

[0122] 具体的に、本実施形態において、第3線路23を構成する第1交差線路23c1は、屈曲線路23bが省略された分、交差方向Yの長さが図1に示す第1交差線路23c1よりも短い。第3平行線路23p3は、屈曲線路23bが省略されたことから、第1交差線路23c1の奥側（+Y側）の端部と、第2交差線路23c2の奥側（+Y側）の端部とを接続するように延びている。

[0123] 従って、本実施形態における第2平行線路22p2の中心線と第3平行線路23p3の中心線との間の距離D1は、第1実施形態における第2平行線路22p2の中心線と第3平行線路23p3の中心線との間の距離D1よりも小さくなっている。尚、第2平行線路22p2の中心線と第1接地導体31の奥側の外縁（第3平行線路23p3側の外縁）との間の距離D2は、第1実施形態と同じである。

[0124] 〈デジタル移相器〉

図7は、本発明の第2実施形態によるデジタル移相器の要部構成を示す平面図である。図7に示す通り、本実施形態のデジタル移相器A2は、複数のデジタル移相回路B₁、B₂、B₃、…、B_{n-1}、B_nを長手方向Xに縦続接続したものである。尚、デジタル移相回路B₁、B₂、B₃、…、B_{n-1}、B_nの基本構成は、図6を用いて説明したデジタル移相回路B'と同様である。尚、図7においては、図5と同様に、第1電子スイッチ41、第2電子スイッチ42、及びスイッチ制御部80の図示は省略している。

[0125] 図7に示すデジタル移相器A2は、図5に示すデジタル移相器A1とは、デジタル移相回路B₁、B₂、B₃、…、B_{n-1}、B_nの各々に設けられた第3線路23が異なるのみで、第3線路23以外の構成は、図5に示すデジタル移相器A1と同様である。このため、本実施形態のデジタル移相器A2においても、例えば、デジタル移相回路B₁を除き、隣接するデジタル移相回路が高遅延モードに設定された場合に、第3リターン電流が第2接続パッドP2

を介さない経路を流れる。例えば、デジタル移相回路 $B_1 \sim B_3$ が高遅延モードに設定された場合には、第3リターン電流は、図中の経路 $P-T$ を流れる。このため、本実施形態のデジタル移相器 A_2 は、図5に示すデジタル移相器 A_1 と同様に、高遅延モードにおいて、高周波信号の損失を格段に低減することができる。

[0126] その結果、本実施形態のデジタル移相器 A_2 においても、低遅延モードにおける第1リターン電流及び第2リターン電流の電流経路に配置されている第1電子スイッチ41及び第2電子スイッチ42の大きさを大きくすることができる。なぜならば、高遅延モードにおける高周波信号の損失と低遅延モードにおける高周波信号の損失との差は極力小さいことが望ましいため、高遅延モードにおける高周波信号の損失が低減されれば、低遅延モードにおける高周波信号の損失も低減させる必要があるからである。このように、本実施形態のデジタル移相器 A_2 も、全体として高周波信号の損失を低減することができる。

[0127] 以上の通り、本実施形態のデジタル移相器 A_2 は、図5に示すデジタル移相器 A_1 とは、デジタル移相回路 $B_1, B_2, B_3, \dots, B_{n-1}, B_n$ の各々に設けられた第3線路23が異なるのみで、第3線路23以外の構成は、図5に示すデジタル移相器 A_1 と同様である。このため、本実施形態のデジタル移相器 A_2 においても、従来よりも小型で所望の移相特性を実現することができる。また、本実施形態では、周波数が高くなっても所望の移相量を確保することができる。

[0128] [第3実施形態]

〈デジタル移相回路〉

図8は、本発明の第3実施形態によるデジタル移相回路の基本構成を示す平面図である。尚、図8においては、図1に示す構成と同様の構成については同一の符号を付してある。図8に示す通り、本実施形態によるデジタル移相回路 B'' は、図1に示すデジタル移相回路 B と概ね同様の構成であるが、第3線路23の構成が異なる。具体的に、本実施形態によるデジタル移相回

路B''において、第3線路23には、第3線路23に沿って複数の孔Hが形成されている。このような孔Hを形成するのは、第3線路23の抵抗を大きくするためである。

[0129] 〈デジタル移相器〉

本実施形態のデジタル移相器A3は、図8を用いて説明したデジタル移相回路B''を、第1、第2実施形態と同様に、デジタル移相回路B₁、B₂、B₃、…、B_{n-1}、B_nとして長手方向Xに縦続接続したものである。このため、ここでの詳細な説明は省略する。

[0130] 以上の通り、本実施形態のデジタル移相回路B''及びデジタル移相器A3は、第3線路23に孔Hが形成されている点を除いて、図1に示すデジタル移相回路B及び図5に示すデジタル移相器A1と同様の構成である。このため、本実施形態においても、図5に示すデジタル移相器A1と同様に、従来よりも小型で所望の移相特性を実現することができる。

[0131] 尚、本実施形態によるデジタル移相回路B''は、図1に示すデジタル移相回路Bが備える第3線路23に、第3線路23に沿って複数の孔Hが形成された構成であった。しかしながら、図6に示すデジタル移相回路B'が備える第3線路23に、第3線路23に沿って複数の孔Hが形成された構成であってもよい。

[0132] また、デジタル移相回路B₁、B₂、B₃、…、B_{n-1}、B_nの全てがデジタル移相回路B''である必要は必ずしもなく、デジタル移相回路B₁、B₂、B₃、…、B_{n-1}、B_nのうちの少なくとも2つのデジタル移相回路（特定デジタル移相回路）が、デジタル移相回路B''であればよい。例えば、デジタル移相回路B''は、周期的（例えば、1個おき、2個おき等）に設けられていてもよい。このようにすることで、低遅延モードと高遅延モード間の損失の差を低減することができる。

[0133] 〔第4実施形態〕

〈デジタル移相器〉

図9は、本発明の第4実施形態によるデジタル移相器の要部構成を示す平

面図である。図9に示す通り、本実施形態のデジタル移相器A4は、図5に示すデジタル移相器A1と概ね同様の構成であるが、デジタル移相回路 B_1 , B_2 , B_3 , ..., B_{n-1} , B_n の構成が、図5に示すものと若干異なる。

[0134] 具体的に、本実施形態におけるデジタル移相回路 B_1 , B_2 , B_3 , ..., B_{n-1} , B_n は、交差方向Yにおける第2平行線路22p2の中心線と第3平行線路23p3の中心線との間の距離D1（図1参照）が、隣り合うデジタル移相回路において異なる。例えば、偶数番目のデジタル移相回路（デジタル移相回路 B_2 , B_4 , B_6 , ...）における上記の距離D1は、奇数番目のデジタル移相回路（デジタル移相回路 B_1 , B_3 , B_5 , ...）における上記の距離D1よりも短く設定されている。これにより、本実施形態のデジタル移相器A4では、第1実施形態のデジタル移相器A1よりも移相量を大きくすることができる。

[0135] 以上の通り、本実施形態のデジタル移相器A4は、隣り合うデジタル移相回路において、交差方向Yにおける第2平行線路22p2の中心線と第3平行線路23p3の中心線との間の距離D1（図1参照）が異なるものの、基本的には、図5に示すデジタル移相器A1と同様の構成である。このため、図5に示すデジタル移相器A1と同様に、従来よりも小型で所望の移相特性を実現することができる。

[0136] 尚、図9に示したデジタル移相器A4は、交差方向Yにおける第2平行線路22p2の中心線と第3平行線路23p3の中心線との間の距離D1（図1参照）が、隣り合うデジタル移相回路において異なるものであった。しかしながら、隣り合うデジタル移相回路において上記の距離D1が異なっている必要は必ずしもない。デジタル移相回路 B_1 , B_2 , B_3 , ..., B_{n-1} , B_n のうち、少なくとも1つのデジタル移相回路における上記の距離D1が、他のデジタル移相回路における上記の距離D1と異なっていればよい。また、上記の距離D1は、2種類に制限される訳ではなく、3種類以上であってもよい。

[0137] また、本実施形態のデジタル移相器A4は、図5に示すデジタル移相器A

1が備えるデジタル移相回路 $B_1, B_2, B_3, \dots, B_{n-1}, B_n$ について、上記の距離 D_1 を異ならせた構成であった。しかしながら、図7に示すデジタル移相器A2が備えるデジタル移相回路 $B_1, B_2, B_3, \dots, B_{n-1}, B_n$ について、上記の距離 D_1 を異ならせた構成であってもよい。

[0138] 以上、本発明の実施形態によるデジタル移相回路及びデジタル移相器について説明したが、本発明は上記実施形態に制限されることなく、本発明の範囲内で自由に変更が可能である。例えば、上述した実施形態では、第3線路23の厚みを、信号線路10、第1線路21、及び第2線路22の厚みよりも小さくすることで、第3線路23の断面積を、信号線路10、第1線路21、及び第2線路22の断面積よりも小さくするものであった。しかしながら、第3線路23の幅（平面視における幅）を、信号線路10、第1線路21、及び第2線路22の幅よりも小さくすることで、第3線路23の断面積を、信号線路10、第1線路21、及び第2線路22の断面積よりも小さくするものであってもよい。

[0139] また、上述した実施形態では、第3線路23が、信号線路10、第1線路21、第2線路22等が形成された層、並びに、第1接地導体31及び第2接地導体32が形成された層とは異なる層に形成されている例について説明した。しかしながら、第3線路23の断面積を、信号線路10、第1線路21、及び第2線路22の断面積よりも小さくできるのであれば、第3線路23は、信号線路10、第1線路21、及び第2線路22が形成された層と同じ層に形成されていてもよい。

[0140] また、上述した第1～第4実施形態によるデジタル移相器A1～A4を構成するデジタル移相回路 $B_1 \sim B_n$ の全ての第3線路23を同じ層に形成してもよい。このようにすることで、隣り合うデジタル移相回路を高遅延モードにした場合に、リターン電流が障害物を介することがないから損失を低減することができる。

[0141] また、上述した第1～第4実施形態によるデジタル移相器A1～A4を構成するデジタル移相回路 $B_1 \sim B_n$ のうちの少なくとも1つのデジタル移相回

路の第3線路23が、他のデジタル移相回路の第3線路23とは異なる層に形成されていてもよい。例えば、デジタル移相回路 B_1 における第3線路23が、第2中間パッド72b（図2参照）に形成されており、他のデジタル移相回路 $B_2 \sim B_n$ における第3線路23が、第3中間パッド72c（図2参照）に形成されてもよい。

符号の説明

[0142] 10…信号線路、21…第1線路、21d2…上側パッド、21p1…第1平行線路、22…第2線路、22d2…上側パッド、22p2…第2平行線路、23…第3線路、23c1…第1交差線路、23c2…第2交差線路、23p3…第3平行線路、31…第1接地導体、32…第2接地導体、33a, 33b…下側パッド、41…第1電子スイッチ、42…第2電子スイッチ、43…第3電子スイッチ、44…第4電子スイッチ、50…接続導体、60…コンデンサ、A1～A4…デジタル移相器、B, B', B'', $B_1 \sim B_n$ …デジタル移相回路、CR1, CR2…屈曲部、D1…距離、Y…交差方向

請求の範囲

- [請求項1] 信号線路と、
前記信号線路と平行に延びる第1平行線路を含む第1線路と、
前記信号線路と平行に延びる第2平行線路を含む第2線路と、
前記第2平行線路の第1の端部に接続され、平面視において、前記第2平行線路の第1の端部から前記信号線路の長手方向と交差する交差方向において前記信号線路から遠ざかるように延びる第1交差線路と、前記第1交差線路の第1の端部から前記信号線路と平行に延びる第3平行線路と、前記第3平行線路の第1の端部から前記交差方向において前記信号線路に近づくように延びる第2交差線路と、を含む第3線路と、
前記第1平行線路の第1の端部及び前記第2平行線路の第1の端部に電氣的に接続された第1接地導体と、
前記第3線路の第1の端部に電氣的に接続された第2接地導体と、
前記第1平行線路の第2の端部と前記第2接地導体との間に設けられた第1電子スイッチと、
前記第2平行線路の第2の端部と前記第2接地導体との間に設けられた第2電子スイッチと、を備え、
前記第1平行線路と前記第2平行線路との間に前記信号線路が位置し、
前記第3線路の断面積は、前記信号線路、前記第1線路、及び前記第2線路の断面積よりも小さい、
デジタル移相回路。
- [請求項2] 前記第3線路は、前記信号線路、前記第1線路、及び前記第2線路より厚みが小さい、請求項1記載のデジタル移相回路。
- [請求項3] 前記第3線路は、前記第1線路及び前記第2線路よりも内層に形成されている、請求項1または2記載のデジタル移相回路。
- [請求項4] 前記第3線路には、前記第3線路に沿って複数の孔が形成されてい

る、請求項 1 から請求項 3 の何れか一項に記載のデジタル移相回路。

[請求項5]

前記信号線路の第 1 の端部に接続されたコンデンサと、

前記コンデンサと前記第 1 接地導体との間に設けられた第 3 電子スイッチと、

を更に備え、

前記第 1 接地導体の第 1 の端部は、前記交差方向において前記信号線路から遠ざかるように延びて前記第 3 電子スイッチに接続されている、

請求項 1 から請求項 4 の何れか一項に記載のデジタル移相回路。

[請求項6]

前記第 1 電子スイッチ、前記第 2 電子スイッチ、及び前記第 3 電子スイッチは、電界効果トランジスタであり、

前記第 1 電子スイッチ及び前記第 2 電子スイッチをなす電界効果トランジスタのサイズは、前記第 3 電子スイッチをなす電界効果トランジスタのサイズの 2 倍以上である、

請求項 5 記載のデジタル移相回路。

[請求項7]

前記第 1 平行線路の第 2 の端部に設けられた第 1 上側パッドと、

前記第 2 平行線路の第 2 の端部に設けられた第 2 上側パッドと、

を更に備え、

前記第 1 上側パッドの前記交差方向における寸法の最大値は、前記第 1 平行線路の幅よりも大きく、

前記第 2 上側パッドの前記交差方向における寸法の最大値は、前記第 2 平行線路の幅よりも大きい、

請求項 1 から請求項 6 の何れか一項に記載のデジタル移相回路。

[請求項8]

ビアを介して前記第 1 上側パッドに接続されるとともに、前記第 1 電子スイッチが接続される第 1 下側パッドと、

ビアを介して前記第 2 上側パッドに接続されるとともに、前記第 2 電子スイッチが接続される第 2 下側パッドと、

を更に備え、

前記第 1 下側パッドの前記交差方向における寸法の最大値は、前記第 1 上側パッドの前記交差方向における寸法の最大値よりも大きく、
前記第 2 下側パッドの前記交差方向における寸法の最大値は、前記第 2 上側パッドの前記交差方向における寸法の最大値よりも大きい、
請求項 7 記載のデジタル移相回路。

[請求項9] 前記信号線路の第 1 の端部と前記第 1 接地導体との間に設けられた第 4 電子スイッチを更に備える請求項 1 から請求項 8 の何れか一項に記載のデジタル移相回路。

[請求項10] 複数のデジタル移相回路が縦続接続されたデジタル移相器であって、
前記複数のデジタル移相回路の各々は、請求項 1 から請求項 9 の何れか一項に記載のデジタル移相回路であり、
前記デジタル移相回路が隣り合う部分において、前記第 1 接地導体と前記第 2 接地導体とが共通化されており、
前記第 1 交差線路及び前記第 2 交差線路は、クランク形状である、
デジタル移相器。

[請求項11] 前記複数のデジタル移相回路のうちの少なくとも 1 つのデジタル移相回路は、他のデジタル移相回路と、前記交差方向における前記第 2 平行線路の中心線と前記第 3 平行線路の中心線との間の距離が異なる、請求項 10 記載のデジタル移相器。

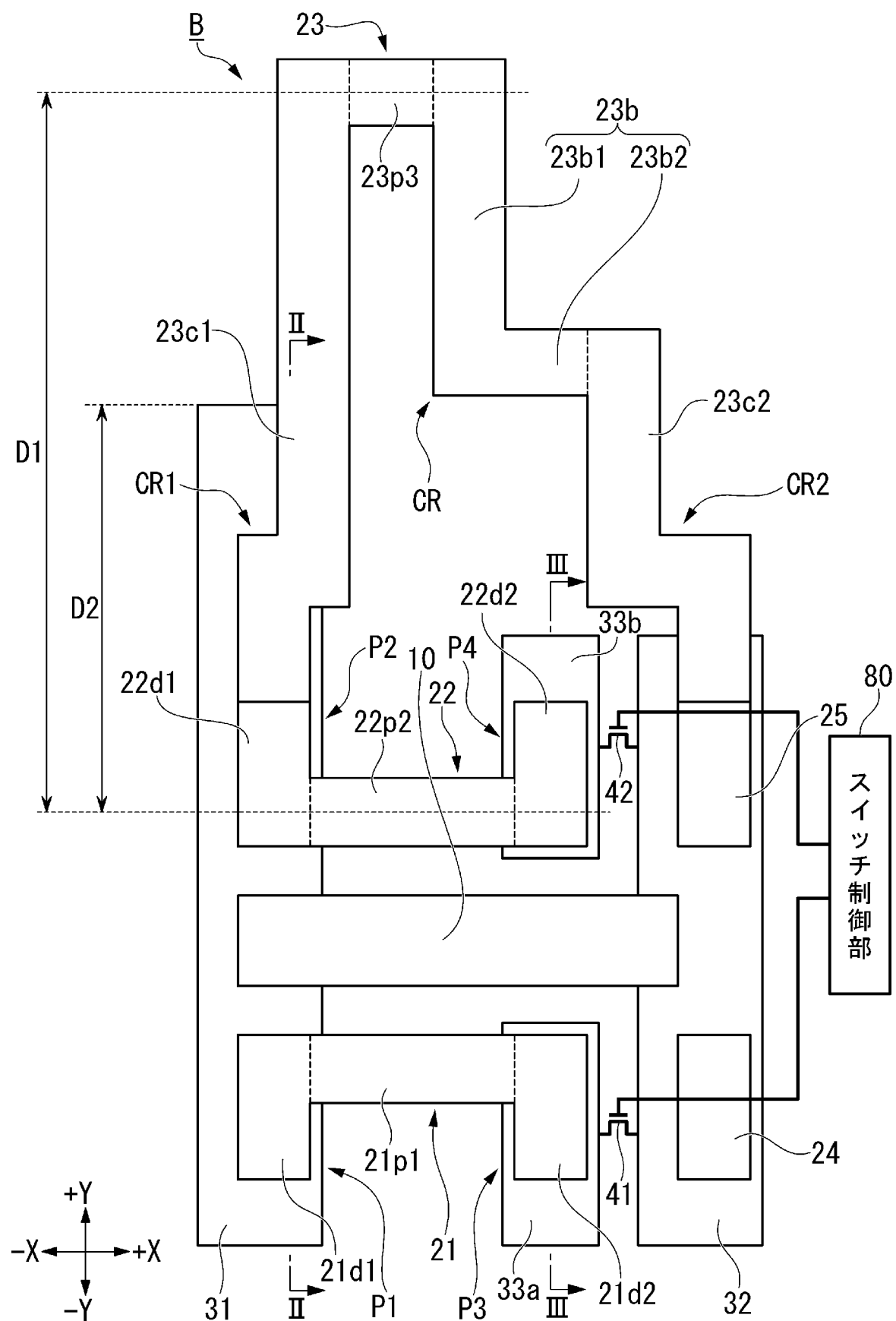
[請求項12] 複数のデジタル移相回路が縦続接続されたデジタル移相器であって、
前記複数のデジタル移相回路のうちの少なくとも 2 つのデジタル移相回路である特定デジタル移相回路は、請求項 4 記載のデジタル移相回路であり、
前記デジタル移相回路が隣り合う部分において、前記第 1 接地導体と前記第 2 接地導体とが共通化されており、
前記第 1 交差線路及び前記第 2 交差線路は、クランク形状である、

デジタル移相器。

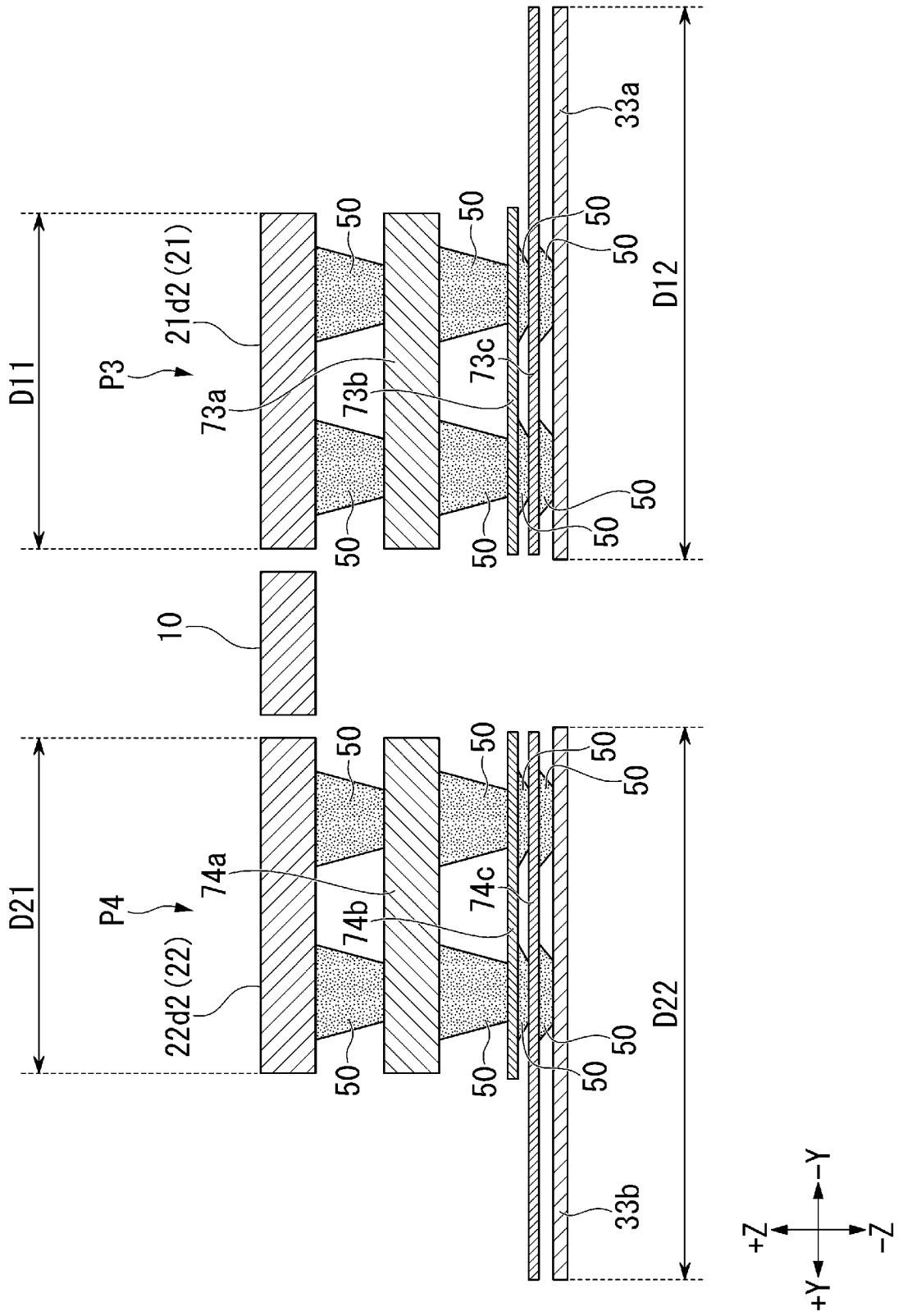
[請求項13] 前記複数のデジタル移相回路の前記第3線路は、同じ層に形成されている、請求項10記載のデジタル移相器。

[請求項14] 前記複数のデジタル移相回路のうちの少なくとも1つのデジタル移相回路の前記第3線路は、他のデジタル移相回路の前記第3線路とは異なる層に形成されている、請求項10記載のデジタル移相器。

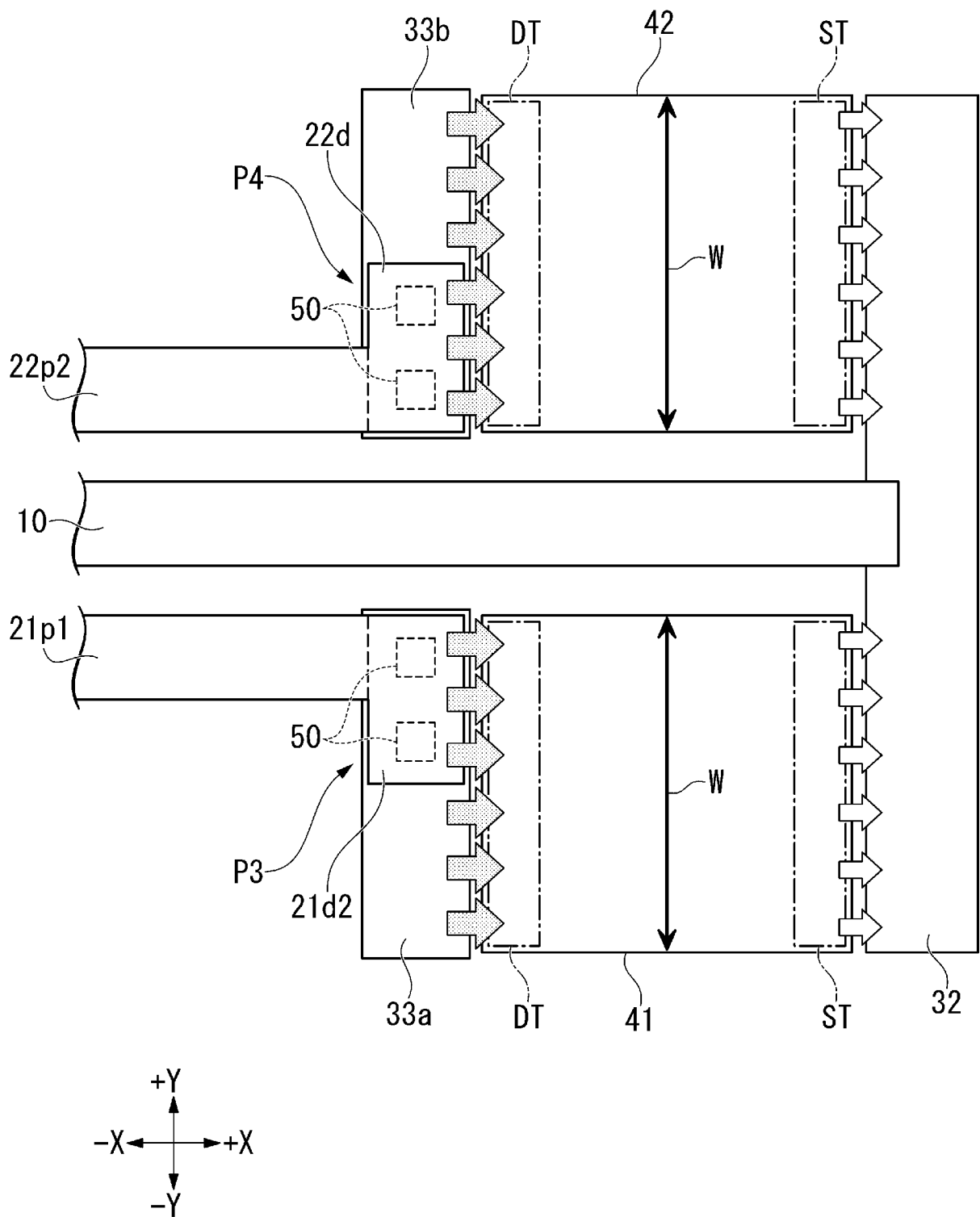
[図1]



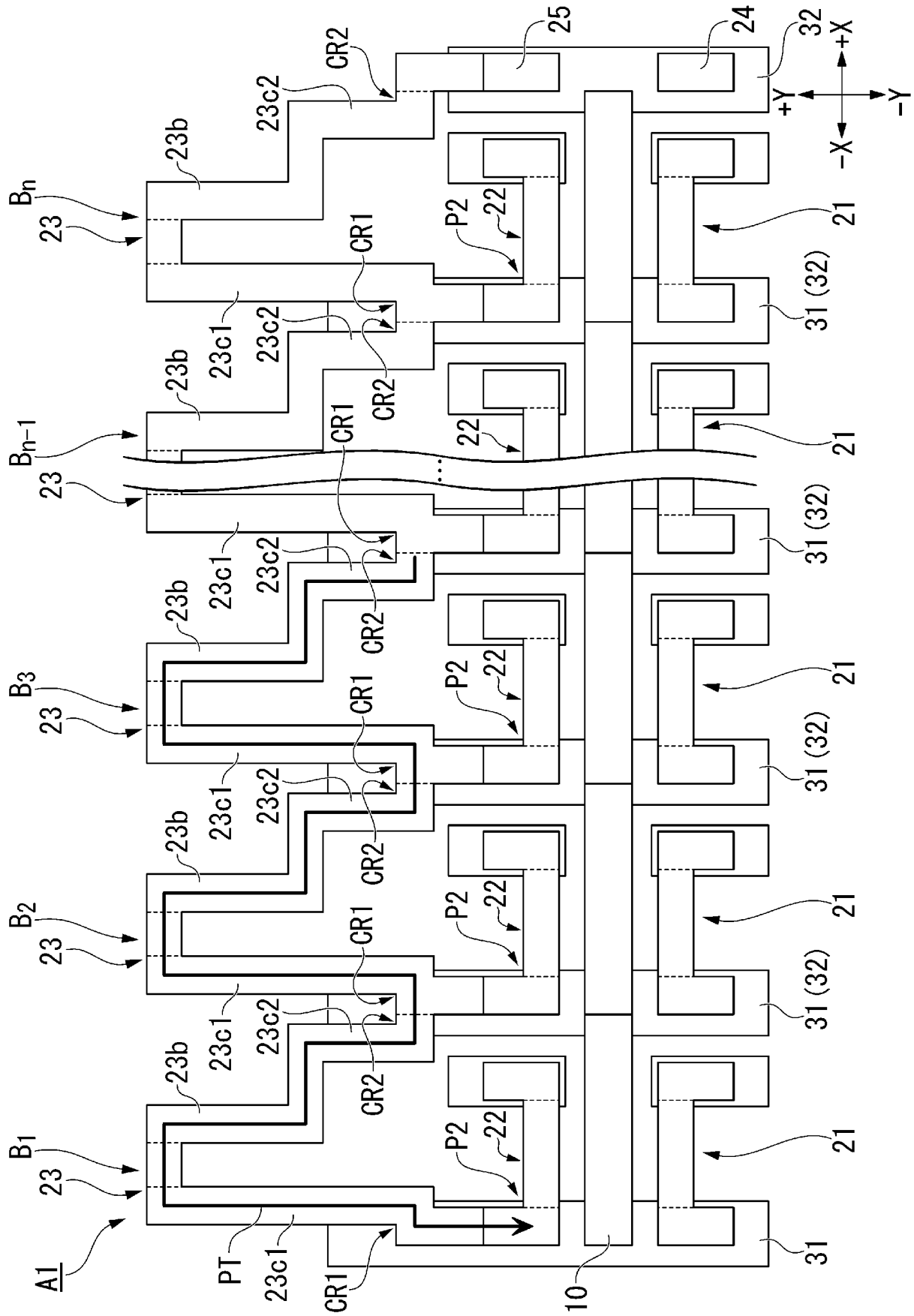
[図3]



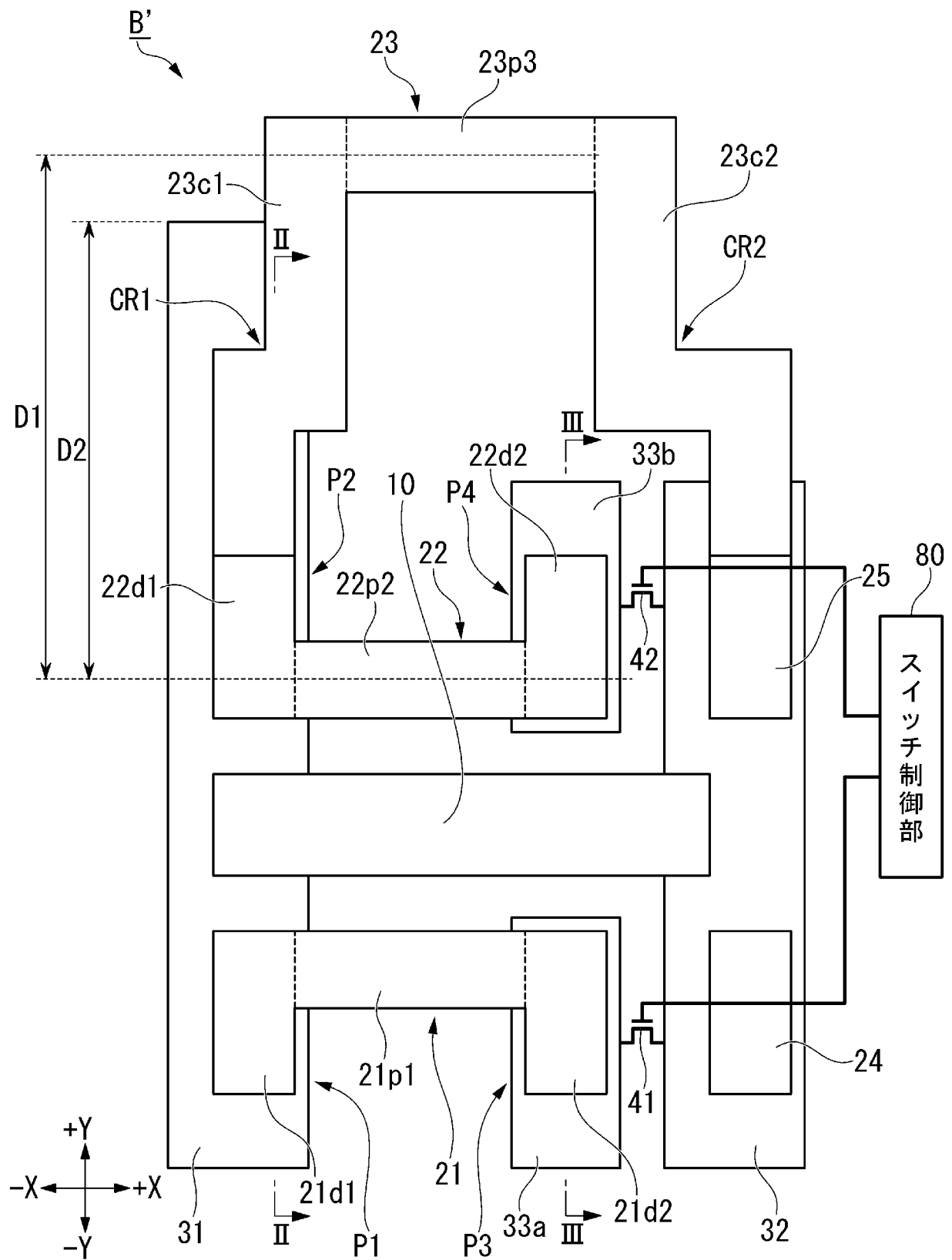
[図4]



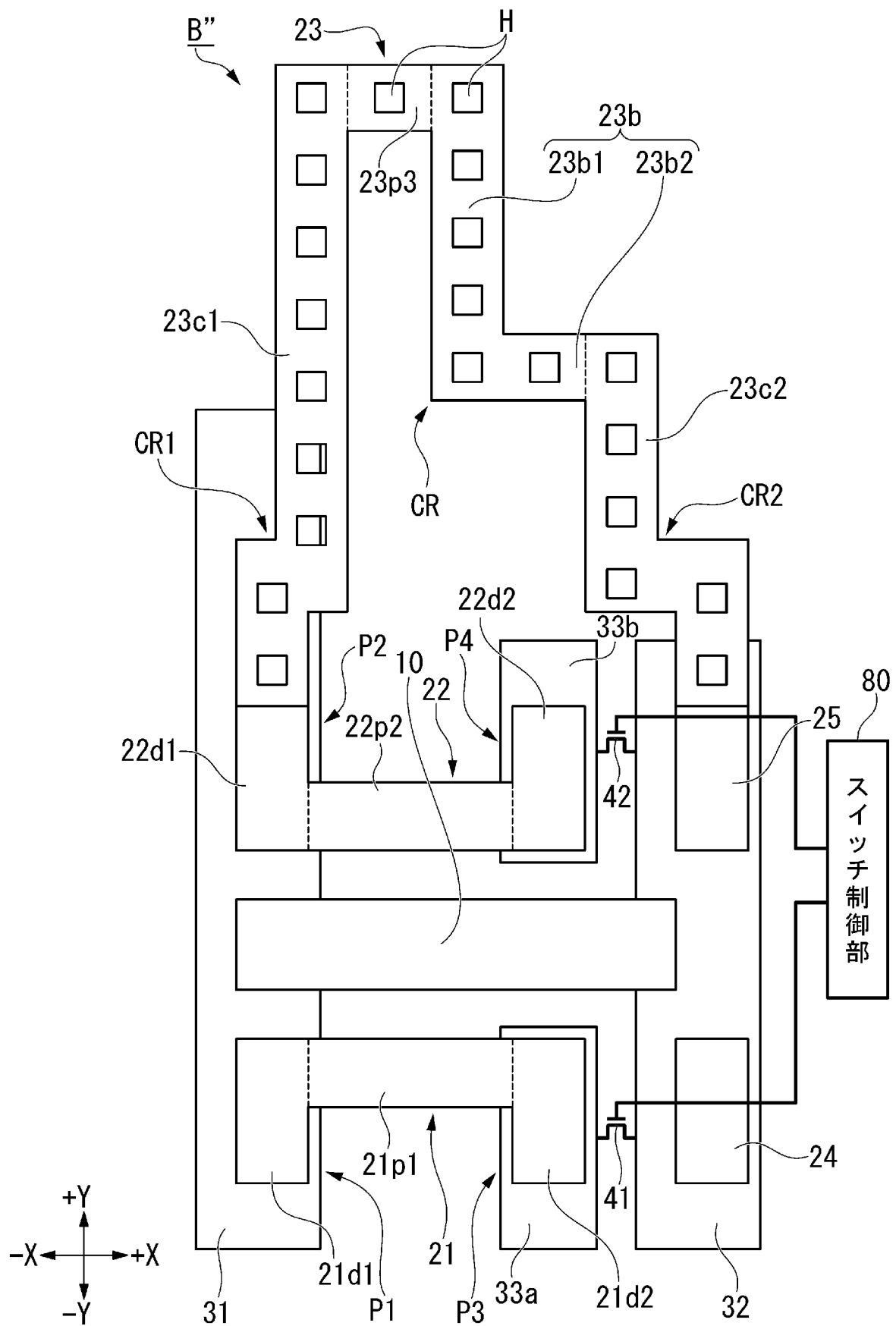
[図5]



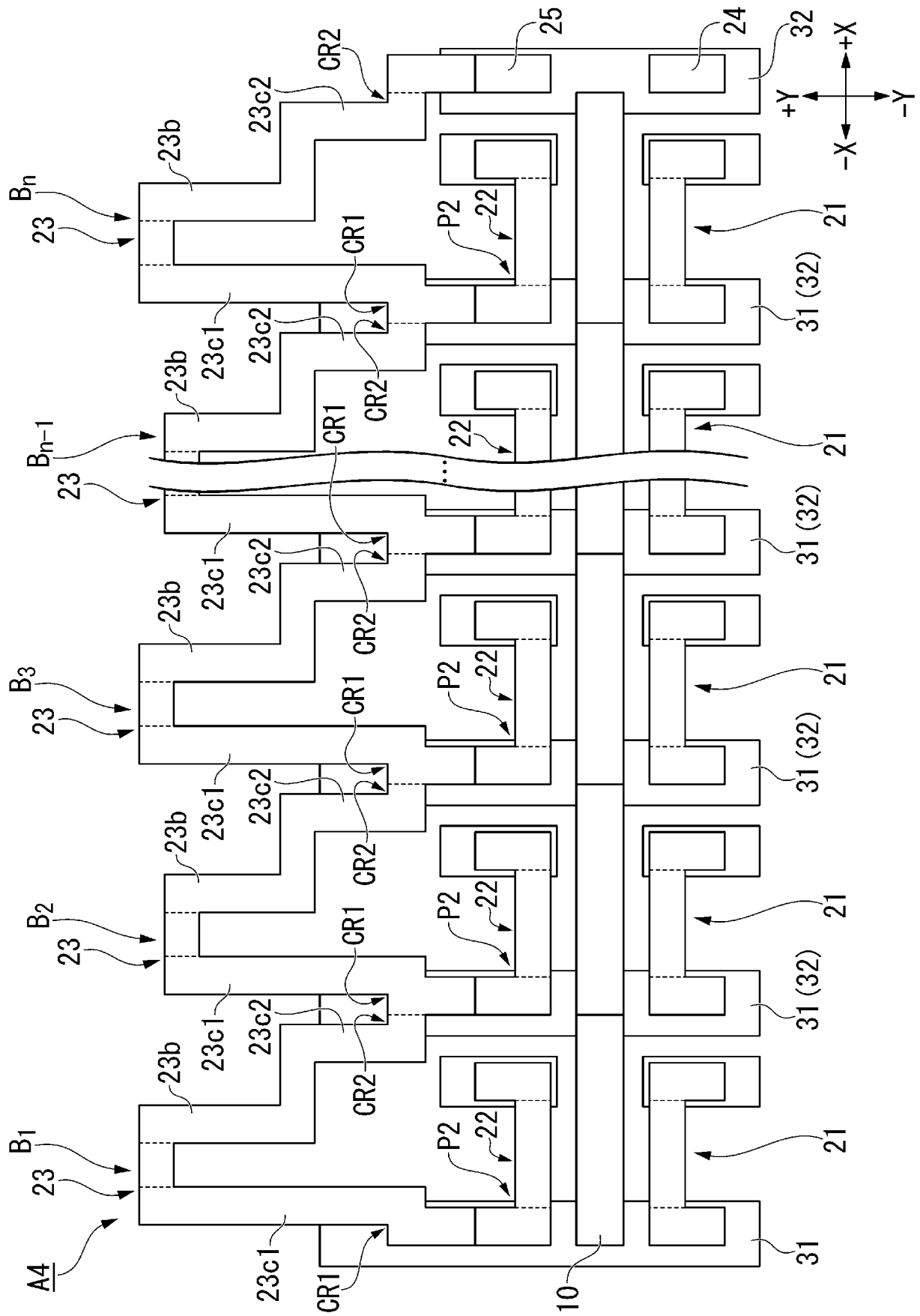
[図6]



[図8]



[図9]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/017967

A. CLASSIFICATION OF SUBJECT MATTER H01P 1/18 (2006.01)i FI: H01P1/18 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01P1/18 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2024 Registered utility model specifications of Japan 1996-2024 Published registered utility model applications of Japan 1994-2024 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 7111923 B1 (FUJIKURA LTD.) 02 August 2022 (2022-08-02)	1-14
A	JP 7168817 B1 (FUJIKURA LTD.) 09 November 2022 (2022-11-09)	1-14
A	JP 7163524 B1 (FUJIKURA LTD.) 31 October 2022 (2022-10-31)	1-14
A	US 2019/0158068 A1 (INTERNATIONAL BUSINESS MACHINES) 23 May 2019 (2019-05-23)	1-14
A	CN 111326839 A (UNIVERSITY OF ELECTRONIC SCIENCE AND TECHNOLOGY OF CHINA) 23 June 2020 (2020-06-23)	1-14
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 11 June 2024		Date of mailing of the international search report 25 June 2024
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2024/017967

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	7111923	B1	02 August 2022	EP 4277016 A1 WO 2023/181449 A1	
JP	7168817	B1	09 November 2022	(Family: none)	
JP	7163524	B1	31 October 2022	EP 4283776 A1 WO 2023/188654 A1	
US	2019/0158068	A1	23 May 2019	(Family: none)	
CN	111326839	A	23 June 2020	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC））

H01P 1/18(2006.01)i

FI: H01P1/18

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

H01P1/18

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報

1922 - 1996年

日本国公開実用新案公報

1971 - 2024年

日本国実用新案登録公報

1996 - 2024年

日本国登録実用新案公報

1994 - 2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 7111923 B1（株式会社フジクラ）02.08.2022（2022 - 08 - 02）	1-14
A	JP 7168817 B1（株式会社フジクラ）09.11.2022（2022 - 11 - 09）	1-14
A	JP 7163524 B1（株式会社フジクラ）31.10.2022（2022 - 10 - 31）	1-14
A	US 2019/0158068 A1（INTERNATIONAL BUSINESS MACHINES）23.05.2019（2019 - 05 - 23）	1-14
A	CN 111326839 A（UNIVERSITY OF ELECTRONIC SCIENCE AND TECHNOLOGY OF CHINA）23.06.2020（2020 - 06 - 23）	1-14

☐ C欄の続きにも文献が列挙されている。

☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

“A” 特に関連のある文献ではなく、一般的技術水準を示すもの

“D” 国際出願で出願人が先行技術文献として記載した文献

“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

“O” 口頭による開示、使用、展示等に言及する文献

“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの

“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

“&” 同一パテントファミリー文献

国際調査を完了した日

11.06.2024

国際調査報告の発送日

25.06.2024

名称及びあて先

日本国特許庁(ISA/JP)

〒100-8915

日本国

東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

白井 亮 5K 3363

電話番号 03-3581-1101 内線 3596

様式 PCT/ISA/210（第2ページ）（2022年7月）

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2024/017967

引用文献			公表日	パテントファミリー文献			公表日
JP	7111923	B1	02.08.2022	EP	4277016	A1	
				WO	2023/181449	A1	
JP	7168817	B1	09.11.2022	(ファミリーなし)			
JP	7163524	B1	31.10.2022	EP	4283776	A1	
				WO	2023/188654	A1	
US	2019/0158068	A1	23.05.2019	(ファミリーなし)			
CN	111326839	A	23.06.2020	(ファミリーなし)			