

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁵ H01L 27/10	(11) 공개번호 특1994-0003040
	(43) 공개일자 1994년02월19일
(21) 출원번호 특1993-0013476	
(22) 출원일자 1993년07월16일	
(30) 우선권주장 92-194097 1992년07월21일 일본(JP)	
(71) 출원인 미쓰비시 덴끼 가부시끼가이샤	기다오까 다까시
(72) 발명자 카지모도 다케시	일본국 도오교도 지요다구 마루노우찌 2쵸메 2-3
(74) 대리인 김영길	일본국 효고켄 이다미시 미즈하라 4쵸메 1반지 미쓰비시 덴끼 가부시끼가이샤 기다이다미세이사쿠쇼나이

심사청구 : 있음

(54) 반도체 기억장치와 그 동작방법

요약

제1 그리고 제2의 입출력선 그룹(10G1과 BG2)이 설치된다. 복수의 제1의 비트선 그룹(BG1과 BG3)은 대응하는 열 선택회로(SL1과 SL3)을 통하여 제1의 입출력선 그룹(10G1)에 각각 접속된다. 복수의 제2의 비트선 그룹(BG2와 BG4)은 대응하는 열 선택 회로(SL2와 SL4)를 통하여 제2의 입출력선 그룹(10G2)에 각각 접속된다.

열 디코우더(5a)는 제1의 비트선 그룹에 대응하는 1개의 열선택회로와 제2의 비트선 그룹에 대응하는 1개의 열선택 회로를 동시에 또는 소정의 시간차를 가지고 활성화한다.

대표도

도1

명세서

[발명의 명칭]

반도체 기억장치와 그 동작방법

[도면의 간단한 설명]

- 제1도는 제1 실시예의 DRAM의 전체구성을 표시하는 블록도.
- 제2도는 제1도에 표시한 DRAM의 주요부의 상세한 구성을 표시하는 도면.
- 제3도는 제2도에 표시한 구성의 주요부만을 개략적으로 표시하는 도면.

본 내용은 요부공개 건이므로 전문내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

반도체 기억장치에 있어서, 복수행과 복수열에 배열되고 각각 데이터를 기억하는 복수의 메모리 셀(MC)을 포함하는 메모리 배열(1)과 그리고 상기 복수열에 대응하여 설치되고 각각이 대응하는 열내의 메모리 셀에 접속된 복수의 비트선(BL1-BL16)과 상기 복수의 비트선(BL1-BL16)은 각각이 소정수의 비트선을 포함하는 복수의 비트선 그룹(BG1-BG4)에 구분되고, 상기 복수의 비트선 그룹은 n개의 메인그룹에 분류되고, 상기 n개의 메인 그룹에 대응하여 설치되고 각각이 소정수의 입출력선(101-104, 105-108)을 포함하는 n개의 입출력선 그룹(10G1, 10G2)과 상기 복수의 비트선 그룹(BG1-BG4)에 대응하여 설치되고 각각이 대응하는 비트선 그룹과 대응하는 입출력선 그룹 사이에 접속된 복수의 접속수단(SL1-SL4)과 그리고 상기 복수의 비트선 그룹(BG1-BG4)의 어느것을 선택하기 위하여 상기 복수의 접속수단(SL1-SL4)에 대응하는 복수의 선택신호(CSL1-CSL4)를 선택적으로 발생하기 위한 열선택수단(5a, 5c, 5d)를 포함하는 반도체 기억장치에 있어서, 상기 복수의 접속수단(SL1-SL4)의 각각은 대응하는 선택신호에 응답하여 활성화되고 대응하는 비트선 그룹내의 각 비트선을 대응하는 입출력선 그룹내의 각 입출력선에 접속하고 그리고 상기

열선택 수단은(5a,5c,5d) 상기 메모리 배열(1)내의 다른 입출력선 그룹에 접속된 복수의 접속 수단을 동시에 또는 소정의 시간차를 가지고 활성화하기 위한 수단을 포함하는 것을 특징으로 하는 반도체 기억장치.

청구항 2

제1항에 있어서, 상기 n개의 입출력선 그룹(10G1-10G2)에 공통으로 설치되고 소정수의 입출력선(G101-G104)을 포함하는 글로벌(global) 입출력선 그룹(G10G)과 상기 n개의 입출력선 그룹(10G1,10G2)내의 각 입출력선을 상기 글로벌 입출력선 그룹(G10G)내의 대응하는 입출력선에 선택적으로 접속하기 위한 스위칭 수단(18)과 그리고 상기 글로벌 입출력선 그룹(G10G)내의 각 입출력선을 순차적으로 선택하기 위한 입출력선 선택수단(7, 10)을 부가적으로 포함하는 것을 특징으로 하는 반도체 기억장치.

청구항 3

제2항에 있어서, 초기의 어드레스에서 순차적으로 변하는 어드레스를 나타내는 어드레스 신호를 발생하기 위한 제1모드와 소정의 범위를 가지고 순환하는 어드레스를 나타내는 어드레스 신호를 발생하기 위한 제2모드를 가지는 어드레스 카운터 수단(16a)를 부가적으로 포함하는 반도체 기억장치에 있어서, 상기 열 선택수단(5a,5c,5d)는 상기 복수의 접속수단(SL1-SL4)의 어느하나를 선택하고 활성화하기 위해 동시에 또는 소정의 시간차를 가지고 상기 어드레스 카운터 수단(16a)에서 발생된 상기 어드레스 신호의 한 부분에 반응하고, 상기 입출력선 선택수단은 상기 글로벌 입출력선 그룹(G10G)내의 상기 입출력선(G101-G104)에 대응하는 데이터를 순차적으로 선택하기 위해 상기 어드레스 카운터 수단(16a)에서 발생된 상기 어드레스 신호의 나머지 부분에 응답하는 것을 특징으로 하는 반도체 기억장치.

청구항 4

제3항에 있어서, 상기 복수행에 대응하여 설치되고 각각이 대응하는 행내의 메모리 셀(MC)에 접속된 복수의 워드선(WL)과 상기 복수의 워드선(WL)중에서 어느하나를 선택하고 활성화하기 위한 행선택수단(2)과 그리고 상기 워드선(WL)의 하나가 상기 행 선택수단(2)에 의해 활성화된 상태를 유지하는 동안에 상기 어드레스 카운터 수단(16a)를 활성화하기 위한 제어수단(17a)를 부가적으로 포함하는 것을 특징으로 하는 반도체 기억장치.

청구항 5

제2항에 있어서, 각각의 상기 비트선(BL1-BL16)은 비트선쌍을 포함하고, 상기 n개의 입출력선 그룹(10G1,10G2)내의 각각의 상기 입출력선들(101-104, 105-108)은 입출력선쌍을 포함하고, 그리고 상기 글로벌 입출력선 그룹(G10G)내의 각각의 상기 입출력선(G101-G104)은 입출력선쌍을 포함하는 것을 특징으로 하는 반도체 기억장치.

청구항 6

반도체 기억장치에 있어서, 복수행과 복수열에 배열되고 각각 데이터를 기억하는 복수의 메모리 셀(MC) 그리고 상기 복수열에 대응하여 설치되고 각각이 대응하는 열내의 메모리셀에 접속된 복수의 비트선(BL1-BL16)을 포함하는 메모리 배열(1)과, 상기 복수의 비트선(BL1-BL16)은 각각이 소정수의 비트선을 포함하는 복수의 비트선 그룹(BG1-BG4)에 구분되고 각각이 소정수의 입출력선(101-104,105-108)을 포함하는 n개의 입출력선 그룹과(10G1,10G2)과 n개의 접속수단 그룹은 상기 n개의 입출력선 그룹(10G1,10G2)에 대응하여 설치되고, 상기 복수의 비트선 그룹(BG1-BG4)에 대응하여 설치되고 각각이 대응하는 비트선 그룹과 대응하는 입출력선 그룹사이에 접속된 복수의 접속수단(SL1a-SL4a,SL1b-SL4b)를 포함하는 각각의 상기 n개의 접속수단 그룹과 그리고 상기 복수의 비트선 그룹(BG1-BG4)의 어느것을 선택하기 위하여 각 접속수단 그룹내의 상기 복수의 접속수단(SL1a-SL4a,SL1b-SL4b)에 대응하는 복수의 선택신호(CSL1a-CSL4a, CSL1b-CSL4b)를 선택적으로 발생하기 위한 열 선택수단(5b)을 포함하고, 각 접속수단 그룹내의 각각 상기 복수의 접속수단은 대응하는 선택신호에 응답하여 활성화되고 대응하는 비트선 그룹내의 각 비트선을 대응하는 입출력선 그룹내의 각 입출력선에 접속하고, 상기 메모리 배열(1)내의 다른 입출력선 그룹에 접속된 복수의 접속수단을 동시에 또는 소정의 시간차를 가지고 활성화하기 위한 수단을 포함하는 상기 열 선택수단(5b)를 특징으로 하는 반도체 기억장치.

청구항 7

제6항에 있어서, 상기 n개의 글로벌 입출력선 그룹(10G1,10G2)내의 각 입출력선을 순차적으로 선택하기 위한 입출력선 선택수단(7, 10)을 부가적으로 포함하는 반도체 기억장치.

청구항 8

제7항에 있어서, 초기의 어드레스에서 순차적으로 변하는 어드레스를 나타내는 어드레스 신호를 발생하기 위한 제1모드와, 그리고 소정의 범위를 가지고 순환하는 어드레스를 나타내는 어드레스 신호를 발생하기 위한 제2모드를 가지는 어드레스 카운터 수단(16a)를 부가적으로 포함하는 반도체 장치에 있어서, 상기 열 선택수단(5b)은 상기 복수의 접속수단(SL1a-SL4a,SL1b-SL4b)의 어느하나를 선택하고 활성화하기 위해 동시에 또는 소정의 시간차를 가지고 상기 어드레스 카운터 수단(16a)에서 발생된 상기 어드레스 신호의 부분에 응답하고, 그리고 상기 입출력선 선택수단(7,10)은 상기 n개의 입출력선 그룹(10G1,10G2)내의 상기 입출력선(G101-G108)에 대응하는 데이터를 순차적으로 선택하기 위해 상기 어드레스 카운터 수단(16a)에서 발생된 상기 어드레스 신호의 부분에 응답하는 것을 특징으로 하는 반도체 기억장치.

청구항 9

제8항에 있어서, 상기 복수행에 대응하여 설치되고 각각 대응하는 행내의 메모리 셀(MC)에 접속된 복수의 워드선(WL)과 상기 복수의 워드선(WL)중에서 어느 하나를 선택하고 활성화하기 위한 행선택수단(2)과

상기 워드선(WL) 중의 어느하나가 상기 행 선택수단(2)에 의해 활성화된 상태를 유지하는 동안에 상기 어드레스 카운터 수단(16a)을 활성화하기 위한 제어수단(17a)을 부가적으로 포함하는 반도체 기억장치.

청구항 10

제7항에 있어서, 각각의 상기 비트선(BL1-BL16)은 비트선쌍을 포함하고, 그리고 상기 n개의 입출력선 그룹(10G1, 10G2)내의 각각의 상기 입출력선(101-108)은 입출력선쌍을 포함하는 것을 특징으로 하는 반도체 기억장치.

청구항 11

반도체 기억장치에 있어서, 복수행과 복수열에 배열되고 각각 데이터를 기억하는 복수의 메모리 셀(MC) 및 상기 복수열에 대응하여 설치되고 각각이 대응하는 열내의 메모리 셀에 접속된 복수의 비트선(BL1-BL16)을 포함하는 메모리 배열(1)과, 상기 복수의 비트선(BL1-BL16)은 각각이 소정수의 비트선을 포함하는 복수의 비트선 그룹(BG1-BG4)에 구분되고, 상기 복수의 비트선 그룹은 n개의 메인 그룹에 분류되고, 상기 n개의 메인 그룹내의 상기 비트선 그룹은 번갈아가며 배치되고, 상기 n개의 메인 그룹에 대응하여 설치되고 각각이 소정수의 입출력 선(101-104, 105-108)을 포함하는 n개의 입출력선 그룹(10G1, 10G2)과 상기 복수의 비트선 그룹(BG1-BG4)에 대응하여 설치되고 각각이 대응하는 비트선 그룹과 대응하는 입출력선 그룹 사이에 접속된 복수의 접속수단(SL1-SL4)과 상기 복수의 비트선 그룹(BG1-BG4)의 어느것을 선택하기 위하여 상기 복수 접속수단(SL1-SL4)에 대응하는 복수의 선택신호(CSL1-CSL4)를 선택적으로 발생하기 위한 열 선택수단(5a)과, 상기 복수의 접속수단(SL1-SL4)의 각각이 대응하는 선택신호에 응답하여 활성화되고 대응하는 비트선 그룹내의 각 비트선을 대응하는 입출력선 그룹내의 각 입출력선에 접속하고, 상기 열 선택수단(5a)는 상기 메모리 배열(1)내의 다른 입출력선 그룹에 접속된 복수의 접속수단을 동시에 또는 소정의 시간차를 가지고 활성화하기 위한 수단을 포함하고 상기 n개의 입출력선 그룹(10G1, 10G2)에 공통으로 설치되고 소정수의 입출력선(G101-G104)을 포함하는 글로벌 입출력선 그룹(G10G)과 상기 글로벌 입출력선 그룹(G10G)내의 대응하는 입출력선을 상기 n개의 입출력선 그룹(10G1, 10G2)내의 각 입출력선에 선택적으로 접속하기 위한 변환수단(18)과 그리고 상기 글로벌 입출력선 그룹(G10G)내의 각 입출력선을 순차적으로 선택하기 위한 입출력선 선택수단(7, 10)을 포함하는 반도체 기억장치.

청구항 12

반도체 기억장치에 있어서, n개의 메모리 배열(11, 12)는 서로 인접하여 배치되고, 복수행과 복수열에 배열되고 각각이 데이터를 기억하는 복수의 메모리 셀(MC) 및 상기 복수열에 대응하여 설치되고 각각이 대응하는 열내의 메모리 셀에 접속된 복수의 비트선(BL1-BL4, BL9-BL12, BL5-BL8, BL13-BL16)을 포함하는 각각의 상기 n개의 메모리 배열(11, 12)과, 상기 복수의 비트선은 복수의 비트선 그룹(BG1-BG4)에 구분되고, 각각이 소정수의 비트선을 포함하고, 상기 n개의 메모리 배열(12)에 대응하여 설치되고 각각은 소정수의 입출력 선(101-104, 105-108)을 포함하는 n개의 입출력선(10G1, 10G2)과, 각각이 대응하는 메모리 배열내의 상기 복수 비트선 그룹(BG1, BG3, BG2, BG4)의 한쪽끝 근처에 위치하고 각 비트선에 수직으로 확장되고 상기 n개의 메모리 배열(11, 12)내의 상기 복수의 비트선 그룹(BG1, BG3, BG2, BG4)에 대응하여 설치되고, 각각은 대응하는 비트선 그룹과 대응하는 입출력선 그룹 사이에 접속된 복수의 접속수단(SL1, SL3, SL2, SL4)과 상기 n개의 메모리 배열(11, 12)내의 상기 복수의 비트선 그룹의 어느 것을 선택하기 위하여 상기 복수의 접속수단(SL1-SL4)에 대응하는 복수의 선택신호(CSL1-CSL4)를 선택적으로 발생하기 위한 열 선택수단(5c, 5d)과 상기 복수의 접속수단(SL1-SL4)의 각각은 대응하는 선택신호에 응답하여 활성화되고 대응하는 비트선 그룹내의 각 비트선을 대응하는 입출력선 그룹내의 각 입출력선에 접속하고, 상기 열 선택수단(5c, 5d)는 다른 메모리 배열내의 입출력선 그룹에 접속된 복수의 접속수단을 동시에 또는 소정의 시간차를 가지고 활성화하기 위한 수단을 포함하고 상기 n개의 입출력선 그룹(10G1, 10G2)에 공통으로 설치되고 소정수의 입출력선(G101-G104)을 포함하는 글로벌 입출력선 그룹(G10G)과 상기 n개의 입출력선 그룹(10G1, 10G2)내의 각 입출력선을 상기 글로벌 입출력선 그룹(G10G)내의 대응하는 입출력선에 선택적으로 접속하기 위한 변환수단(18) 그리고 상기 글로벌 입출력선 그룹(G10G)내의 각 입출력선을 순차적으로 선택하기 위한 입출력선 선택수단(7, 10)을 포함하는 반도체 기억장치.

청구항 13

반도체 기억장치에 있어서, 복수행과 복수열에 배열되고 각각이 데이터를 기억하는 복수의 메모리 셀(MC) 및 상기 복수열에 대응하여 설치되고 각각이 대응하는 열내의 메모리 셀에 접속된 복수의 비트선(BL1-BL16)을 포함하는 메모리 배열(1)과, 상기 복수의 비트선(BL1-BL16)은 각각이 소정수의 비트선을 포함하는 복수의 제1의 비트선 그룹(BG1, BG3)과 각각이 소정수의 비트선을 포함하는 복수의 제2의 비트선 그룹(BG2, BG4)에 구분되고 소정수의 입출력선(101-104)를 포함하는 제1의 입출력선 그룹과 소정수의 입출력선(105-108)을 포함하는 제2의 입출력선 그룹과 상기 복수의 제1의 비트선 그룹(BG1, BG3)에 대응하여 설치되고 각각이 대응하는 제1의 비트선 그룹과 상기 제1의 입출력선 그룹(10G1) 사이에 접속된 복수의 제1의 접속수단(SL1, SL3)과 상기 복수의 제2의 비트선 그룹(BG2, BG4)에 대응하여 설치되고 각각이 대응하는 제2의 비트선 그룹과 상기 제2의 입출력선 그룹(10G2) 사이에 접속된 복수의 제2의 접속수단(SL2, SL4)과 그리고 상기 복수의 제1 및 제2의 비트선 그룹(BG1-BG4)의 어느것을 선택하기 위하여 상기 복수의 제1 및 제2의 접속수단(SL1-SL4)에 대응하는 복수의 선택신호(CSL1-CSL4)를 선택적으로 발생하기 위한 열 선택수단(5a, 5c, 5d)을 포함하는 상기 복수의 제1의 접속수단(SL1, SL3)의 각각은 대응하는 선택신호에 응답하여 활성화되고 대응하는 제1의 비트선 그룹내의 각 비트선을 상기 제1의 입출력선 그룹(10G1)내의 각 입출력선에 접속하고, 상기 복수의 제2의 접속수단(SL2, SL4)의 각각은 활성화되기 위하여 대응하는 선택신호에 응답하여 활성화되고 대응하는 제2의 비트선 그룹내의 각 비트선을 상기 제2의 입출력선 그룹(10G2)내의 각 입출력선에 접속하고, 그리고 상기 열선택수단은 상기 메모리 배열(1)내의 다른 입출력선 그룹에 접속된 복수의 접속수단을 동시에 또는 소정의 시간차를 가지고 활성화

화하기 위한 수단을 포함하는 것을 특징으로 하는 반도체 기억장치.

청구항 14

반도체 기억 장치에 있어서, 복수행과 복수열에 배열되고 각각이 데이터를 기억하는 복수의 메모리 셀(MC) 및 상기 복수열에 대응하여 설치되고 각각이 대응하는 열내의 메모리셀에 접속된 복수의 비트선(BL1-BL16)을 포함하는 메모리 배열(1)과, 상기 복수의 비트선(BL1-BL16)은 각각이 소정수의 비트선을 포함하는 복수의 비트선 그룹(BG1-BG4)에 구분되고 소정수의 입출력선(I01-I04)를 포함하는 제1의 입출력선 그룹(10G1)과 소정수의 입출력선(I05-I08)을 포함하는 제2의 입출력선 그룹(10G2)과 상기 복수의 비트선 그룹(BG1-BG4)에 대응하여 설치되고 각각이 대응하는 비트선 그룹과 상기 제1의 입출력선 그룹(10G1)사이에서 접속된 복수의 제1의 접속수단(SL1a-SL4a)과 상기 복수의 비트선 그룹(BG1-BG4)에 대응하여 설치되고 각각이 대응하는 비트선 그룹과 상기 제2의 입출력선 그룹(10G2)사이에서 접속된 복수의 제2의 접속수단(SL1b-SL4b)과 그리고 상기 복수의 제1 및 제2의 접속수단(SL1a-SL4a, SL1b-SL4b)의 어느 것을 선택하기 위하여 상기 복수의 제1 및 제2의 접속수단(SL1a-SL4a, SL1b-SL4b)에 대응하는 복수의 선택신호(CSL1a-CSL4a, CSL1b-CSL4b)를 선택적으로 발생하기 위한 열 선택수단(5b)을 포함하고 상기 복수의 제1의 접속수단(SL1a-SL4a)의 각각은 대응하는 선택신호에 응답하여 활성화되고 대응하는 비트선 그룹내의 각 비트선을 상기 제1의 입출력선 그룹(10G1)내의 각 입출력선에 접속하고, 상기 복수의 제2의 접속수단(SL1b-SL4b)의 각각은 대응하는 선택신호에 응답하여 활성화되고 대응하는 비트선 그룹내의 각 비트선을 상기 제2의 입출력선 그룹(10G2)내의 각 입출력선에 접속하고, 그리고 상기 메모리 배열(1)내의 다른 입출력선 그룹에 접속된 복수의 접속수단을 동시에 또는 소정의 시간차를 가지고 활성화하기 위한 수단을 포함하는 것을 특징으로 하는 반도체 기억 장치.

청구항 15

복수행과 복수열에 배열되고 각각이 데이터를 기억하는 복수의 메모리 셀(MC) 및 상기 복수열에 대응하여 설치되고 각각이 대응하는 열내의 메모리셀에 접속된 복수의 비트선(BL1-BL16)을 포함하는 메모리 배열(1)과, 상기 복수의 비트선(BL1-BL16)은 각각이 소정수의 비트선을 포함하는 복수의 비트선 그룹(BG1, BG3)에 구분되고 복수의 제2의 비트선 그룹(BG2, BG4) 각각은 소정수의 비트선을 포함하고 소정수의 입출력선(I01-I04)를 포함하는 제1의 입출력선 그룹(10G1)과 그리고 소정수의 입출력선(I05-I08)을 포함하는 제2의 입출력선 그룹(10G2)으로 구성되는 반도체 기억장치의 동작방법에 있어서, 상기 복수의 제1의 비트선 그룹(BG1, BG3)중의 어느 하나와 상기 복수의 제2의 비트선 그룹(BG2, BG4)중의 어느 하나를 동시에 또는 소정의 시간차를 가지고 상기 제1 및 제2의 입출력선 그룹(10G1, 10G2)에 각각 접속하는 공정을 포함하는 반도체 기억장치의 동작방법.

청구항 16

제15항에 있어서, 소정수의 입출력선(GI01-GI04)를 포함하는 글로벌 입출력선 그룹(GI0G)을 부가적으로 포함하는 상기 반도체 기억장치에 있어서, 상기 방법은 상기 제1 및 제2의 입출력선 그룹(10G1, 10G2)내의 각 입출력선을 상기 글로벌 입출력선 그룹(GI0G)내의 대응하는 입출력선에 선택적으로 접속하고 그리고 상기 글로벌 입출력선 그룹(GI0G)내의 각 입출력선을 순차적으로 선택하는 공정을 부가적으로 포함하는 동작 방법.

청구항 17

복수행과 복수열에 배열되고 각각이 데이터를 기억하는 복수의 메모리 셀(MC) 및 상기 복수열에 대응하여 설치되고 각각이 대응하는 열내의 메모리 셀에 접속된 복수의 비트선(BL1-BL16)을 포함하는 메모리 배열(1)과, 상기 복수의 비트선(BL2-BL16)은 각각이 소정수의 비트선을 포함하는 복수의 비트선 그룹(BG1-BG4)에 구분되고, 제1의 입출력선 그룹(10G1)은 소정수의 입출력선(I01-I04)를 포함하고, 제2의 입출력선 그룹(10G2)는 소정수의 입출력선(I05-I08)을 포함하고, 상기 복수의 비트선 그룹(BG1-BG4)에 대응하여 설치되고 각각이 대응하는 비트선 그룹을 상기 제1의 입출력선 그룹(10G1)에 접속하는 복수의 제1의 접속수단(SL1a-SL4a)과 그리고 상기 복수의 비트선 그룹(BG1-BG4)에 대응하여 설치되고 각각이 대응하는 비트선 그룹을 상기 제2의 입출력선 그룹(10G2)에 접속하는 복수의 제2의 접속수단(SL1b-SL4b)을 포함하고 상기 방법은 상기 복수의 제1의 접속수단(SL1a-SL4a)의 어느 하나와 상기 복수의 제2의 접속수단(SL1b-SL4b)중의 어느 하나를 동시에 또는 소정의 시간차를 가지고 활성화하는 공정을 포함하는 반도체 기억장치의 동작방법.

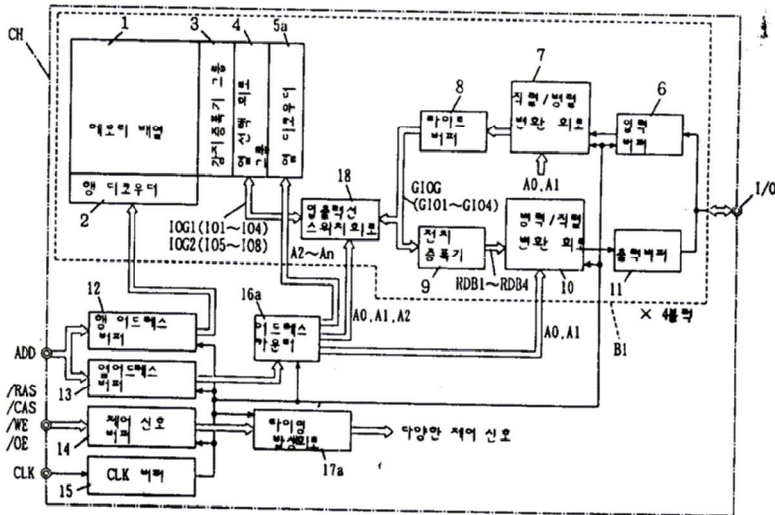
청구항 18

제17항에 있어서, 상기 제1, 제2의 입출력선 그룹(10G1, 10G2)내의 각 입출력선을 순차적으로 선택하는 공정을 부가적으로 포함하는 것을 특징으로 하는 반도체 기억장치의 동작방법.

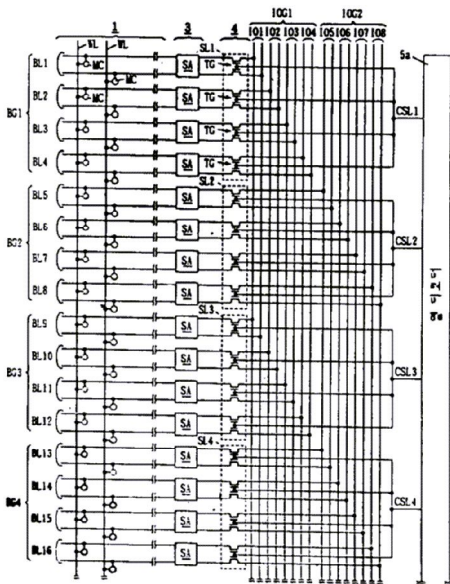
※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

도면1



도면2



도면3

