

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第7部門第2区分
 【発行日】平成17年4月7日(2005.4.7)

【公表番号】特表2004-521483(P2004-521483A)
 【公表日】平成16年7月15日(2004.7.15)
 【年通号数】公開・登録公報2004-027
 【出願番号】特願2002-540202(P2002-540202)
 【国際特許分類第7版】

H 0 1 L 21/8247

H 0 1 L 27/115

H 0 1 L 29/788

H 0 1 L 29/792

【F I】

H 0 1 L 29/78 3 7 1

H 0 1 L 27/10 4 3 4

【手続補正書】

【提出日】平成15年5月6日(2003.5.6)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

フラッシュメモリセルを作る方法であって、

ゲート長が $0.18\mu\text{m}$ またはそれ未満のフラッシュメモリセル(32)をその上に有する基板(30)を提供するステップと、

基板(30)の上に自己整列ソースマスク(48)を形成するステップとを含み、自己整列ソースマスク(48)はソース線に対応する開口部(50)を有しており、前記方法はさらに、

第1のドーパント型のソースドーパントを、ソース線に対応する自己整列ソースマスク(48)の開口部(50)を通して基板に注入し、基板(30)内にフラッシュメモリセル(32)と隣接するソース領域(52)を形成するステップと、

自己整列ソースマスク(48)を基板(30)から除去するステップと、

フラッシュメモリセル(32)のゲート下での注入されたソースドーパントの拡散を促進する熱処理を行わずに、基板(30)の上に中間投与量ドレインマスク(54)を形成するステップとを含み、中間投与量ドレインマスク(54)はソース線(52)を覆い、ドレイン線に対応する開口部(56)を有しており、前記方法はさらに、

第2の型の中間投与量ドレイン注入物を注入して、基板(30)内にフラッシュメモリセル(32)と隣接するドレイン領域(58)を形成するステップを含む、方法。

【請求項2】

中間投与量ドレイン注入物を注入するステップの後に、好ましくは $400\sim 1,200$ の温度に、より好ましくは $500\sim 1,100$ の温度に、さらにより好ましくは $600\sim 1,000$ の温度に、基板(30)を熱処理するステップをさらに含む、請求項1に記載の方法。

【請求項3】

第1のドーパント型はp型で、第2のドーパント型はn型である、請求項1または2に記載の方法。

【請求項 4】

ソースドープメントはホウ素を含み、ソースドープメントは、 $10\text{ keV} \sim 40\text{ keV}$ のエネルギーで、 1×10^{13} 原子/cm² $\sim 5 \times 10^{14}$ 原子/cm²の投与量まで、好ましくは $15\text{ keV} \sim 30\text{ keV}$ のエネルギーで、 5×10^{13} 原子/cm² $\sim 2 \times 10^{14}$ 原子/cm²の投与量まで注入される、請求項 1 から 3 のいずれかに記載の方法。

【請求項 5】

中間投与量ドレイン注入物は砒素およびリンのうちの少なくとも1つを含み、中間投与量ドレイン注入物は、 $30\text{ keV} \sim 60\text{ keV}$ のエネルギーで、 5×10^{13} 原子/cm² $\sim 5 \times 10^{15}$ 原子/cm²の投与量まで注入される、請求項 1 から 4 のいずれかに記載の方法。

【請求項 6】

フラッシュメモリセル(32)は、第1のポリシリコン層(42)と、第1のポリシリコン層(42)の上の酸化物-窒化物-酸化物多層誘電体(44)と、酸化物-窒化物-酸化物多層誘電体(44)の上の第2のポリシリコン層(46)とを含む、請求項 1 から 5 のいずれかに記載の方法。

【請求項 7】

フラッシュメモリセル(32)は、酸化物-窒化物-酸化物電荷トラッピング層(44)と、酸化物-窒化物-酸化物電荷トラッピング層(44)の上のポリシリコン層とを含む、請求項 1 から 5 のいずれかに記載の方法。

【請求項 8】

フラッシュメモリセル(32)は窒化されたトンネル酸化物層を含む、請求項 1 から 7 のいずれかに記載の方法。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0007

【補正方法】変更

【補正の内容】

【0007】

前述の懸念事項および問題に鑑みて、集積化が高まった改良された品質のフラッシュメモリセルをすることに對する、特に短チャネル効果が低減した $0.18\text{ }\mu\text{m}$ 以下のフラッシュメモリセルに對する、まだ満たされていない要求が存在する。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正の内容】

【0008】

【発明の概要】

この発明の結果、不揮発性フラッシュメモリデバイスの製作は改良され、それにより、改良された信頼性を有するデバイスが作られる。不均一なチャネルドーピングを提供することの発明の方法を採用することによって、短チャネル効果が低減した、 $0.18\text{ }\mu\text{m}$ 以下のスケールでのフラッシュメモリデバイスが製作される。特に、この発明は、不揮発性フラッシュメモリデバイスのさらなるスケールアップを可能とする一方、 V_t 減衰、高DIBL、過度のコラムリーク、およびプロダクトアレイ全体のゲート長の変動のうちの少なくとも1つを含む望ましくない短チャネル効果を最小限に抑え、および/または排除する。窒化されたトンネル酸化物層の使用によって生じる望ましくない短チャネル効果も、最小限に抑えられる。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正の内容】

【0010】

この発明の別の局面はフラッシュメモリセルを作る方法に関し、その方法は、フラッシュメモリセルをその上に有する基板を提供するステップと、基板の上に自己整列ソースマスクを形成するステップとを伴い、自己整列ソースマスクはソース線に対応する開口部を有しており、前記方法はさらに、第1の型のソースドーパントを、ソース線に対応する自己整列ソースマスクの開口部を通して基板に注入し、基板内にフラッシュメモリセルと隣接するソース領域を形成するステップを伴い、ソースドーパントは、約10keV～約40keVのエネルギーで、約 1×10^{13} 原子/cm²～約 5×10^{14} 原子/cm²の投与量まで注入され、前記方法はさらに、自己整列ソースマスクを基板から除去するステップと、基板の上に第2のマスクを形成するステップとを伴い、第2のマスクはドレイン線に対応する開口部を有しており、前記方法はさらに、第2の型の間投与量ドレイン注入物を注入して、基板内にフラッシュメモリセルと隣接するドレイン領域を形成するステップを伴い、中間投与量ドレイン注入物は、約30keV～約60keVのエネルギーで、約 5×10^{13} 原子/cm²～約 5×10^{15} 原子/cm²の投与量まで注入され、前記方法はさらに、第2のマスクを基板から除去するステップと、約300～約1,100の温度で基板を加熱するステップとを伴う。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0011

【補正方法】変更

【補正の内容】

【0011】

この発明のさらに別の局面はフラッシュメモリセルを作る方法に関し、その方法は、フラッシュメモリセルをその上に有する基板を提供するステップと、基板の上に自己整列ソースマスクを形成するステップとを伴い、自己整列ソースマスクはソース線に対応する開口部を有しており、前記方法はさらに、第1の型のソースドーパントを、ソース線に対応する自己整列ソースマスクの開口部を通して基板に注入するステップを伴い、ソースドーパントは、約10keV～約40keVのエネルギーで、約 1×10^{13} 原子/cm²～約 5×10^{14} 原子/cm²の投与量まで注入され、前記方法はさらに、自己整列ソースマスクを基板から除去するステップと、基板の上に第2のマスクを形成するステップとを伴い、第2のマスクはドレイン線に対応する開口部を有しており、前記方法はさらに、第2の型の間投与量ドレイン注入物を注入して、基板内にフラッシュメモリセルと隣接するドレイン領域を形成するステップを伴い、中間投与量ドレイン注入物は、約30keV～約60keVのエネルギーで、約 5×10^{13} 原子/cm²～約 5×10^{15} 原子/cm²の投与量まで注入され、前記方法はさらに、不活性ガス雰囲気において約400～約1,200の温度で基板を加熱するステップを伴う。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0022

【補正方法】変更

【補正の内容】

【0022】

構造のコア領域のスタック型メモリセル区域にメモリセルを形成するために、さまざまな好適なマスクングおよびエッチングステップが採用される(ゲートが規定される)。1つ以上のフォトレジストおよび/またはハードマスクおよび/または部分的に形成されたスタック型メモリセル(図示せず)をマスクとして用いてもよい。エッチングは通常、エッチング選択性を最大化するために層毎に行なわれる。たとえば、ポリ2層は、酸化物層をエッチングするのとは異なるエッチング化学を用いてエッチングされる。たった1つのス

タック型フラッシュメモリセル32しか図示されていないが、複数のセルが構造のコア領域に形成される。構造は次に進む前に随意に洗浄される。スタック型フラッシュメモリセル32（および図7のSONOSタイプのメモリセル）は、約0.18 μ mまたはそれ未満の幅（ゲート長）を有していてもよい。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0029

【補正方法】変更

【補正の内容】

【0029】

図6を参照すると、MDDドレイン側注入に続き、マスク54が除去され、随意に構造が洗浄される。ゲートの下での（ポリ1ゲート42の下での）ホウ素52およびMDD注入物58の拡散を促進する熱処理が行なわれてもよい。一実施例では、熱処理は、不活性ガス雰囲気下で約400～約1,200の温度で約1秒～5分間、構造を加熱することを伴う。不活性ガスは、窒素、ヘリウム、ネオン、アルゴン、クリプトン、およびキセノンを含む。別の実施例では、熱処理は、約500～約1,100の温度の下で約10秒～3分間、構造を加熱することを伴う。さらに別の実施例では、熱処理は、約600～約1,000の温度の下で約15秒～2分間、構造を加熱することを伴う。