

POLSKA
RZECZPOSPOLITA
LUDOWA



URZĄD
PATENTOWY
PRL

OPIS PATENTOWY

93805

Opis patentowy
przedrukowano ze względu
na zauważone błędy

MKP H03k 23/04

Int. Cl.² H03K 23/04

Patent dodatkowy
do patentu nr _____

Zgłoszono: 11.06.74 (P. 171828)

Pierwszeństwo: _____

Zgłoszenie ogłoszono: 03.01.76

Opis patentowy opublikowano: 30.10.1978

CZYTELNIĄ

Urzędu Patentowego
Polskiej Rzeczypospolitej Ludowej

Twórca wynalazku: Henryk Furman

Uprawniony z patentu: Instytut Maszyn Matematycznych, Warszawa
(Polska)

Licznik równoległy

1

Wstęp do opisu. Przedmiotem wynalazku jest licznik równoległy stosowany do elektronicznych urządzeń pomiarowych, zwłaszcza do badań podzespołów pamięci i pamięci na cienkich warstwach magnetycznych dla maszyn matematycznych.

Stan techniki. Najprostszy znany układ licznika równoległego składa się z przerzutników liczących i układów iloczynów logicznych połączonych w ten sposób, że do wejścia pierwszego przerzutnika są doprowadzone impulsy z zegara synchronizującego, a wejście każdego następnego przerzutnika jest połączone z wyjściem iloczynu logicznego impulsów zegara i wyjść wszystkich poprzednich przerzutników, przy czym ilość zastosowanych przerzutników w liczniku jest teoretycznie nieograniczona.

Pojemność liczenia licznika równoległego zawierającego n przerzutników wynosi 2^n .

Znane liczniki równoległe charakteryzują się niezależnym od długości licznika czasem propagacji impulsu. Przełączanie przerzutników odbywa się jednocześnie, z czasem opóźnienia właściwym dla danego przerzutnika, a wynikającym z technologii jego wykonania.

Przykładowo, czas opóźnienia przerzutnika wykonanego techniką TTL typu SN 7472 wynosi około 20 nsek. Tego rodzaju liczniki pozwalają więc na osiąganie dużych szybkości liczenia. W praktycznych rozwiązaniach liczników równoległych zbudowanych na układach scalonych TTL ilość zastoso-

2

wanych przerzutników zwykle jest ograniczona względami konstrukcyjnymi i nie przekracza około 10. Przy większej ilości przerzutników budowa licznika równoległego znacznie się komplikuje i ilość sprzętu oraz trudności konstrukcyjne uniemożliwiają często jego wykonanie.

W przypadku, gdy zachodzi potrzeba powtarzania określonych stanów licznika przez czas τ — długi w porównaniu z szybkością pracy licznika — układ licznika równoległego zawiera układ opóźniający, o czasie opóźnienia τ , włączony szeregowo między wyjście ostatniego przerzutnika tej części licznika której stany mają być powtarzane przez czas τ , a wejście pierwszego przerzutnika drugiej części licznika, której wyjścia razem z wyjściami pierwszej części dają wymagane sekwencje przebiegów napięciowych. Zasadniczą wadą takiego licznika jest to, że czas propagacji przebiegów napięciowych otrzymywanych z drugiej części licznika jest w porównaniu z przebiegami otrzymywanymi z pierwszej części zwiększony o sumę czasów niezbędnych na włączenie opóźnienia i drugiej części licznika. W związku z tym, przy większej ilości włączonych układów opóźniających czas opóźnienia licznika może być tak długi, że uniemożliwia jego wykonanie, lub zmusza do stosowania zamiast opóźnień — pewnej liczby przerzutników pracujących „na próżno”, dla zapewnienia wymaganego czasu powtarzania określonych stanów licznika, po których następują aktywnie „pracujące” przerzutniki licznika.

Tego rodzaju układy liczników równoległych stosuje się wówczas, gdy czasy powtarzania określonych stanów licznika są porównywalne z poszczególnymi powtarzanymi cyklami jego pracy, natomiast nie nadają się do wykorzystania przy czasach powtarzania znacznie dłuższych. Ilość pracujących „na próżno” przerzutników może być wówczas tak duża, że wykonanie licznika jest niemożliwe, zarówno ze względu na trudności techniczno-konstrukcyjne, jak i rozmiary.

Istota wynalazku. Zgodnie z wynalazkiem licznik równoległy składa się z przerzutników liczących, układów iloczynów logicznych i jednego lub więcej układów opóźniających. Każdy z układów opóźniających jest włączony pomiędzy dwa kolejne przerzutniki liczące. Do wejścia pierwszego przerzutnika są doprowadzone impulsy z zegara synchronizującego, a wejście każdego następnego jest połączone z wyjściem układu iloczynu logicznego impulsów z zegara synchronizującego i sygnałów z wyjść wszystkich poprzednich przerzutników oraz układów opóźniających.

Wejście każdego układu opóźniającego jest połączone z wyjściem układu iloczynu logicznego z negacją impulsów z zegara synchronizującego i sygnałów z wyjść wszystkich przerzutników i układów opóźniających znajdujących się przed rozpatrywanym układem opóźniającym. Wyjście wspomnianego układu opóźniającego jest połączone z wejściami wszystkich układów iloczynów logicznych sygnałów doprowadzonych do przerzutników znajdujących się za rozpatrywanym układem opóźniającym oraz z wejściami wszystkich układów iloczynów logicznych z negacją sygnałów doprowadzanych do układów opóźniających znajdujących się za rozpatrywanym.

Impulsy na wyjściach każdego z wspomnianych układów opóźniających licznika są wytwarzane w chwilach o szerokość impulsu t_1 z zegara synchronizującego wcześniejszych, niż chwile zmiany stanu wszystkich przerzutników licznika.

Zgodnie z wynalazkiem przykładowo licznik zawiera dwa układy opóźniające połączone z pięcioma przerzutnikami. Jeden układ opóźniający jest włączony między pierwszy i drugi przerzutnik, a drugi układ opóźniający jest włączony między trzeci i czwarty przerzutnik. Oba układy opóźniające mają wejścia alternatywne dodatkowego zewnętrznego sterowania. Układ opóźniający zawiera układ iloczynu logicznego sygnałów doprowadzanych z wyjścia układu iloczynu logicznego z negacją i z wyjścia przerzutnika znajdującego się bezpośrednio przed rozpatrywanym układem opóźniającym.

Wyjście wspomnianego układu iloczynu logicznego jest połączone z wejściami liczącymi „T” dwu przerzutników liczących. Wejścia S, J, K pierwszego przerzutnika liczącego są wzajemnie połączone, a także z wejściem statycznym S drugiego przerzutnika liczącego i otwierane z wyjścia pierwszego przerzutnika statycznego sterowanego impulsem z pierwszego układu formującego. Układ formujący jest połączony z elementem wprowadzającym opóźnienie omawianego układu opóźniającego. Wejście tego elementu wprowadzającego opóźnie-

nie jest dołączone do wyjścia drugiego układu formującego, połączonego z wejściem drugiego przerzutnika statycznego. Wejście drugiego układu formującego jest sterowane z wyjścia iloczynu logicznego, do którego doprowadzone jest wejście zegara synchronizującego oraz wyjście drugiego przerzutnika statycznego.

Wspomniany układ iloczynu logicznego blokuje wejście impulsów zegara do drugiego układu formującego na czas działania układu opóźniającego. Z kolei drugi przerzutnik liczący ma wejścia J, K otwierane sygnałem z wyjścia pierwszego przerzutnika liczącego. Zanegowane wyjście drugiego przerzutnika liczącego jest dołączone do wejść J, K pierwszego przerzutnika liczącego i do wejścia trzeciego układu formującego.

Otrzymany na wyjściu tego układu formującego sygnał steruje trzeci przerzutnik statyczny. Wejście tego przerzutnika statycznego jest połączone również i z wyjściem drugiego układu formującego, dla wymuszania „zera” na wyjściu wspomnianego przerzutnika statycznego, natychmiast po zadziałaniu układu opóźniającego, co uniemożliwia pracę części licznika za omawianym układem opóźniającym. Wyjście trzeciego przerzutnika statycznego stanowi równocześnie wyjście układu opóźniającego.

Każdy układ opóźniający licznika równoległego ma obwód zewnętrzny zerowania, włączony na wejście drugiego i trzeciego przerzutnika statycznego, dla ustawienia stanów wyjściowych układów opóźniających.

Licznik równoległy według wynalazku, dzięki włączeniu pomiędzy dwa kolejne przerzutniki liczące co najmniej jednego układu opóźniającego pozwala na powtarzanie określonych sekwencji licznika w czasie znacznie przekraczającym szybkość liczenia — nawet rzędu sekund lub minut. Czas powtarzania sekwencji jest tu uwarunkowany parametrami zastosowanego elementu opóźnienia.

Sygnał synchronizujący otrzymany na wyjściu układu opóźniającego, w ściśle określonej chwili, gwarantuje równoczesną zmianę — z dokładnością rzędu n-sekund — stanu napięcia wyjściowego wszystkich przerzutników liczących licznika niezależnie od ich ilości, jak również od ilości wprowadzonych układów opóźniających. Równocześnie stosowane w liczniku układy opóźniające nie wprowadzają zniekształceń powtarzanych sekwencji. Ponadto, dzięki wprowadzeniu wejść alternatywnych dla każdego układu opóźniającego, licznik według wynalazku umożliwia wytwarzanie wielu kombinacji powtarzanych sekwencji, co pozwala na jego lepsze wykorzystanie i zwiększenie zakresu zastosowań.

Przykład. Przedmiot wynalazku jest przedstawiony w przykładzie wykonania na rysunku, na którym fig. 1 przedstawia schemat blokowy układu licznika równoległego o pojemności liczenia 2^5 , fig. 2 przedstawia przebiegi sygnałów w charakterystycznych punktach tego układu, fig. 3 przedstawia schemat ideowy układu opóźniającego włączanego między trzecim przerzutnikiem P3 a czwartym P4, a fig. 4 przedstawia przebieg sygnałów w cha-

rakterystycznych punktach schematu ideowego zamieszczonego na fig. 3.

Zgodnie z fig. 1 licznik zawiera dwa układy opóźniające OP1 i OP2 połączone z pięcioma przerzutnikami liczącymi P1, P3, P4, P5. Jeden układ opóźniający OP1 jest włączony między pierwszy przerzutnik P1 i drugi P2. Drugi opóźniający OP2 jest włączony między trzeci przerzutnik P3 i czwarty P4. Do wejścia pierwszego przerzutnika P1 są doprowadzone impulsy z zegara synchronizującego, a wejście każdego następnego przerzutnika jest połączone z wyjściem układu iloczynu logicznego zegara i do wyjść wszystkich poprzednich przerzutników oraz układów opóźniających.

I tak wejście WE„P2” drugiego przerzutnika P2 jest połączone z wyjściem iloczynu logicznego IP2 impulsów z zegara i sygnałów z wyjścia przerzutnika P1 oraz wyjścia WY„OP1” układu opóźniającego OP1. Wejście WE„P3” trzeciego przerzutnika P3 jest połączone z wyjściem iloczynu logicznego IP3 impulsów z zegara i sygnałów z wyjścia przerzutnika P1, wyjścia WY„OP1” układu opóźniającego OP1 i wyjścia WY„P2” przerzutnika P2. Dalej wejście WE„P4” czwartego przerzutnika P4 jest połączone z wyjściem iloczynu logicznego IP4 impulsów z zegara i sygnałów z wyjścia przerzutnika P1, wyjścia WY„OP1” układu opóźniającego OP1, wyjścia WY„P2” przerzutnika P2, wyjścia WY„P3” przerzutnika P3 i wyjścia WY„OP2” drugiego układu opóźniającego OP2.

Na koniec wejście WE„P5” piątego przerzutnika P5 jest połączone z wyjściem iloczynu logicznego IP5 impulsów z zegara i sygnałów z wyjścia przerzutnika P1, wyjścia WY„OP1” układu opóźniającego OP1, wyjścia WY„P2” przerzutnika P2, wyjścia WY„P3” przerzutnika P3, wyjścia WY„OP2” drugiego układu opóźniającego OP2 i wyjścia WY„P4” przerzutnika P4. Wejście WE„OP1” pierwszego układu opóźniającego OP1 jest połączone z wyjściem iloczynu logicznego z negacją IN1 impulsów z zegara synchronizującego i sygnałów z wyjścia przerzutnika P1. Wyjście tego układu opóźniającego OP1 jest połączone z wejściami układów iloczynów logicznych IP2, IP3, IP4, IP5 sygnałów doprowadzonych do przerzutników P2, P3, P4, P5 oraz z wejściem układu iloczynu logicznego z negacją IN2 sygnałów doprowadzonych do drugiego układu opóźniającego OP2, a mianowicie impulsów z zegara i sygnałów z wyjścia przerzutnika P1, z wyjścia WY„OP1” pierwszego układu opóźniającego OP1, z wyjścia WY„P2” przerzutnika P2 oraz z wyjścia WY„P3” przerzutnika P3.

Wyjście WY„OP2” układu opóźniającego OP2 jest połączone z wejściami układów iloczynów logicznych IP4 i IP5 sygnałów doprowadzonych do przerzutników P4 i P5. Wszystkie przerzutniki oraz układy opóźniające połączone są z obwodem zerowania WE„0” dla ustawienia ich stanów wyjściowych. Oba układy opóźniające mają dodatkowe wejście alternatywne WE„A1” i WE„A2” do zewnętrznego sterowania włączaniem tych układów do pracy. Każdy z przerzutników posiada wyprowadzone wyjście WY„P1”, WY„P2”, WY„P3”, WY„P4”, WY„P5”.

Przebiegi przedstawione na fig. 2 ilustrują zmiany na wyjściu przerzutników i układów opóźniających

tego licznika i wyjaśniają jego działanie, przy czym τ_{OP1} oznacza czas opóźnienia pierwszego układu opóźniającego OP1. Czas ten w przybliżeniu jest równy czasowi opóźnienia elementu wprowadzającego go opóźnienie tego układu a τ_{OP1} oznacza czas opóźnienia drugiego układu opóźniającego OP2, który w przybliżeniu jest równy czasowi opóźnienia elementu E_2 wprowadzającego opóźnienie drugiego układu opóźniającego OP2.

Sekwencja przebiegów napięciowych występujących na wyjściu WY„P1” jest powtarzana przez czas τ_{OP1} działania pierwszego układu opóźniającego OP1, aż do chwili, gdy na wyjściu WY„OP1” pojawi się impuls synchronizujący. Chwila ta jest wcześniejsza o szerokość impulsu zegara L_1 niż chwila zmiany stanu przerzutników P₁ i P₃. Umożliwia to równoczesne przełączanie tych przerzutników impulsem z wejścia WE„Z”; bez zwiększenia czasu propagacji licznika.

Kolejna sekwencja przebiegu otrzymanego na WY„P3” przerzutnika P3 jest powtarzana przez czas τ_{OP2} działania drugiego układu opóźniającego OP2, którego schemat ideowy zamieszczono na fig. 3. Czas τ_{OP2} dzięki automatycznej synchronizacji jest całkowitą wielokrotnością czasu τ_{OP1} i po jego upływie następuje przełączenie przerzutnika P4 synchronicznie z zegarem, gdyż impuls synchronizujący na wyjściu WY„OP2” pojawi się wcześniej, niż zmiana stanu przerzutników P4 i P5, również jak w przypadku pierwszego układu opóźniającego OP1, o czas τ_1 . Zamieszczone na fig. 2 przebiegi sygnałów odnoszą się do przypadku, gdy wejścia alternatywne do zewnętrznego sterowania układami opóźniającymi powodują ich stałe włączanie. Przy sterowaniu zewnętrznym istnieje możliwość wyłączenia dowolnego układu opóźniającego w wybranych stanach pracy licznika.

Układ opóźniający OP2 przedstawiony schematycznie na fig. 3 zawiera układ I iloczynu logicznego I1 sygnałów doprowadzonych z wyjścia WY„IN2” układu iloczynu logicznego z negacją IN2 i wyjścia WY„P3” przerzutnika, znajdujących się bezpośrednio przed rozpatrywanym układem opóźniającym OP2. Wyjście WY„I1” układu iloczynu logicznego I1 jest połączone z wejściami liczącymi T dwu przerzutników liczących PL1 i PL2. Wejścia S, J, K pierwszego przerzutnika PL1 są ze sobą połączone, a także z wejściem statycznym S drugiego przerzutnika PL2.

Wspomniane wejścia S, J, K są otwierane z wyjścia WY„PS1” przerzutnika statycznego PS1 sterowanego impulsami z pierwszego układu formującego F1. Układ ten jest połączony z elementem E_2 wprowadzającym opóźnienie omawianego układu opóźniającego OP2. Wejście tego elementu E_2 wprowadzającego opóźnienia jest dołączone do wyjścia WY„F2” drugiego układu formującego F2, połączonego z wejściem drugiego przerzutnika statycznego PS2.

Wejście drugiego układu formującego F2 jest sterowane z wyjścia układu iloczynu logicznego I₂, do którego jest doprowadzone wejście WE„Z” zegara synchronizującego oraz wyjście drugiego przerzutnika statycznego PS2. Wspomniany układ iloczynu logicznego I₂ blokuje wejście impulsów zegara do drugiego układu formującego F2 na czas

działania układu opóźniającego OP2. Z kolei drugi przerzutnik liczący PL2 ma wejście J,K otwierane sygnałem z wyjścia pierwszego przerzutnika liczącego PL1. Zanegowane wyjście drugiego przerzutnika liczącego PL2 jest dołączone do wejść J,K pierwszego przerzutnika liczącego PL1 i do wejścia trzeciego układu formującego F3. Otrzymany na wyjściu tego układu sygnał steruje trzecim przerzutnikiem statycznym PS3. Wejście tego przerzutnika statycznego PS3 jest połączone również z wyjściem WY„F2” drugiego układu formującego F2 dla wymuszania „zera” na wyjściu tego przerzutnika PS3, natychmiast po zadziałaniu układu opóźniającego OP2, co uniemożliwia pracę części licznika za omawianym układem OP2. Wyjście trzeciego przerzutnika statycznego PS3 stanowi równocześnie wyjście układu opóźniającego OP2.

Działanie układu opóźniającego OP2 przedstawionego schematycznie na fig. 3 zostanie opisane w oparciu o przebiegi sygnałów w charakterystycznych punktach schematu ideowego, podane na fig. 4. oraz przy następujących założeniach:

1. Układ pracuje w konwencji „1” równe poziomowi wysokiemu
2. przerzutniki liczące PL1 i PL2 zmieniają swój stan przy podaniu na wejście T liczące opadającego zbocza impulsu.
3. nie uwzględnia się opóźnień elementów logicznych.

Działanie układu opóźniającego OP2 rozpoczyna się w chwili t_1 , gdy na wyjściu wszystkich przerzutników WY„P1” (b) WY„P2” (c), WY„P3” (d) oraz WY„OP1” (e) układu opóźniającego OP1 znajdujących się przed rozpatrywanym układem OP2 pojawia się stan „1”, co otwiera drogę dla impulsu z wejścia WE„Z” (a) zegara synchronizującego doprowadzonego na wejście układu IN2, iloczynu logicznego z negacją. Impuls z wyjścia WY„IN2” (g) oraz impuls z wyjścia WY„P3” (d) doprowadzone do układu iloczynu logicznego I₁ dają na wyjściu WY„I₁ przebieg (h).

Zerowanie układu opóźniającego OP2 wykonano w chwili t_0 , wcześniejszej niż chwila t_1 , od której rozpoczęto opis działania układu o czas $\tau_{02} + T_1$, gdzie: τ_{02} jest czasem opóźnienia elementu E₂ wprowadzającego opóźnienie układu opóźniającego OP2, a T_1 jest czasem oczekiwania na pojawienie się momentu dogodnego dla synchronizacji, przy czym $0 < T_1 < T_2$, gdzie T_2 jest okresem przebiegu napięciowego (h) otrzymanego na wyjściu WY„I₁” iloczynu logicznego I₁. Okres przebiegu napięciowego (h) jest równy okresowi pracy przerzutnika P3 znajdującego się bezpośrednio przed układem opóźniającym OP2 — przebieg (d), ale chwila zmiany poziomu z wysokiego na niski jest dla przebiegu (h) wcześniejsza niż dla przebiegu (d) o szerokość impulsu zegarowego.

Zerowanie opóźniającego układu wykonano przez podanie na wejście WE„0” zerujące przebiegu napięcia (l) albo samoczynnie przebiegiem „y” z wyjścia WY„F3” układu formującego F3. Impuls z wyjścia WY„F3” zmienia stan przerzutnika PS2 na wysoki przebieg (l) i otwiera wejście układu iloczynu logicznego I₂ dla impulsów z wejścia WE

„Z”. Na wyjściu układu I₂ otrzymuje się przebieg (m), który uruchamia układ formujący F2.

Na wyjściu WY„F2” tego układu pojawia się przebieg (p), który powoduje zadziałanie elementu E₂ wprowadzającego opóźnienie i równocześnie cofnięcie przerzutnika PS2 do stanu „zera”, dzięki czemu sygnał z WY„PS2” zamyka układ I₂ iloczynu logicznego.

W chwili t_0 zadziałania elementu E₂ wprowadzającego opóźnienie, na wyjściu WY„E₂” pojawia się stan wysoki — przebieg (S), który utrzymuje się przez czas τ_{02} , zależny od parametrów tego elementu, po czym zmienia się na niski. Równocześnie na WY„F1” układu formującego F1 pojawia się impuls — przebieg (u), który zmienia stan wyjścia WY„PS1” przerzutnika statycznego PS1 na wysoki — przebieg (w). Wysoki poziom na wyjściu WY„PS1” otwiera wejście J,K przerzutnika PL1, który dzięki temu zostaje przerzucony opadającym zboczem impulsu doprowadzonym do wejścia T z wyjścia WY„I₃” układu iloczynu logicznego I₁.

Po zmianie stanu przerzutnika PL1 na jego wyjściu WY„PL1” pojawia się poziom wysoki — przebieg (v), który otwiera wejścia J,K przerzutnika PL2, umożliwiając zmianę stanu tego ostatniego przerzutnika drugim zboczem opadającym doprowadzonym do wejścia T przerzutnika PL2 z wyjścia WY„I₁” układu iloczynu logicznego I₁. W chwili zmiany stanu przerzutnika PL2 na jego zanegowanym wyjściu WY„PL2” zmienia się poziom napięcia z wysokiego na niski — przebieg (x). Niski poziom z wyjścia WY„PL2” blokuje wejścia J, K przerzutnika PL₁ uniemożliwiając jego przerzucanie impulsami dostarczonymi na wejście T tego przerzutnika.

Równocześnie zmiana stanu na wyjściu WY„PL2” przerzutnika PL3 doprowadzona na wejście układu formującego F3 powoduje powstanie na wyjściu WY„F3” impulsu — przebieg (y) — przerzucającego przerzutnik statyczny PS3. Na wyjściu WY„OP2” tego przerzutnika pojawia się impuls synchronizujący układ opóźniającego OP2 — przebieg (z) — który jest podawany na wejścia WE„P4” i WE„P5” przerzutników P₄ i P₅ znajdujących się za omawianym układem OP2. Impuls ten wytwarzany jest po czasie $\tau_{0P2} = \tau_{02} + T_1 + T_2$ i przypada na chwilę $t_2 = t_1 - \tau_1$ gdzie t_2 oznacza chwilę zmiany stanu wszystkich przerzutników licznika znajdujących się za omawianym układem opóźniającym OP2 a τ_1 — szerokość impulsu zegarowego.

Widać stąd, że impuls synchronizujący z wyjścia WY„OP2” układu opóźniającego OP2 wytwarzany jest dostatecznie wcześnie, aby zapewnić równoczesną zmianę stanu pozostałych przerzutników i układów opóźniających licznika, sterowanych impulsami z wejścia WE„Z” zegara synchronizującego, a znajdujących się za omawianym układem opóźniającym OP2. Sygnał z wyjścia WY„F3” układu formującego, oprócz sterowania przerzutnika PS3 powoduje również zmianę stanu przerzutnika PS1, na którego wyjściu WY„PS1” pojawia się ponownie poziom niski — przebieg (w) — który ustawia wyjścia WY„PL1” i WY„PL2” przerzutników PL1 i PL2 na poziomie wyjściowym, zeruje

drugi przerzutnik statyczny **PS2** i równocześnie otwiera wejście drugiego układu logicznego **I₂** dla najbliższego kolejnego impulsu z wejścia **WE„Z”** zegara synchronizującego przy założeniu, że wejście **WE„A2”** alternatywne ma poziom wysoki.

Dzięki temu na wyjściu **WY„I2”** pojawia się impuls, który uruchamia układ formujący **F2**. Impuls z wyjścia **WY„F2”** układu formującego zmienia stan przerzutnika **PS3** i powoduje zmianę poziomu na wyjściu **WY„OP2”** z wysokiego na niski.

Jeżeli po zadziałaniu układu opóźniającego **OP2** i ustawieniu przerzutnika **PS3** alternatywne wejście **WE„A2”** ma poziom niski, to układ iloczynu logicznego **I₂** jest zamknięty dla impulsów z wejścia **WE„Z”** zegara synchronizującego, na wyjściu **WY„OP2”** utrzymuje się stale poziom wysoki i układ opóźniający **OP2** jest wyłączony z pracy licznika.

Zastrzeżenia patentowe

1. Licznik równoległy składający się z przerzutników liczących i układów iloczynów logicznych tak połączonych, że do wejścia pierwszego przerzutnika są doprowadzone impulsy z zegara synchronizującego, a wejście każdego następnego jest połączone z wyjściem układu iloczynu logicznego impulsów zegara i impulsów z wyjść wszystkich poprzednich przerzutników **znamienny tym**, że zawiera jeden lub więcej układów opóźniających (**OP1**, **OP2**) z których każdy jest włączony pomiędzy dwa kolejne przerzutniki (**P1**, **P2** i **P3**, **P4**) w ten sposób, że wejście (**WE„OP1”**) rozpatrywanego układu opóźniającego (**OP1**) jest połączone z wyjściem układu iloczynu logicznego z negacją (**IN1**) impulsów z zegara synchronizującego i sygnałów z wyjść (**WY„P1”**) wszystkich przerzutników (**P1**) i układów opóźniających znajdujących się przed rozpatrywanym układem opóźniającym (**OP1**), a wyjście (**WY„OP1”**) tego układu (**OP1**) jest połączone z wejściami wszystkich układów iloczynów logicznych (**IP2**, **IP3**, **IP4**, **IP5**) sygnałów doprowadzanych do przerzutników (**P2**, **P3**, **P4**, **P5**) znajdujących się za rozpatrywanym układem opóźniającym (**OP1**) oraz z wejściami wszystkich układów iloczynów logicznych z negacją (**IN2**) sygnałów doprowadzanych do układów opóźniających (**OP2**) znajdujących się za rozpatrywanym układem opóźniającym (**OP1**), przy czym impulsy na wyjściach każdego z wspomnianych układów opóźniających (**OP1**, **OP2**) licznika są wytwarzane w chwilach o szerokości impulsu τ_1 z zegara synchronizującego wcześniejszych niż chwile zmiany stanu wszystkich przerzutników (**P1**, **P2**, **P3**, **P4** i **P5**) licznika.

2. Licznik według zastrz. 1 **znamienny tym**, że zawiera dwa opóźniające układy (**OP1** i **OP2**) połączone z pięcioma liczącymi przerzutnikami (**P1**, **P2**, **P3**, **P4**, **P5**) tak, że jeden opóźniający układ (**OP1**) jest włączony między pierwszym przerzutnikiem (**P1**) i drugim (**P2**), a drugi opóźniający układ (**OP2**) jest włączony między trzecim przerzutnikiem (**P3**) a czwartym (**P4**).

3. Licznik według zastrz. 1 **znamienny tym**, że układ opóźniający (**OP2**) zawiera układ iloczynu logicznego (**I₁**) sygnałów doprowadzonych z wyjścia (**WY„IN2”**) układu iloczynu logicznego z negacją (**IN2**) i wyjścia (**WY„P3”**) przerzutnika (**P3**), znajdującego się bezpośrednio przed rozpatrywanym układem opóźniającym (**OP2**), a wyjście (**WY„I₁”**) wspomnianego układu iloczynu logicznego (**I₁**) jest połączone z wejściami liczącymi (**T**) dwu przerzutników liczących (**PL1** i **PL2**), przy czym pierwszy przerzutnik liczący (**PL1**) ma wejścia **S**, **J**, **K** — połączone z wejściem statycznym (**S**) drugiego przerzutnika liczącego (**PL2**) — otwierane z wyjścia (**WY„PS1”**) pierwszego przerzutnika statycznego (**PS1**), który jest sterowany impulsem z wyjścia (**WY„F1”**) pierwszego układu formującego (**F1**) połączonego z elementem (**E2**) wprowadzającym opóźnienie omawianego układu opóźniającego (**OP2**), a wejście elementu (**E2**) wprowadzającego opóźnienie jest połączone z wyjściem (**WY„F2”**) drugiego układu formującego (**F2**), które z kolei jest połączone z wejściem drugiego przerzutnika statycznego (**PS2**), a otrzymany na wyjściu tego przerzutnika (**PS2**) sygnał oraz sygnał z wejścia (**WE„Z”**) zegara synchronizującego są doprowadzane na wejście drugiego układu iloczynu logicznego (**I₂**) sterującego wspomniany drugi układ formujący (**F2**), i dalej drugi przerzutnik liczący (**PL2**) ma wejścia (**J**, **K**) otwierane sygnałem z wyjścia (**WY„PL1”**) pierwszego przerzutnika liczącego (**PL1**), a zanegowane wyjście (**WY„PL2”**) drugiego przerzutnika liczącego (**PL2**) jest połączone z wejściem (**J**, **K**) pierwszego przerzutnika liczącego (**PL1**) oraz z pierwszym wejściem (**WE1**) trzeciego układu formującego (**F3**) sterującego trzecim przerzutnikiem statycznym (**PS3**), którego trzecie wejście (**WE3**) jest połączone z wyjściem (**WY„F2”**) drugiego układu formującego (**F2**), a wyjście wspomnianego trzeciego przerzutnika statycznego (**PS3**) stanowi wyjście układu opóźniającego (**OP2**).

4. Licznik według zastrz. 2 **znamienny tym**, że układy opóźniające (**OP1** i **OP2**) mają wejścia (**WE A1** i **WEA2**) alternatywne dodatkowego zewnętrznego sterowania.

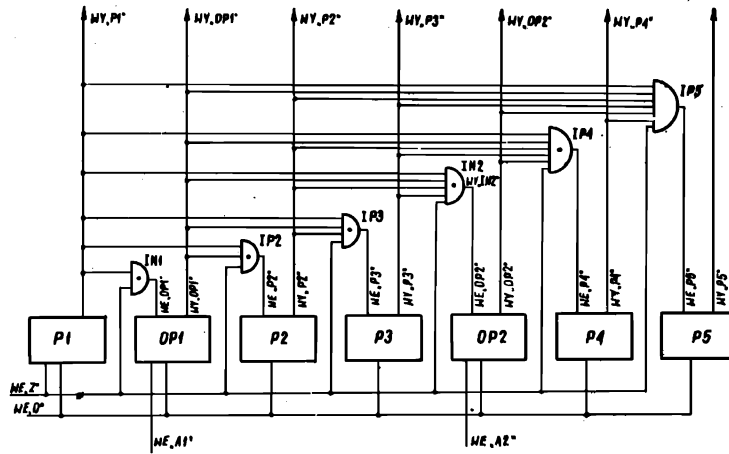


fig. 1

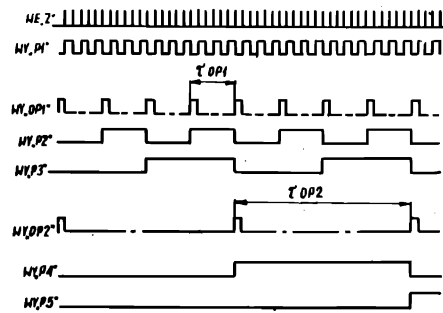


fig. 2

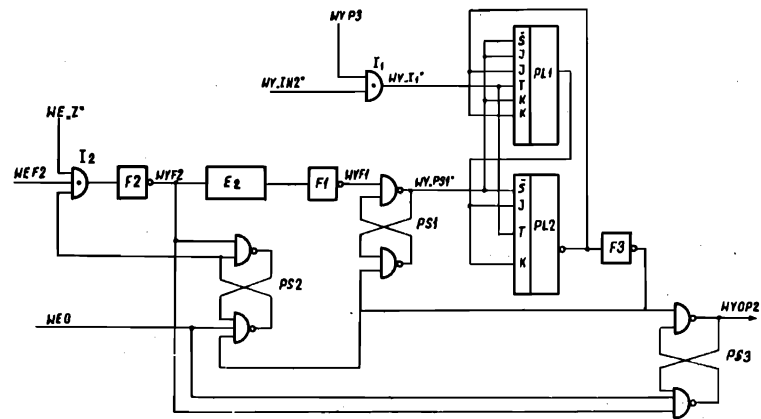


fig. 3

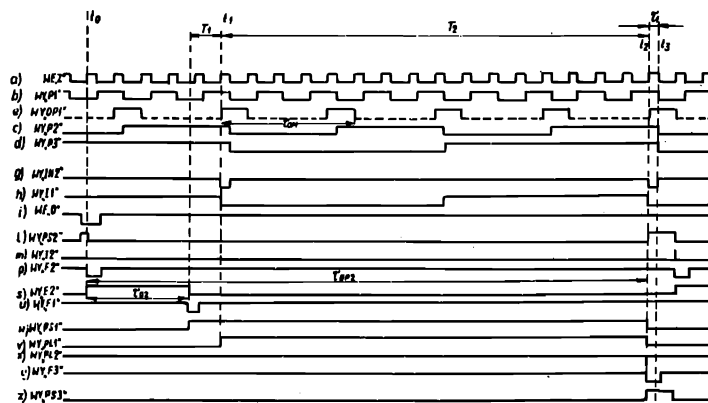


fig. 4