(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H04N 7/24

(45) 공고일자 1999년05월01일
(11) 등록번호 특0182004
(24) 등록일자 1998년12월10일

(21) 출원번호 10-1995-0044331
(22) 출원일자 1995년11월28일
(65) 공개번호 특1997-0032128
(43) 공개일자 1997년06월26일

(73) 특허권자 삼성전자주식회사 김광호
경기도 수원시 팔달구 매탄동 416번지
(72) 발명자 허준호
경기도 기흥읍 농서리 산14
(74) 대리인 김능균

심사관 : 변창규

(54) MPEG-2 시스템 디코더에서의 채널 호핑 타임 감소방법

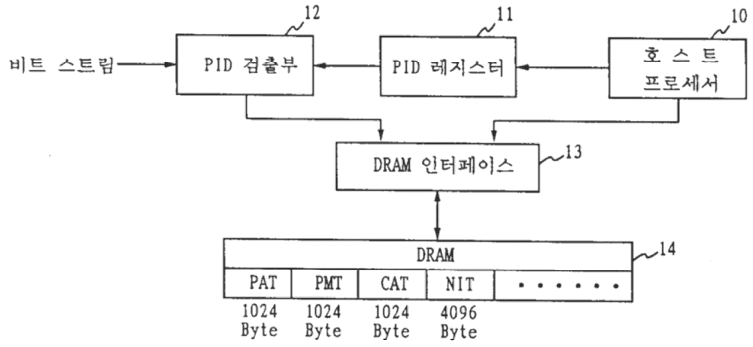
요약

본 발명은 MPEG-2 시스템 디코더에 관한 것으로, 수신 채널을 변경하는 경우에 반응 속도를 최소화 시킴으로써 수신기의 성능을 향상시키도록 하는 MPEG-2 시스템 디코더에서의 채널 호핑 타임(channel hopping time) 감소방법에 관한 것이다.

종래의 PID검출 방식은 전원이 입력된 후에 PSI패킷이 모두 입력 될 때까지 기다렸다가 모두 수신된 후에 선택된 채널에 해당하는 오디오 및 비디오 PID를 찾아냄으로 인하여 많은 채널 호핑 타임이 요구되고, 채널을 변경하는 경우 선택된 채널의 프로그램에 대응되는 오디오 및 비디오 PID를 포착하기 위해서는 DRAM에 저장되어 있는 PAT, PMT 등을 순서대로 억세스하여 분석하는 과정을 거쳐야 함에 기인하여 전원입력과 채널선택하는 경우에 반응시간이 많이 소요되는 문제점이 있다.

본 발명은 DRAM에 소정 용량의 저장영역을 구비하여 각 프로그램에 대한 오디오 및 비디오의 PID값을 소정 용량의 저장영역에 저장하여 놓고, 이후에 채널을 변경하는 경우 저장된 오디오 및 비디오의 PID값을 사용함으로써 채널 변경시의 소요시간을 감소시키게 되므로, 채널 호핑 타임을 단축 할 수 있어 수신기의 성능을 향상시킬 수 있다.

대표도



명세서

[발명의 명칭]

MPEG-2 시스템 디코더에서의 채널 호핑 타임 감소방법

[도면의 간단한 설명]

제1도는 종래 MPEF-2 시스템 디코더의 PID 검출 구조를 도시한 블록도.

제2도는 본 발명에 따른 MPEG-2 시스템 디코더의 PID 검출 구조를 도시한 블록도.

* 도면의 주요부분에 대한 부호의 설명

10,20 : 호스트 프로세서 11,21 : PID레지스터

12,22 : PID검출부 13,23 : DRAM 인터페이스

14,24 : DRAM

[발명의 상세한 설명]

본 발명은 MPEG-2 시스템 디코더에 관한 것으로, 특히 수신 채널을 변경하는 경우에 반응 속도를 최소화 시킴으로써 수신기의 성능을 향상시키도록 하는 MPEG-2 시스템 디코더에서의 채널 호핑 타임(channel hopping time) 감소방법에 관한 것이다.

일반적으로, MPEG-2를 이용하여 방송을 수신하는 경우 PSI(Program Specific Information)이 사용되는데, 이 PAT(Program Association Table), PMT(Program Map Table), NIT(Network Information Table) 및 CAT(Conditional Access Table) 등으로 구성되어 있다. 한편, PAT는 모든 프로그램의 PMT PID(Packet Identifier)를 가지고 있으며, PMT에는 해당 프로그램의 비디오 PID와 오디오 PID정보를 가지고 있다. NIT는 FDM주파수나, 트랜스폰더 개수와 같은 물리적인 네트워크 파라메터에 관한 정보를 가지고 있다. 또한, CAT는 EMM(Entitlement Management Message)와 같은 정보의 PID 등을 가지고 있다. 그리고, PAT, PMT, CAS는 최대 1024바이트로 이루어 지므로 최대 6개 패킷(1개 패킷 : 188바이트)으로 이루어지며, NIT는 최대 4096바이트로 구성된다.

종래 MPEG-2 시스템 디코더에서의 PID 검출 구조는 제1도에 도시된 바와 같이 호스트 프로세서(10), PID 레지스터(11), PID검출부(12), DRAM인터페이스(13) 및 DRAM(14)을 구비하여 이루어 진다. PID프로세서(12)는 비트 스트림이 입력되면 해당 비트 스트림에서 PID를 검출하여 DRAM인터페이스(13) 측에 출력한다. DRAM인터페이스(13)는 DRAM(14)을 정합시켜 주기위한 것으로, PID검출부(12)로부터 인가되는 PID를 DRAM(14) 측으로 전달하고 DRAM(14)의 PID를 호스트 컴퓨터(10) 측으로 전달하여 준다. DRAM(14)은 DRAM인터페이스(13)를 통해 인가되는 PID를 저장하고, 저장된 PID를 DRAM인터페이스(13)을 통해 호스트 컴퓨터(10) 측에 제공하여 준다. 호스트 컴퓨터(10)는 DRAM(14)에 저장되는 PMT PID값을 읽어들여 분석처리 하여 PID레지스터(11)를 통해 PID검출부(12)가 원하는 PID를 검출할 수 있도록 제어하고, DRAM(14)의 PID를 읽어들여 분석 처리 함으로써 선택된 프로그램에 대한 오디오 및 비디오의 PID를 찾아내는 동작을 수행한다.

이와 같은 종래의 MPEG-2 시스템 디코더는 선택된 프로그램의 오디오 및 비디오 PID를 찾아 내는 경우 다음과 같이 동작 수행한다.

먼저, PAT가 입력될때까지 대기하다가 PAT가 입력되면 해당 PAT를 DRAM(14)에 저장하고, 호스트 컴퓨터(10)는 DRAM(14)에 저장된 PAT를 읽어들여 분석함으로써 선택된 프로그램에 대한 PMT PID를 찾아낸후, 해당 PID값을 PID레지스터(11)에 출력하여 PID검출부(12)가 해당 PID값을 갖는 패킷을 검출해서 DRAM(14)에 저장하게 함으로써 PMT 모두가 DRAM(14)에 저장되면, 해당 정보를 DRAM(14)으로부터 읽어들여 분석하여 선택된 프로그램에 해당하는 오디오 및 비디오의 PID값을 찾아내고, 그 PID값으로 오디오와 비디오 검출처리를 수행한다.

이러한 종래의 PID검출 방식은 전원이 입력된 후에 PSI패킷이 모두 입력 될 때까지 기다렸다가 모두 수신된 후에 선택된 채널에 해당하는 오디오 및 비디오 PID를 찾아냄으로 인하여 많은 채널 호핑 타임이 요구되고, 채널을 변경하는 경우 선택된 채널의 프로그램에 대응되는 오디오 및 비디오 PID를 포착하기 위해서는 DRAM(14)에 저장되어 있는 PAT, PMT 등을 순서대로 억세스하여 분석하는 과정을 거쳐야 함에 기인하여 전원입력과 채널선택하는 경우에 반응시간이 많이 소요되는 문제점이 있다.

본 발명은 상술한 바와 같은 문제점을 해결하기 위하여 안출된 것으로, 수신 채널을 변경하는 경우에 반응 속도를 최소화 시킴으로써 수신기의 성능을 향상 시키도록 하는 MPEG-2 시스템 디코더에서의 채널 호핑 타임 감소 방법을 제공하는 데에 목적이 있다.

본 발명의 제1실시예에 따른 MPEG-2 시스템 디코더에서의 채널 호핑 타임 감소 방법은, 다수 프로그램에 대한 오디오 및 비디오의 PID값을 검출하여 소정 저장영역에 저장하는 제1과정과; 채널 변경시에 상기 저장영역에 저장된 오디오 및 비디오의 PID를 억세스하여 채널 변경동작을 수행하는 제2과정을 포함하는 것을 특징으로 한다.

본 발명의 제2실시예에 따른 MPEG-2 시스템 디코더에서의 채널 호핑 타임 감소방법은, 초기에 채널 설정 수단을 이용하여 채널 설정 동작을 수행함으로써 다수의 프로그램에 대한 PID분석을 위한 PSI처리 동작을 미리 수행하여 오디오 및 비디오의 PID값을 소정 저장영역에 저장하는 제1과정과; 채널 변경시에 상기 저장영역에 저장된 오디오 및 비디오의 PID값을 억세스하여 채널 변경 동작을 수행하는 제2과정과; 전원이 오프되는 경우 상기 저장영역에 전원을 계속적으로 공급하여 상기 저장영역에 저장된 오디오 및 비디오의 PID값을 보존하는 제3과정을 포함하는 것을 특징으로 한다.

이하 첨부 도면을 참조하여 본 발명의 실시예를 상세히 설명한다.

참고로 MPEG-2 시스템 디코더의 신호 포착 시간은 (식 1)과 같다.

$$T = \text{PAT주기} + \text{PAT처리시간} + \text{PMT주기} + \text{PMT처리시간} + \alpha \quad \text{.....(식 1)}$$

여기서, PAT주기는 PAT가 전송되는 주기로서, 여기서는 전원입력과 채널변경 하는 경우 바로 그 시간에 PAT도는 PAT가 지나간 경우로 다음 PAT나 PMT를 기다려야 하므로 PAT주기는 신호 포착 시간에 많은 영향을 미친다. 또한, α에는 FDM 동조 선회 시간, 시퀀스 헤더 발생 시간, DRAM 억세스 시간 등이 포함된다.

종래 MPEG-2 시스템 디코더의 구조에서 무궁화 위성 방송의 경우를 예로들어 계산한 신호 포착시간은 (

식 2)와 같다.

$$T = 0.5\ sec + T_{PAT_Proc} + 0.5\ sec + T_{PMT_Proc} + \alpha$$

.....(식 2)

무궁화 위성 방송의 경우 PSI의 전송 주기는 0.5초이다.

본 발명에 따른 MPEG-2 시스템 디코더는 제2도에 도시된 바와 같은 구조로 이루어 지는 바, 호스트 프로세서(20), PID레지스터(21), PID검출부(22), DRAM인터페이스(23) 및 DRAM(24)을 구비하여 이루어지며, DRAM(24)에는 PID값을 저장하기 위한 전용의 저장영역(25)이 구비된다.

이와 같은 본 발명에 따른 디코더 구조에서의 제1실시예에 따른 동작을 설명하면 다음과 같다.

먼저, 수신기에 전원이 인가되는 경우에 PAT가 입력될때까지 대기하다가 PAT가 입력되면 해당 PAT를 DRAM(24)에 저장하고, 호스트 컴퓨터(20)는 DRAM(24)에 저장된 PAT를 읽어들여 분석함으로써 선택된 프로그램에 대한 PMT PID를 찾아 낸후, 해당 PID값을 PID레지스터(21)에 출력하여 PID검출부(22)가 해당 PID값을 갖는 패킷을 검출해서 DRAM(24)에 저장하게 함으로써 PMT 모두가 DRAM(24)에 저장되면, 해당 정보를 DRAM(24)으로부터 읽어들여 분석하여 선택된 프로그램에 해당하는 오디오 및 비디오의 PID값을 찾아내고, 그 PID값으로 오디오와 비디오 검출처리를 수행한다. 이때, 호스트 프로세서(20)가 해당 오디오 및 비디오의 PID값을 DRAM(24)의 지정된 저장영역(25)에 어드레싱하여 저장하여 놓는다. 이후에 채널 변경이 발생되는 경우 호스트 프로세서(20)는 수신되는 PAT와 PMT를 분석함이 없이 DRAM(24)의 저장영역(25)에 저장되어 있는 오디오 및 비디오의 PID값을 억세스 함으로써 채널변경 동작을 수행하므로 채널 호핑 타임을 감소시키게 된다. 무궁화 위성을 예로 드는 경우 현재 예정된 프로그램 수는 12개로 되어 있으며 최대 60개 까지 가능하도록 설계되어 있는데, 각 프로그램의 오디오 및 비디오 PID를 저장할 경우 60×2×13비트 이므로 약 2kbit 용량의 저장영역(25)을 DRAM(24)에 추가함으로써 채널 변경시에 오디오 및 비디오의 PID값을 다시 찾아내는 시간을 감소시킬 수 있어 채널 호핑 타임을 감소시키게 된다.

본 발명에 따른 디코더 구조에서의 제2실시예에 따른 동작을 설명하면 다음과 같다.

전원이 오프되는 경우에도 저장영역(25)에 저장된 PID값을 보존하여 주기 위하여 저장영역(25)에 전원을 계속적으로 공급하고, 채널 설정버튼을 구비하여 수신기 구입시에 처음에만 채널 설정 버튼을 이용하여 호스트 프로세서(20)에 의한 채널 설정 동작을 수행시켜 줌으로써 각 프로그램의 PID분석을 위한 PSI처리 동작을 미리 수행하여 오디오 및 비디오의 PID값을 DRAM(24)의 저장영역(25)에 저장하여 놓는다. 이와 같이 하면, 수신기에 전원을 입력하는 경우와 채널을 변경하는 경우에 채널 호핑 타임을 최소화 할 수 있게되는 바, 종래에는 (식 2)와 같이 많은 시간이 소요되었으나 이와 같은 방법을 사용하면 (식 3)과 같이 짧은 채널 호핑 타임이 소요된다.

$$T = T_{Memory_Access} + \alpha \quad .....(식\ 3)$$

즉, 이와 같은 방법을 무궁화 위성 방송을 수신하는 경우에 적용하면 최소 1초 이상의 채널 호핑 타임이 감소된다.

MPEG-2 방식에 따른 방송에서는 일반적으로 한 번 정해진 PID값은 변화되지 않는다. 그러나 특수한 경우에는 PID값을 재 배치할 경우가 있는데, 이 경우에는 PAT, PMT 등의 패킷 내에 버전 넘버(Version Number)라는 파리메터가 있어 내용이 변화하였는지 그대로인지를 지시하여 주므로, 한 번 각 프로그램의 PID값을 저장영역(25)에 전부 저장한 후에는 버전 넘버 만을 검색함으로써 PID변화에 대처하게 된다.

이상 설명한 바와 같이, 본 발명은 DRAM에 소정 용량의 저장영역을 구비하여 각 프로그램에 대한 오디오 및 비디오의 PID값을 소정 용량의 저장영역에 저장하여 놓고, 이후에 채널을 변경하는 경우 저장된 오디오 및 비디오의 PID값을 사용함으로써 채널 변경시의 소요시간을 감소시키게 되므로, 채널 호핑 타임을 단축 할 수 있어 수신기의 성능을 향상시키게 된다.

(57) 청구의 범위

청구항 1

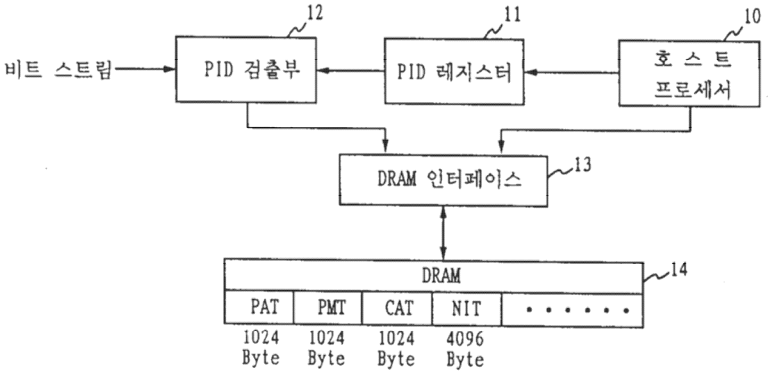
MPEG-2 시스템 디코더에서의 채널 호핑 타임 감소 방법에 있어서, 다수 프로그램에 대한 오디오 및 비디오의 PID값을 검출하여 소정 저장영역에 저장하는 제1과정과; 채널 변경시에 상기 저장영역에 저장된 오디오 및 비디오의 PID를 억세스하여 채널 변경 동작을 수행하는 제2과정을 포함하는 것을 특징으로 하는 MPEG-2 시스템 디코더에서의 채널 호핑 타임 감소방법.

청구항 2

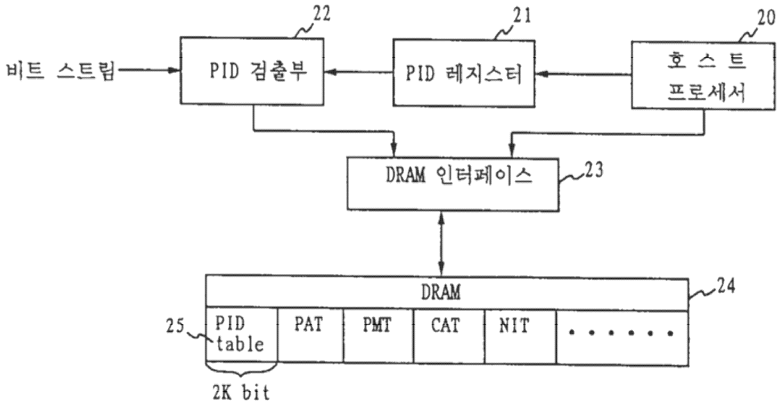
MPEG-2 시스템 디코더에서의 채널 호핑 타임 감소방법에 있어서, 초기에 채널 설정 수단을 이용하여 채널 설정 동작을 수행함으로써 다수의 프로그램에 대한 PID분석을 위한 PSI처리 동작을 미리 수행하여 오디오 및 비디오의 PID값을 소정 저장영역에 저장하는 제1과정과; 채널 변경시에 상기 저장영역에 저장된 오디오 및 비디오의 PID값을 억세스하여 채널 변경 동작을 수행하는 제2과정과; 전원이 오프되는 경우 상기 저장영역에 전원을 계속적으로 공급하여 상기 저장영역에 저장된 오디오 및 비디오의 PID값을 보존하는 제3과정을 포함하는 것을 특징으로 하는 MPEG-2 시스템 디코더에서의 채널 호핑 타임 감소방법.

도면

도면1


12
11
10
비트 스트림
PID 검출부
PID 레지스터
호 스 트
프로세서
DRAM 인터페이스
13
DRAM
14
PAT
PMT
CAT
NIT
1024 Byte
1024 Byte
1024 Byte
4096 Byte

도면2


22
21
20
비트 스트림
PID 검출부
PID 레지스터
호 스 트
프로세서
DRAM 인터페이스
23
DRAM
24
25
PID table
PAT
PMT
CAT
NIT
2K bit