

公告本

88年10月20日修正
補充頁

申請日期	88.4.26
案號	88106627
類別	H03B 5/00, H03K 19/0125

A4
C4

439351

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中文	加強 CDM ESD 保護的通用晶體振盪輸出入電路
	英文	
二、發明 創作人	姓名	吳政晃
	國籍	中華民國
	住、居所	台北市內湖區大湖山莊街 168 巷 24 號 1 樓
三、申請人	姓名 (名稱)	智原科技股份有限公司
	國籍	中華民國
	住、居所 (事務所)	新竹科學工業園區展業一路 9 號 7 樓之 3
	代表 姓名	蔡明介

經濟部智慧財產局員工消費合作社印製

裝訂線

五、發明說明(1)

本發明是有關於一種晶體振盪輸出入電路，且特別是有關於一種可大幅減少特殊應用積體電路(Application Specific Integrated Circuit; 以下簡稱 ASIC)元件庫的輸出入(以下簡稱 IO)數量，並通過充電元件模式(Charge Device Mode; 以下簡稱 CDM)靜電放電(Electrostatic Discharge; 以下簡稱 ESD)測試之加強 CDM ESD 保護的通用晶體振盪輸出入電路。

在積體電路(以下簡稱 IC)的製程中，靜電放電(ESD)常是導致積體電路損壞的主要原因。而於 IC 的製造及測試中，由於操作者本身、或者是在傳送過程中摩擦生電，均可能會產生靜電荷。而這些累積在操作者身上、IC 本身、或者是工作環境四週的靜電荷，一旦接觸到 IC，或是經由 IC 接觸到地，便可能會以人體放電路徑模式(Human Body Mode; HBM)、充電元件模式(CDM)、或機器放電模式(Machine Mode; MM)等方式造成放電的現象，使得 IC 受到相當程度的損壞。

而 MOSFET 因其高輸入阻抗及低崩潰電壓的特性，在 IC 族中承受靜電放電的能力最差。所以在製造 IC 電路時，便習慣性的在容易發生靜電放電的地方例如是電路的輸出入(以下簡稱 IO)埠，另外增加一組保護電路，以做為靜電放電發生時，防止額外電流破壞元件的放電路徑。

晶體振盪器焊墊(Crystal Oscillator Pad)在一套特殊應用積體電路(Application Specific Integrated Circuit; 以下簡稱 ASIC)元件庫(library)之中扮演著重要的角色，主要的原

五、發明說明（一）

因在於晶體本身提供了一個很高的品質因素(Q)值，使得我們現在只要用很簡單的電路，便可以得到很穩定頻率的信號。然而，隨著時代的進步，一套 ASIC 元件庫往往有著許許多多的晶體振盪器焊墊，因而造成了 ASIC 管理者與 ASIC 設計者的困擾。

請參照第 1 圖，其繪示的是習知一般互補式金氧半電晶體(以下簡稱 CMOS)晶體振盪架構的電路圖。

如第 1 圖所示，其包括一 P 型金氧半電晶體(以下簡稱 PMOS 電晶體)12、一 N 型金氧半電晶體(以下簡稱 NMOS 電晶體)14、一回授電阻 16 及一晶體振盪器 18。PMOS 電晶體 12 與 NMOS 電晶體 14 兩者相當於一個 CMOS 電晶體 15，又如同一反相器，係做為放大單元，其中 CMOS 電晶體 15 係建構在 ASIC 10 的內部。回授電阻 16 係用以決定 CMOS 電晶體 15 的操作點，亦即用以提供電路所需之偏壓。而晶體振盪器 18 則用來限制頻率。

傳統上，一套 ASIC 元件庫需要使用到多個振盪器 IO，因此花費成本較高。此外，假若不能在一個振盪器 IO 中，提供多個經由依據不同供應電壓源所調到最佳化的元件驅動大小的話，則無法提供不同客戶設計的需求，例如：有些客戶會要求要降電壓，例如從 3.3 伏特(V)降至 2.4V 或降至 1.5V 等情形。

而且，CDM ESD 在現今超大型積體電路(VLSI)上，所發現失敗的情況也越來越普遍。依照傳統之架構，在進行 CDM 的 ESD 測試時，並無法有效地散去聚集在基底上的電

五、發明說明(→)

荷，導致其保護振盪器 IO 的能力不佳，容易造成振盪器 IO 受損。

有鑒於此，本發明提出一種加強 CDM ESD 保護的通用晶體振盪輸出入電路，建構於特殊應用積體電路之內部，其係由第一 PMOS 電晶體、第二 PMOS 電晶體、第三 PMOS 電晶體、第一 NMOS 電晶體、第二 NMOS 電晶體、第三 NMOS 電晶體以及控制邏輯所組成。其連接關係為，第一 PMOS 電晶體之源極耦接至電壓源。第二 PMOS 電晶體之源極耦接電壓源，其閘極耦接第一 PMOS 電晶體之汲極。第三 PMOS 電晶體之源極耦接電壓源，其汲極耦接第二 PMOS 電晶體之汲極。第一 NMOS 電晶體之源極接地，其汲極耦接第一 PMOS 電晶體之汲極。第二 NMOS 電晶體之源極接地，其閘極耦接第一 NMOS 電晶體之汲極，其汲極耦接第二 PMOS 電晶體之汲極。第三 NMOS 電晶體之源極耦接其閘極與接地，其汲極耦接第三 PMOS 電晶體之汲極與第二 NMOS 電晶體之汲極。控制邏輯耦接第一 PMOS 電晶體、第三 PMOS 電晶體、第一 NMOS 電晶體之閘極，用以控制第一 PMOS 電晶體、第三 PMOS 電晶體、第一 NMOS 電晶體之開關。

依照本發明之架構，可有效地減少晶體振盪器焊墊的數量，藉以減低 ASIC 元件庫的 IO 數量，以達到降低成本花費的目的。本發明不僅能有效地改善振盪線路的執行效能，使得產品更具有彈性，而且更具有快速開啓與低功率耗損的優點。

此外，應用本發明的架構，當電路在測試 CDM ESD 時，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(中)

流入之 ESD 將可經由第三 PMOS 電晶體或第三 NMOS 電晶體放電，以避免受到 ESD 的損害。因此，本發明更可以有效地幫助產品在測試 CDM ESD 的情況之下，幫助散去聚集在基底上的電荷，使得此振盪器焊墊能通過 CDM ESD 測試。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之簡單說明：

第 1 圖繪示的是習知一般 CMOS 晶體振盪架構的電路圖；

第 2 圖繪示的是依照本發明一較佳實施例的一種通用晶體振盪輸出電路的基本架構圖；

第 3 圖繪示的是依照本發明一較佳實施例之控制邏輯的示意圖；

第 4 圖繪示的是依照本發明一較佳實施例之以本發明之架構取代兩個傳統晶體振盪器焊墊的示意圖；

第 5 圖繪示的是依照本發明另一較佳實施例之以本發明之架構取代 4 個傳統晶體振盪器焊墊的示意圖；以及

第 6 圖繪示的是依照本發明再一較佳實施例之以本發明之架構取代 16 個傳統晶體振盪器焊墊的示意圖。

圖式之標號說明：

10、20：ASIC

12、22、24、26：PMOS 電晶體

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明（5）

14、28、30、32：NMOS 電晶體

15：CMOS 電晶體

16、38：回授電阻

18、40：晶體振盪器

34、36：傳輸閘

50：控制邏輯

60、70、80：本發明之架構

62、64、72、74、76、78、82、84、86、88：傳統之架構

實施例

請同時參照第 2 圖及第 3 圖，第 2 圖繪示的是依照本發明一較佳實施例的一種通用晶體振盪輸出入電路的基本架構圖，以及第 3 圖繪示的是依照本發明一較佳實施例之控制邏輯的示意圖。

如第 2 圖所示，其包括 PMOS 電晶體 22、24 與 26、NMOS 電晶體 28、30 與 32、傳輸閘 34 與 36、回授電阻 38 以及晶體振盪器 40，其中 PMOS 電晶體 22、24 與 26、NMOS 電晶體 28、30 與 32，以及傳輸閘 34 與 36 係建構在 ASIC 20 的內部，其中傳輸閘 34 與 36 可由 PMOS 電晶體所組成，或由 NMOS 電晶體所組成，或由 PMOS 電晶體與 NMOS 電晶體所組成。回授電阻 38 係用以提供電路所需之偏壓，而晶體振盪器 40 則用來限制頻率。PMOS 電晶體 26 與 NMOS 電晶體 32 係用來做為人體放電路徑模式(HBM)靜電放電保護之用，而 NMOS 電晶體 28 與傳輸閘 36 係用來做為充電

五、發明說明(6)

元件模式靜電放電保護之用。

接著如第 3 圖所示，控制邏輯(Control Logic)50 用以接收邏輯輸入信號 E 與 EB，並輸出對應邏輯輸入信號 E 與 EB 之邏輯輸出信號 O1、O2 與 O3，其中邏輯輸入信號 E、EB 與邏輯輸出信號 O1、O2 與 O3 之相對關係，如下列附表一所示。舉例來說，當邏輯輸入信號 E 與 EB 之邏輯值分別為 0、0 時，則邏輯輸出信號 O1、O2 與 O3 之邏輯值分別為 0、0、1，此時將使得第 2 圖之 PMOS 電晶體 22 與 26 以及 NMOS 電晶體 28 都為”開”(on)，而傳輸閘 34 與 36 則為”關”(off)。

E	EB	O1	O2	O3
0	0	0	0	1
0	1	1	0	1
1	0	1	1	0
1	1	1	0	1

附表一

請再參照第 2 圖、第 3 圖及附表一，本發明之操作原理將如下所述。

當邏輯輸入信號 E 與 EB 之邏輯值分別為 0、0 時，則邏輯輸出信號 O1、O2 與 O3 之邏輯值分別為 0、0、1，使得 PMOS 電晶體 22 與 26 以及 NMOS 電晶體 28 都為”開”，而傳輸閘 34 與 36 則為”關”，此時電路相當於一反及閘(NAND Gate)之功能。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

紛

五、發明說明(7)

當邏輯輸入信號 E 與 EB 之邏輯值分別為 0、1 時，則邏輯輸出信號 O1、O2 與 O3 之邏輯值分別為 1、0、1，使得 PMOS 電晶體 26 為”關”，PMOS 電晶體 22 為”開”，NMOS 電晶體 28 為”開”，而傳輸閘 34 與 36 則為”關”，此時電路處於三態模式(tri-state mode)下，可應用在時序信號由外部輸入至晶片內部，例如測試狀態時。

當邏輯輸入信號 E 與 EB 之邏輯值分別為 1、0 時，則邏輯輸出信號 O1、O2 與 O3 之邏輯值分別為 1、1、0，使得 PMOS 電晶體 22 與 26 以及 NMOS 電晶體 28 都為”關”，而傳輸閘 34 與 36 則為”開”，此時電路相當於一反相器(NOT Gate)之功能。

當邏輯輸入信號 E 與 EB 之邏輯值分別為 1、1 時，則邏輯輸出信號 O1、O2 與 O3 之邏輯值分別為 1、0、1，使得 PMOS 電晶體 26 為”關”，PMOS 電晶體 22 為”開”，NMOS 電晶體 28 為”開”，而傳輸閘 34 與 36 則為”關”，同樣地電路係處於三態模式下，可應用在時序信號由外部輸入至晶片內部，例如測試狀態時。

因此，依照本發明之架構，可以有效地減少 ASIC 元件庫的晶體振盪器焊墊的數量，例如：以一個本發明之架構，將可以取代掉兩個傳統晶體振盪器焊墊，如第 4 圖所繪示，其中標號 60 為本發明之架構，而標號 62 與 64 為傳統之架構。

若本發明再加上內部回授電阻的話，亦即將第 2 圖之回授電阻 38 建構在 ASIC 20 的內部，則一個本發明之架構將

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(8)

可取代掉四個傳統晶體振盪器焊墊，如第 5 圖所繪示，其中標號 70 為本發明之架構，而標號 72、74、76 與 78 為傳統之架構。另外，振盪器之邏輯輸入信號 FEB 係用來控制 ASIC 20 內部之回授電阻 38 的開關。

另一方面，若本發明再加上不同推力(事實上，根據不同的外在條件與頻率需求，其增益係由不同的推力來決定的)，其中上述外在條件包括為因應不同客戶設計的需求，例如從 3.3 伏特(V)降至 2.4V 或降至 1.5V 等降電壓情形。假設我們在 10MHz、20MHz、30MHz、40MHz 各調整一個增益的尺寸的話，則一個本發明之架構將可取代掉 $4 \times 4 = 16$ 個傳統晶體振盪器焊墊，如第 6 圖所示，其中標號 82、84、86 與 88 各包含有第 5 圖所示之標號 72、74、76 與 78，而標號 82、84、86 與 88 分別係做為 10MHz、20MHz、30MHz、40MHz 之用，其中推力範圍的選擇將由標號 80 中之兩控制信號源 S0、S1 完成。

控制邏輯單元(如第 6 圖所示之振盪器)的選擇腳位 S0、S1 將不僅限於 S0、S1 兩隻腳，亦即若只有 S0、S1，則可以獲得 $2^2 = 4$ 種推力範圍。若有 S0、S1、S2，則有 $2^3 = 8$ 種推力範圍選擇。並且，S0、S1、S2 組合而成的選擇項將不限定於不同推力，亦可包括不同邏輯，例如可以用來過濾雜訊的史密特觸發邏輯(Schmitt Trigger Logic)。例如說，S0、S1、S2 有 8 種不同選項組合而成，其中 4 種是不同推力反關，而另外 4 種是不同推力的史密特觸發關。

因此，本發明將可有效地把晶體振盪器焊墊的數量，大

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

絲

五、發明說明(9)

幅減少至一或二個，藉以減低 ASIC 元件庫的 IO 數量，使得 ASIC 使用者和 ASIC 管理者都將獲得實際上的便利。此外，依照本發明的架構，不僅能有效地改善振盪線路的執行效能，讓 ASIC 設計者獲得更多在設計上的便利性，使得產品的彈性更加突顯，而且更具有快速開啓與低功率耗損的優點。

另外，應用本發明的架構，當電路在測試 CDM ESD 時，流入之 ESD 將可經由第 2 圖所示之傳輸閘 36 之 NMOS 電晶體或 NMOS 電晶體 28 放電，以避免受到 ESD 的損害。故，本發明將有效地幫助產品在測試 CDM ESD 的情況之下，幫助散去聚集在基底上的電荷，使得此振盪器焊墊能通過 CDM ESD 測試。並且，本發明亦可達到習知 PIOS(Programmable IO on Silicon)的優點。

而且，根據模擬的結果，本發明之架構與傳統架構相比較之下，在同權的驅動能力下，所造成的頻率推力與負電阻值幾乎完全相同。因此，本發明之架構將可有效地取代傳統架構，而不須像傳統架構一樣，需要使用到多個振盪器 IO，故可以大大地降低成本花費。

綜上所述，本發明具有以下的優點：

(1) 可有效地大幅減少晶體振盪器焊墊的使用數量，藉以減低 ASIC 元件庫的 IO 數量，使得 ASIC 使用者和 ASIC 管理者都將獲得實際上的便利，同時能大大地降低成本花費。

(2) 能有效地改善振盪線路的執行效能，讓 ASIC 設計

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(10)

者獲得更多在設計上的便利性，使得產品更具有彈性。

(3) 可有效地幫助產品在測試 CDM ESD 的情況之下，幫助散去聚集在基底上的電荷，使得振盪器焊墊能通過 CDM ESD 測試。

(4) 可達到習知 PIOS 的優點，而且更具有快速開啓與低功率耗損的優點。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱:)

加強 CDM ESD 保護的通用晶體振盪輸出入電路

一種加強 CDM ESD 保護的通用晶體振盪輸出入電路。可有效地減少晶體振盪器焊墊的數量，藉以減低 ASIC 元件庫的 IO 數量，以達到降低成本花費的目的。本發明不僅能有效地改善振盪線路的執行效能，使得產品更具有彈性，而且更具有快速開啓與低功率耗損的優點。並且，當電路在測試 CDM ESD 時，流入之 ESD 將可經由放電路徑而放電，以避免受到 ESD 的損害。本發明更可以有效地幫助產品在測試 CDM ESD 的情況之下，幫助散去聚集在基底上的電荷，使得此振盪器焊墊能通過 CDM ESD 測試。

英文發明摘要(發明之名稱:)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1.一種加強 CDM ESD 保護的通用晶體振盪輸出入電路，建構於一特殊應用積體電路之內部，包括：

一第一PMOS電晶體，其源極耦接一電壓源；

一第二PMOS電晶體，其源極耦接該電壓源，其閘極耦接該第一PMOS電晶體之汲極；

一第三PMOS電晶體，其源極耦接該電壓源，其汲極耦接該第二PMOS電晶體之汲極；

一第一NMOS電晶體，其源極接地，其汲極耦接該第一PMOS電晶體之汲極；

一第二NMOS電晶體，其源極接地，其閘極耦接該第一NMOS電晶體之汲極，其汲極耦接該第二PMOS電晶體之汲極；

一第三NMOS電晶體，其源極耦接其閘極與接地，其汲極耦接該第三PMOS電晶體之汲極與該第二NMOS電晶體之汲極；以及

一控制邏輯，耦接該第一PMOS電晶體、該第三PMOS電晶體、該第一NMOS電晶體之閘極，用以控制該第一PMOS電晶體、該第三PMOS電晶體、該第一NMOS電晶體之開關；

一第一傳輸閘，其輸出端耦接該第一PMOS電晶體之汲極，其控制端耦接該控制邏輯；以及

一第二傳輸閘，其輸入端耦接該第一傳輸閘之輸入端，其輸出端耦接該第一NMOS電晶體之汲極，其控制端耦接該控制邏輯；

(請先閱讀背面之注意事項再填寫本頁)

訂
線

六、申請專利範圍

其中，該第一傳輸閘與該第二傳輸閘之開關狀態係由該控制邏輯所控制。

2.如申請專利範圍第1項所述之加強CDM ESD保護的通用晶體振盪輸出入電路，其中該第一NMOS電晶體與該第二傳輸閘之NMOS電晶體係用來做為充電元件模式靜電放電保護之用。

3.如申請專利範圍第1項所述之加強CDM ESD保護的通用晶體振盪輸出入電路，其中該第一傳輸閘與該第二傳輸閘包括由PMOS電晶體所組成。

4.如申請專利範圍第1項所述之加強CDM ESD保護的通用晶體振盪輸出入電路，其中該第一傳輸閘與該第二傳輸閘包括由NMOS電晶體所組成。

5.如申請專利範圍第1項所述之加強CDM ESD保護的通用晶體振盪輸出入電路，其中該第一傳輸閘與該第二傳輸閘包括由PMOS電晶體與NMOS電晶體所組成。

6.如申請專利範圍第1項所述之加強CDM ESD保護的通用晶體振盪輸出入電路，更包括：

一回授電阻，其一端耦接該第一PMOS電晶體與該第一NMOS電晶體之汲極，其另一端耦接該第三PMOS電晶體與該第三NMOS電晶體之汲極；以及

一晶體振盪器，該晶體振盪器與該回授電阻並聯；

其中該回授電阻與該晶體振盪器係建構在該特殊應用積體電路之外部。

7.如申請專利範圍第6項所述之加強CDM ESD保護的

(請先閱讀背面之注意事項再填寫本頁)

訂
線

六、申請專利範圍

通用晶體振盪輸出入電路，其中該回授電阻係建構在該特殊應用積體電路之內部。

8.如申請專利範圍第1項所述之加強CDM ESD保護的通用晶體振盪輸出入電路，其中該第三PMOS電晶體與該第三NMOS電晶體係用來做為人體放電路徑模式靜電放電保護之用。

9.如申請專利範圍第1項所述之加強CDM ESD保護的通用晶體振盪輸出入電路，其中該控制邏輯接收一第一邏輯輸入信號與一第二邏輯輸入信號，並分別輸出對應該第一邏輯輸入信號與該第二邏輯輸入信號之一第一邏輯輸出信號、一第二邏輯輸出信號與一第三邏輯輸出信號至該第三PMOS電晶體、該第一PMOS電晶體與該第一NMOS電晶體之閘極，藉以控制其開關狀態。

10.如申請專利範圍第9項所述之加強CDM ESD保護的通用晶體振盪輸出入電路，其中當該第一與該第二邏輯輸入信號之邏輯值分別為0、0時，該第一、該第二與該第三邏輯輸出信號之邏輯值分別為0、0、1。

11.如申請專利範圍第9項所述之加強CDM ESD保護的通用晶體振盪輸出入電路，其中當該第一與該第二邏輯輸入信號之邏輯值分別為0、1時，該第一、該第二與該第三邏輯輸出信號之邏輯值分別為1、0、1。

12.如申請專利範圍第9項所述之加強CDM ESD保護的通用晶體振盪輸出入電路，其中當該第一與該第二邏輯輸入信號之邏輯值分別為1、0時，該第一、該第二與該第三

(請先閱讀背面之注意事項再填寫本頁)

訂
線

六、申請專利範圍

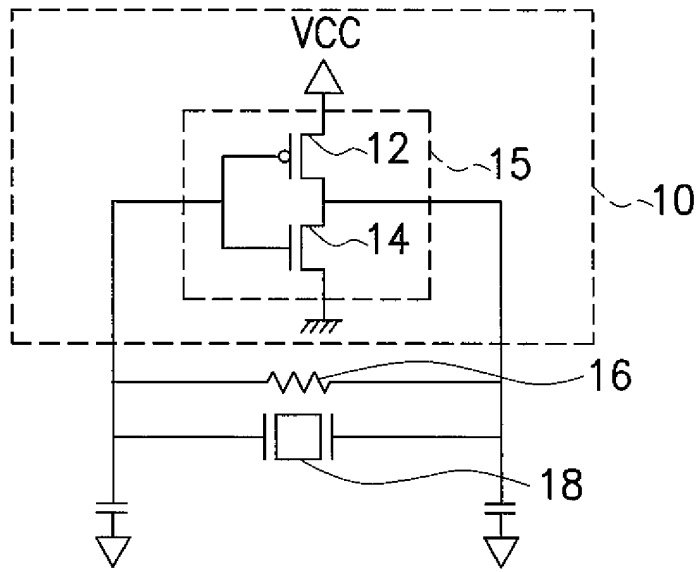
邏輯輸出信號之邏輯值分別為1、1、0。

13.如申請專利範圍第9項所述之加強CDM ESD保護的通用晶體振盪輸出入電路，其中當該第一與該第二邏輯輸入信號之邏輯值分別為1、1時，該第一、該第二與該第三邏輯輸出信號之邏輯值分別為1、0、1。

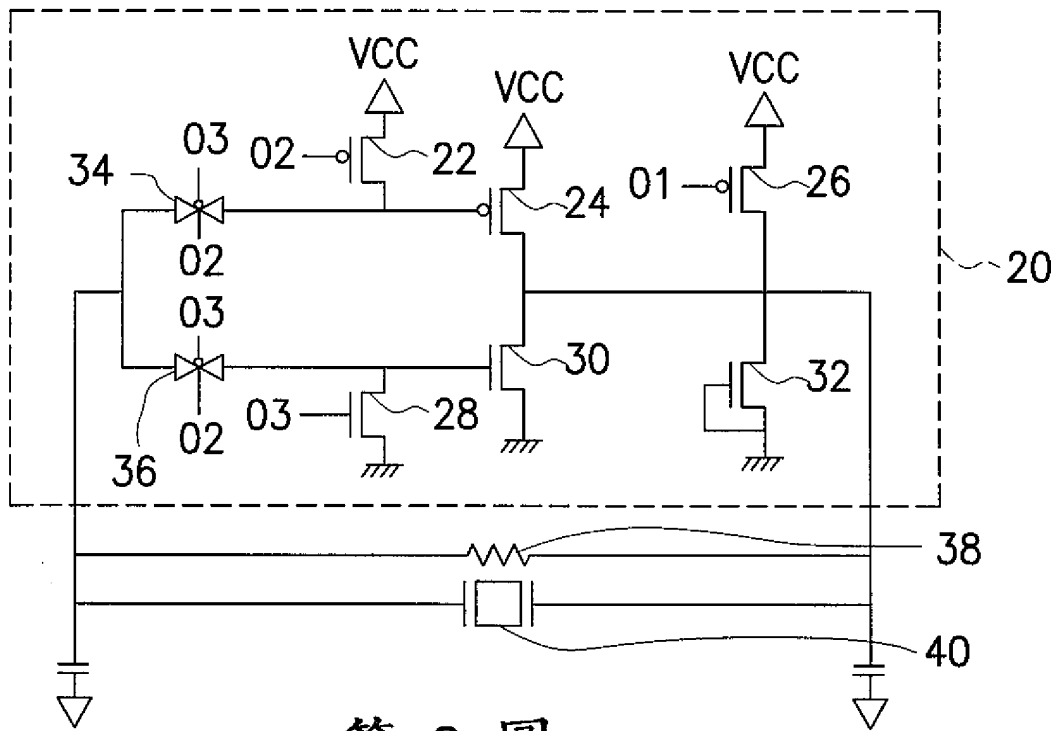
(請先閱讀背面之注意事項再填寫本頁)

訂
線

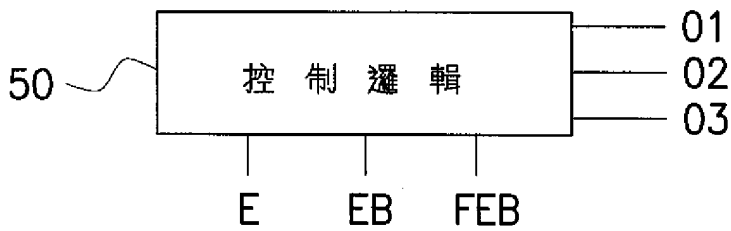
4383TW



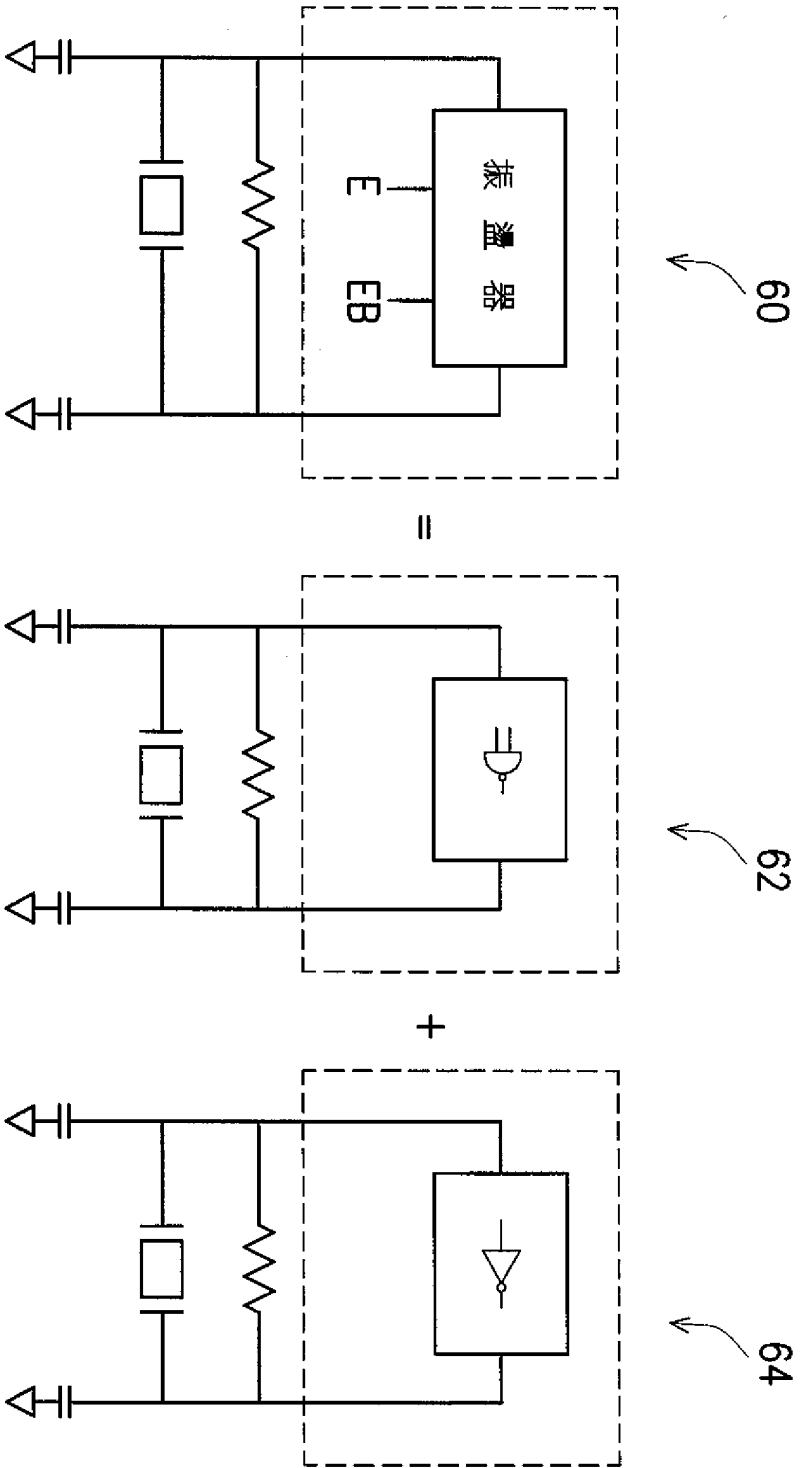
第 1 圖



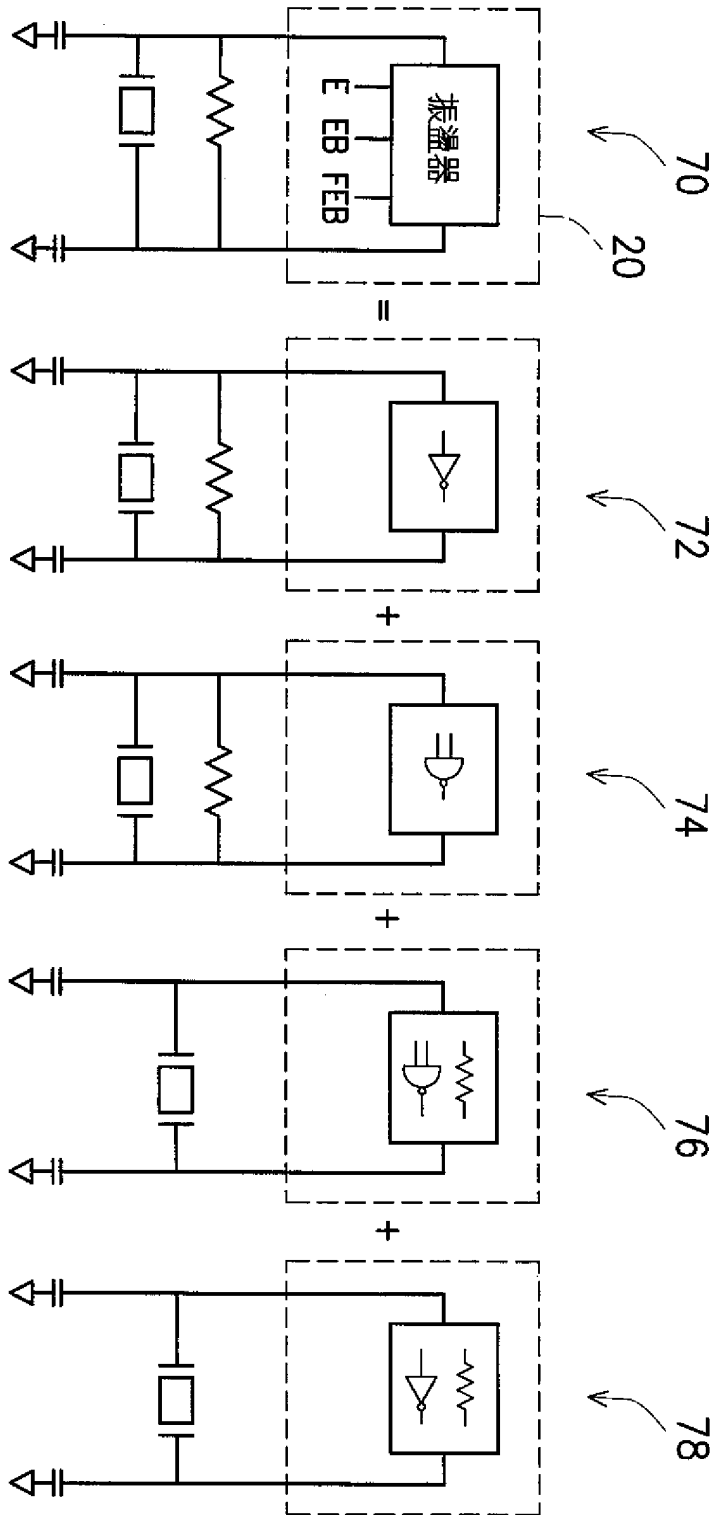
第 2 圖



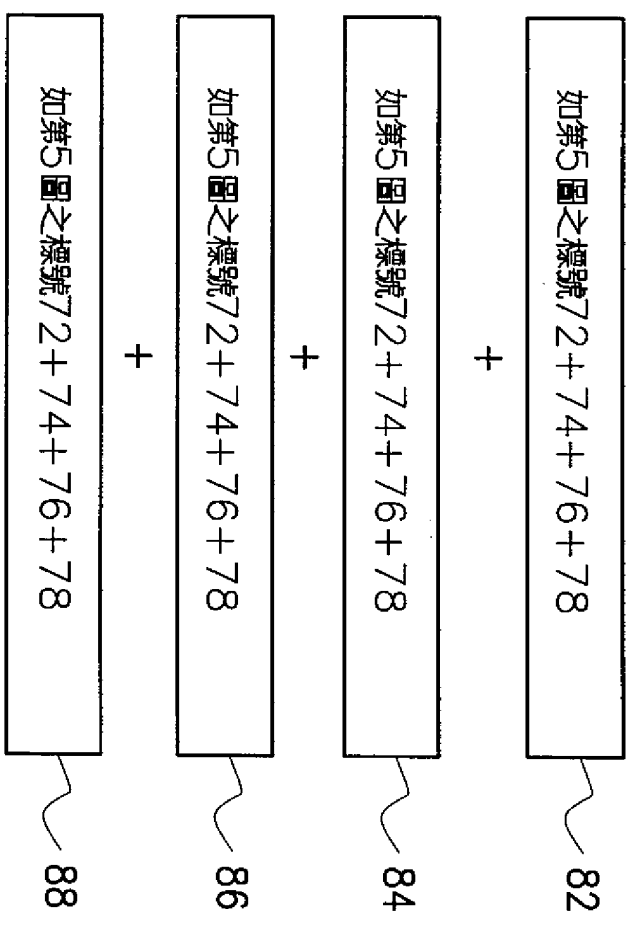
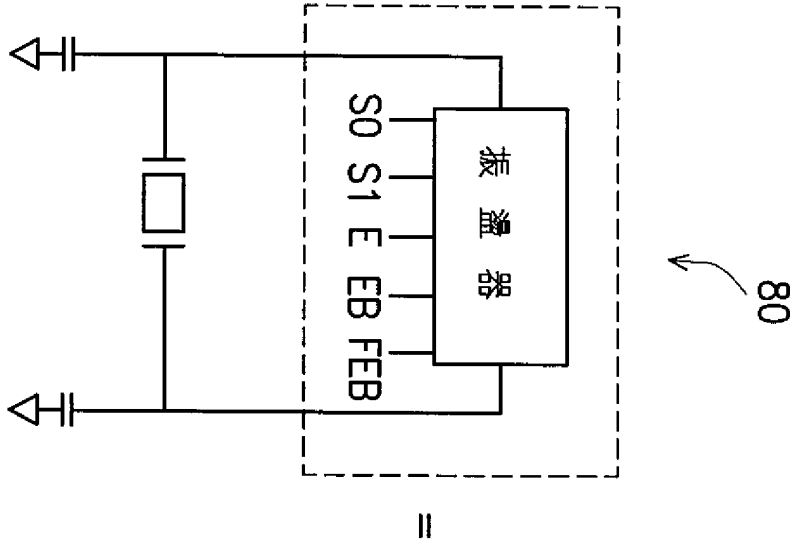
第 3 圖



第 4 圖



第 5 圖



第6圖

公告本

88年10月20日修正
補充頁

申請日期	88.4.26
案號	88106627
類別	H03B 5/00, H03K 19/0125

A4
C4

439351

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中文	加強 CDM ESD 保護的通用晶體振盪輸出入電路
	英文	
二、發明 創作人	姓名	吳政晃
	國籍	中華民國
	住、居所	台北市內湖區大湖山莊街 168 巷 24 號 1 樓
三、申請人	姓名 (名稱)	智原科技股份有限公司
	國籍	中華民國
	住、居所 (事務所)	新竹科學工業園區展業一路 9 號 7 樓之 3
	代表 姓名	蔡明介

經濟部智慧財產局員工消費合作社印製

裝訂線

六、申請專利範圍

1.一種加強 CDM ESD 保護的通用晶體振盪輸出入電路，建構於一特殊應用積體電路之內部，包括：

一第一PMOS電晶體，其源極耦接一電壓源；

一第二PMOS電晶體，其源極耦接該電壓源，其閘極耦接該第一PMOS電晶體之汲極；

一第三PMOS電晶體，其源極耦接該電壓源，其汲極耦接該第二PMOS電晶體之汲極；

一第一NMOS電晶體，其源極接地，其汲極耦接該第一PMOS電晶體之汲極；

一第二NMOS電晶體，其源極接地，其閘極耦接該第一NMOS電晶體之汲極，其汲極耦接該第二PMOS電晶體之汲極；

一第三NMOS電晶體，其源極耦接其閘極與接地，其汲極耦接該第三PMOS電晶體之汲極與該第二NMOS電晶體之汲極；以及

一控制邏輯，耦接該第一PMOS電晶體、該第三PMOS電晶體、該第一NMOS電晶體之閘極，用以控制該第一PMOS電晶體、該第三PMOS電晶體、該第一NMOS電晶體之開關；

一第一傳輸閘，其輸出端耦接該第一PMOS電晶體之汲極，其控制端耦接該控制邏輯；以及

一第二傳輸閘，其輸入端耦接該第一傳輸閘之輸入端，其輸出端耦接該第一NMOS電晶體之汲極，其控制端耦接該控制邏輯；

(請先閱讀背面之注意事項再填寫本頁)

訂
線