



República Federativa do Brasil

Ministério do Desenvolvimento, Indústria,
Comércio e Serviços

Instituto Nacional da Propriedade Industrial



(11) BR 112019001333-4 B1

(22) Data do Depósito: 26/07/2017

(45) Data de Concessão: 02/01/2024

(54) Título: CIRCUITOS E MÉTODOS QUE FORNECEM ESTRUTURAS DE INTERVALO DE BANDA ELETRÔNICA (EBG) EM MÓDULO DE MEMÓRIA DE ACOPLAMENTO ELÉTRICO

(51) Int.Cl.: H05K 1/02; G06F 13/40.

(30) Prioridade Unionista: 25/07/2017 US 15/659,187; 28/07/2016 US 62/367,836.

(73) Titular(es): QUALCOMM INCORPORATED.

(72) Inventor(es): PRIYATHARSHAN PATHMANATHAN.

(86) Pedido PCT: PCT US2017043844 de 26/07/2017

(87) Publicação PCT: WO 2018/022687 de 01/02/2018

(85) Data do Início da Fase Nacional: 23/01/2019

(57) Resumo: Trata-se de um sistema que inclui: uma placa de circuito impresso que tem uma pluralidade de traços condutores; um dispositivo de processamento acoplado à placa de circuito impresso e em comunicação elétrica com a pluralidade de traços condutores; um primeiro módulo de memória e um segundo módulo de memória em comunicação elétrica com a pluralidade de traços condutores e de canais de compartilhamento de traços condutores em que o primeiro módulo de memória está fisicamente mais próximo ao dispositivo de processamento do que está o segundo módulo de memória e uma estrutura de intervalo de banda eletrônica (EBG) fisicamente disposta em uma área entre o primeiro módulo de memória e o segundo módulo de memória.

"CIRCUITOS E MÉTODOS QUE FORNECEM ESTRUTURAS DE INTERVALO DE BANDA ELETRÔNICA (EBG) EM MÓDULO DE MEMÓRIA DE ACOPLAMENTO ELÉTRICO"

REFERÊNCIA CRUZADA AOS PEDIDOS RELACIONADOS

[0001] O presente pedido reivindica prioridade para e o benefício do pedido não provisório de nº U.S. 15/659,187 depositado em 25 de julho de 2017 e em 28 de julho de 2017 e do pedido de patente provisório de nº U.S. 62/367,836 depositado em 28 de julho de 2016, cuja revelação é incorporada a título de referência no presente documento em sua totalidade como se integralmente estabelecida abaixo em sua totalidade e para todos os propósitos aplicáveis.

CAMPO DA TÉCNICA

[0002] O presente pedido se refere ao módulo de memória de acoplamentos elétricos e especificamente a estruturas de intervalo de banda eletrônica (EBG) em módulo de memória de acoplamentos elétricos.

ANTECEDENTES

[0003] Alguns sistemas convencionais incluem um ou mais chips de processador montados em uma placa de circuito impresso (PCB) e que se comunicam com os módulos de memória. Assim, em um exemplo, um chip de processador é montado em uma PCB e se comunica com os módulos de memória por traços na PCB. Durante a operação normal, o processador expede solicitações de leitura e solicitações de gravação para a memória.

[0004] Em operações de altas taxas de bits, um bit de captura pode se tornar um desafio devido à janela de

tempo na qual para capturar um dado bit se torna curta. Adicionalmente, vários fenômenos, como reflexões eletromagnéticas em traços de metal, podem afetar negativamente a janela do tempo na qual para capturar um dado bit. Isso é especialmente verdadeiro para PCBs que são estabelecidas com uma conexão em cadeia a partir do processador até os módulos de memória. Na arquitetura em cadeia, cada um dos módulos de memória está conectado a um barramento comum e reflexões eletromagnéticas podem afetar a captura de bits em módulos de memória que estão mais próximos ao processador. Assim, a severidade do fenômeno de reflexão eletromagnética conforme visto nos módulos de memória mais próximos pode definir um limite como uma taxa de bits máxima entre o processador nos módulos de memória.

[0005] A topologia Tee convencional pode ser usada em algumas soluções, embora uma topologia Tee convencional possa ser esperada para resultar em um desempenho diminuído se apenas um módulo de memória for usado na PCB. Assim, a topologia Tee convencional pode evitar o uso de um projeto de dada placa nas aplicações de módulo único.

[0006] Em conformidade, existe uma necessidade na técnica para sistemas e para métodos que permitem o aumento das taxas de bits e reduzir os fenômenos prejudiciais como reflexão eletromagnética.

SUMÁRIO

[0007] Várias modalidades reduzem reflexão eletromagnética através do uso de estruturas de intervalo de banda eletrônica (EBG) colocadas entre os módulos de

memória. As estruturas de EBG podem ser usadas para atenuar a reflexão eletromagnética e aprimorar o desempenho pelo menos nos módulos de memória mais próximos ao processador do computador.

[0008] Em uma modalidade, um sistema inclui: uma placa de circuito impresso que tem uma pluralidade de traços condutores; um dispositivo de processamento acoplado à placa de circuito impresso e em comunicação elétrica com a pluralidade de traços condutores; um primeiro módulo de memória e um segundo módulo de memória em comunicação elétrica com a pluralidade de traços condutores e canais de compartilhamento dos traços condutores em que o primeiro módulo de memória está fisicamente mais próximo ao dispositivo de processamento do que está o segundo módulo de memória e uma estrutura de intervalo de banda eletrônica (EBG) fisicamente disposta em uma área entre o primeiro módulo de memória e o segundo módulo de memória.

[0009] Em uma modalidade, um método inclui: a propagação de sinais elétricos a partir de um dispositivo de processamento em uma placa de circuito impresso para uma primeiro módulo de memória e para um segundo módulo de memória em comunicação elétrica com uma pluralidade de traços condutores e com canais de compartilhamento dos traços condutores em que o primeiro módulo de memória está fisicamente mais próximo ao dispositivo de processamento do que está o segundo módulo de memória e a atenuação de reflexões dos sinais elétricos em uma estrutura de intervalo de banda eletrônica (EBG) fisicamente disposta em uma área entre o primeiro módulo de memória e o segundo

módulo de memória.

[0010] Em outra modalidade, um aparelho inclui: meios para gravar dados e para ler dados, os meios de leitura e de gravação a serem acoplados a uma placa de circuito; meios para armazenar os dados e acessar os dados em resposta a comandos a partir dos meios de leitura e de gravação, os meios de armazenamento e de acesso a serem acoplados à placa de circuito; meios para propagar sinais elétricos entre os meios de leitura e de gravação e os meios de armazenamento e o acesso nos canais de compartilhamento e meios para atenuar reflexões nos meios de propagação.

BREVE DESCRIÇÃO DOS DESENHOS

[0011] A Figura 1A é uma ilustração de um exemplo de estrutura de circuito de acordo com uma modalidade.

[0012] A Figura 1B é uma ilustração de uma porção de uma seção transversal de extremidade da placa da Figura 1A.

[0013] As Figuras 2 a 4 são ilustrações de exemplos de placas de circuito impresso que têm dois módulos DIMM e estruturas de EBG de acordo com várias modalidades.

[0014] A Figura 5 é uma ilustração de uma estrutura de EBG de exemplo que pode ser implantada em uma placa de circuito impresso de acordo com uma modalidade.

[0015] A Figura é uma ilustração de um comparação de desempenho de tempo de exemplo para um módulo de memória próximo e para um módulo de memória distante

ambos com ou sem estruturas de EBG de acordo com uma modalidade.

[0016] A Figura 7 é uma ilustração de uma comparação de desempenho de perda de inserção de domínio de frequência de exemplo para um módulo de memória próximo e para um módulo de memória distante ambos com ou sem estruturas de EBG de acordo com uma modalidade.

[0017] As Figuras 8 a 9 ilustram um método de exemplo para projetar as estruturas das Figuras 1 a 5 adaptadas de acordo com uma modalidade.

[0018] A Figura 10 ilustra um método de exemplo do uso dos sistemas mostrados nas Figuras 1 a 5 de acordo com uma modalidade.

DESCRIÇÃO

[0019] Várias modalidades são direcionadas a circuitos e a métodos para aumentar a integridade de sinal em um acoplamento elétrico entre os módulos de memória. Por exemplo, uma modalidade de exemplo inclui um primeiro módulo de memória dupla em linha (DIMM) e um segundo módulo DIMM montado para uma PCB. A própria PCB pode incluir um plano de aterramento mais ao fundo, uma camada intermediária que tem traços de metal encadeados que acopla o primeiro módulo DIMM e o segundo módulo DIMM a um dispositivo de processamento. O primeiro módulo DIMM e o segundo módulo DIMM podem ser colocados nos mesmos traços de modo que o dispositivo de processamento se comunique com apenas um dos módulos DIMM de cada vez.

[0020] A PCB pode também incluir um plano de aterramento mais baixo em uma camada abaixo dos traços. As

camadas na PCB podem estar dispostas de modo que o plano de aterramento mais baixo e o plano de aterramento mais ao fundo imprensem os traços de metal. Uma das camadas de plano de aterramento pode incluir um estrutura de intervalo de banda eletrônica (EBG) em uma área fisicamente entre o primeiro módulo DIMM e o segundo módulo DIMM. As estruturas de EBG causam atenuação na banda de frequência fundamental dos sinais a partir do processador para o primeiro módulo DIMM e para o segundo módulo DIMM. Embora a estrutura de EBG cause atenuação, a mesma aumenta a integridade de sinal no primeiro módulo DIMM pela redução de reflexões e através de conservação de energia que direciona mais energia de sinal para o primeiro módulo DIMM.

[0021] Outras modalidades podem implantar a estrutura de EBG em vários arranjos físicos. Por exemplo, a estrutura de EBG pode incluir ranhuras retangulares cortadas a partir do plano inferior do solo em que a dimensão de comprimento das ranhuras são perpendiculares a uma dimensão de comprimento dos traços de metal. Em outra modalidade, a estrutura de EBG inclui ranhura em formato senoidal no plano inferior de solo em que as ranhuras em formato senoidal são paralelas a uma direção dos traços de metal. Obviamente, assim como a estrutura de EBG pode ser implantada no plano mais inferior de solo, outras modalidades podem adicional ou alternativamente implantar a estrutura de EBG no plano de aterramento mais ao fundo. Ainda outra modalidade implanta a estrutura de EBG como larguras de traço variado. Estas modalidades são descritas em mais detalhes abaixo em relação às Figuras 1 a 5.

[0022] Além disso, uma vez que várias modalidades são descritas em relação aos módulos DIMM, entende-se que o escopo das modalidades pode incluir qualquer tipo de módulo de memória em comunicação elétrica com traços de metal. Adicionalmente, uma vez que as modalidades das Figuras 1 a 5 são mostradas em relação aos dois módulos de memória, entende-se que o escopo das modalidades pode incluir outros números de módulos de memória. Por exemplo, algumas modalidades podem incluir um único módulo de memória em uma placa com uma estrutura de EBG. As outras modalidades de exemplo podem incluir três ou mais módulos de memória em uma placa com uma ou mais estruturas de EBG.

[0023] A Figura 1A é uma ilustração de um sistema 100 de exemplo adaptado de acordo com uma modalidade. O sistema 100 de exemplo inclui um pacote de chip acoplado à PCB 104. O pacote de chip 101 pode incluir qualquer dispositivo de processamento apropriado como um processador de sinal digital (DSP), uma unidade de processamento central (CPU), um sistema no chip (SOC) que tem múltiplas cores e/ou similares. O pacote de chip 101 e os módulos DIMM 120 e 130 são eletricamente acoplados aos traços condutores 102 para transportar sinais entre o pacote de chip 101 e os módulos DIMM 120 e 130.

[0024] A placa de circuito impresso 104 inclui uma pluralidade de camadas de material isolante que separa outras camadas de material condutor. Por exemplo, o material condutor pode incluir metais como cobre ou ligas de cobre. Os traços 102 são implantados em uma camada nesse

exemplo, embora outras modalidades possam incluir camadas múltiplas de metal intercalados com camadas de material isolante. Um material isolante de exemplo para uma PCB inclui epóxi de vidro FR-4, embora o escopo das modalidades não seja limitado a qualquer material particular para PCB 104.

[0025] A Figura 1A é uma ilustração do sistema 100 de exemplo mostrado a partir de uma vista lateral do plano X-Y. A Figura 1B complementa a Figura 1A mostrando uma porção de uma vista de corte final no plano Y-Z. A Figura 1B não é desenhada à escala. Conforme mostrado na Figura 1B, a PCB 104 nesse exemplo inclui adicionalmente um primeiro plano de aterramento condutor 105 paralelo aos traços e em uma camada verticalmente acima dos traços 102 assim como um segundo plano de aterramento condutor 106 paralelo aos traços 102 e verticalmente em uma camada abaixo dos traços 102. Os planos de solo 105 e 106 apareceriam como linhas na vista mostrada na Figura 1A.

[0026] Continuando com o exemplo da Figura 1B, os traços 102 são mostrados como um grupo de linhas de metal dispostas em uma camada de PCB 104. Os traços 102 podem incluir diversas linhas independentes e em outros exemplos, podem incluir linhas em outras camadas entre os planos de solo 105 e 106. Exemplos de material de plano de aterramento adequado incluem cobre, ligas de cobre e similares. Os traços 102 são fisicamente separados dos planos de solo 105 e 106 na Figura 1B por camadas isolantes.

[0027] À medida em que os sinais se propagam a

partir do pacote de chip 101 sobre os traços 102 para os módulos DIMM 120 e 130, existem reflexões do sinal originado no módulo DIMM 130 distante e viajando de volta para o módulo DIMM 120 próximo ao longo de alguns traços. Essas reflexões podem causar perdas de integridade de sinal no módulo DIMM 120 próximo. Portanto, esta modalidade de exemplo inclui a estrutura de EBG 103 que é colocada entre os módulos DIMM 120 e 130 para atenuar sinais que causariam reflexões de outro modo. A estrutura de EBG 103 é mostrada nesse exemplo como um retângulo para simplificar, mas entende-se que a mesma pode ser implantada com o uso de qualquer estrutura física apropriada como ranhuras em um ou em ambos os planos de solos, as porções de largura variada dos traços, meio dielétrico variável da PCB 104 e/ou similares.

[0028] A Figura 2 é uma ilustração de uma PCB 200 de exemplo, o qual ilustra em mais detalhe uma implantação física particular de PCB 104 da Figura 1A. A área 201 indica que o pacote de chip 101 seria acoplado à PCB 104 da Figura 1. Os vários orifícios (por exemplo, vias) fornecem comunicação elétrica a partir dos pinos do pacote de chip 101 para camadas e estruturas dentro da PCB 200. O plano de aterramento mais ao fundo 105 é eliminado dessa vista para facilidade de referência e entende-se que o plano de aterramento mais ao fundo seria colocado em uma camada abaixo dos traços 202.

[0029] Os traços 202 são linhas condutoras em uma ou mais camadas da PCB 200 e os mesmos acoplam os pinos do pacote de chip 101 aos pinos dos módulos DIMM. O módulo

DIMM 1 representa o módulo DIMM 120 próximo da Figura 1 e o módulo DIMM 0 representa o módulo DIMM 130 distante da Figura 1. Nesta vista, os módulos DIMM são eliminados para facilidade de referência e entende-se que os pinos dos módulos DIMM 1 e 0 seriam acoplados à PCB 200 e os traços 202 através dos orifícios como orifícios 204.

[0030] Adicionalmente nesse exemplo, o módulo DIMM 1 e o módulo DIMM 0 são eletricamente acoplados aos traços com o uso dos mesmos canais de modo que o pacote de chip se comunique com apenas um dos módulos DIMM por cada dada vez. Ou dito de outra forma, os traços 202 acoplam o módulo DIMM 0 e o módulo DIMM 1 ao pacote de chip na área 201 com o uso de uma arquitetura de barramento multiponto na qual ambos os módulos DIMM acoplam aos mesmos traços. A área 210 indica uma porção do plano de aterramento na qual a estrutura de EBG é implantada. Conforme mostrado, a estrutura de EBG tem ranhuras retangulares múltiplas no plano de aterramento mais ao fundo. O campo e a largura de cada uma das ranhuras retangulares determinam coletivamente a banda de frequência para a qual a estrutura de EBG fornece atenuação. As ranhuras de exemplo são mostradas como 211 nesse exemplo. As ranhuras retangulares da estrutura de EBG estão dispostas de modo que sua dimensão de comprimento seja perpendicular a uma dimensão de comprimento dos traços 202 e a estrutura de EBG subjaz a área entre os dois módulos DIMM assim como áreas diretamente abaixo de cada um dos dois módulos DIMM. As propriedades de EBG das ranhuras retangulares podem ser modeladas com o uso de Equações como (1) a (3) abaixo:

Equação (1)

$$k = \frac{1}{L} \cos^{-1} \left[\frac{A+D}{Z} \right]$$

Equação (2)

$$A = \cosh \gamma_1 l_1 \cosh \gamma_2 l_2 + \frac{Z_1}{Z_2} \sinh \gamma_1 l_1 \sinh \gamma_2 l_2$$

Equação (3)

$$D = \cosh \gamma_1 l_1 \cosh \gamma_2 l_2 + \frac{Z_2}{Z_1} \sinh \gamma_1 l_1 \sinh \gamma_2 l_2$$

[0031] Em equações (1) a (3), Z_1 é a impedância do primeiro meio, Z_2 é a impedância do segundo meio, l_1 é o comprimento do primeiro meio, l_2 é o comprimento do segundo meio, γ_1 é a propagação constante do primeiro meio, γ_2 é a propagação constante do segundo meio, L é o comprimento da célula unitário periódica ($L = 11+12$).

[0032] A Figura 3 é uma ilustração da PCB 200 de exemplo, mas com uma implantação física diferente da estrutura de EBG. No exemplo da Figura 3, a área 310 indica a área na qual a estrutura de EBG está localizada. Especificamente, a estrutura de EBG inclui seções de largura variada de cada um dos traços condutores 202 dentro da área 310. Um exemplo de seções de largura variada 311, que são mais amplas do que outras porções do mesmo traço. A largura e campo das seções de largura variada determinam a banda de frequência para a qual a estrutura de EBG fornece a atenuação. Em outras palavras, em vez de implantar a estrutura de EBG como ranhura em um plano de aterramento, a modalidade da Figura 3 implanta a estrutura de EBG nos

próprios traços condutores.

[0033] A Figura 4 é outra ilustração de uma PCB 200 de exemplo com ainda outra implantação física da estrutura de EBG diferente daquela mostrada acima em relação às Figuras 2 e 3. A área 410 indica a área na qual a estrutura de EBG é implantada. Especificamente, nesse exemplo, a estrutura de EBG é implantada como uma multiplicidade de ranhuras em formato senoidal no plano de aterramento mais ao fundo. Um exemplo de ranhuras é mostrado nos itens 411. Adicionalmente nesse exemplo, uma dimensão de comprimento de cada uma das ranhuras em formato senoidal é alinhada em paralelo com a direção primária da dimensão de comprimento dos traços 202. A Figura 4 inclui as ranhuras em formato senoidal 420 de exemplo que mostra como duas ranhuras em formato senoidal adjacentes podem aparecer sob ampliação. A frequência na qual a estrutura de EBG fornece atenuação é determinada pelo período e pela amplitude do formato do sinusoidal. Adicionalmente, outras modalidades podem usar sinusoidais múltiplos com diferentes períodos e formatos conforme apropriado. As propriedade das ranhuras senoidais podem ser modeladas com o uso de equações como as Equações (4) a (8) abaixo:

Equação (4)

$$R = \left[\frac{\gamma^2 \sinh^2(sD)}{s^2 \cosh^2 sD + \left(\Delta k/2\right)^2 \sinh^2 sD} \right]$$

Equação (5)

$$\gamma = \frac{k_1 M}{4}$$

Equação (6)

$$\Delta k = 2k_1 - K$$

Equação (7)

$$s = \sqrt{\gamma^2 - \left(\frac{\Delta k}{2}\right)^2}$$

Equação (8)

$$K = \frac{2\pi}{L}$$

[0034] Nas Equações (4) a (8), R é a reflexão, D é o comprimento da estrutura, M é a modulação senoidal da constante dielétrica, k₁ é um número de onda do meio periódico, L é o período da célula periódica.

[0035] A Figura 5 é ainda outra ilustração de uma implantação física de uma estrutura de EBG. A Figura 5 mostra uma vista de cima para baixo e uma vista em perspectiva de um tecido de fibra em uma camada de uma PCB como PCB 104 das Figuras 1A e 1B. O tipo de trama e o ângulo de rotação do traço em relação ao tecido podem ser configurados para ter um meio dielétrico variável que fornece propriedades de EBG desejáveis. As PCBs laminadas dielétricas são comumente feitas de fios de fibra de vidro de tecido como reforço para o meio de resina. Os panos de fibra de vidro de tecido podem ser configurados para formar um meio periódico com regiões alternadas de fibra de vidro e de resina. Essas regiões periódicas podem ser projetadas para formar estruturas de EBG no meio PCB. Ao ajustar os

parâmetros de tecido de fibra, a frequência de intervalo de banda e a largura de banda podem ser controladas. Ao analisar o exemplo da Figura 1B, uma ou mais camadas de tecido de fibra podem ser colocadas entre os traços 102 e o plano de aterramento 105 e/ou entre os traços 102 e o plano de aterramento 106.

[0036] Por exemplo, existem várias técnicas possíveis para ajustar as geometrias médias periódicas e para controlar as frequências de intervalo de banda. Um exemplo inclui a seleção de um tipo de tecido com várias larguras da urdidura e da trama. Outro exemplo é a seleção das constantes dielétricas de resina e de fibra de vidro. Ainda outro exemplo inclui o ângulo de rotação do roteamento em relação à orientação do tecido de fibra. Outro exemplo inclui um formato de corte transversal (por exemplo, corte transversal senoidal) dos feixes de tecido de fibra. Um engenheiro pode simular uma PCB que tem várias geometria médias periódicas para encontrar uma ou mais geometrias que fornecem propriedades de EBG desejáveis. Várias modalidades podem então ser implantadas com o uso de uma ou mais camadas em uma PCB que incluem as estruturas de EBG para fornecer uma quantidade desejada de atenuação de reflexão.

[0037] As Figuras 2 a 5 são fornecidas para ilustrar que as estruturas de EBG podem levar uma variedade de implantações físicas diferentes. Adicionalmente, uma vez que os exemplos das Figuras 2 e 3 mostram ranhuras no plano de aterramento mais fundo, entende-se que as ranhuras podem ser implantadas no plano de aterramento mais fundo ou em

ambos os planos de aterramento conforme apropriado. Adicionalmente, as estruturas de EBG das modalidades ilustradas estão localizadas em camadas diferentes da PCB do que estão os traços e especificamente, estão localizados lateralmente (na dimensão X na Figura 1A) entre os módulos de memória. Entretanto, as estruturas de EBG podem ser escalonadas conforme apropriado de modo que as mesmas não fiquem lateralmente entre os módulos de memória, mas se estendam em áreas que estão subjacentes lateralmente em um ou ambos os módulos de memória. Em qualquer evento, as estruturas de EBG podem ser adaptadas para usar em várias modalidades para atenuar reflexões em um barramento multiponto.

[0038] A Figura 6 é uma ilustração de quatro diagramas de olho 602, 604, 612 e 614 de exemplo de acordo com uma modalidade. As Figuras 6 a 7 mostram números de margem, de tempo e de voltagem e esses números são apenas para ilustração. Outras modalidades podem ter números diferentes para tais parâmetros conforme apropriado. Os diagramas de olho 602, 604, 612 e 614 mostram uma representação de domínio de tempo de transições de bits múltiplas se sobrepõe em uma mesma tela. Os diagramas da Figura 6 podem ser adquiridos através de simulação ou de teste.

[0039] Ao tomar o diagrama 612 como um exemplo, isso mostra uma multiplicidade de transições de bits, de acordo com uma simulação ou medição, conforme ocorreria no módulo DIMM próximo (módulo DIMM 1). Geralmente, quanto mais apertadas as linhas em um dado

diagrama de olho, menor a variação entre as diferentes transições em momentos diferentes. Uma maior variação pode frequentemente ser causada pela interferência entre símbolos que por sua vez pode ser o resultado de reflexões de sinal.

[0040] O diagrama de olho 614 ilustra transições de bits no módulo DIMM distante (módulo DIMM 0) de acordo com simulação ou medição. Ambos os diagramas de olho 612 e 614 representam o comportamento que seria esperado com as modalidades mostrados nas Figuras 1 a 5. A abertura da porção intermediária do diagrama de olho ilustra um tempo disponível para capturar um bit durante uma transição. Por exemplo, um relógio pode amostrar os dados então a borda do relógio seria de preferência colocada no meio do diagrama de olho em que o meio representa o maior binário 1 e o menor binário 0. Tipicamente, é indesejável amostrar muito cedo ou muito tarde, pois o bit não pode ser capturado corretamente. Quanto maior a abertura do olho, mais tempo estará disponível para capturar o bit. Correspondentemente, quanto mais as linhas se sobreponham no diagrama de olho com menos variação, mais tempo existirá para capturar o bit.

[0041] Os retângulos no meio dos diagramas de olho 612 e 614 é uma especificação de Associação para Tecnologia de Estado Sólido JEDEC e o mesmo corresponde a um tempo desejado para capturar um bit. Margem se refere a um tempo ilustrado pela distância entre um canto do retângulo e a linha mais próxima no diagrama de olho. Quanto menor a margem, menor o tempo disponível para

capturar o bit. Ao analisar os diagramas de olho 612 e 614, existe uma margem de 47,92 ps e de 58,25 ps respectivamente. Tais valores podem ou não ser aceitáveis para uma dada aplicação. Entretanto, esses números contrastam com as margens mostradas em relação aos diagramas de olho 602 e 604. Os diagramas de olho 602 e 604 correspondem a um sistema semelhante àquele mostrado em qualquer uma das Figuras 1 a 5, mas sem as estruturas de EBG para atenuar reflexões. Os diagramas de olho 602 e 604 mostram uma margem de 12,50 ps e 97,92 ps respectivamente.

[0042] Em conformidade, sem o uso de estruturas de EBG, espera-se que tais outras modalidades tenham o desempenho de tempo diminuído no módulo DIMM próximo devido a reflexões. Adicionalmente, a discrepância maior entre a margem no módulo DIMM próximo versus a margem no módulo DIMM distante indica que o módulo DIMM próximo pode causar um estreitamento no desempenho para o sistema e pode até mesmo ter um desempenho de tempo que é inaceitável para algumas aplicações.

[0043] A adição das estruturas de EBG podem atenuar reflexões, mas também atenuam o sinal do chip, diminuindo assim o desempenho de tempo no módulo DIMM distante. Entretanto, em alguns casos, a margem aprimorada no módulo DIMM próximo pode mover o desempenho de tempo do módulo DIMM próximo de um nível inaceitável para um nível aceitável dependendo da aplicação particular. Em outras palavras, alguns desempenhos diminuídos no módulo DIMM distante pode ser um preço aceitável a pagar pelo aumento do desempenho no módulo DIMM próximo, especialmente em

aplicações em que ambos os módulos DIMM estejam em um nível aceitável de margem.

[0044] A Figura 7 é uma ilustração de quatro diagramas de frequência 702, 704, 712 e 714 de exemplo de acordo com uma modalidade. Os diagramas 702 e 704 são diagramas de domínio de frequência que correspondem aos diagramas de olho 602 e 604 respectivamente da Figura 6. Similarmente, os diagramas 712 e 714 são diagramas de domínio de domínio de frequência que correspondem aos diagramas de olho 612 e 614 respectivamente. Os diagramas 702, 704, 712 e 714 ilustram a atenuação nas bandas de frequência a partir de cerca de 1,6GHz a 3,3GHz que em algumas modalidades pode ser uma banda de frequência fundamental de interesse. Por exemplo, algumas modalidades podem usar sinais dentro da banda de frequência para transmitir os dados do chip para os módulos DIMM conforme mostrado na Figura 1. Os diagramas 712 e 714 mostram o desempenho simulado com o uso das estruturas de EBG da Figura 2. Esses são comparados com os diagramas 702 e 704 que mostram desempenho simulado com o uso de uma modalidade que não inclui estruturas de EBG. Mais uma vez, o desempenho aprimorado no módulo DIMM próximo atribuível ao uso de estruturas de EBG para aumentar o ganho no módulo DIMM próximo, é evidente a partir dos diagramas. As bandas de frequência na Figura 7 são para propósitos ilustrativos e entende-se que outras modalidades podem usar diferentes bandas de frequências.

[0045] Uma vantagem de algumas modalidades é que as estruturas de EBG das Figuras 1 a 5 podem fornecer

desempenho de tempo aceitável para sistemas que têm dois módulos DIMM eletricamente acoplados por uma ponta em cadeia sem perda de desempenho perceptível em ambos os módulos DIMM.

[0046] Adicionalmente, a modalidades mostrada nas Figuras 1 a 5 podem fornecer desempenho aceitável até mesmo em aplicações quando apenas um módulo DIMM for acoplado à PCB. Isso contrasta com uma topologia Tee convencional que seria tipicamente esperada para retornar resultados ruins quando apenas um módulo DIMM preencher a placa. Portanto, várias modalidades descritas no presente documento podem incluir placas usadas tanto para aplicações no módulo DIMM único como para aplicações no módulo DIMM duplo conforme apropriado. Em outras palavras, outras modalidades podem incluir variações nos sistemas das Figuras 1 a 5 em que apenas uma das ranhuras do módulo de memória é preenchida (por exemplo, ou a ranhura distante ou a ranhura próxima, mas não ambas).

[0047] Além disso, algumas soluções descritas acima em relação às Figuras 1 a 5 podem ser contraintuitivas e fornecer resultados inesperados. Por exemplo, algumas das soluções descritas acima incluem desempenho de tempo diminuído em um módulo de memória distante enquanto as soluções convencionais tendem a focar em aprimoramento de desempenho de tempo quando possível. Entretanto, o desempenho de tempo reduzido no módulo de memória distante pode ser compensado por desempenho de tempo aprimorado no módulo de memória próximo permitindo assim taxas de bits maiores no barramento geral quando

comparadas às taxas de bits que estariam disponíveis no barramento sem o uso de estruturas de EBG para atenuar reflexões.

[0048] Várias modalidades podem encontrar utilidade em uma variedade de aplicações. Em um exemplo, as placas que têm processadores, pelo menos um módulo de memória e uma estrutura de EBG podem ser empregadas em sistemas de computação como servidores, computadores desktop, computadores portáteis e similares. Entretanto, o escopo das modalidades não é limitado a isso, as placas para usar em dispositivos móveis podem ser adaptadas de acordo com os princípios descritos no presente documento.

[0049] A Figura 8 é uma ilustração de um método 800 de exemplo para projetar um sistema que tem umas estruturas de EBG de acordo com uma modalidade. O método 800 pode ser realizado, por exemplo, por um engenheiro com o uso de uma ou mais ferramentas de simulação.

[0050] Na ação 802, um engenheiro determina a geometria em cadeia da placa e então simula o desempenho de tempo de um ou de ambos os módulos DIMM na banda de frequência desejada. Na ação 804, o engenheiro determina se a banda de frequência desejada, a frequência fundamental, é afetada. Por exemplo, nas ações 802 a 804, o engenheiro pode simular o projeto com o uso de técnicas de domínio de tempo e/ou de domínio de frequência para determinar se o desempenho de tempo é diminuído na banda de frequência desejada. Se a banda de frequência for afetada na ação 804, então o método 800 passa para a ação 806. De outro modo, a consulta pode parar.

[0051] Na ação 806, o engenheiro determina o tipo de geometria periódica e calcula as dimensões com o uso de equações aproximadas. Em alguns exemplos, a ação 806 inclui as melhores dimensões de suposição para estruturas de EBG. Por exemplo, a melhor suposição inclui o campo e a largura (as Figuras 2 e 3) ou a frequência e a amplitude senoidais (a Figura 4) ou outro parâmetro para uma estrutura de EBG apropriada. A ação 806 pode incluir com o uso de equações como aquelas discutidas acima em relação às Figuras 2 e 4 para definir inicialmente os parâmetros. Na ação 808, o engenheiro modela as estruturas de EBG calculadas em um programa solucionador de campo eletromagnético tridimensional. A modelagem produz informações semelhantes àquelas das Figuras 6 e 7 que permitem que o engenheiro determine o ganho de frequência e desempenho de tempo para as estruturas.

[0052] Na ação 810, o engenheiro otimiza as estruturas pela varredura dos parâmetros em torno dos valores nominais calculados. Por exemplo, o engenheiro pode alterar o campo, a largura, a frequência senoidal, amplitude de uma estrutura e realiza a modelagem da ação 808 para refinar adicionalmente o formato e melhora o desempenho. A ação 810 pode ser interativa com reprojeto e modelagem.

[0053] A ação 812 inclui a verificação da eficácia da solução em simulações de domínio de tempo. As simulações de domínio de tempo de exemplo incluem diagramas de olho e podem adicionalmente incluir a análise da margem de tempo e da margem de ruído. Se a solução não for eficaz,

o método 800 pode retornar para a ação 810 para melhorar adicionalmente o projeto até o mesmo ser aceitável. A Figura 9 é uma ilustração de um gráfico de exemplo de resultados durante as ações 810 e 812 em que um engenheiro pode simular projetos para testar margens tanto para um DIMM próximo como para um DIMM distante. Nesse exemplo da Figura 8, uma solução é quando o desempenho das margens do DIMM próximo e do DIMM distante são substancialmente semelhantes e estão dentro de uma faixa aceitável para a aplicação.

[0054] Várias modalidades podem incluir métodos para usar nos sistemas das Figuras 1 a 5. Por exemplo, a Figura 10 ilustra um método 1000 de exemplo para usar nos sistemas das Figuras 1 a 5. As ações do método 1000 podem ser realizadas, por exemplo, por um aparelho de computação como aquele mostrado na Figura 1A que tem um pacote de chip em comunicação elétrica com dois módulos de memória. Um exemplo pode incluir a operação normal de um servidor ou de outro computador que inclui uma placa adaptada de acordo com os princípios descritos no presente documento.

[0055] Continuando com esse exemplo, a ação 1010 inclui a propagação de um sinal elétrico a partir de um dispositivo de processamento em uma PCB para um primeiro módulo de memória e para um segundo módulo de memória em comunicação elétrica com uma pluralidade de traços de metal e de canais de compartilhamento de traços de metal. O dispositivo de processamento pode incluir, por exemplo, uma unidade de processamento central (CPU), um processador de

sinal digital (DSP), uma unidade de processamento de gráficos (GPU) ou outras unidades de processamento apropriadas. O dispositivo de processamento realiza operações que incluem a gravação de dados para os módulos de memória e a leitura de dados a partir dos módulos de memória.

[0056] Os próprios módulos de memória armazenam os dados e acessam os dados em resposta a comandos do dispositivo de processamento. A propagação dos sinais elétricos pode ser realizada por traços elétricos como aqueles ilustrados nas Figuras 1 a 4.

[0057] Adicionalmente, os traços de metal podem ser configurados como um barramento multiponto de modo que cada um dos módulos de memória esteja física e eletricamente acoplado aos mesmos dos traços. Nesse exemplo, a ação 1010 pode incluir o sinal elétrico que se propaga ao longo do barramento embora qualquer instrução particular possa ser endereçada a apenas um dos módulos de memória dados.

[0058] A ação 1020 inclui a atenuação de reflexões do sinal elétrico em uma estrutura de EBG. A estrutura de EBG pode estar fisicamente disposta em área entre o primeiro módulo de memória e o segundo módulo de memória. Os posicionamentos físicos diferentes são mostrados e discutidos acima em relação às Figuras 1 a 4.

[0059] O escopo das modalidades não é limitado às ações mostradas na Figura 10. Por exemplo, outras modalidades podem adicionar, omitir, reorganizar ou modificar uma ou mais ações. Em um exemplo, uma placa é

preenchida similarmente àquela da Figura 1A exceto que apenas um dos módulos de memória é preenchido na placa. Em tal exemplo, a propagação de sinais elétricos pode ser realizada em relação a apenas um único módulo de memória. Similarmente, outras modalidades que tem três ou mais módulos de memória podem incluir a propagação de sinais elétricos para cada um daqueles módulos de memória.

[0060] Adicionalmente, as ações 1010 e 1020 podem ser repetidas continuamente ao longo da operação do dispositivo. A estrutura de EBG pode assim fornecer atenuação de reflexão eletromagnética e em alguns casos, fornece desempenho aumentado do dispositivo.

[0061] Como aqueles versados nesta técnica apreciarão agora e dependerão da aplicação em questão, muitas modificações, substituições e variações podem ser feitas nos e para os materiais, o aparelho, as configurações e os métodos de uso dos dispositivos da presente revelação sem se afastar do espírito e do escopo da mesma. À luz disto, o escopo da presente revelação não deve ser limitado àquele das modalidades particulares ilustradas e descritas no presente documento, uma vez que as mesmas são meramente por meio de alguns exemplos das mesmas, mas devem ser totalmente proporcionais àquelas das reivindicações anexadas daqui em diante e seus equivalentes funcionais.

REIVINDICAÇÕES

1. Sistema compreendendo:

uma placa de circuito impresso (104) tendo uma pluralidade de traços condutores (102);

um dispositivo de processamento acoplado (101) à placa de circuito impresso e em comunicação elétrica com a pluralidade de traços condutores;

um primeiro módulo de memória (120) e um segundo módulo de memória (130) em comunicação elétrica com a pluralidade de traços condutores e de canais de compartilhamento dos traços condutores, em que o primeiro módulo de memória (120) está fisicamente mais próximo ao dispositivo de processamento do que está o segundo módulo de memória (130); e

o sistema **caracterizado** por compreender adicionalmente:

uma estrutura de intervalo de banda eletrônica, EBG, (103) fisicamente disposta em uma área entre o primeiro módulo de memória (120) e o segundo módulo de memória (130);

em que a placa de circuito impresso (104) inclui um primeiro plano de aterramento (105) e um segundo plano de aterramento (106), e adicionalmente em que a pluralidade de traços condutores (102) é disposto entre o primeiro plano de aterramento (105) e o segundo plano de aterramento (106); e

em que a estrutura de EBG inclui uma pluralidade de ranhuras em formato senoidal (420) no primeiro plano de aterramento (105).

2. Sistema, de acordo com a reivindicação 1,

caracterizado pelo primeiro módulo de memória (120) compreender um primeiro Módulo de Memória Dupla em Linha, DIMM, e em que o segundo módulo de memória (130) compreende um segundo DIMM.

3. Sistema, de acordo com a reivindicação 1, **caracterizado** pela pluralidade de traços condutores (102) ser configurada como um barramento multiponto.

4. Sistema, de acordo com a reivindicação 1, **caracterizado** pelas ranhuras em formato senoidal (420) serem paralelas a uma direção dos traços condutores (102).

5. Sistema, de acordo com a reivindicação 1, **caracterizado** pela estrutura de EBG (103) incluir seções de largura variada dos traços condutores (102).

6. Sistema, de acordo com a reivindicação 1, **caracterizado** pela estrutura de EBG (103) estar fisicamente disposta em áreas abaixo do primeiro módulo de memória (120) e do segundo módulo de memória (130).

7. Sistema, de acordo com a reivindicação 1, **caracterizado** pela estrutura de EBG (103) compreender um meio dielétrico variável da placa de circuito impresso (104).

8. Método compreendendo:

propagar sinais elétricos a partir de um dispositivo de processamento (101) em uma placa de circuito impresso (104) para um primeiro módulo de memória (120) e um segundo módulo de memória (130) em comunicação elétrica com uma pluralidade de traços condutores (102) e canais de compartilhamento dos traços condutores, em que o primeiro módulo de memória (120) está fisicamente mais próximo ao dispositivo de processamento do que está o segundo módulo

de memória (130);

o método **caracterizado** por compreender adicionalmente:

atenuar reflexões dos sinais elétricos em uma estrutura de intervalo de banda eletrônica, EBG, (103) fisicamente disposta em uma área entre o primeiro módulo de memória (120) e o segundo módulo de memória (130);

em que a placa de circuito impresso (104) inclui um primeiro plano de aterramento (105) e um segundo plano de aterramento (106), e adicionalmente em que a pluralidade de traços condutores (102) é disposto entre o primeiro plano de aterramento (105) e o segundo plano de aterramento (106); e

em que a estrutura de EBG inclui uma pluralidade de ranhuras em formato senoidal (420) no primeiro plano de aterramento (105).

9. Método, de acordo com a reivindicação 8, **caracterizado** por atenuar reflexões compreender:

fornecer atenuação em uma banda de frequência fundamental dos sinais elétricos a partir do dispositivo de processamento.

10. Método, de acordo com a reivindicação 8, **caracterizado** pela pluralidade de traços condutores (102) estar disposta como um barramento multiponto.

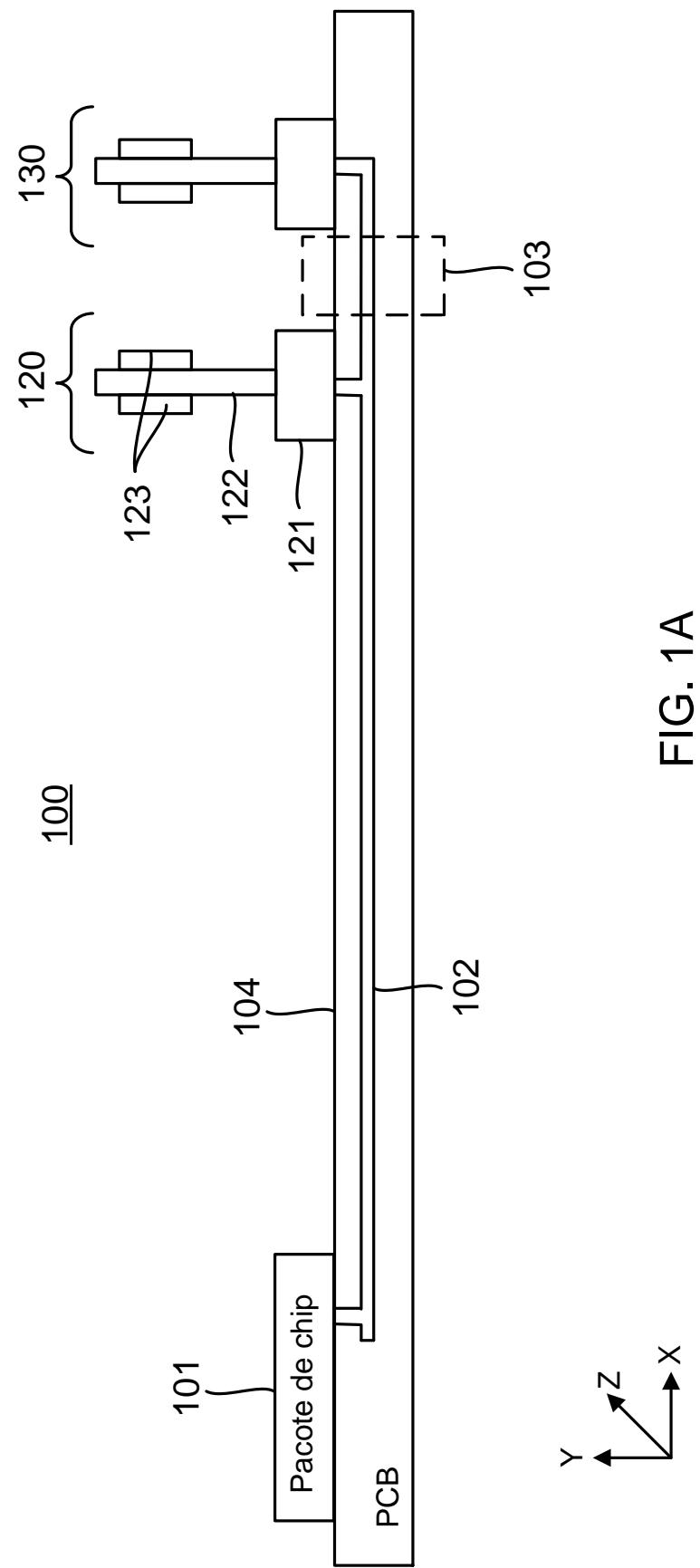


FIG. 1A

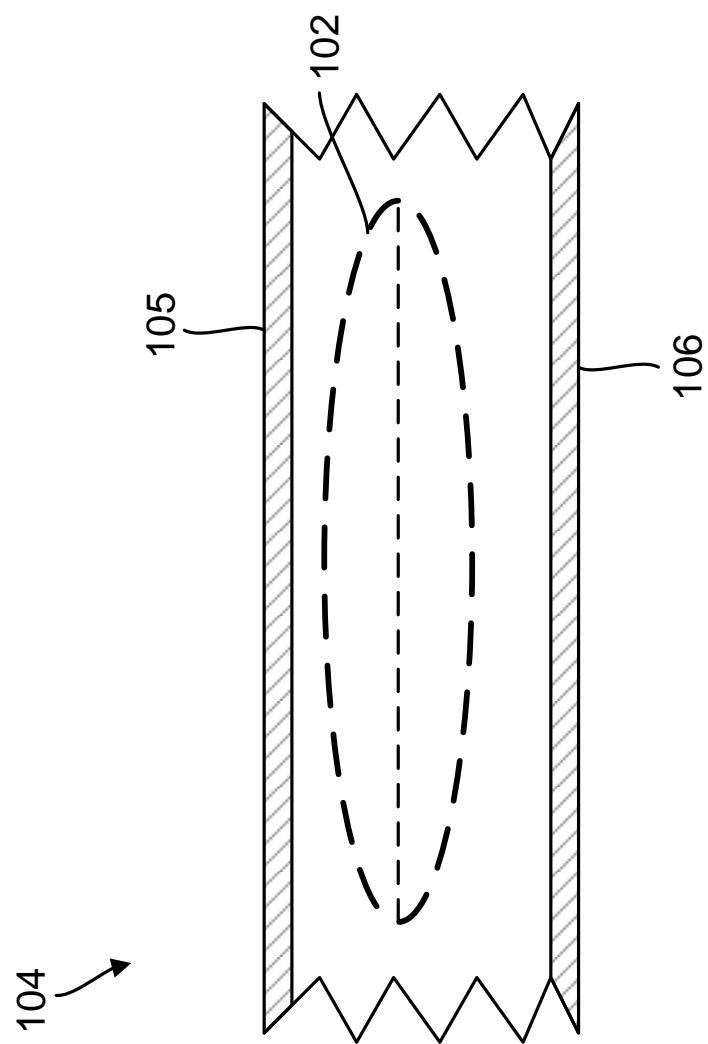


FIG. 1B

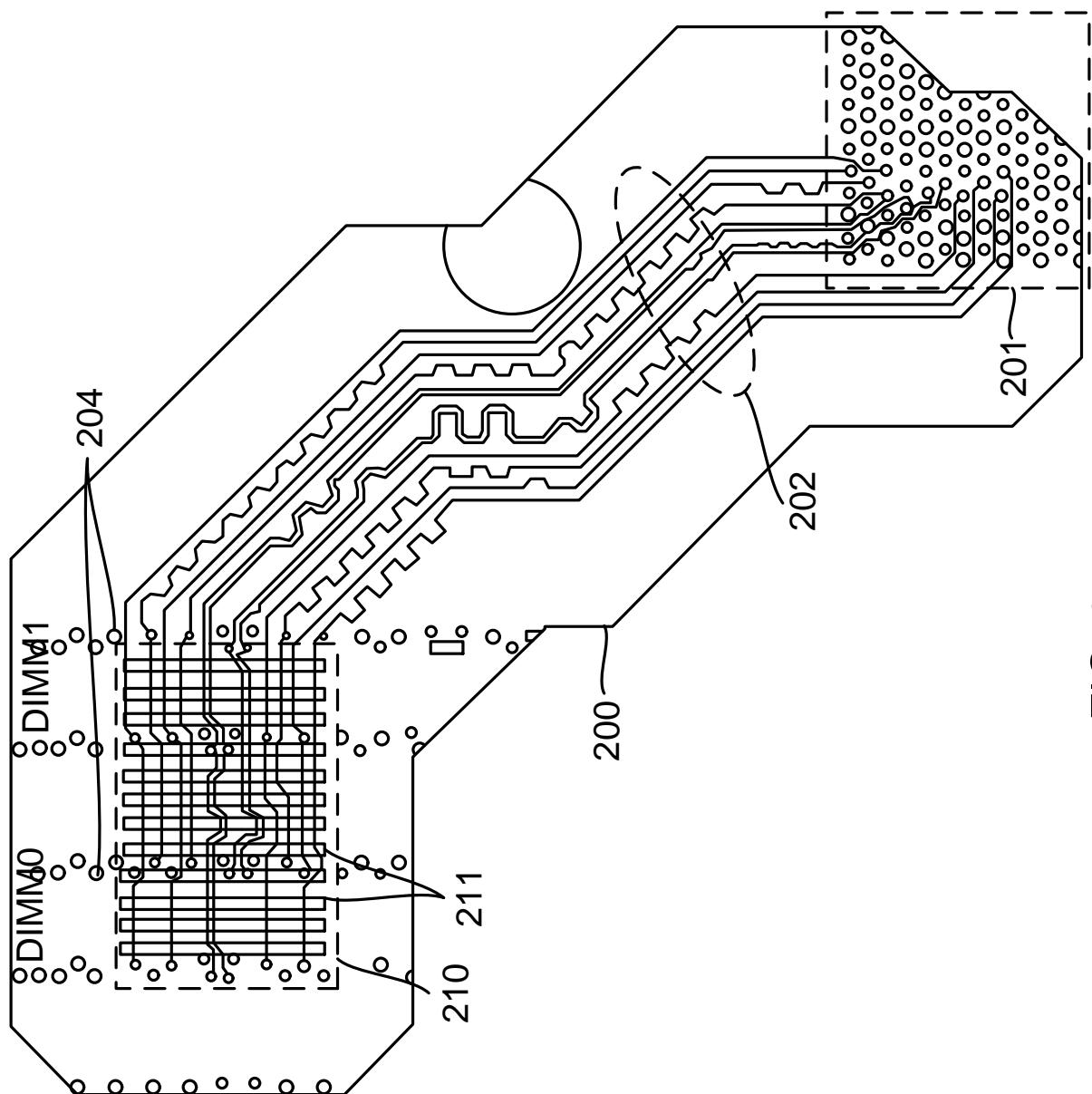


FIG. 2

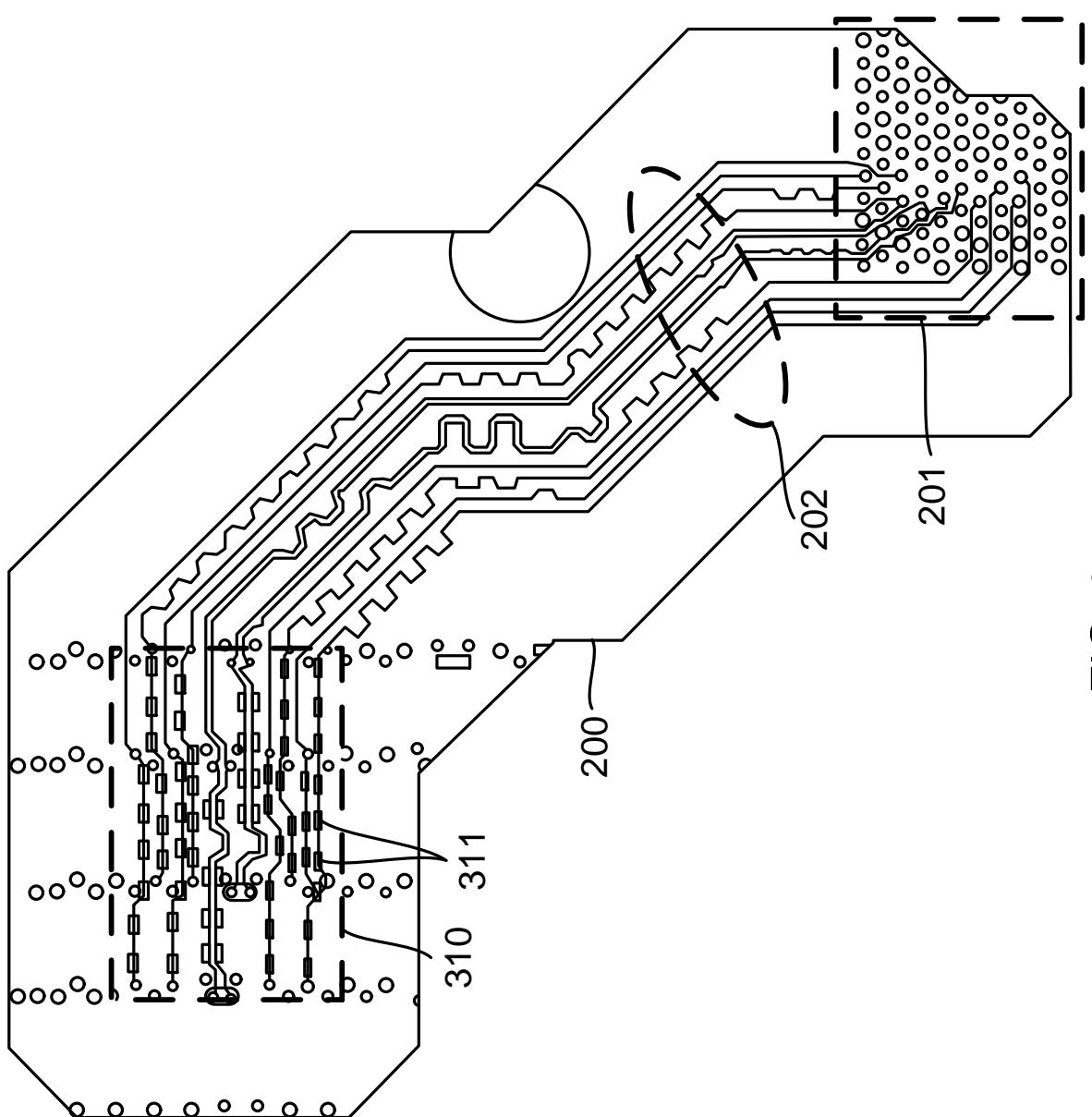


FIG. 3

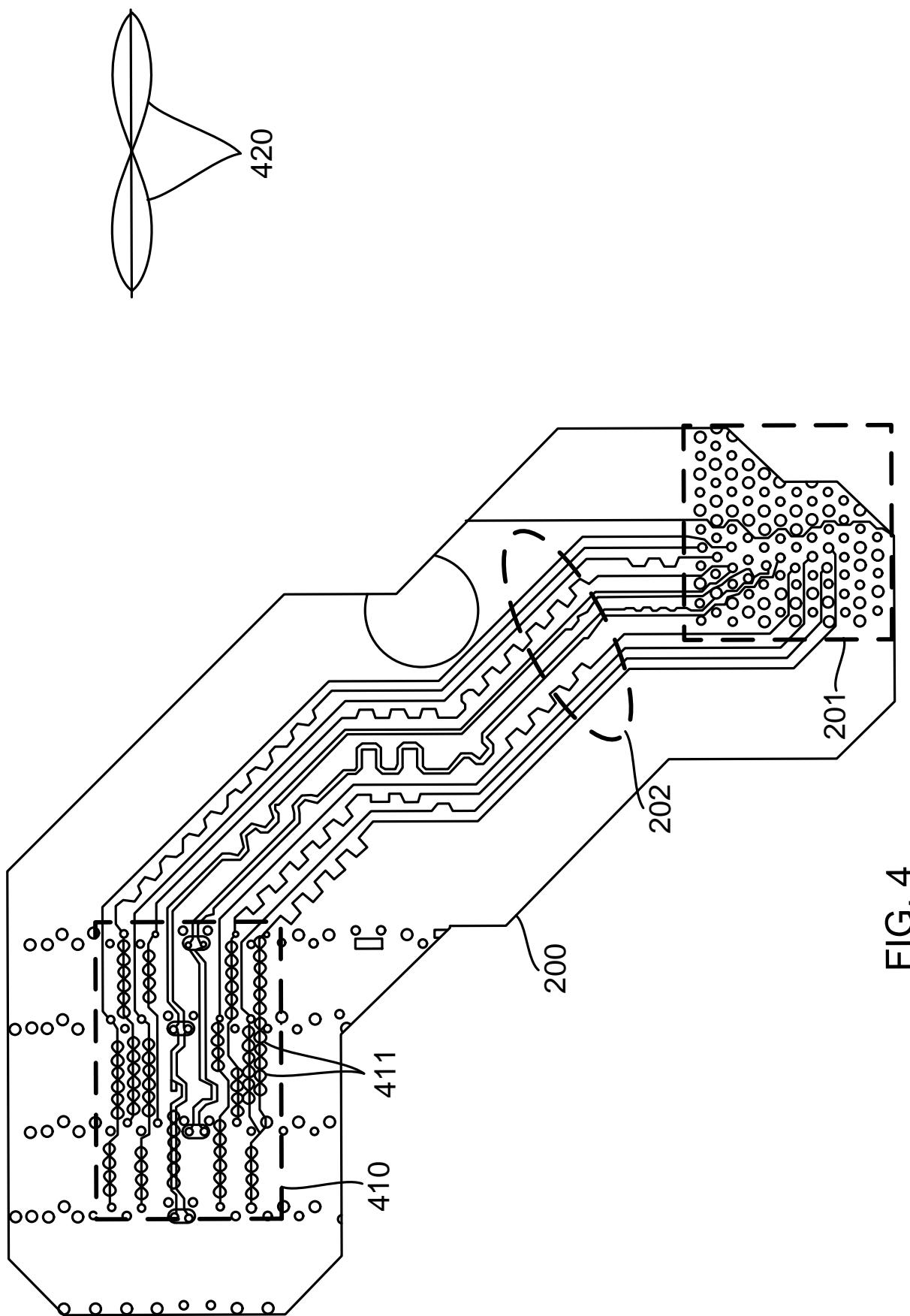


FIG. 4

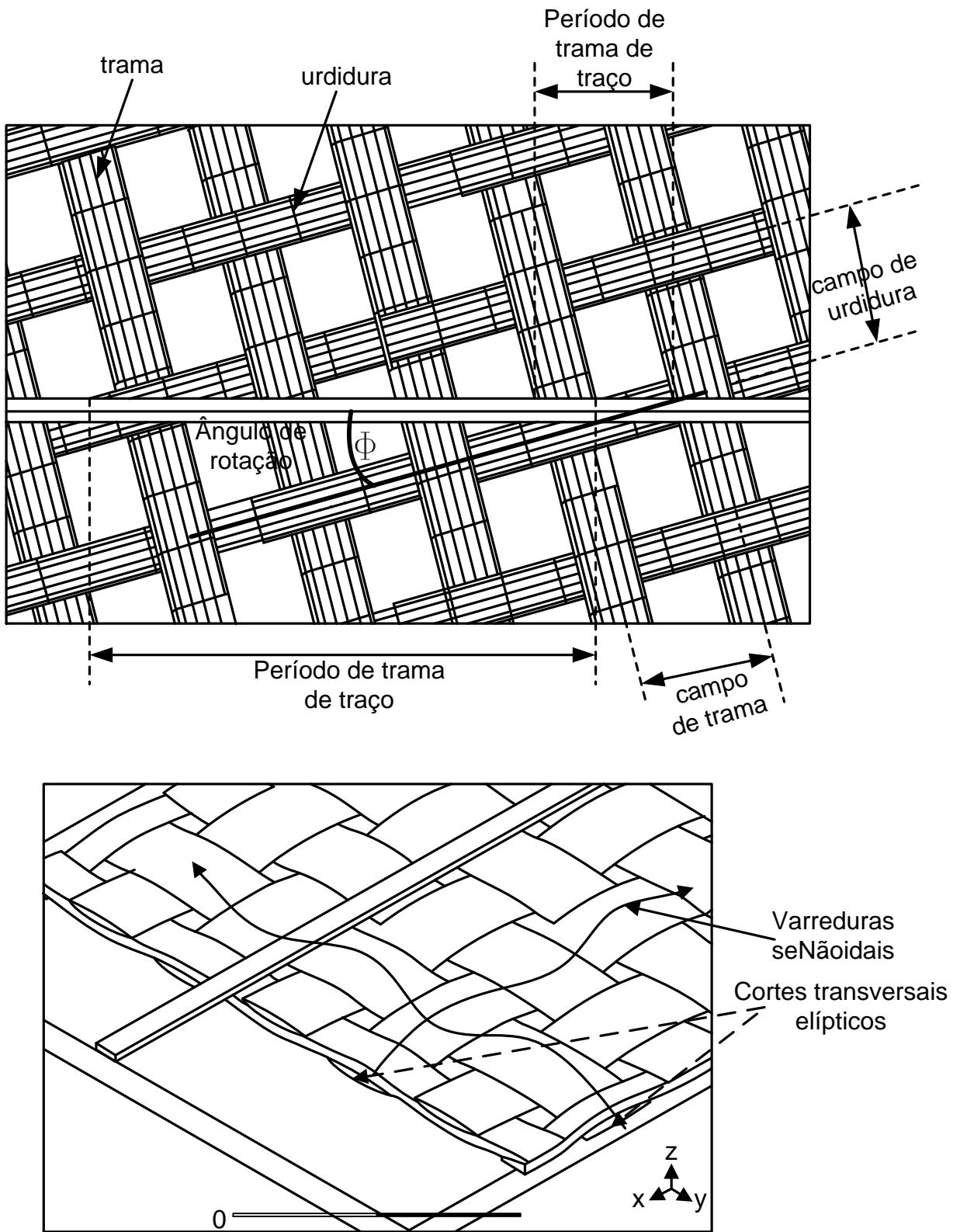


FIG. 5

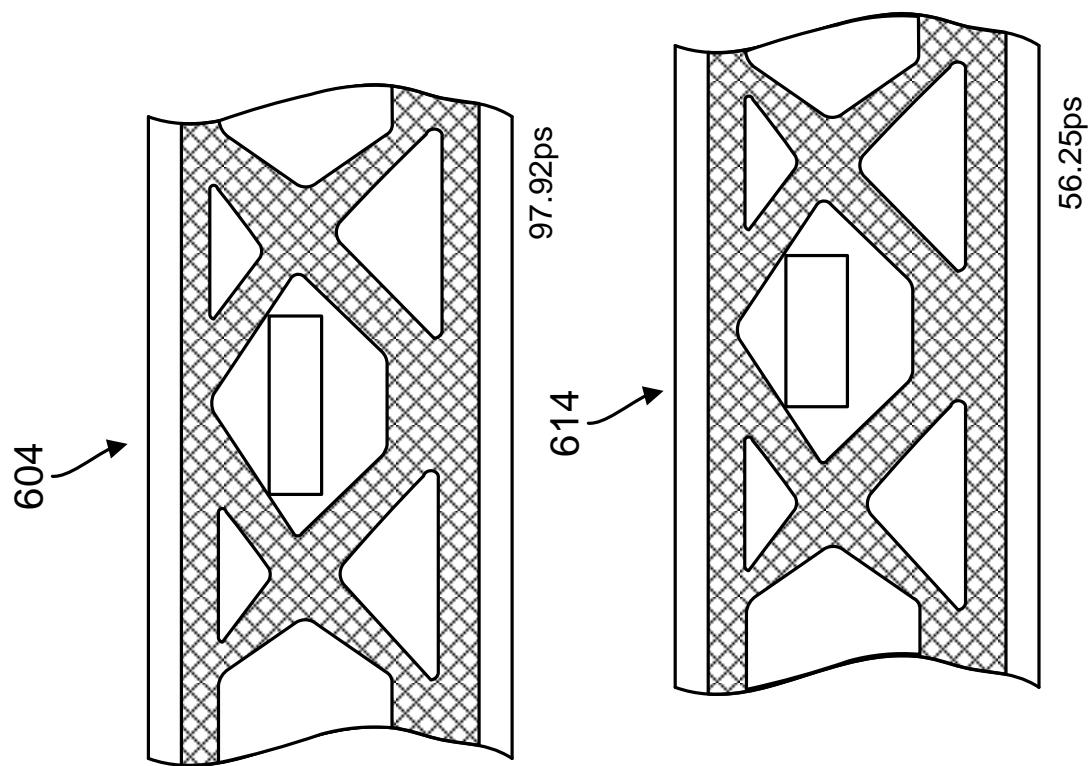
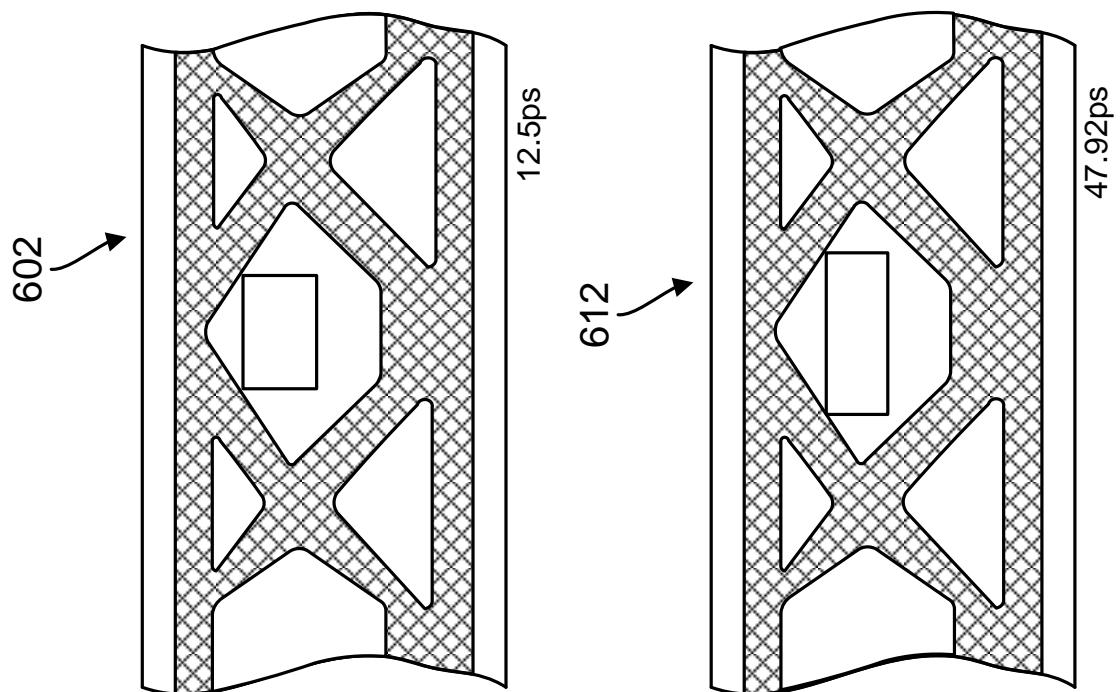


FIG. 6



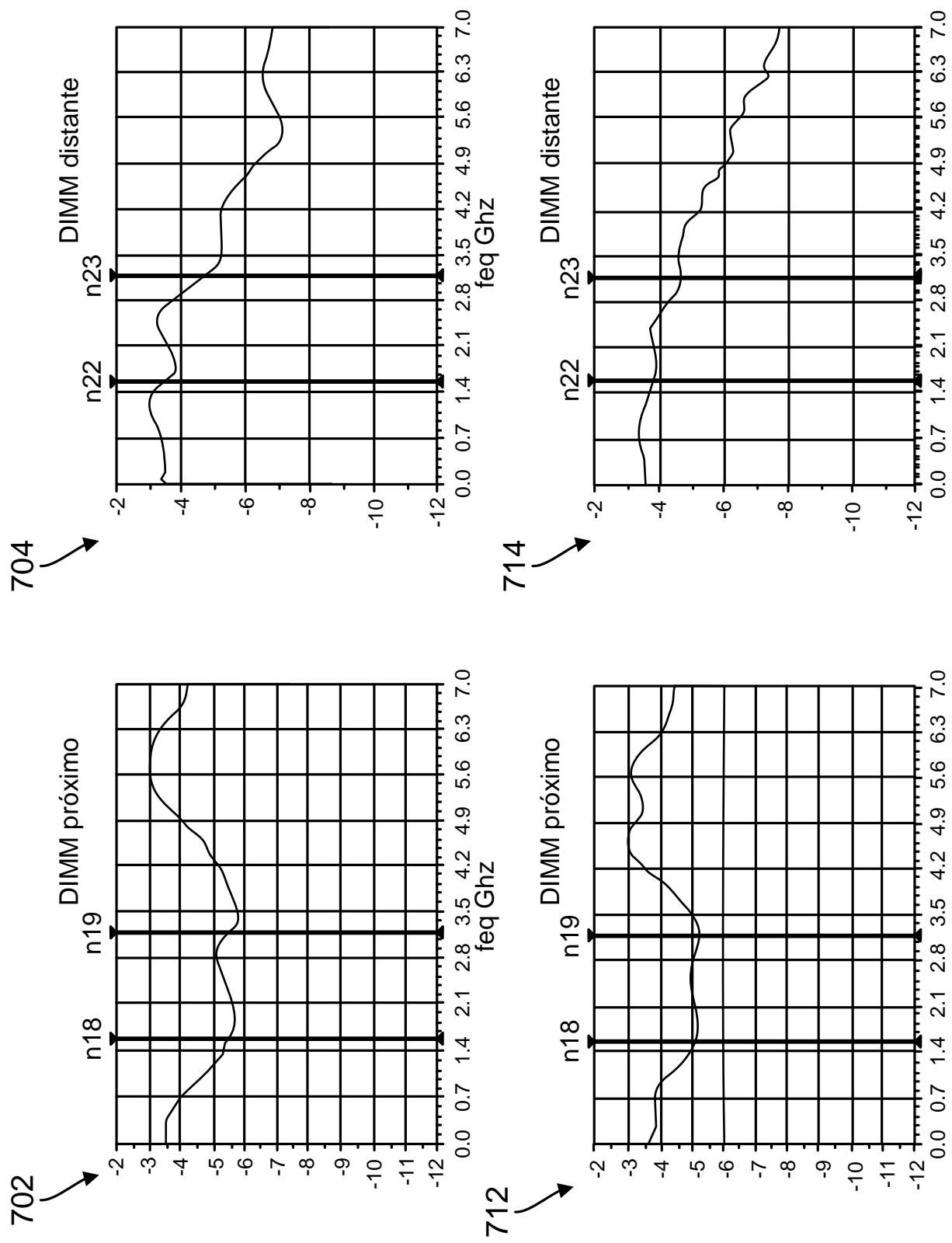


FIG. 7

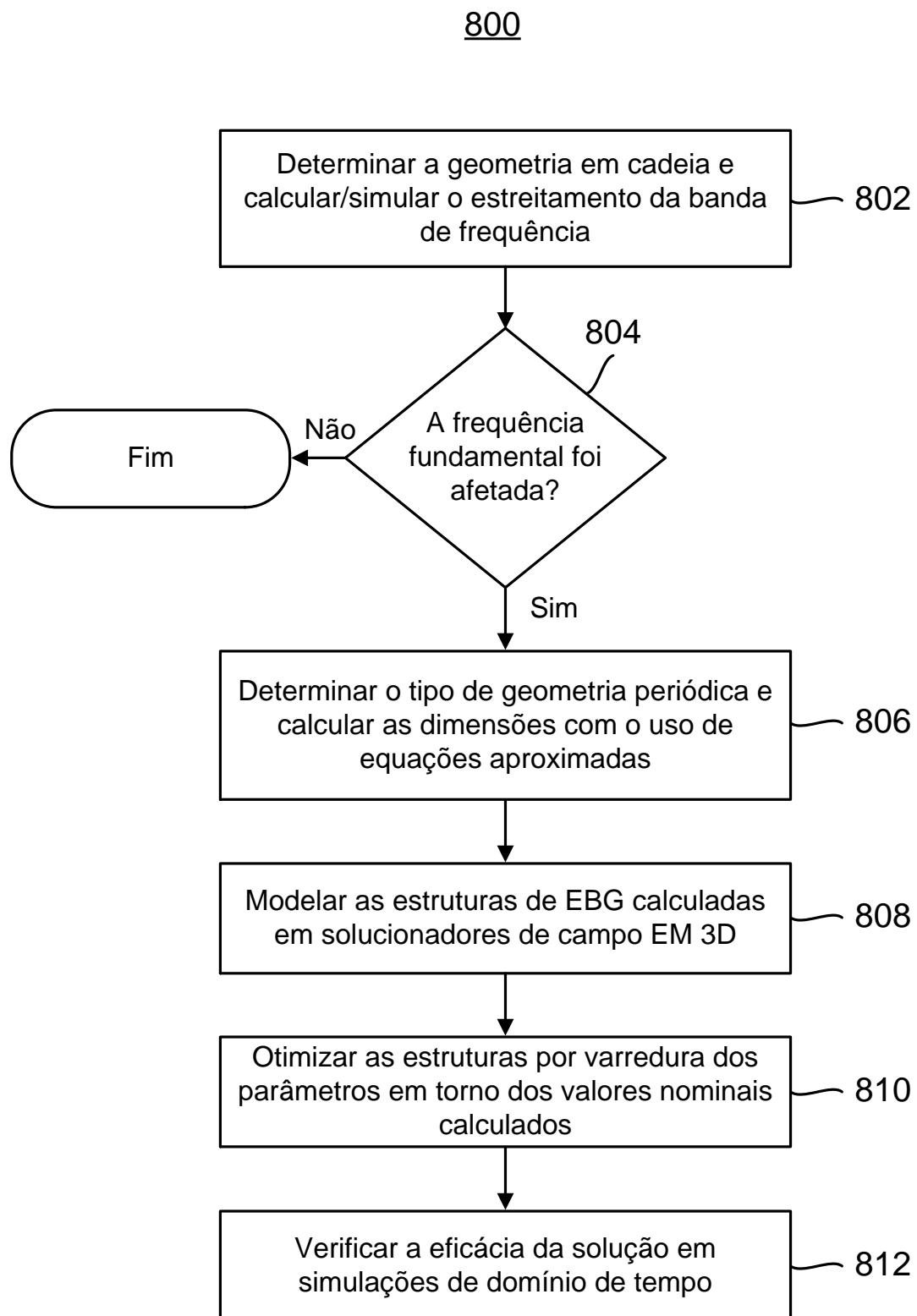


FIG. 8

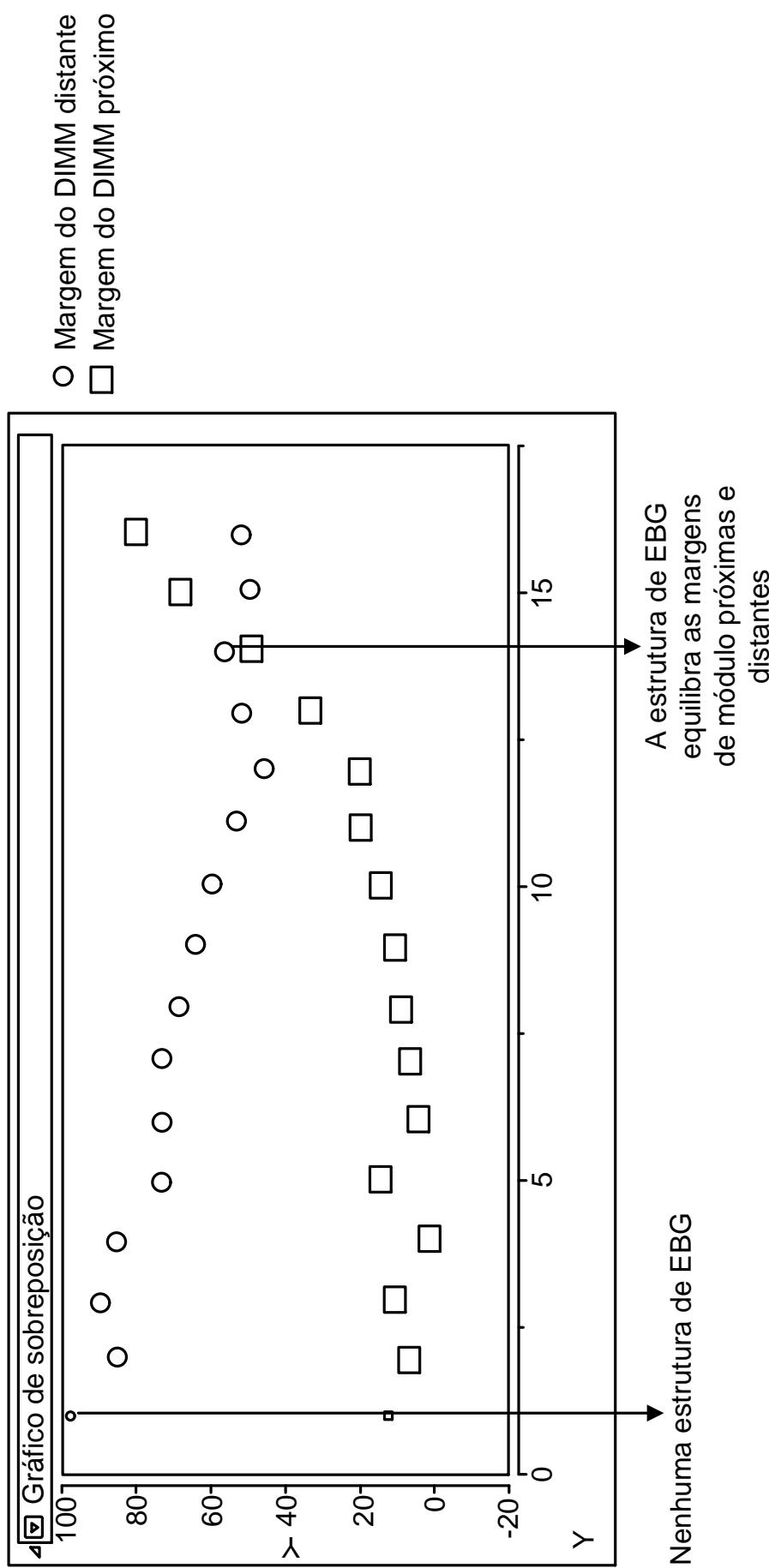


FIG. 9

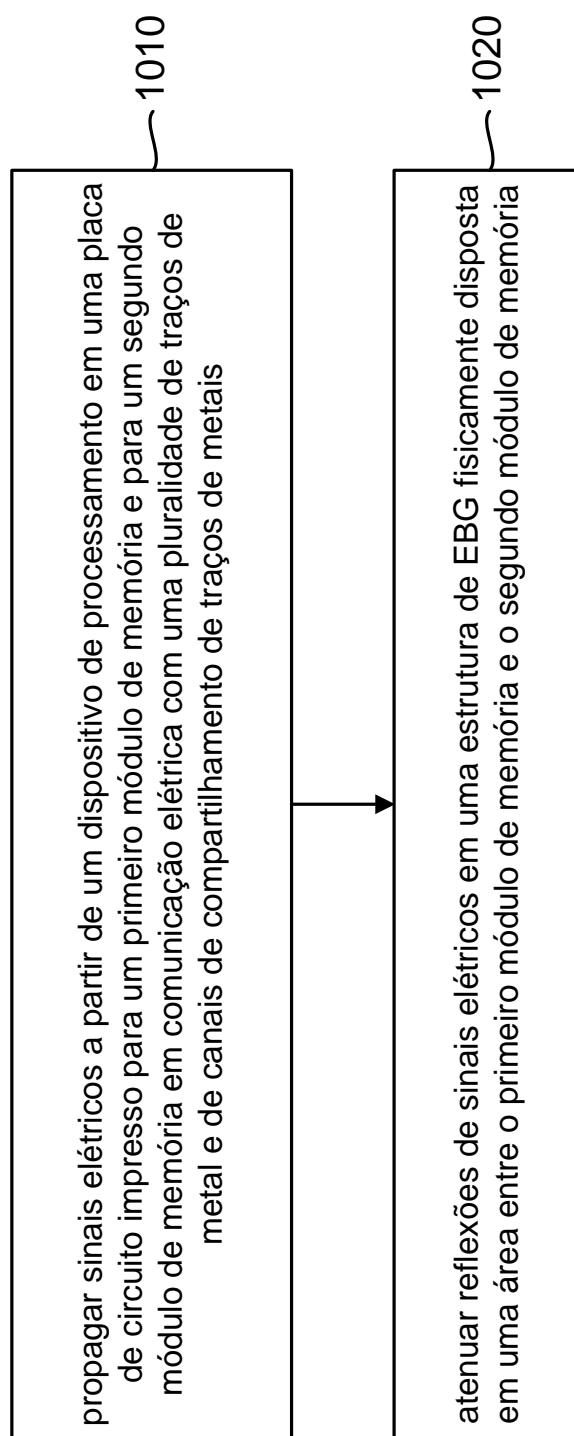


FIG. 10