



(12) 发明专利

(10) 授权公告号 CN 102799558 B

(45) 授权公告日 2015.03.11

(21) 申请号 201210253153.8

CN 102354171 A, 2012.02.15, 说明书第 71-77 段.

(22) 申请日 2012.07.20

审查员 刘长勇

(73) 专利权人 哈尔滨工业大学

地址 150001 黑龙江省哈尔滨市南岗区西大直街 92 号

(72) 发明人 孙超 姜守达 孙震 刘森

(74) 专利代理机构 哈尔滨市松花江专利商标事务所 23109

代理人 张果瑞

(51) Int. Cl.

G06F 13/40(2006.01)

(56) 对比文件

CN 202083795 U, 2011.12.21, 说明书第 21-26 段, 图 1、3、4.

CN 201583944 U, 2010.09.15, 说明书第 16-17 段, 图 1、2.

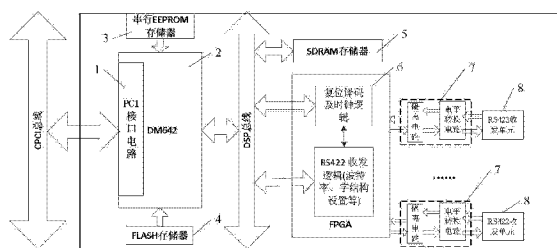
权利要求书2页 说明书4页 附图4页

(54) 发明名称

基于 CPCI 总线的 RS422 通讯模块

(57) 摘要

基于 CPCI 总线的 RS422 通讯模块, 涉及一种基于 CPCI 总线的 RS422 通讯模块。目的是针对传统电信设备总线与工业标准 PCI 总线不兼容, PCI 的传统机械结构散热条件差、抗振能力差、PCI 的金手指式互连方式防腐性差、可靠性差、负载能力弱的问题。CPCI 总线的 RS422 通讯模块以高速 DSP 芯片为 CPU, 实时性高, 数据处理能力强, 同时具有强大且高效的硬件资源; 支持 8 个独立收发通道, 每个通道支持 8MByte 数据发送前预下载, 接收数据最大 32MByte 空间存储, 兼容通用波特率的前提下, 支持特殊波特率。用于数据的快速传送。



1. 基于 CPCI 总线的 RS422 通讯模块,它包括 PCI 接口电路 (1)、主控电路 (2)、串行 EEPROM 存储器 (3)、FLASH 存储器 (4)、SDRAM 存储器 (5)、FPGA 电路 (6)、八路数据信号转换电路 (7) 和八路 RS422 收发单元 (8);

所述 PCI 接口电路 (1) 嵌入在 主控电路 (2) 中;串行 EEPROM 存储器 (3) 的数据输出端连接 主控电路 (2) 的数据输入端;FLASH 存储器 (4) 的数据输出端连接 主控电路 (2) 的数据输入端;主控电路 (2)、SDRAM 存储器 (5)、FPGA 电路 (6) 均连接在 DSP 总线上;

FPGA 电路 (6) 的八路数据输出端分别与八路数据信号转换电路 (7) 的数据输入端连接,每路数据信号转换电路 (7) 的 TTL 电平信号输出端分别连接每路 RS422 收发单元 (8) 的 TTL 电平信号发送端;每路 RS422 收发单元 (8) 将信号差分输出;

每路 RS422 收发单元 (8) 的串行数据信号输出端连接每路数据信号转换电路 (7) 的串行数据信号输入端,每路数据信号转换电路 (7) 的数据信号输出端均与 FPGA 电路 (6) 的数据信号输入端连接,主控电路 (2) 的 PCI 接口电路 (1) 将数据输出到 CPCI 总线上;

其特征在于:FPGA 电路 (6) 包括读写控制单元、发送数据缓冲 FIFO 单元、接收数据缓冲 FIFO 单元、并 / 串转换单元、波特率和控制字设置单元、串 / 并转换单元和中断处理单元,

发送数据缓冲 FIFO 单元连接在 DSP 总线上;发送数据缓冲 FIFO 单元的并行数据信号输出端连接并 / 串转换单元的并行数据信号输入端,并 / 串转换单元的串行数据输出端连接数据信号转换电路 (7) 输入端;

发送数据缓冲 FIFO 单元的状态信号输出端连接中断处理单元的状态信号输入端,中断处理单元连接 DSP 总线;

读写控制单元的读写控制数据信号输出端连接发送数据缓冲 FIFO 单元的读写控制数据信号输入端,

DSP 总线连接读写控制单元,读写控制单元的读写控制信号输出端连接接收数据缓冲 FIFO 单元的读写控制信号输入端;读写控制单元的片选信号输出端连接接收数据缓冲 FIFO 单元的片选信号输入端;

接收数据缓冲 FIFO 单元的状态数据信号输出端连接中断处理单元的状态数据信号输入端;中断处理单元的中断信号输出端连接 DSP 总线;

DSP 总线连接波特率和控制字设置单元;波特率和控制字设置单元的发送数据控制信号输出端连接并 / 串转换单元的发送数据控制信号输入端;

数据信号转换电路 (7) 的串行数据输出端连接波特率和控制字设置单元的串行数据输入端,波特率和控制字设置单元的串行数据输出端连接串 / 并转换单元的串行数据输入端;

数据信号转换电路 (7) 的串行数据输出端连接串 / 并转换单元的串行数据输入端;串 / 并转换单元的并行数据输出端连接接收数据缓冲 FIFO 单元的并行数据输入端;接收数据缓冲 FIFO 单元连接 DSP 总线;

串 / 并转换单元的中断数据输出端连接中断处理单元的中断数据输入端,中断处理单元连接 DSP 总线。

2. 根据权利要求 1 所述的基于 CPCI 总线的 RS422 通讯模块,其特征在于:主控电路 (2) 是采用型号为 TMS320DM642 高速 DSP 芯片实现的。

3. 根据权利要求 1 所述的基于 CPCI 总线的 RS422 通讯模块,其特征在于:FPGA 电路(6) 中波特率和控制字设置单元的波特率设置的实现过程为:

波特率设置的实现是通过 11.0592M 晶振实现的,将 11.0592M 除以欲发送的波特率 baud 得到 BRR,

若 BRR 可以被 16 整除,得出商 Y, 根据公式一奇分频: $Y = 2 * value + 1$  和公式二偶分频: $Y = 2 * value$  来计算得出设置参数 value 的值;

若 BRR 可以被 18 整除,得出商 Y, 根据公式一奇分频: $Y = 2 * value + 1$  和公式二偶分频: $Y = 2 * value$  来计算得出设置参数 value 的值;其中 BRR、Y 均为是正整数。

4. 根据权利要求 1 所述的基于 CPCI 总线的 RS422 通讯模块,其特征在于:数据信号转换电路(7) 包括隔离电路和电平转换电路,

FPGA 电路(6) 的串行数据信号输出端连接隔离电路的串行数据信号输入端,隔离电路的隔离数据信号输出端连接电平转换电路的隔离数据信号输入端;电平转换电路的串行数据信号输出端连接隔离电路的串行数据信号输入端;隔离电路的隔离数据信号输出端连接主控电路(2) 中的 FPGA 电路(6) 的隔离数据信号输入端。

5. 根据权利要求 1 所述的基于 CPCI 总线的 RS422 通讯模块,其特征在于:PCI 接口电路(1) 是采用型号为 TMS320DM642 的高速 DSP 实现的 PCI 接口。

6. 根据权利要求 1 所述的基于 CPCI 总线的 RS422 通讯模块,其特征在于:RS422 收发单元(8) 的实现过程为:

所述 RS422 收发单元(8) 采用的芯片为 MAX485 芯片;

发送数据时,由 FPGA 直接生成的 TTL 电平信号经过光耦隔离后输出 DI 信号至 MAX485, 经过 MAX485 后信号差分输出,分为 A、B 正负两路相反的差分信号;

接收数据时,差分信号 A、B 经过 MAX485 后,转换为 TTL 电平信号 RO,经过光耦隔离后输入 FPGA。

## 基于 CPCI 总线的 RS422 通讯模块

### 技术领域

[0001] 本发明涉及一种基于 CPCI 总线的 RS422 通讯模块。

### 背景技术

[0002] 随着计算机技术的迅速发展,计算机通信方式已经逐步向更快速、更远距离、更稳定的方向发展。计算机通信方式可以分为并行通信和串行通信,而以 RS-422 通信协议为代表的串行通信在数据通信吞吐量不是很大的微处理电路中更加简易、方便、灵活,特别是在远距离信息传输中串行总线发挥着不可替代的作用。在军事领域、工业监控、数据采集和实时控制系统中,串行通信往往能够发挥其连接简单、使用灵活方便、数据传递可靠等优点。因此 RS-422 通信单元的研究是通信领域中的热门课题。

[0003] 对于通信系统而言能够正确的传输数据是最基本的要求,作为一种支持多点差分数据传输数据的电气规范,RS422 标准越来越受到重视。RS-422 总线标准是一种串行总线标准,是为弥补 RS-232 速率低、通信距离短等缺点而产生的。RS-422 接口具有数据传输速率快、可靠性高、支持远距离传输、抗噪声能力强等优点是其他接口标准无法比拟的,因此被广泛应用于通讯系统中。

[0004] 然而,多年来电信系统工程师与设备制造商面临的棘手问题:传统电信设备总线与工业标准 PCI (Peripheral Component Interconnect) 总线不兼容,而且 PCI 的传统机械结构散热条件差、抗振动能力差;PCI 采用的金手指式互连方式防腐性差、可靠性差、负载能力弱等缺点。因此本专利采用 CPCI 总线, Compact PCI (Compact Peripheral Component Interconnect) 简称 CPCI, 又称紧凑型 PCI, 是 PICMG (PCI Industrial Computer Manufacturer's Group, 国际工业计算机制造者联合会) 于 1994 提出来的一种总线接口标准。CPCI 技术是在 PCI 技术基础之上经过改造而成,继续采用 PCI 局部总线技术,是以 PCI 电气规范为标准的高性能工业用总线。

### 发明内容

[0005] 本发明的目的是针对传统电信设备总线与工业标准 PCI 总线不兼容, PCI 的传统机械结构散热条件差、抗振动能力差、PCI 的金手指式互连方式防腐性差、可靠性差、负载能力弱的问题,提供一种基于 CPCI 总线的 RS422 通讯模块。

[0006] 基于 CPCI 总线的 RS422 通讯模块,它包括 PCI 接口电路、主控电路、串行 EEPROM 存储器、FLASH 存储器、SDRAM 存储器、FPGA 电路、八路数据信号转换电路和八路 RS422 收发单元;

[0007] 所述 PCI 接口电路嵌入在可控电路中;

[0008] 串行 EEPROM 存储器的数据输出端连接主控电路的数据输入端;FLASH 存储器的数据输出端连接主控电路的数据输入端;可控电路、SDRAM 存储器、FPGA 电路均连接在 DSP 总线上;

[0009] FPGA 电路的八路数据输出端分别与八路数据信号转换电路的数据输入端连接,每

路数据信号转换电路的 TTL 电平信号输出端分别连接每路 RS422 收发单元的 TTL 电平信号发送端 ;每路 RS422 收发单元将信号差分输出 ;

[0010] 每路 RS422 收发单元的串行数据信号输出端连接每路数据信号转换电路的串行数据信号输入端,每路数据信号转换电路的数据信号输出端均与 FPGA 电路的数据信号输入端连接,主控电路的 PCI 接口电路将数据输出到 CPCI 总线上。

[0011] 本发明的优点是 :本专利基于 CPCI 总线的 RS422 通讯模块的解决方案,采用的 CPCI 的特点是 :继续采用了 PCI 局部总线技术,但它抛弃 PCI 的传统机械结构,而改用经过实践验证的高可靠欧洲卡结构,改善了散热条件,提高了抗振动能力,同时也符合电磁兼容性要求 ;CPCI 抛弃 PCI 的金手指式互连方式,改用 2mm 密度的针孔型连接器,具有气密性、防腐性,提高了可靠性,增加了负载能力。

[0012] 本专利是以高速 DSP 芯片为 CPU,实时性高,数据处理能力强,同时具有强大且高效的硬件资源 ;支持 8 个独立收发通道,每个通道支持 8MByte 数据发送前预下载,接收数据最大 32MByte 空间存储,兼容通用波特率的前提下,支持特殊波特率,波特率可通过上位机软件设置 ;CPCI 总线使得组建的通讯设备具有体积小、结构简单、数据吞吐率高、机动灵活易于维修等优点,该模块具有重要的应用价值。

#### 附图说明

[0013] 图 1 为本发明的结构示意图 ;

[0014] 图 2 为 FPGA 的数据逻辑 ;

[0015] 图 3 为波特率设置的过程图 ;

[0016] 图 4 为 SDRAM 存储器电路图 ;

[0017] 图 5 为 DM642PCI 接口电路图 ;

[0018] 图 6 为 RS422 收发单元的电路图。

#### 具体实施方式

[0019] 具体实施方式一 :下面结合图 1 至图 6 说明本实施方式,本实施方式所述的一种基于 CPCI 总线的 RS422 通讯模块,它包括 PCI 接口电路 1、主控电路 2、串行 EEPROM 存储器 3、FLASH 存储器 4、SDRAM 存储器 5、FPGA 电路 6、八路数据信号转换电路 7 和八路 RS422 收发单元 8 ;

[0020] 所述 PCI 接口电路 1 嵌入在 2 中 ;

[0021] 串行 EEPROM 存储器 3 的数据输出端连接主控电路 2 的数据输入端 ;FLASH 存储器 4 的数据输出端连接主控电路 2 的数据输入端 ;主控电路 2、SDRAM 存储器 5、FPGA 电路 6 均连接在 DSP 总线上 ;

[0022] FPGA 电路 6 的八路数据输出端分别与八路数据信号转换电路 7 的数据输入端连接,每路数据信号转换电路 7 的 TTL 电平信号输出端分别连接每路 RS422 收发单元 8 的 TTL 电平信号发送端 ;每路 RS422 收发单元 8 将信号差分输出 ;

[0023] 每路 RS422 收发单元 8 的串行数据信号输出端连接每路数据信号转换电路 7 的串行数据信号输入端,每路数据信号转换电路 7 的数据信号输出端均与 FPGA 电路 6 的数据信号输入端连接,主控电路 2 的 PCI 接口电路 1 将数据输出到 CPCI 总线上。

[0024] 本实施方式中的FPGA是英文Field Programmable Gate Array的缩写,即现场可编程门阵列,它是在PAL、GAL、EPLD等可编程器件的基础上进一步发展的产物。

[0025] 具体实施方式二:下面结合图1说明本实施方式,本实施方式为对实施方式一的主控电路2的进一步说明,本实施方式所述的主控电路2是采用TMS320DM642高速DSP芯片实现的。

[0026] 具体实施方式三:下面结合图1和图2说明本实施方式,本实施方式为对实施方式一的FPGA6的进一步说明,本实施方式所述的FPGA电路6包括读写控制单元、发送数据缓冲FIFO单元、接收数据缓冲FIFO单元、并/串转换单元、波特率和控制字设置单元、串/并转换单元和中断处理单元,

[0027] 发送数据缓冲FIFO单元连接在DSP总线上;发送数据缓冲FIFO单元的并行数据信号输出端连接并/串转换单元的并行数据信号输入端,并/串转换单元的串行数据输出端连接数据信号转换电路7输入端;

[0028] 发送数据缓冲FIFO单元的状态信号输出端连接中断处理单元的状态信号输入端,中断处理单元连接DSP总线;

[0029] 读写控制单元的读写控制数据信号输出端连接发送数据缓冲FIFO单元的读写控制数据信号输入端,

[0030] DSP总线连接读写控制单元,读写控制单元的读写控制信号输出端连接接收数据缓冲FIFO单元的读写控制信号输入端;读写控制单元的片选信号输出端连接接收数据缓冲FIFO单元的片选信号输入端;

[0031] 接收数据缓冲FIFO单元的状态数据信号输出端连接中断处理单元的状态数据信号输入端;中断处理单元的中断信号输出端连接DSP总线;

[0032] DSP总线连接波特率和控制字设置单元;波特率和控制字设置单元的发送数据控制信号输出端连接并/串转换单元的发送数据控制信号输入端;

[0033] 数据信号转换电路7的串行数据输出端连接波特率和控制字设置单元的串行数据输入端,波特率和控制字设置单元的串行数据输出端连接串/并转换单元的串行数据输入端;

[0034] 数据信号转换电路7的串行数据输出端连接串/并转换单元的串行数据输入端;串/并转换单元的并行数据输出端连接接收数据缓冲FIFO单元的并行数据输入端;接收数据缓冲FIFO单元连接DSP总线;

[0035] 串/并转换单元的中断数据输出端连接中断处理单元的中断数据输入端,中断处理单元连接DSP总线。

[0036] 具体实施方式四:下面结合图1至图3说明本实施方式,本实施方式为对实施方式一的FPGA6的进一步说明,

[0037] 本实施方式所述的FPGA电路6中波特率和控制字设置单元的波特率设置的实现过程为:

[0038] 波特率设置的实现是通过11.0592M晶振实现的,将11.0592M除以欲发送的波特率baud得到BRR,

[0039] 若BRR可以被16整除,得出商Y,根据公式一奇分频: $Y = 2 * \text{value} + 1$ 和公式二偶分频: $Y = 2 * \text{value}$ 来计算得出设置参数value的值;

[0040] 若 BRR 可以被 18 整除, 得出商 Y, 根据公式一奇分频:  $Y = 2 * \text{value} + 1$  和公式二偶分频:  $Y = 2 * \text{value}$  来计算得出设置参数 value 的值; 其中 BRR、Y 均为是正整数。

[0041] 本设计通过 11.0592M 晶振来实现任意波特率的设置, 最高波特率为 691.2Kb/s。在字结构设置中, 某一位决定对 11.0592M 时钟进行 16 或者 18 分频, 可得到最高波特率为 691.2Kb/s 或者 614.4Kb/s, 某一位决定是奇分频或是偶分频, 对 691.2Kb/s 或 614.4Kb/s 实现奇分频或偶分频, 进而可以得到特殊波特率和通过波特率, 实现任意波特率支持。

[0042] CPCI 总线的波特率命令信号输出端连接 DSP, 再经 DSP 传至 FPGA, FPGA 里有相应的波特率设置模块, 该模块输入参数有 11.0592M 时钟和 value 的值, 经过模块计算处理, 输出发送波特率和接收波特率, 即我们想要设置的波特率。

[0043] 具体实施方式五: 下面结合图 1 和图 2 说明本实施方式, 本实施方式为对实施方式一的数据通讯电路 7 的进一步说明, 本实施方式所述的数据信号转换电路 7 包括隔离电路和电平转换电路,

[0044] FPGA 电路 6 的串行数据信号输出端连接隔离电路的串行数据信号输入端, 隔离电路的隔离数据信号输出端连接电平转换电路的隔离数据信号输入端; 电平转换电路的串行数据信号输出端连接隔离电路的串行数据信号输入端; 隔离电路的隔离数据信号输出端连接主控电路 2 中的 FPGA 电路 6 的隔离数据信号输入端。

[0045] 具体实施方式六: 下面结合图 1 说明本实施方式, 本实施方式为对实施方式一的 PCI 接口电路 1 的进一步说明, 本实施方式所述的 PCI 接口电路 1 是采用型号为 TMS320DM642 的高速 DSP 实现的 PCI 接口。

[0046] 具体实施方式七: 下面结合图 1 和图 6 说明本实施方式, 本实施方式是对实施方式一的 RS422 收发单元 8 的进一步说明,

[0047] 本实施方式所述的 RS422 收发单元 8 采用的芯片为 MAX485 芯片;

[0048] 发送数据时, 由 FPGA 直接生成的 TTL 电平信号经过光耦隔离后输出 DI 信号至 MAX485, 经过 MAX485 后信号差分输出, 分为 A、B 正负两路相反的差分信号;

[0049] 接收数据时, 差分信号 A、B 经过 MAX485 后, 转换为 TTL 电平信号 RO, 经过光耦隔离后输入 FPGA。

[0050] 本发明不局限于上述实施方式, 还可以是上述各实施方式中所述技术特征的合理组合。

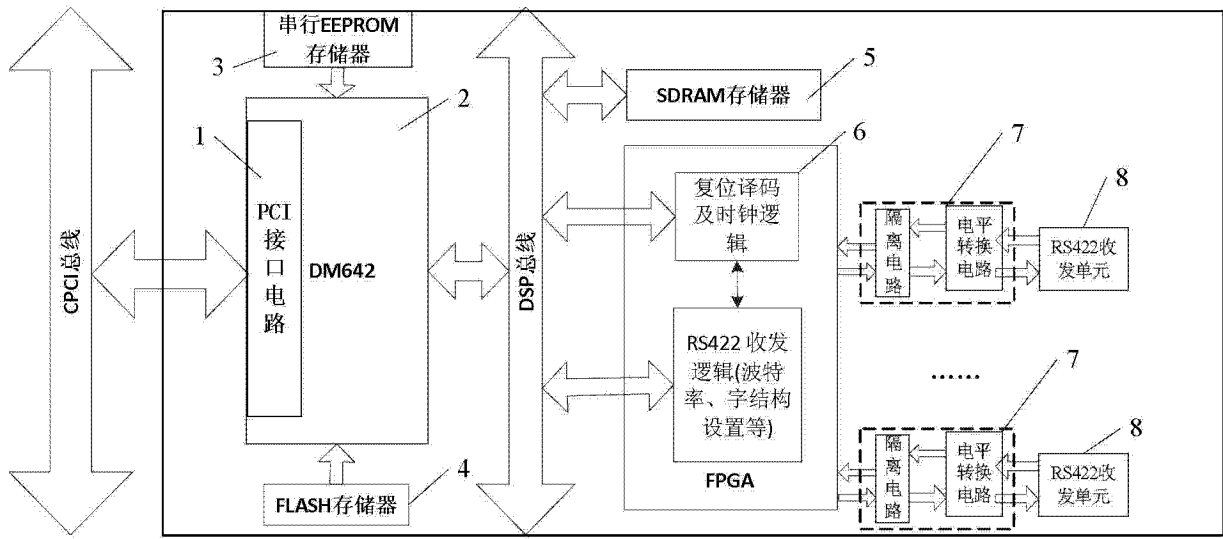


图 1

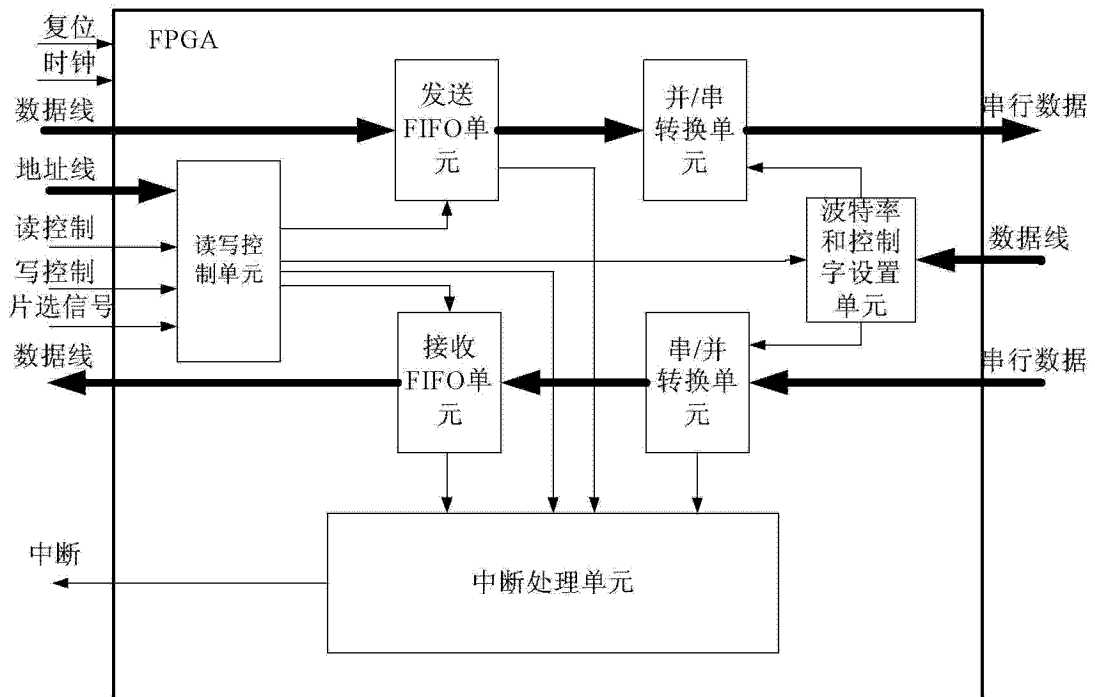


图 2

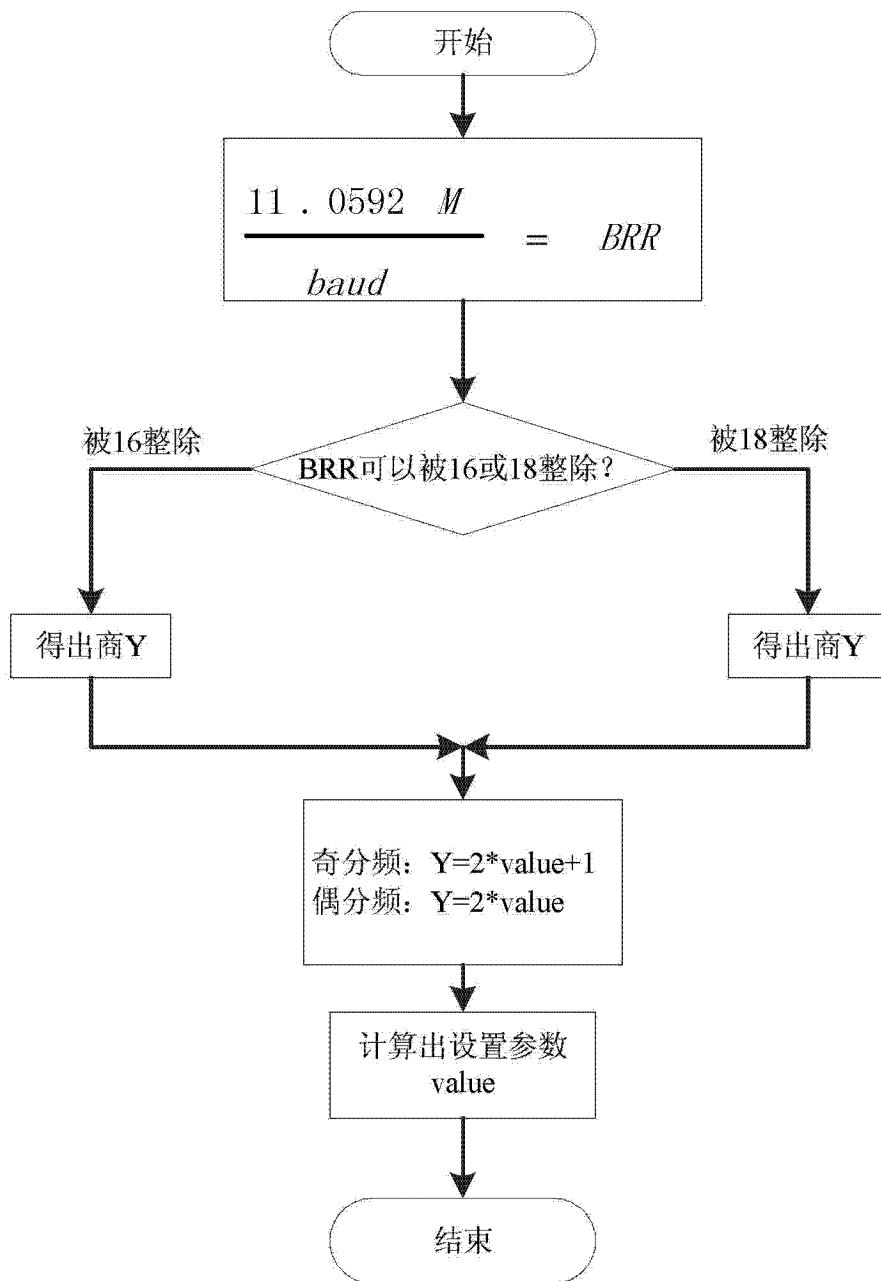


图 3

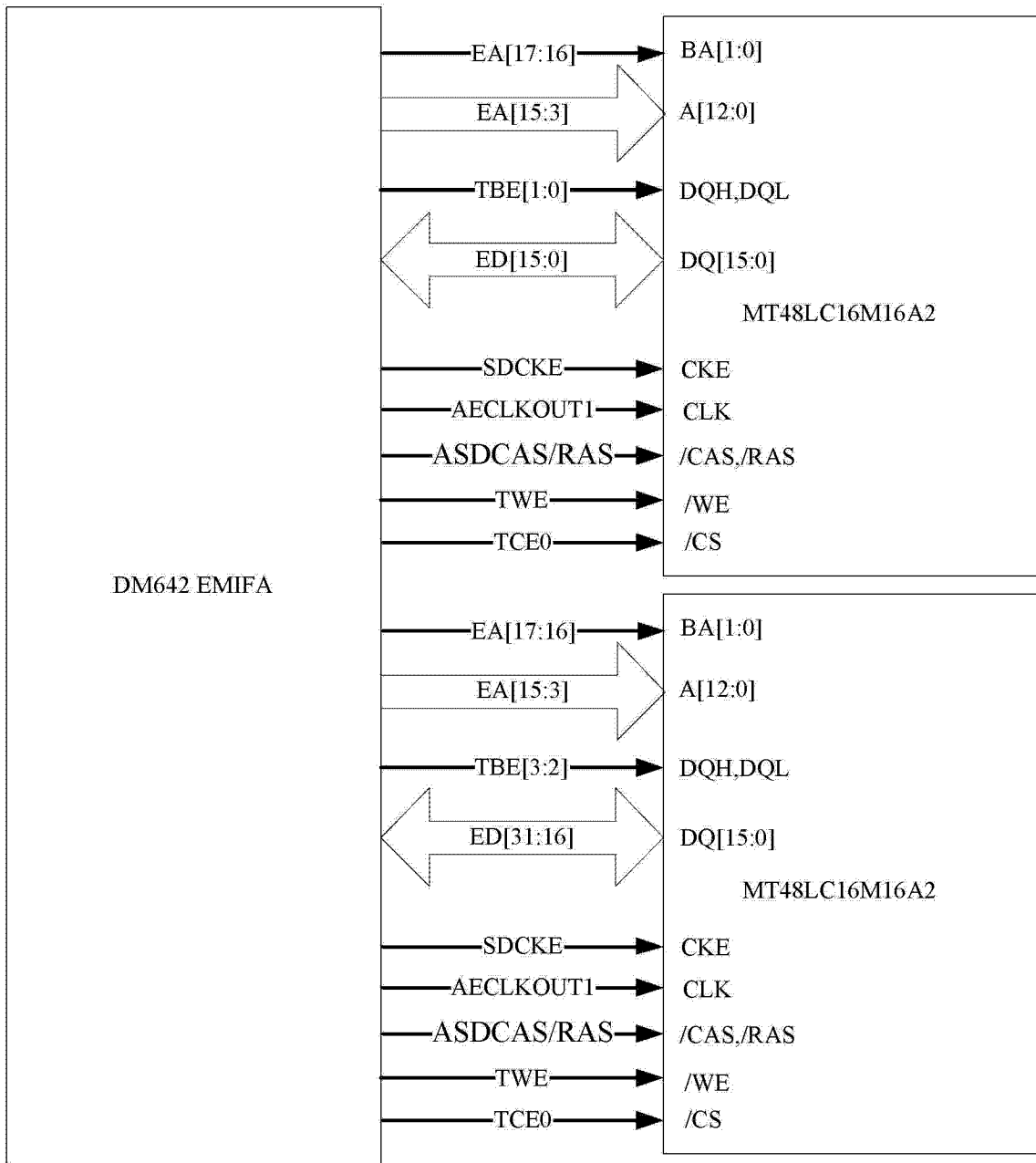


图 4

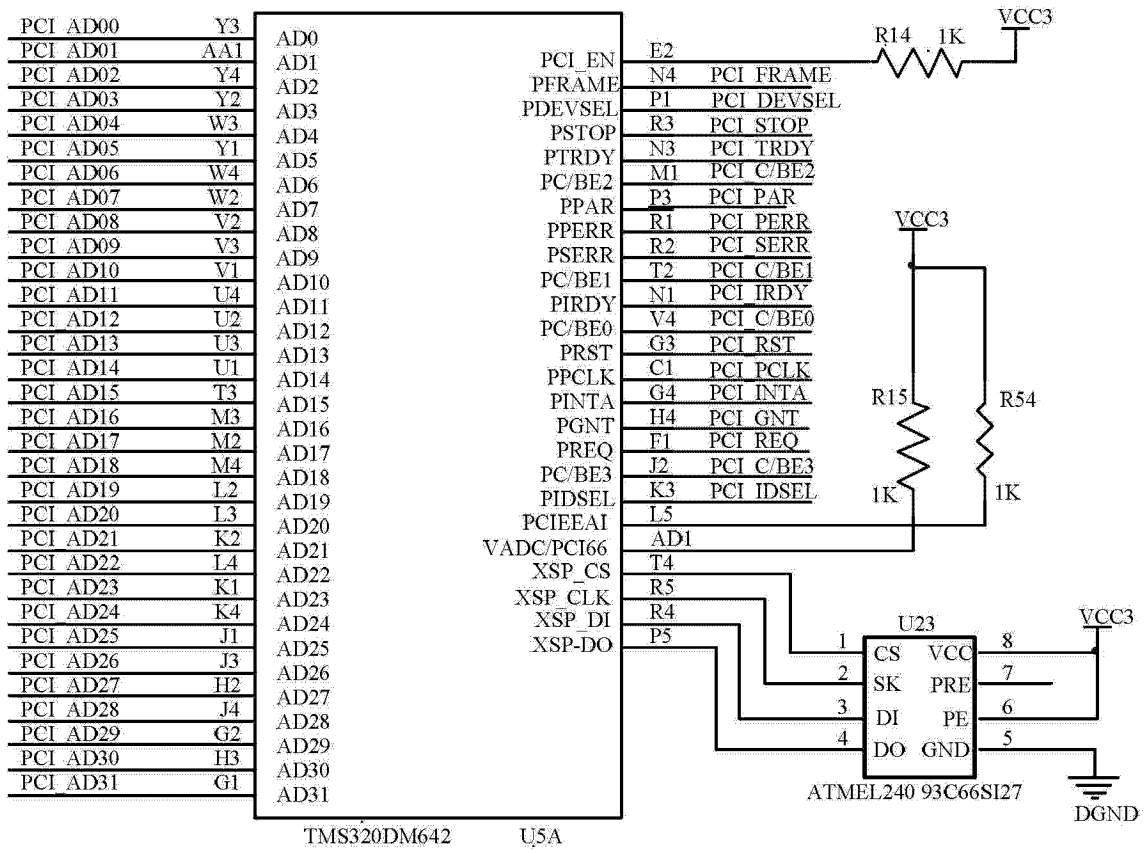


图 5

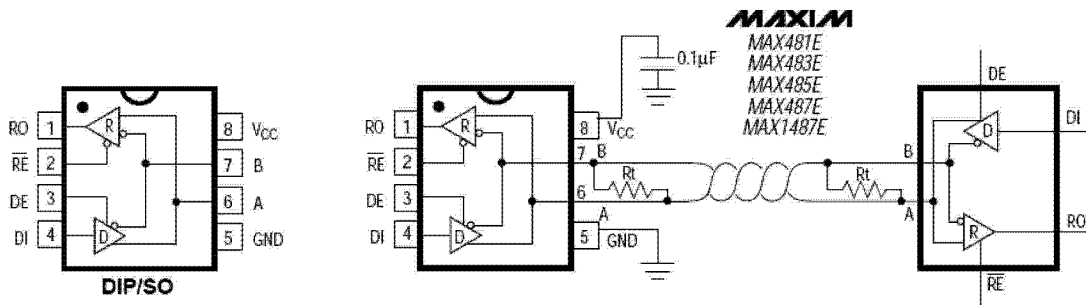


图 6