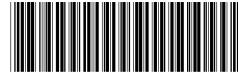


(19) 中华人民共和国国家知识产权局



(12) 发明专利申请

(10) 申请公布号 CN 102279833 A

(43) 申请公布日 2011. 12. 14

(21) 申请号 201110207645.9

(22) 申请日 2007.05.22

(30) 优先权数据

11/422, 022 2006. 06. 02 US

(62) 分案原申请数据

200780020133.3 2007.05.22

(71) 申请人 拉姆伯斯公司

地址 美国加利福尼亚州

(72) 发明人 K·S·奥 I·P·谢弗

11

11056

代理人 王茂华 董典红

2025 RELEASE UNDER E.O. 14176

卷之三十五 (2000.01)

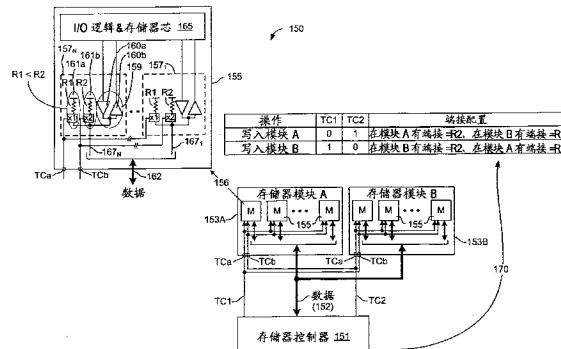
权利要求书 3 页 说明书 10 页 附图 6 页

(54) 发明名称

具有分级管芯上端接的集成电路

(57) 摘要

一种具有分级管芯上端接的集成电路器件。该集成电路器件包括用以接收数据信号的输入以及第一端接电路和第二端接电路。第一端接电路包括第一负载单元和用以将第一负载单元可开关切换地耦合到数据信号输入的第一开关单元。第二端接电路包括第二负载单元和用以将第二负载单元可开关切换地耦合到数据信号输入的第二开关单元。



1. 一种集成电路器件，包括：

一组数据输入；

一组端接电路，分别与所述数据输入耦合，每个端接电路具有多个可控端接阻抗配置；

端接控制信号输入，用于接收对所述集成电路器件将在每个所述数据输入处应用所述可控端接阻抗配置之一的指示；以及

逻辑，用于基于在所述端接控制信号输入处接收到的所述指示以及所述集成电路器件的内部状态，在所述数据输入处应用所述可控端接阻抗配置的第一可控端接阻抗配置和第二可控端接阻抗配置之一，使得在对应于在所述数据输入处接收写数据的第一内部状态期间，在每个所述数据输入处应用所述可控端接阻抗配置的第一可控端接阻抗配置，并且在所述第一内部状态之后的第二内部状态期间，在每个所述数据输入处应用所述可控端接阻抗配置的第二可控端接阻抗配置。

2. 一种集成电路器件，包括：

用于接收对所述集成电路器件将在多个数据输入的每一个数据输入处应用多个可控端接阻抗配置之一的指示的装置；以及

用于基于所述指示和所述集成电路器件的内部状态来在所述数据输入处应用所述可控端接阻抗配置的第一可控端接阻抗配置和第二可控端接阻抗配置之一的装置，所述应用包括在对应于在所述数据输入上接收写数据的第一内部状态期间，在每个所述数据输入处应用所述可控端接阻抗配置的第一可控端接阻抗配置，以及在所述第一内部状态之后的第二内部状态期间，在每个所述数据输入处应用所述可控端接阻抗配置的第二可控端接阻抗配置。

3. 根据权利要求 1 或权利要求 2 所述的集成电路器件，还包括寄存器电路，用于存储设置所述多个可控端接阻抗配置的值。

4. 根据权利要求 3 所述的集成电路器件，还包括命令接口，用于接收指明接收所述值的命令，其中响应于所述命令利用所述值对所述寄存器电路进行编程。

5. 根据权利要求 1 或权利要求 2 所述的集成电路器件，其中在所述可控端接阻抗配置的第一可控端接阻抗配置中，相应的多个第一端接负载单元耦合到每个所述数据输入，并且在所述可控端接阻抗配置的第二可控端接阻抗配置中，相应的多个第二端接负载单元耦合到每个所述数据输入。

6. 根据权利要求 5 所述的集成电路器件，其中所述多个第一端接负载单元与所述多个第二端接负载单元隔离。

7. 根据权利要求 5 所述的集成电路器件，其中所述多个第一端接负载单元和所述多个第二端接负载单元构成输出驱动器电路内上拉单元和下拉单元的相应子集。

8. 根据权利要求 1 或权利要求 2 所述的集成电路器件，其中对所述集成电路器件将在每个所述数据输入处应用所述可控端接阻抗配置的第一可控端接阻抗配置和第二可控端接阻抗配置之一的所述指示的撤销使得所述集成电路器件从所述数据输入去耦合，无论在每个所述数据输入处应用所述可控端接阻抗配置的第一可控端接阻抗配置和第二可控端接阻抗配置中的哪一个。

9. 根据权利要求 1 或权利要求 2 所述的集成电路器件，还包括存储器阵列，用于存储所

述写数据。

10. 根据权利要求 1 或权利要求 2 所述的集成电路器件, 还包括一组数据输出, 用于将所述写数据输出给另一集成电路器件以存储在其中。

11. 一种在集成电路器件内操作的方法, 所述方法包括 :

接收对所述集成电路器件将在多个数据输入的每一个数据输入处应用多个可控端接阻抗配置之一的指示 ; 以及

基于所述指示和所述集成电路器件的内部状态, 在所述数据输入处应用所述可控端接阻抗配置的第一可控端接阻抗配置和第二可控端接阻抗配置之一, 包括在对应于在所述数据输入处接收写数据的第一内部状态期间, 在每个所述数据输入处应用所述可控端接阻抗配置的第一可控端接阻抗配置, 以及在所述第一内部状态之后的第二内部状态期间, 在每个所述数据输入处应用所述可控端接阻抗配置的第二可控端接阻抗配置。

12. 根据权利要求 11 所述的方法, 还包括在所述集成电路器件的一个或多个寄存器内存储设置所述多个可控端接阻抗配置的值。

13. 根据权利要求 12 所述的方法, 还包括接收指明接收所述值的一个或多个命令, 并响应于所述一个或多个命令对所述一个或多个寄存器进行编程。

14. 根据权利要求 11 所述的方法, 其中应用所述可控端接阻抗配置的第一可控端接阻抗配置包括将相应的多个第一端接负载单元耦合到每个所述数据输入, 并且其中应用所述可控端接阻抗配置的第二可控端接阻抗配置包括将相应的多个第二端接负载单元耦合到每个所述数据输入。

15. 根据权利要求 14 所述的方法, 其中所述多个第一端接负载单元与所述多个第二端接负载单元隔离。

16. 根据权利要求 14 所述的方法, 其中所述多个第一端接负载单元和所述多个第二端接负载单元构成所述集成电路器件的输出驱动器电路内上拉单元和下拉单元的相应子集。

17. 根据权利要求 11 所述的方法, 还包括检测对所述集成电路器件将在每个所述数据输入处应用所述可控端接阻抗配置的第一可控端接阻抗配置和第二可控端接阻抗配置之一的所述指示的撤销, 并且响应于检测到所述指示的撤销而从每个所述数据输入去耦合, 无论在所述数据输入处应用所述第一可控端接阻抗配置和所述第二可控端接阻抗配置中的哪一个。

18. 根据权利要求 11 所述的方法, 还包括在所述集成电路器件的存储器阵列内存储所述写数据。

19. 根据权利要求 11 所述的方法, 其中所述集成电路器件为缓冲器器件, 并且其中所述方法还包括从所述缓冲器器件将所述写数据输出给存储器器件以存储在其中。

20. 一种控制集成电路器件的方法, 所述方法包括 :

向所述集成电路器件输出指明设置多个可控端接阻抗配置的多个值在所述集成电路器件的寄存器中的存储的信息, 所述多个值包括指明第一可控端接阻抗配置的第一值和指明第二可控端接阻抗配置的第二值 ;

将写数据输出到与所述集成电路器件的数据输入耦合的数据路径上 ; 以及

向所述集成电路器件输出对所述集成电路器件将在每个所述数据输入处应用所述多个可控端接阻抗配置之一的指示, 基于所述指示和所述集成电路器件的内部状态, 所述指

示使所述集成电路器件在对应于经由所述数据输入接收所述写数据的所述集成电路器件的第一内部状态期间,在每个所述数据输入处应用所述第一可控端接阻抗配置,并且在所述第一内部状态之后的所述集成电路器件的第二内部状态期间,在每个所述数据输入处应用所述第二可控端接阻抗配置。

21. 根据权利要求 20 所述的方法,其中输出指明设置所述多个可控端接阻抗配置的所述多个值的存储的信息包括向所述集成电路器件输出命令,所述命令指示所述集成电路器件将接收所述值并将所述值存储在所述寄存器内。

22. 根据权利要求 21 所述的方法,还包括向所述集成电路器件输出设置所述多个可控端接阻抗的所述多个值。

23. 根据权利要求 20 所述的方法,其中输出所述指示使得所述集成电路器件在所述第一内部状态期间在每个所述数据输入处应用所述第一可控端接阻抗配置以及在所述第二内部状态期间在每个所述数据输入处应用所述第二可控端接阻抗配置包括输出指示使得所述集成电路器件在所述第一内部状态期间将相应的多个第一端接负载单元耦合到每个所述数据输入并且在所述第二内部状态期间将相应的多个第二端接负载单元耦合到每个所述数据输入。

24. 根据权利要求 23 所述的方法,其中所述多个第一端接负载单元与所述多个第二端接负载单元隔离。

25. 根据权利要求 23 所述的方法,其中所述多个第一端接负载单元和所述多个第二端接负载单元构成所述集成电路器件的输出驱动器电路内上拉单元和下拉单元的相应子集。

26. 根据权利要求 20 所述的方法,其中向所述集成电路器件输出所述指示包括在所述集成电路器件的控制输入处确立控制信号,所述方法还包括撤销所述控制信号以使得所述集成电路器件从每个所述数据输入去耦合,无论在所述数据输入处应用所述第一端接阻抗配置和所述第二端接阻抗配置中的哪一个。

27. 根据权利要求 20 所述的方法,其中所述集成电路器件是具有存储器阵列的存储器器件,并且其中输出所述写数据包括将所述写数据输出给所述存储器器件以存储在所述存储器阵列内。

28. 根据权利要求 20 所述的方法,其中所述集成电路器件为缓冲器器件,并且其中输出所述写数据包括将所述写数据输出给所述缓冲器器件以使得所述缓冲器器件能够将所述写数据输出给存储器器件以存储在其中。

具有分级管芯上端接的集成电路

[0001] 本申请是国际申请日为 2007 年 5 月 22 日、国家申请号为 200780020133.3、发明名称为“具有分级管芯上端接的集成电路”的发明专利申请的分案申请。

技术领域

[0002] 本发明涉及高速信号发送系统和部件。

背景技术

[0003] 高速信号线普遍地端接 (terminate) 到如下电阻负载, 这些电阻负载被选择为与信号线的特征阻抗相匹配并且由此消除所不希望的反射。历史上已经通过连接到母板或者其它印刷电路板上的金属线路 (trace) 的分离电阻器来实施端接单元。最近特别是在高带宽存储器系统领域中, 已经例如在存储器器件或者存储器控制器的集成电路管芯上提供管芯上端接结构。

[0004] 图 1 图示了利用管芯上端接方案的现有技术存储器系统 100。存储器系统 100 包括存储器控制器 101 和存储器模块对 103A 和 103B, 其中各存储器模块平行耦合到共享数据路径 102 (DATA) 并且各存储器模块 (103A, 103B) 耦合到端接控制线 (分别为 TC1、TC2) 以实现从存储器控制器接收相应端接控制信号。如示图 106 中具体所示, 给定存储器模块 103 内的各存储器器件 105 包括具有数据信号收发器 109 (即耦合用以向 I/O 逻辑 / 存储器芯电路 115 提供传入数据和从 I/O 逻辑 / 存储器芯电路 115 接收传出数据的输出驱动器和信号接收器) 的成组数据输入 / 输出 (I/O) 电路 107₁-107_N 以及平行耦合到数据路径 112 的相应数据线 117₁-117_N (数据 [N:1]) 的开关切换式端接结构 111, 其中数据路径 112 的数据线 117₁-117_N 构成数据路径 102 内数据线的子集。开关切换式端接结构 111 本身各自包括经由开关单元 (X) 耦合到对应数据线的相应负载单元 (R), 其中给定存储器模块 103 的存储器器件内的各开关单元耦合到用以接收引入端接控制信号的共用端接控制输入 TC。通过这一布置, 存储器控制器 101 可以确立 (例如经由端接控制线 TC1 和 TC2) 向存储器模块 103 中的任何一个供应的端接控制信号以将存储器模块的组成存储器器件内的负载单元可开关切换地连接到数据路径 102 的相应线。在将数据输出到数据路径 102 上以在存储器模块 (103A 或者 103B) 中的被选存储器模块内加以接收的写入操作过程中, 存储器控制器 101 在耦合到未选存储器模块的端接控制线上确立端接控制信号, 由此端接耦合到该存储器模块的数据路径短截线并且抑制所不希望的反射。同时, 存储器控制器 101 撤消向被选存储器模块供应的端接控制信号, 由此将数据路径 102 与该存储器模块的存储器器件 105 内的管芯上端接进行隔离以避免不适当的信号衰减。在图 1 的 120 示出了存储器控制器的这一操作。

[0005] 分析表明 : 令人遗憾的是, 图 1 的单端接方案 1 可能至少部分地由于当被选存储器模块内的管芯上端接与数据路径 102 去耦合时往往在该模块造成阻抗不连续而产生次优信号发送性能。另一方面, 在被选存储器模块确立端接控制信号往往不适当当地衰减引入数据信号, 并且减少信号发送裕度 (margin) 并且增加信号发送错误的可能性。

附图说明

[0006] 通过附图的各示图中的例子且不是以限制方式来说明本发明，在附图中相似标号指代相似单元并且在附图中：

[0007] 图 1 图示了利用管芯上端接方案的现有技术存储器系统；

[0008] 图 2 图示了每个高速信号发送线有多个分级管芯上端接的存储器系统的一个实施例；

[0009] 图 3 图示了用于在存储器系统内实现分级端接而无需在组成存储器器件内增添附加端接结构的一个示例方式；

[0010] 图 4 图示了具有分级管芯上端接的存储器系统的一个替代实施例；

[0011] 图 5 图示了具有分级管芯上端接的存储器系统的另一实施例；以及

[0012] 图 6 图示了可以结合显式或者隐式端接控制检测电路应用在存储器器件内从而用来实现多个分级端接中所需一个端接的有限状态机的示例状态图。

具体实施方式

[0013] 在各种实施例中公开了具有由多个分级管芯上端接实现的改进信号发送特征的信号发送系统。在一个实施例中，多模块存储器系统内的各存储器器件包括每个引入高速信号线的多个管芯上端接结构以实现根据存储器模块是否为引入信号的目的地将多个不同端接负载中的任何端接负载可开关切换地耦合该信号线。例如在一个特定实施例中，两模块存储器系统内的各存储器器件包括每个引入数据线的两个端接结构，其中按照不同阻抗值来实施两个端接结构内的负载单元或者将这些负载单元编程为具有不同阻抗值，由此实现根据给定存储器模块是否为高速信号的目的地而在存储器模块内的相对高的负载端接与相对低的负载端接之间的选择。因此在写入操作过程中，这里称为硬端接的高负载端接可以可开关切换地连接到未选（例如未寻址）存储器模块的存储器器件内的高速信号发送线以提供传输线负载匹配，而这里称为软端接的低负载端接可以可开关切换地连接到被选存储器模块的存储器器件内的高速信号发送线以提供所需的能量吸收水平（例如为了消除反射）而不会不适当当地衰减引入信号。在导向到替代存储器模块的后续写入操作中，端接选择可以迅速反向以在替代地被选存储器模块软端接而在未选存储器模块建立硬端接。

[0014] 在一个实施例中，为存储器模块上的各级存储器器件（存储器器件级是选择用以作为并联组来接收或者输出数据的一个或者多个存储器器件的集合）提供用以实现在其中的软端接与硬端接之间独立选择的多个端接控制线。在一个替代实施例中，在各存储器器件内提供用以确定存储器器件是否为特定信号发送事务的目标并且相应地将软端接或者硬端接可开关切换地耦合到数据线和 / 或其它高速信号线的侦察逻辑电路。在另一实施例中，提供缓冲器集成电路 (IC) 以接收存储器模块内的引入信号并且将信号分发到存储器模块上的多级存储器器件之一。在这样的实施例中，可以取代存储器器件或者除了存储器器件之外在缓冲器 IC 上还提供每个高速信号发送线的分级管芯上端接结构。耦合到多个分级管芯上端接结构的高速信号线可以包括数据信号线、地址信号线、命令信号线（这些信号线中的任何或者所有信号线可以时间复用并且因此构成单个信号线集）或者其任

何组合。另外,可以利用如下信息对非易失性存储器器件如串行存在检测 (SPD) 存储器进行编程,该信息表示给定存储器模块内的存储器器件是否包括对分级端接的支持。通过这一布置,存储器控制器可以读取 SPD 存储器(或者其它有特征的电路或者储存器)以确定是否支持分级端接而如果是这样,则相应地发出端接控制信号,由此使存储器控制器能够在老式端接模式或者分级端接模式中操作。另外在具有双级存储器模块的系统中,用于给定存储器模块上的两级中的各级的端接值可以编程为具有低负载值和高负载值,由此根据模块是否为高速信号的目的地来实现在硬端接与软端接之间的选择。对这些实施例和其它实施例在下文中更具体地加以描述。

[0015] 图 2 图示了每个高速信号发送线具有多个分级管芯上端接的存储器系统 150 的一个实施例。存储器系统 150 包括经由多分接数据路径 152 耦合到两个存储器模块 153A 和 153B 的存储器控制器 151(即存储器模块 153A 和 153B 平行耦合到数据路径 152),虽然附加存储器模块在替代实施例中可以耦合到多分接数据路径 152。用于传送命令、地址和定时信号的一个或者多个附加信号路径(未图示)也可以耦合于存储器控制器 151 与存储器模块 153 之间。

[0016] 各存储器模块 153 包括耦合到数据路径的信号线的相应子集(即耦合到数据路径 152 的相应分片)的多个集成电路存储器器件 155,由此形成存储器级。一般而言,存储器级内的存储器器件作为组来存取,由此实现传送 $N \times M$ 位宽的读取和写入数据字,其中 N 是在给定事务中向给定存储器器件传送或者从给定存储器器件传送的数据位的数目(即分片宽度),而 M 是存储器级内存储器器件的数目(即数据路径分片的数目)。

[0017] 与上述图 1 的存储器器件不同的是,存储器模块 153 内的各存储器器件 155 包括两个端接控制输入,用以实现接收两个独立端接控制信号并且由此提供两个分级端接负载(即具有不同阻抗值的端接负载)之一到引入数据分片各数据线的开关切换式连接。在所示特定实施例中,在如下端接控制线 TC1 和 TC2 上从存储器控制器 151 输出端接控制信号,这些端接控制线 TC1 和 TC2 分别耦合到存储器模块 153A 的端接控制输入 TCa 和 TCb 而以相反顺序分别耦合到存储器模块 153B 的端接控制输入 TCb 和 TCa。在各存储器模块 153 内,TCa 和 TCb 端接控制输入耦合到单独存储器器件 155 的对应 TCa 和 TCb 输入。参照具体示图 156,给定模块 153 内的各存储器器件 155 包括如下成数据 I/O 电路组 157₁-157_N,这些数据 I/O 电路组具有数据收发器结构 159(例如,耦合用以向 I/O 逻辑和存储器芯 165 提供传入数据和从 I/O 逻辑和存储器芯 165 接收传出数据的输出驱动器 160a 和信号接收器 160b)以及成对开关切换式端接结构 161a 和 161b,所述数据收发器结构 159 以及所述成对开关切换式端接结构 161a 和 161b 全部并联耦合到数据路径 162 的相应数据线 167₁-167_N,其中数据路径 162 的数据线 167₁-167_N 构成整个数据路径 152 内数据线的子集。各开关切换式端接结构 161a、161b 包括经由对应开关单元 X1、X2 耦合到对应数据线的相应负载单元 R1、R2。如图所示,各数据 I/O 电路 157₁-157_N 内的开关单元 X1 共同耦合到端接控制输入 TCa,而开关单元 X2 共同耦合到端接控制输入 TCb。通过这一布置,当在信号线 TC1 上确立端接控制信号时,负载单元 R1 可开关切换地耦合到模块 153A 内数据路径 152 的相应线,而负载单元 R2 可开关切换地耦合到模块 153B 内数据路径的相应线(即得益于将线 TC1/TC2 交换式耦合到两个存储器模块 153A 和 153B 的 TCa 和 TCb 输入)。因此,通过在各存储器器件 155 内将负载单元 R1 编程(或者实施)为具有相对高的负载(即相对低的阻抗)而将负载单元

R2 编程（或者实施）为具有相对低的负载（即相对高的阻抗），负载单元 R1 可以可开关切换地耦合到数据路径以实现硬端接，而负载单元 R2 可以可开关切换地耦合到数据路径以实现软端接。因而如图在 170 的控制器操作所示，在导向到存储器模块 153 的写入操作过程中，存储器控制器 151 可以确立线 TC2 上的端接控制信号（而撤消线 TC1 上的端接控制信号）以将负载单元 R1 可开关切换地耦合到存储器模块 153B 内的数据路径而将负载单元 R2 可开关切换地耦合到存储器模块 153A 内的数据路径 152，由此实现被选存储器模块和未选存储器模块内的分级端接；也就是被选存储器模块中的软端接和未选存储器模块中的硬端接（注意可以通过撤消两个端接控制信号、由此在两个存储器模块内将端接负载与数据路径 102 去耦合来建立第三控制状态）。当与上文参照图 1 所描述的常规通 / 断端接方案比较时，多个分级端接一般产生更大信号发送裕度（即更多开放数据眼），由此提供减少的误码率和附加净空高度用于增加的信号速率。

[0018] 仍然参照图 2，应当注意可以代之以在输出驱动器 160a 内包括端接结构 161a 和 161b，在该情况下输出驱动器 160a 可以接通用来驱动信号线的单元的子集（例如，当实际驱动信号时使用的全集驱动单元的较弱子集）并且将上拉和 / 或下拉端接单元同时耦合到信号线以建立端接。另外尽管在图 2 中示出并且在上文中描述了单对端接控制线（即，耦合到存储器模块 153A 的端接控制输入 TCa 和 TCb 而以相反顺序耦合到存储器模块 153B 的端接控制输入），但是在一个替代实施例中，可以向各存储器模块提供分离成对端接控制线。

[0019] 图 3 图示了用于在存储器系统 200 内实现分级端接而无需在组成存储器器件内增添附加端接结构的一个示例性方式。如图所示，存储器系统 200 包括经由多分接数据路径 152 耦合到两个双级存储器模块 203A 和 203B 的存储器控制器 201（虽然在替代实施例中，附加双级存储器模块 203 可以耦合到多分接数据路径 152 并且可以向每个存储器模块提供附加级），但是其中为每个存储器级提供仅一个端接控制线而不是如在图 2 的实施例中那样每个存储器级有多个端接控制线。由于给定存储器模块 203 内的两级 (207_1 和 207_2) 存储器器件 205 平行耦合到数据路径 152，而在它们之间相对短路径 (208) 的阻抗与数据路径 152 的模块外部分相比相对地小，两个不同级 207_1 和 207_2 内对应存储器器件 205 内的端接结构（或者其负载单元）可以编程（或者实施）为具有不同阻抗值，由此提供在分级端接负载之间的选择。具体而言，如在具体示图 216a 和 216b 所示，在模块 203A 的存储器级 207_1 内的各存储器器件 205A 中可以被编程为具有相对高的端接负载 R1（即低阻抗），而存储器模块 203A 的存储器级 2 内的各存储器器件 205B 可以被编程为相对低的端接负载 R2，由此在同一存储器模块内建立软端接的存储器级 207_1 和硬端接的存储器级 207_2 。注意这一布置即使在每个引入数据线 214 有单个端接结构的存储器器件 205（即其中开关 X 和端接负载与 I/O 电路 211 内的信号收发器 159 平行耦合）内也是可能的，并且可以通过寄存器编程（例如在 I/O 逻辑和存储器芯 219 内的寄存器 211 内存储值）、生产时间配置（例如熔丝、抗熔丝、非易失性存储单元等）或者外部接触短接 (strapping) 来实现不同存储器级的器件内对软端接负载和硬端接负载 (R1 和 R2) 的编程。可以用与具体示图 216c 和 216d 中所示相同的方式对存储器模块 203B 的两个存储器级 207_1 和 207_2 内的存储器器件 205 进行编程。通过这一布置，取代了撤消向选择用以接收写入数据的存储器模块供应的端接控制信号，可以确立对所选存储器模块 203 的软端接的存储器级 207_2 的开关切换式耦合进行控制的端接控制信号并且撤消对硬端接的存储器级 207_1 的开关切换式耦合进行控制的端

接控制信号以在被选存储器模块 203 建立软端接,而相反地确立和撤消向未选存储器模块供应的端接控制信号(即确立端接控制信号以参与在存储器级 207₁ 的硬端接而撤消端接控制信号以脱离(去耦合)在存储器级 207₂ 的软端接)以在未选存储器模块建立硬端接。相应地,如在 230 的控制器操作所示,在导向到存储器模块 203A(存储器模块 A)的写入操作过程中,端接控制信号在端接控制线 TC1 和 TC4 上撤消(即设置为逻辑‘0’)而在端接控制线 TC2 和 TC3 上确立(设置为逻辑‘1’)以将存储器模块 203A 的存储器级 207₂ 内的 R2 端接负载开关切换地耦合到数据路径 152(而可开关切换地去耦合存储器级 207₁ 内的 R1 端接负载)以实现被选存储器模块的软端接并且将存储器模块 203B 的存储器级 207₁ 内的 R1 端接负载可开关切换地耦合到数据路径 152 以实现未选存储器模块的硬端接。在导向到存储器模块 203B 的写入操作中,端接控制线上的信号电平进行了反相以建立所选存储器模块 203B 中的软端接(TC3 = 0、TC4 = 1)和未选存储器模块 203A 中的硬端接(TC1 = 1、TC2 = 0)。

[0020] 在图 3 中所示方式的一个替代方式中,可以通过确立向给定存储器模块提供的两个端接控制信号来实现硬端接,这在效果上可开关切换地并联耦合两个存储器级 207₁ 和 207₂ 的共同耦合端接结构内的负载单元以建立阻抗 $R1 \times R2 / (R1+R2)$,该阻抗当 R1 和 R2 编程为相同值(或者利用相同值来实施 R1 和 R2)时变为 $R1/2$ 。因此在这样的方式中,可以同时确立两个端接控制信号以实现未选模块内的硬端接而确立单个端接控制信号以实现被选存储器模块内的软端接(R1 或者 R2 或者如果利用相同值来编程,则为二者中的任一个)。

[0021] 图 4 图示了具有分级管芯上端接的存储器系统 250 的一个替代实施例。存储系统 250 包括经由大体上如参照图 2 所述的多分接数据路径 152 以及端接控制线 TC1 和 TC2 耦合到存储器模块 253A 和 253B 的存储器控制器 251。然而与图 2 不同的是,各存储器模块 253 包括在存储器控制器 251 与一级或者多级存储器器件 263₁-263_R 之间作为中介来操作的缓冲器 IC 261。具体而言,缓冲器 IC 261 包括用以从存储器控制器 251 接收信号和向存储器控制器 251 输出信号的控制器接口(即,耦合到用于传送给往/来自存储器控制器 251 的命令、地址和定时信号的数据路径/端接控制线以及其它信号线(未图示))以及用以传递去往和来自相应存储器级 263 的信号的多个存储器接口(注意,就这一点而言可以通过各自与存储器级 263 中的相应一个存储器级或者存储器级的相应子集接口进行对接的多个分离 IC 来实施缓冲器 IC 261)。耦合于存储器级 263 与缓冲器 IC 261 的给定存储器接口之间的各数据路径(和/或用于传送命令、地址和定时信号的其它信号路径)可以是点到点链路并且可以在管芯上或者在存储器模块 253 上进行单端接或者双端接(即耦合到一端或者两端的端接结构)。在一个实施例中,一般以针对图 2 的实施例内单独存储器器件而描述的方式来实施缓冲器 IC 261 内的控制器接口。也就是说,各缓冲器 IC 261 包括用以实现接收两个独立端接控制信号并且由此提供两个分级端接负载之一到数据路径 152 各高速信号线的开关切换式连接的两个端接控制输入 TC_a 和 TC_b。与在图 2 的实施例中一样,在 TC1/TC2 与 TC_a/TC_b 之间的端接控制线连接相对于存储器模块 253B 而言在存储器模块 253A 中反向,从而当在线 TC1 上确立端接控制信号时,在存储器模块 253A 中经由端接控制输入 TC_a 接收该端接控制信号而在存储器模块 253B 中经由端接控制输入 TC_b 接收该端接控制信号(如上文讨论的那样,可以向存储器模块提供分离成对端接控制线而不是极性相反的控制线共享对)。类似地,当在线 TC2 上确立端接控制信号时,在存储器模块 253A 中

经由端接控制输入 T_{Cb} 接收该端接控制信号而在存储器模块 253B 中经由端接控制输入 T_{Ca} 接收该端接控制信号。如上文提到的那样,可以提供多个缓冲器 IC 以与存储器模块内存储器 IC 的相应级或者其它分组进行对接。

[0022] 参照具体示图 256,可以通过大体上如上文参照图 2 的具体示图 156 所述构造的数据 I/O 电路 157 组来实施各缓冲器 IC 261 内的控制器接口。也就是说,各 I/O 电路 157 包括全部平行耦合到数据路径 152 的相应数据线的数据收发器结构 159(例如,输出驱动器和信号接收器)以及成对开关切换式端接结构 161a 和 161b。开关切换式端接结构 161a 和 161b 中的每一个包括经由对应开关单元 (X₁, X₂) 耦合到数据线的相应负载单元 (R₁, R₂)。数据收发器 159 耦合到缓冲器逻辑电路 265,该缓冲器逻辑电路操作用以经由存储器接口 266₁-266_R 中的对应存储器接口将经由收发器 159 从存储器控制器 251 接收的传入信号多路复用(例如可开关切换地耦合)到存储器级 263₁-263_R 中的被选存储器级,而将从存储器级 263₁-263_R 之一接收的传出信号多路复用到数据收发器 159 并且由此多路复用到存储器控制器 251。

[0023] 与在图 2 的实施例中一样,各 I/O 电路 157 内的开关单元 X₁ 共同耦合到端接控制输入 T_{Ca},而开关单元 X₂ 共同耦合到端接控制输入 T_{Cb}。通过这一布置,并且得益于存储器模块 253A 和 253B 的 T_{Ca}/T_{Cb} 端接控制输入到端接控制线 TC1 和 TC2 的反向连接,当在端接控制线 TC1 上确立端接控制信号时,负载单元 R₁ 可开关切换地耦合到存储器模块 253A 内数据路径 152 的相应线,而负载单元 R₂ 可开关切换地耦合到存储器模块 253B 内数据路径 152 的相应线。类似地,当在端接控制线 TC2 上确立端接控制信号时,负载单元 R₂ 可开关切换地耦合到存储器模块 253A 内的数据路径 152,而负载单元 R₁ 可开关切换地耦合到存储器模块 253B 内的数据路径 152。因而,通过将负载单元 R₁ 编程(或者实施)为具有相对低的阻抗(即相对高的负载)而将负载单元 R₂ 编程(或者实施)为具有相对高的阻抗(即相对低的负载),负载单元 R₁ 可以可开关切换地耦合到数据路径 152 以实现硬端接,而负载单元 R₂ 可以可开关切换地耦合到数据路径以实现软端接。因此,如在 272 的控制器操作所示,在导向到存储器模块 253A(存储器模块 A)的写入操作过程中,可以在线 TC2 上确立端接控制信号以将负载单元 R₁ 可开关切换地耦合到存储器模块 253B 内的数据路径而将负载单元 R₁ 可开关切换地耦合到存储器模块 253A 内的数据路径,由此实现被选和未选存储器模块内的分级端接;被选存储器模块内的软端接和未选存储器模块内的硬端接。

[0024] 图 5 图示了具有分级管芯上端接的存储器系统 300 的另一实施例。存储器系统 300 包括与在上述实施例中一样经由多分接数据路径 152 并且也经由这里也可以称为请求路径的多分接命令 / 地址路径 302(CA)(注意,也可以在图 2、图 3 和图 4 的实施例中提供命令 / 地址路径,但是将之省略以免使那些实施例的其它特征难以理解)耦合到存储器模块 303A 和 303B 的存储器控制器 301。然而与图 2、图 3 和图 4 的实施例不同的是,为了存储器模块 303A 和 303B 的存储器器件 305 内的侦察逻辑电路而省略(或者至少不使用)端接控制线 TC1/TC2。在一个实施例中,如存储器 305 的具体示图 306 中所示,侦察逻辑 315 包含于 I/O 逻辑和存储器芯电路 310 内并且经由信号接收器 311 耦合用以接收在命令 / 地址路径 302 上传送的信号的全部或者子集。侦察逻辑 315 包括用以确定被请求事务的性质(例如读取或者写入)并且比较在命令 / 地址路径 302 上传送的模块选择符(或者模拟块地址)与为存储器模块建立的模块标识符值以确定给定的存储器存取事务是导向到主机存

储器器件 305(即侦察逻辑 315 驻留所在的存储器器件)还是导向到耦合到同一数据分片的另一存储器器件 305 而且相应地生成控制信号 C1 和 C2(这些控制信号供应到如上文参照图 2 所述实施的数据 I/O 电路 157 内的相应开关单元)的电路。如在 320 的控制器操作所示,如果存储器模块 303A 的存储器器件内的侦察逻辑 315 检测到导向到存储器模块 303A 的存储器写入事务(即确立写入使能信号 (WE = 1) 而模块选择符=用于模块 303A 的模块标识符),则侦察逻辑将撤消控制信号 C1 而确立控制信号 C2 以将负载单元 R2 可开关切换地耦合(即,按照相对低的负载值来编程或者实施以建立被选模块内的软端接)到数据路径 152 的相应线而将负载单元 R1 与数据路径 152 可开关切换地去耦合。在同一事务过程中,存储器模块 303B 的存储器器件内的侦察逻辑 315 将确定存储器写入事务导向到另一存储器模块(即存储器模块 A)并且作为响应而确立终端控制线 C2 和撤消控制信号 C1 以将负载单元 R1 可开关切换地耦合到数据路径 152 而将负载单元 R2 与数据路径 152 可开关切换地耦合,由此建立未选存储器模块 303B 中的硬端接。当存储器控制器发出导向到存储器模块 303B 的存储器写入命令时,存储器模块 303A 和 303B 内的侦察逻辑电路 315 将检测到存储器模块的反向角色,其中未选存储器模块 303A 的存储器器件 305 内的侦察逻辑 315 将负载单元 R1 可开关切换地耦合到数据路径 152 以实现硬端接,而被选存储器模块 303B 的存储器器件 305 内的侦察逻辑 315 将负载单元 R2 可开关切换地耦合到数据路径 152 以实现软端接。

[0025] 注意可以通过配置寄存器编程、生产时间编程或者配置(例如通过熔丝、抗熔丝或者其它非易失性电路单元来建立)、管脚短接等为存储器模块建立模块地址。另外,就侦察逻辑 315 为了确定主机存储器器件是否意欲参与给定事务而实际侦察的信号而言,该侦察逻辑可以对引入地址字段、片选信号和 / 或有关存储器器件是否要对引入命令做出响应的任何其它信号中的一位或者所有位进行评价。

[0026] 仍然参照图 5,应当注意到侦察逻辑电路 315 在替代实施例中可以与明示端接控制组合。例如在一个这样的实施例中,为每个存储器模块提供单个端接控制线。在端接控制线上确立端接控制信号以指示是否应当启用端接,而侦察逻辑指示将应用的端接的级别(例如,软端接或者硬端接)。在另一替代实施例中,可以提供有限状态机 (FSM) 以取代侦察逻辑电路 315 或者与侦察逻辑电路 315 组合用以确定端接值。例如,如果给定存储器器件(或者存储器器件组)或者缓冲器 IC(例如在发送数据或者确立控制信号之前数量预定的时间、基于在存储器器件或者缓冲器 IC 内接收的命令、地址值或者其它信息)预期在端接控制信号确立之时接收数据,则 FSM 可以用信号发送这样的预期并且因此选择应用多个端接值中的适当端接值。如果为每个模块提供单个端接控制线并且激活通向给定模块的端接控制线但是预期无数据,则 FSM 可以选择应用不同(更高负载)的端接值。存储器器件或者缓冲器 IC 可以包括用于请求 / 命令处理目的(和其它控制功能)的内部状态机,在该情况下在该状态机内应当仅需要相对少量的附加逻辑以在多个分级端接之间进行选择。注意取代了提供专用端接控制线或者除此之外,还可以将状态机实施与侦察逻辑组合。例如,各存储器模块内的 FSM 可以根据侦察逻辑电路指示该存储器模块对于用于给定事务而言是被选存储器模块还是未选存储器模块来确定将在模块内应用的端接定时和端接值。在所有这样的情况下,如大体上参照图 4 所述在缓冲器 IC 内而不是在存储器 IC 内提供状态机、专用控制线输入和 / 或侦察逻辑电路的组合。

[0027] 在有限状态机或者其它控制电路取代侦察逻辑电路 315 或者与侦察逻辑电路 315 进行组合用以确定将在给定事务过程中应用的端接值的一个实施例中, 各存储器级内的各单独存储器器件可以包括有限状态机, 该有限状态机指示存储器器件在任何给定时间的操作状态、包括在存储器内当前是执行写入操作还是读取操作。因而, 各存储器器件可以通过根据当前器件操作状态实现硬端接、软端接或者无端接对端接控制信号在共享或者专用端接控制线上的确立做出响应。取而代之, 各存储器器件除了有限状态机之外还可以包括侦察逻辑电路(例如大体上如参照图 5 所述)并且可以通过根据当前操作状态实现硬端接、软端接或者无端接对检测到指示需要端接控制的事务做出响应(即侦察逻辑在效果上取代了专用端接控制线)。图 6 图示了可以在存储器内与明示或者隐式端接控制检测电路(即耦合到共享或者专用端接控制线的电路或者是侦察逻辑电路)合并运用从而实现多个分级端接中的所需分级端接的有限状态机的示例性状态图 350。如图所示, 给定级的存储器器件(其状态机一般可以按照锁定步长来操作)起初可以在空闲操作状态 351 中, 在该状态中成行存储器组无一激活。虽然未具体图示, 但是存储器器件可以在空闲状态(或者图 6 中所示任何其它状态)与图 6 中未具体示出的各种低功率状态、初始化状态、校准状态、配置状态(即对于器件配置操作而言包括可编程寄存器的设置)、刷新状态等之间转变。由于在空闲状态中之时在存储器器件内未发生读取或者写入操作, 所以可以将对端接命令的检测(例如对确立专用或者共享端接控制命令的检测或者对控制和/或地址路径上指示存储器读取或者写入事务的信息的检测)推断为导向到另一存储器级, 从而空闲状态的存储器器件将实现硬端接(“硬 T”)。当在空闲存储器级(即其中组成存储器器件处于空闲状态 351 的存储器级)内接收激活命令时, 组成存储器器件在指定的行和组地址执行相应行激活(并且可以采用一个或者多个中间操作状态)并且由此转变到活跃状态 353。在向活跃状态的转变过程中并且在活跃状态之时, 仍然可以将端接命令推断为导向到其它存储器级(即, 因为在目标存储器级内未发生读取或者写入操作), 从而如图所示应用硬端接。当在激活级内接收写入命令时, 组成存储器器件转变到写入状态 355, 在该状态中将写入数据递送到写入状态的存储器级并且应用软端接(“软 T”)以如上所述地改进经过数据路径的信号发送特征。注意其它存储器级可以根据它们的操作状态在写入数据的传送过程中应用硬端接。在完成写入操作(或者完成多次相继写入操作)之后, 存储器级的存储器器件可以转变到预充电状态(“Prchg”)359(例如在自动预充电模式中)或者回到活跃状态 353。在预充电状态 359 中, 存储器级的存储器器件执行用以闭合开放组并且对内部信号线进行预充电以预备后续激活操作的操作。因而, 可以将在预充电状态 359 中之时检测到的端接命令推断为导向到其它存储器级, 从而如图所示应用硬端接。再次参照活跃状态 353, 如果接收到存储器读取命令, 则存储器组的存储器器件将转变到读取状态 357, 在该状态中读取数据从存储器器件输出到存储器控制器或者其它器件。因而在读取状态过程中, 存储器器件可以将所有端接单元与正在其上驱动读取数据的数据线去耦合以避免不适当的信号衰减。与在写入状态 355 中一样, 其它存储器级可以根据它们的操作状态在读取数据的传送过程中应用硬端接。

[0028] 应当注意, 尽管已经在存储器系统的背景中描述了包括或者支持分级信号端接的实施例和方式, 但是这样的实施例和方式可以容易地应用于动态选择的分级端接可能有益的任何信号发送系统或者其部件中。另外就存储器系统而言, 芯存储器存储单元的性

质可以根据应用需要而变化并且可以例如包括但不限于动态随机存取存储器（动态 RAM 或者 DRAM）存储单元、静态随机存取存储器（SRAM）存储单元、非易失性存储单元（比如电可擦除可编程只读存储器（EEPROM 或者闪存 EEPROM）内的浮栅极晶体管）等。至于管芯上端接本身的实施，可以得益于任一类无源部件（例如电阻器）、有源部件（晶体管或者二极管）或者其任何组合来实施负载单元，并且类似地可以通过晶体管开关或者可以用来将负载单元连接到给定节点或者断开负载单元与给定节点的连接的任何其它管芯上结构来实施开关单元。另外，尽管这里已经将多个管芯上端接单元或者电路一般地描绘为不同端接电路，但是在所有这样的情况下可以通过包括共享部件的相应负载单元来实施两个或者多个端接电路。例如，可以通过作为组来启用或者禁用以实现第一端接阻抗的第一组晶体管来实施第一端接电路内的第一负载单元，而第二端接电路内的第二负载单元可以包括第一组晶体管中作为组来启用或者禁用以实现不同端接阻抗的子集。

[0029] 例如但不限于在如下编号项中阐述这里公开的实施例的各种方面：

[0030] 1. 存储器模块，包括：

[0031] 多个数据输入，用以耦合到外部数据路径的信号线；

[0032] 第一端接控制输入和第二端接控制输入，分别用以接收第一端接控制信号和第二端接控制信号；

[0033] 缓冲器集成电路（IC），具有用以耦合到多个数据输入以及第一控制输入和第二控制输入的第一接口并且具有包括多个输入 / 输出（I/O）节点的第一存储器接口；以及

[0034] 第一多个存储器 IC，各存储器 IC 耦合到多个 I/O 节点的相应子集。

[0035] 2. 根据第 1 项所述的存储器模块，其中缓冲器 IC 包括分别耦合到多个数据输入的子集的多个端接电路，各端接电路包括可开关切换地耦合到数据输入中的对应数据输入的第一负载单元和可开关切换地耦合到数据输入中的该对应数据输入的第二负载单元。

[0036] 3. 根据第 2 项所述的存储器模块，其中所述多个端接电路的每一个包括：第一开关单元，用以根据经由第一端接控制输入接收的信号的状态将第一负载单元可开关切换地耦合到数据输入中的对应数据输入或者将第一负载单元与该对应数据输入可开关切换地去耦合；以及第二开关单元，用以根据经由第二端接控制输入接收的信号的状态将第二负载单元可开关切换地耦合到数据输入中的对应数据输入或者将第二负载与该对应数据输入可开关切换地去耦合。

[0037] 4. 根据第 1 项所述的存储器模块，其中第一多个存储器 IC 中的各存储器 IC 包括动态随机存取存储器（DRAM）存储单元阵列。

[0038] 5. 根据第 1 项所述的存储器模块，其中缓冲器 IC 包括第二存储器接口，以及其中存储器模块包括耦合到第二存储器接口的第二多个存储器 IC。

[0039] 也应当注意这里公开的各种电路可以使用计算机辅助设计工具来描述并且按照它们的行为、寄存器传送、逻辑部件、晶体管、布局几何形状和 / 或其它特征表达（或者表示）为实施于各种计算机可读介质中的数据和 / 或指令。可以实施此类电路表达的文件和其它对象的格式可以包括但不限于支持行为语言如 C、Verilog 和 VHDL 的格式、支持寄存器级描述语言如 RTL 的格式和支持几何形状描述语言如 GDSII、GDSIII、GDSIV、CIF、MEBES 的格式以及任何其它适当格式和语言。可以实施此类格式化数据和 / 或指令的计算机可读介质包括但不限于各种形式的非易失性存储介质（例如光、磁或者半导体存储介质）以及可

以用来经过无线、光或者有线信号发送介质或者其任何组合来传递此类格式化数据和 / 或指令的载波。通过载波来传递此类格式化数据和 / 或指令的例子包括但不限于经由一个或者多个数据传递协议（例如 HTTP、FTP、SMTP 等）通过因特网和 / 或其它计算机网的传递（上传、下载、电子邮件等）。

[0040] 上述电路的此类基于数据和 / 或指令的表达当经由一个或者多个计算机可读介质在计算机系统内接收时可以结合包括但不限于网列表生成程序、位置和路由程序等的其它计算机程序的执行、由计算机系统内的处理实体（例如一个或者多个处理器）处理以生成此类电路物理表现的一种表示或者图像。随后可以例如通过实现生成一个或者多个如下掩模在器件制作中使用这样的表示或者图像，这些掩模用来在器件制作工艺中形成电路的各种部件。

[0041] 在以上描述中和在附图中，已经阐述具体术语和附图符号以提供对本发明的透彻理解。在一些实例中，术语和符号可以意味着并非实施本发明所必需的具体细节。例如，在电路单元或者电路块之间的互连可以图示或者描述为多导体或者单导体信号线。各多导体信号线可以代之以是单导体信号线，而各单导体信号线可以代之以是多导体信号线。图示或者描述为单端的信号或者信号发送路径也可以是差分式并且反之亦然。类似地，描述或者描绘为具有活跃高或者活跃低逻辑电平的信号在替代实施例中可以具有相反逻辑电平。作为另一例子，可以代之以使用双极技术或者可以实施逻辑单元的任何其它技术来实施描述或者描绘为包括金属氧化物半导体 (MOS) 晶体管的电路。就术语而言，当信号驱动成低或者高逻辑状态（或者充电成高逻辑状态或者放电成低逻辑状态）以表示特定条件时，该信号称为“确立”。反言之，信号称为“撤消”以表示该信号驱动（或者充电或者放电）成确立的状态之外的状态（包括高或者低逻辑状态或者是当信号驱动电路转变到高阻抗条件如开路漏极或者开路集极条件时可能出现的悬浮状态）。当信号驱动电路在信号驱动电路与信号接收电路之间耦合的信号线上确立（或者如果上下文有明示或指示，则为撤消）信号时，该信号驱动电路被称为将信号“输出”到信号接收电路。当信号在信号线上确立时，该信号线被称为“激活”，而在信号撤消时则被称为“去激活”。此外，附于信号名称的前缀符号“/”指示该信号是活跃低信号（即确立的状态是逻辑低状态）。在信号名称之上的线（例如‘<信号名>’）也用来表示活跃低信号。术语“耦合”在这里用来表达直接连接以及经过一个或者多个中介电路或者结构的连接。集成电路器件“编程”可以例如包括但不限于响应于主机指令将控制值加载到器件内的寄存器或者其它存储电路中并且由此对器件的操作方面进行控制、通过一次性的编程操作（例如在器件生产过程中烧断配置电路内的熔丝）来建立器件配置或者控制器件的操作方面和 / 或将器件的一个或者多个被选管脚或者其它接触结构连接到参考电压线（也称为短接）以建立器件的特定器件配置或者操作方面。术语“示例”用来表达一个例子而不是偏好或者要求。

[0042] 尽管已经参照本发明的具体实施例描述了本发明，但是不言而喻的是可以对其进行各种修改和变化而不脱离本发明的更广义的实质和范围。例如，任何实施例的特征或者方面可以至少在可行的情况下与任何其它实施例进行组合应用或者取代任何其它实施例的对等特征或者方面来加以应用。因而，说明书和附图将视为具有举例说明而不是进行限制的意义。

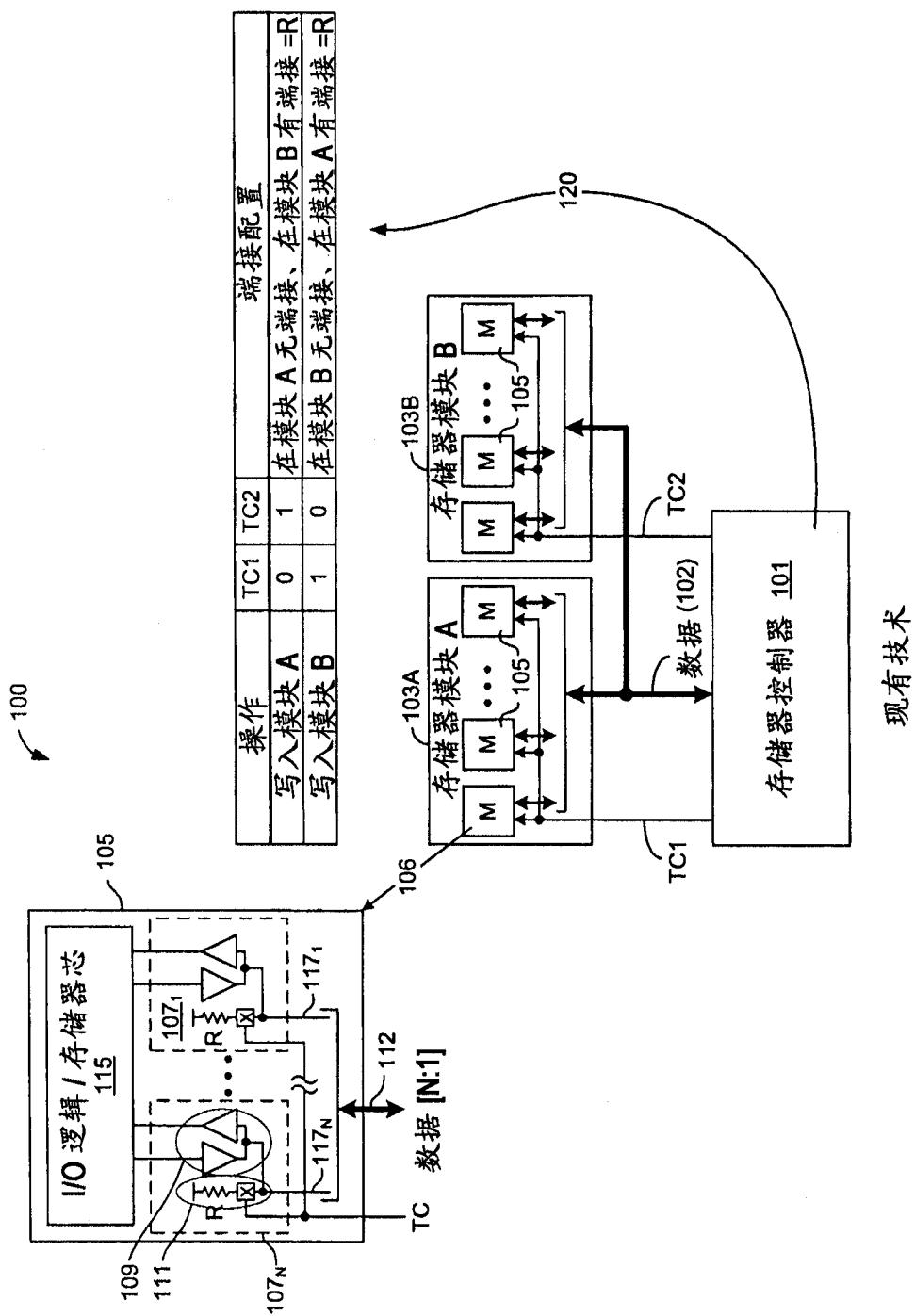


图 1

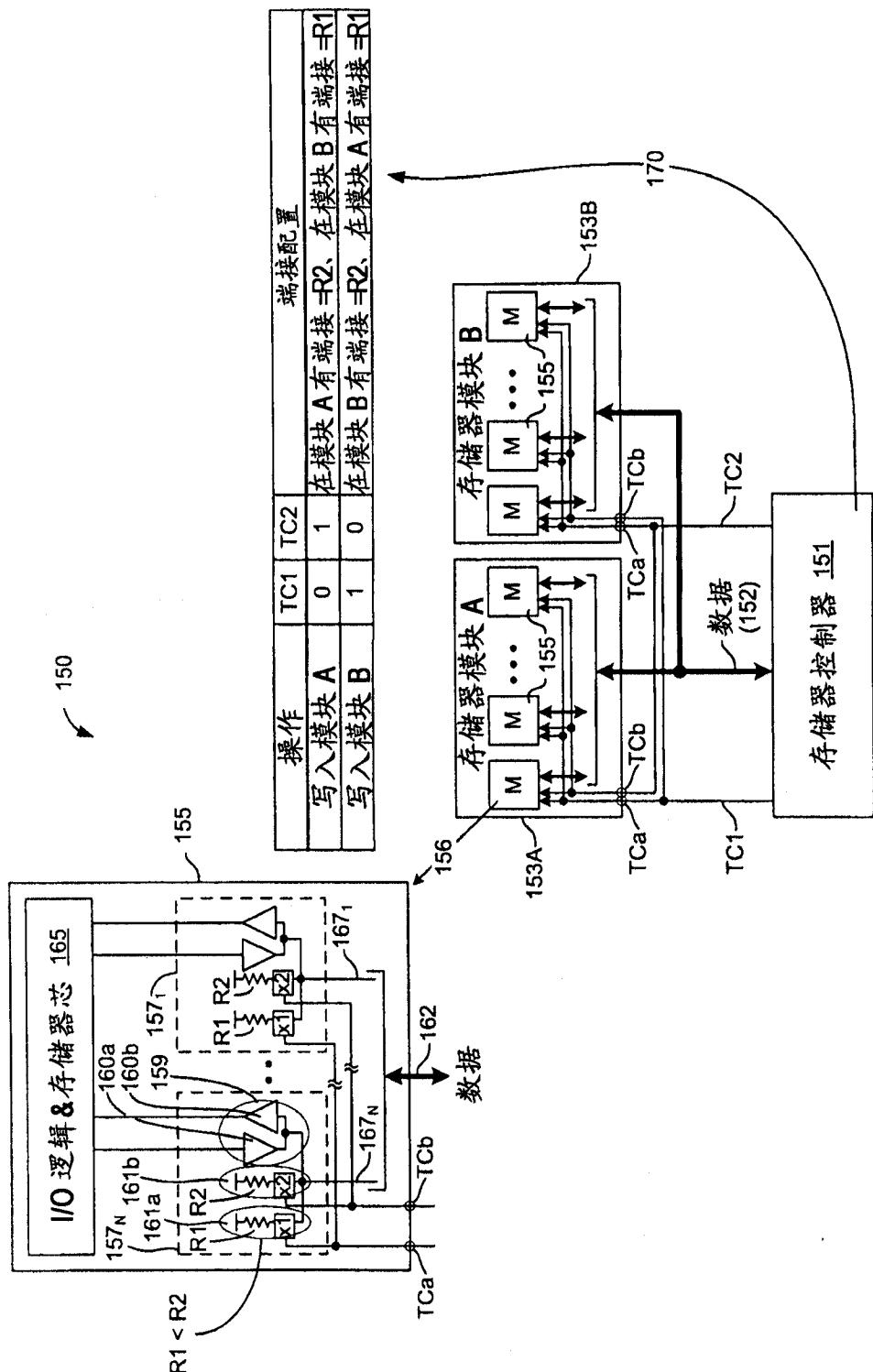


图 2

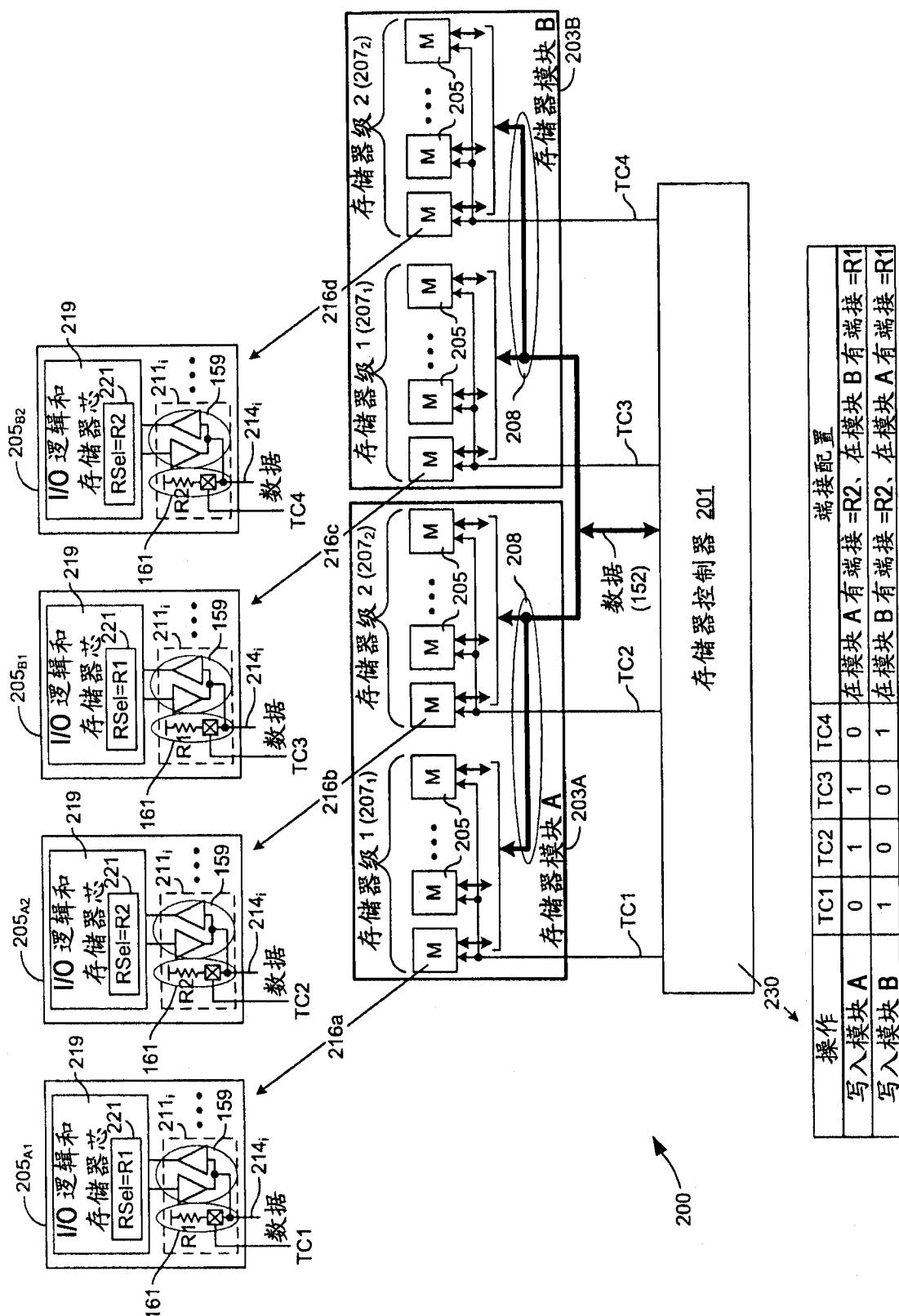


图 3

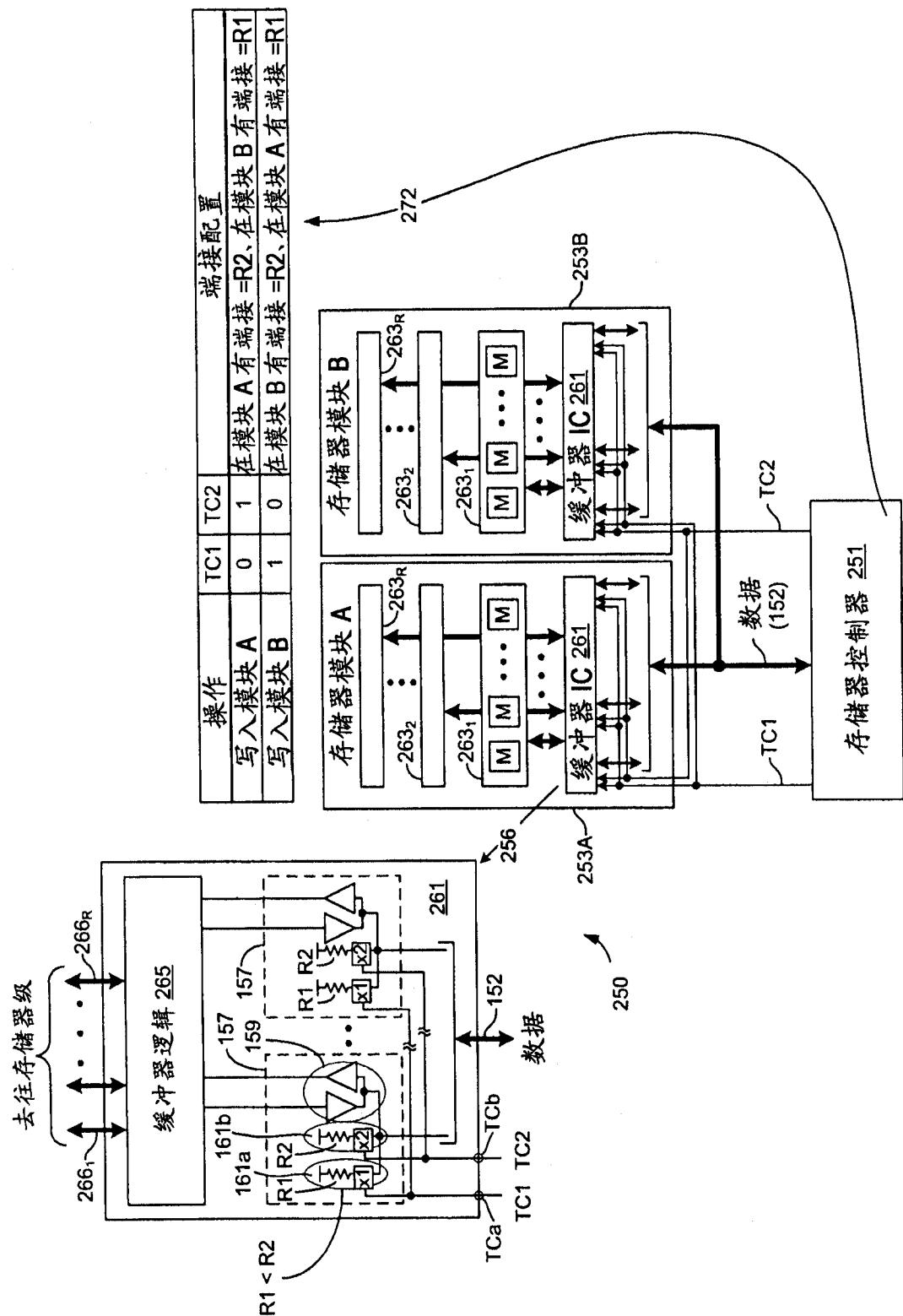


图 4

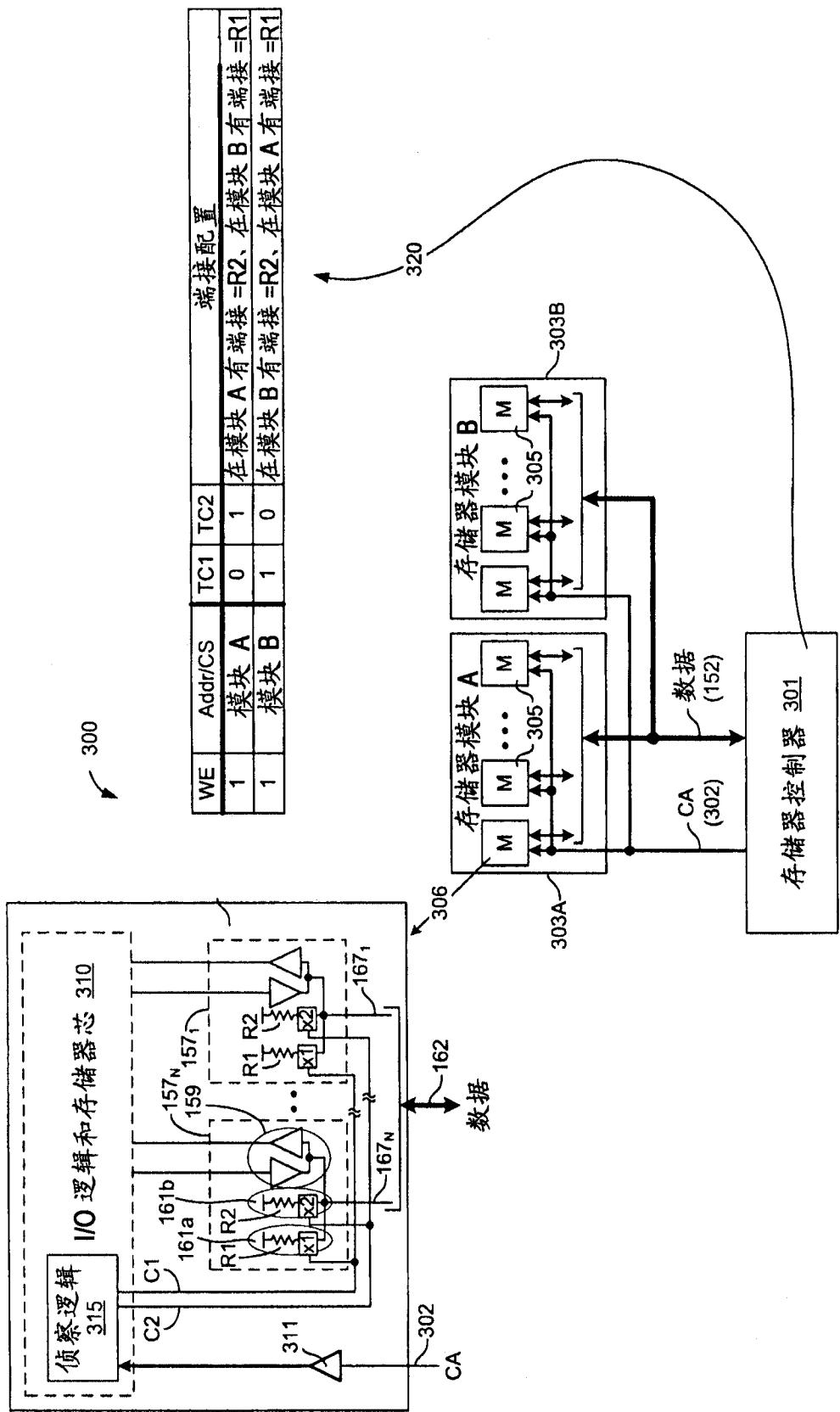


图 5

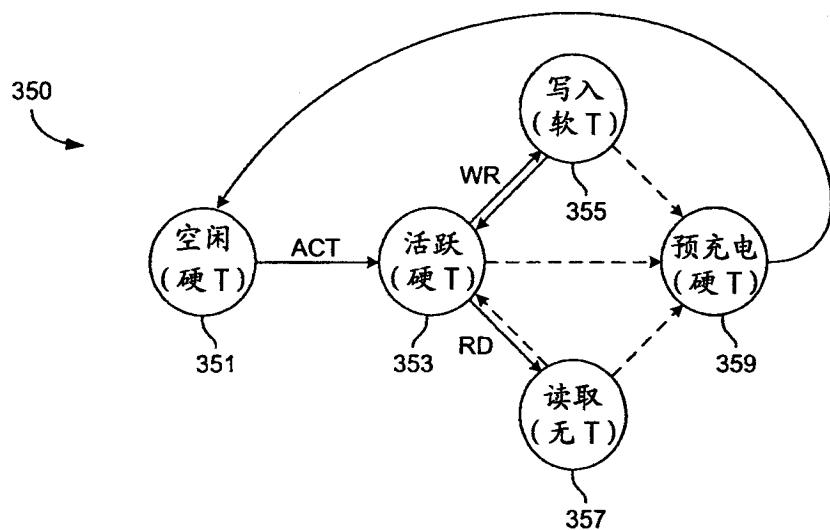


图 6