

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第3720945号
(P3720945)

(45) 発行日 平成17年11月30日(2005.11.30)

(24) 登録日 平成17年9月16日(2005.9.16)

(51) Int.Cl. ⁷	F I
G 1 1 C 11/401	G 1 1 C 11/34 3 6 2 H
G 1 1 C 11/409	G 1 1 C 11/34 3 7 1 K
H O 1 L 21/8242	G 1 1 C 11/34 3 5 4 R
H O 1 L 27/108	H O 1 L 27/10 6 8 1 E

請求項の数 18 (全 21 頁)

(21) 出願番号 特願平9-86788	(73) 特許権者 000003078 株式会社東芝 東京都港区芝浦一丁目1番1号
(22) 出願日 平成9年4月4日(1997.4.4)	
(65) 公開番号 特開平10-283772	(74) 代理人 100058479 弁理士 鈴江 武彦
(43) 公開日 平成10年10月23日(1998.10.23)	(74) 代理人 100084618 弁理士 村松 貞男
審査請求日 平成13年4月27日(2001.4.27)	(74) 代理人 100068814 弁理士 坪井 淳
	(74) 代理人 100092196 弁理士 橋本 良郎
	(74) 代理人 100091351 弁理士 河野 哲
	(74) 代理人 100088683 弁理士 中村 誠
	最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

それぞれが第1の方向と垂直な第2の方向に交互に配置された複数のメモリセルアレイと複数のセンスアンプとを有し、前記第1の方向に配置された複数のメモリバンクと、

それぞれが前記第2の方向に配置された複数の行デコーダを有し、前記複数のメモリバンクに対応して前記第1の方向に配置された複数の行デコーダ部と、

前記複数のメモリバンクに隣接して前記第1の方向に配置され、前記各メモリバンクの前記複数のメモリセルアレイに共有された複数の列デコーダを有する列デコーダ部と、

前記各メモリバンクの前記複数のメモリセルアレイに貫通して前記第2の方向に設けられ、前記各列デコーダの出力信号を伝送する複数の出力線と、

前記メモリバンク毎に前記第1の方向に設けられ、前記出力線を伝送する前記列デコーダ部の出力信号に応じて前記複数のセンスアンプと接続される複数の第1のデータ線と、

前記複数のメモリバンクを貫通して前記第1の方向に配設され、前記複数の第1のデータ線により共有される複数の第2のデータ線と、

前記複数の第1のデータ線のそれぞれと前記複数のセンスアンプのそれぞれとの間に接続され、前記出力線に伝送される前記列デコーダの出力信号に応じて、前記複数の第1のデータ線のそれぞれと前記複数のセンスアンプのそれぞれとを接続する複数の第1のスイッチ機能素子と、

一端が前記複数の第1のデータ線に接続され、他端が前記複数の第2のデータ線に接続され、前記複数の第1のデータ線の少なくとも1つに対応する少なくとも1つのメモリバ

ンクのバンク活性化信号により制御される複数の第2のスイッチ機能素子とを具備することを特徴とする半導体記憶装置。

【請求項2】

前記複数の第1のデータ線と前記複数の第2のデータ線は、互いに異なる階層の金属配線層により形成されることを特徴とする請求項1記載の半導体記憶装置。

【請求項3】

前記複数の第1のデータ線及び前記行デコーダの複数の出力線は、1層目の金属配線層により形成され、

前記列デコーダの出力線は、2層目の金属配線層により形成され、

前記複数の第2のデータ線は、3層目の金属配線層により形成されることを特徴とする請求項2記載の半導体記憶装置。

10

【請求項4】

前記複数の第2のスイッチ機能素子のそれぞれは、電流経路の一端が前記第1のデータ線に接続され、電流経路の他端が前記第2のデータ線に接続され、ゲートに前記バンク活性化信号が供給されるトランジスタであることを特徴とする請求項1記載の半導体記憶装置。

【請求項5】

前記複数の第2のスイッチ機能素子のそれぞれは、前記第1のデータ線上の信号を前記第2のデータ線に増幅して転送する増幅機能を有することを特徴とする請求項1記載の半導体記憶装置。

20

【請求項6】

前記複数の第2のスイッチ機能素子のそれぞれは、カレントミラー型の差動増幅器を有することを特徴とする請求項5記載の半導体記憶装置。

【請求項7】

それぞれが第1の方向と垂直な第2の方向に交互に配置された複数のメモリセルアレイと複数のセンスアンプとを有し、前記第1の方向に配置された複数のメモリバンクと、

それぞれが前記第2の方向に配置された複数の行デコーダを有し、前記複数のメモリバンクに対応して前記第1の方向に配置された複数の行デコーダ部と、

前記複数のメモリバンクと前記複数の行デコーダ部に隣接して配置され、前記第1の方向に配置された複数の列デコーダを有する列デコーダ部と、

30

前記複数のメモリバンク毎に前記第2の方向に設けられた複数の第2のデータ線と、

前記複数のメモリバンクを貫通して前記第1の方向に設けられた複数の第3のデータ線と、

一端が前記複数の第2のデータ線に接続され、他端が前記第3のデータ線に接続され、前記一端が接続された第2のデータ線の一つに対応するメモリバンクのバンク活性化信号により制御され、かつ前記第2のデータ線上の信号を前記第3のデータ線に増幅して転送する機能を有する複数の第1のスイッチ機能素子とを具備し、

前記各メモリバンクは、

前記第1の方向に設けられ、前記センスアンプと接続される複数の第1のデータ線と、

40

一端が前記複数の第1のデータ線に接続され、他端が前記複数の第2のデータ線に接続され、前記一端が接続された第1のデータ線に対応するメモリセルアレイのセルアレイ活性化信号により制御される複数の第2のスイッチ機能素子とを具備することを特徴とする半導体記憶装置。

【請求項8】

前記複数の第1のデータ線は、1層目の金属配線層により形成され、

前記複数の第2のデータ線は、2層目の金属配線層により形成され、

前記複数の第3のデータ線は、3層目の金属配線層により形成されることを特徴とする請求項7記載の半導体記憶装置。

【請求項9】

50

前記複数の第2のスイッチ機能素子は、電流経路の一端が前記複数の第1のデータ線の1つに接続され、電流経路の他端が前記複数の第2のデータ線の1つに接続され、ゲートに前記メモリセルアレイ活性化信号が供給されるトランジスタであることを特徴とする請求項7記載の半導体記憶装置。

【請求項10】

前記複数の第1のスイッチ機能素子のそれぞれは、カレントミラー型の差動増幅器を有することを特徴とする請求項7記載の半導体記憶装置。

【請求項11】

前記第1の方向に配置され、階層型ワード線方式を構成する主ワード線ならびに副ワード線を有し、前記第1の方向に配置された複数のメモリバンクと、

10

前記第1の方向と垂直な第2の方向に配置され、前記複数のメモリバンクに共有されてワード線活性化信号を出力する第1の行デコーダと、

前記複数のメモリバンクに貫通して前記第1の方向に配置され、前記第1の行デコーダに接続されて前記ワード線活性化信号を伝送する出力信号線と、

前記メモリバンク毎に前記第2の方向に設けられ、入力端子が前記出力信号線に接続され、出力端子が前記主ワード線に接続された複数の第2の行デコーダを有する第2の行デコーダ部と、

前記メモリバンク毎に前記第1の方向に設けられ、複数のセンスアンプとそれぞれ接続される複数の第1のデータ線と、

前記複数のメモリバンクを貫通して前記第1の方向に設けられた第2のデータ線と、
一端が前記複数の第1のデータ線の1つに接続され、他端が前記複数の第2のデータ線の1つに接続され、前記一端が接続された1つの第1のデータ線に対応するメモリバンクのバンク活性化信号により制御されるスイッチ機能素子と、

20

前記各メモリバンクに隣接して前記第1の方向に配置され、前記各メモリバンクの列を選択する複数の列デコーダを有した列デコーダ部と
を具備し、

前記各メモリバンクは、前記第2の方向に配置された複数のメモリブロックを有し、
前記複数のメモリブロックのそれぞれは、前記第2の方向に交互に配置された複数のメモリセルアレイと前記複数のセンスアンプを有し、

前記複数のメモリセルアレイのそれぞれは複数のメモリセルを有し、
前記複数のメモリセルは、前記副ワード線にそれぞれ接続され、
前記複数のメモリブロックは、それぞれ一端が前記主ワード線に接続され、他端が複数の前記副ワード線に接続され、アドレス信号に応じて、前記主ワード線を前記副ワード線に選択的に接続する第3の行デコーダを含むことを特徴とする半導体記憶装置。

30

【請求項12】

前記主ワード線は、1層目の金属配線層により形成され、前記副ワード線は、ゲート配線層により形成されていることを特徴とする請求項11記載の半導体記憶装置。

【請求項13】

前記第1の行デコーダが出力する制御信号が供給される配線は、3層目の金属配線層で形成されることを特徴とする請求項11記載の半導体記憶装置。

40

【請求項14】

前記第2の行デコーダは、前記第1の行デコーダが出力する制御信号により制御されるラッチ回路であることを特徴とする請求項13記載の半導体記憶装置。

【請求項15】

前記副ワード線は、1層目の金属配線層ならびにゲート配線層からなる第3のワード線により形成され、前記メモリセルアレイ内の接続領域において前記主ワード線に接続されることを特徴とする請求項11記載の半導体記憶装置。

【請求項16】

前記接続領域は、前記第3のワード線の中央部に設けられることを特徴とする請求項15記載の半導体記憶装置。

50

【請求項 17】

それぞれが第1の方向と垂直な第2の方向に交互に配置された複数のメモリセルアレイと複数のセンスアンプとを有し、前記第1の方向に配置された複数のメモリバンクと、

それぞれが前記第2の方向に配置された複数の行デコーダを有し、前記複数のメモリバンクに対応して前記第1の方向に配置された複数の行デコーダ部と、

前記複数のメモリバンクに隣接して前記第1の方向に配置され、前記各メモリバンクの前記複数のメモリセルアレイに共有された複数の列デコーダを有する列デコーダ部と、

前記メモリバンク毎に前記第2の方向に設けられた複数の第2のデータ線と、

前記メモリバンクを貫通して前記第1の方向に設けられた複数の第3のデータ線と、

一端が前記複数の第2のデータ線に接続され、他端が前記第3のデータ線に接続され、前記一端が接続された第2のデータ線の一つに対応するメモリバンクのバンク活性化信号により制御され、かつ前記第2のデータ線上の信号を前記第3のデータ線に増幅して転送する機能を有する複数の第1のスイッチ機能素子と

を具備し、

前記各メモリバンクは、

前記第1の方向に設けられ、前記センスアンプと接続される複数の第1のデータ線と、

一端が前記複数の第1のデータ線に接続され、他端が前記複数の第2のデータ線に接続され、前記一端が接続された第1のデータ線に対応するメモリセルアレイのセルアレイ活性化信号により制御される複数の第2のスイッチ機能素子と

を具備することを特徴とする半導体記憶装置。

【請求項 18】

第1の方向に配置され、階層型ワード線方式を構成する主ワード線ならびに副ワード線を有し、前記第1の方向に配置された複数のメモリバンクと、

それぞれが前記第2の方向に配置された複数の行デコーダを有し、前記各行デコーダは出力端が前記主ワード線に接続され、前記複数のメモリバンクに対応して前記第1の方向に配置された複数の第1の行デコーダ部と、

前記各メモリバンクに隣接して前記第1の方向に配置され、前記各メモリバンクの列を選択する複数の列デコーダを有した列デコーダ部と、

前記メモリバンク毎に前記第1の方向に設けられた複数の第1のデータ線と、

前記複数のメモリバンクに貫通して前記第1の方向に設けられた複数の第2のデータ線と、

一端が前記複数の第1のデータ線の1つに接続され、他端が前記複数の第2のデータ線の1つに接続され、前記複数の第2のデータ線の1つに対応するメモリバンクのバンク活性化信号により制御される第1のスイッチ機能素子とを有し、

前記各メモリバンクは前記第1の方向に配置された複数のメモリブロックを有し、

前記各メモリブロックは前記第2の方向に交互に配置された複数のメモリセルアレイ及び複数のセンスアンプを有し、

前記各メモリセルアレイは複数のメモリセルを有し、

前記各メモリセルアレイの前記メモリセルは前記副ワード線及び前記第2の方向に配置されたビット線にそれぞれ接続され、

前記各メモリセルブロックは、一端がそれぞれ前記主ワード線に接続され、他端が前記副ワード線に接続され、アドレス信号に応じて主ワード線を選択的に副ワード線に接続する第2の行デコーダを

具備することを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、ダイナミック型RAM(DRAM)セルを集積して配置した半導体記憶装置に係わり、特にDRAMコア回路の配置方式に関する。

【0002】

【従来の技術】

D R A Mを構成するメモリセルは比較的簡単な構造で形成されるため、D R A MはM O S型半導体記憶装置の中で最も高集積化が進んでいる。現段階では、6 4 MビットD R A Mの量産が開始され、1 GビットD R A Mの試作が発表されている。

【0 0 0 3】

D R A Mの高集積化と共に、D R A Mの高速化も図られている。しかし、C P Uの動作速度の驚異的な向上にD R A Mの高速化は追いついていないため、近年、D R A Mの動作速度がコンピュータシステム全体のパフォーマンスを決定するようになっている。

【0 0 0 4】

この問題を解決するため、一般に、C P UとD R A Mの間に高速なキャッシュメモリが配 10
置される。C P Uと高速なキャッシュメモリとの間でデータをやり取りすることで、コンピュータシステム全体の性能が向上する。

【0 0 0 5】

このようなコンピュータシステムにおいて、D R A Mは、キャッシュメモリのキャッシュ 20
ラインを高速にラインフィルする必要がある。そのため、D R A Mにおいて、シリアルアクセスの重要度がランダムアクセスの重要度よりも高くなる。その結果、汎用D R A Mにおいても、データをより高速にバースト転送する動作モードが、動作モードの主流になってきている。例えば、現在では、従来の高速ページモード(F a s t P a g e M o d e)のD R A MよりもE D O(E x t e n d e d D a t a O u t)モードのD R A M 20
がより多く用いられている。将来は、外部クロックに同期して高速にアクセスすることが可能となるシンクロナスD R A M(S D R A M)やラムバスD R A M(R D R A M)がメインメモリの主流を占めることはほぼ間違いない。

【0 0 0 6】

一方、複数のC P Uで構成されるマルチC P Uを用いて、コンピュータシステムをさらに 30
高性能にすることがある。現在、このマルチC P Uシステムは主として高機能サーバマシンに採用されているだけである。しかし、将来は、マルチC P Uシステムは、リアルタイム動画再生を主用途とする民生用マルチメディアシステムに採用されることが期待されている。このようなマルチC P Uシステムにおいては、ランダムアクセスも、シリアルアクセスと同程度に重要となる。すなわち、極めて高いデータスループットを有するメモリ素子が要求されるようになる。

【0 0 0 7】

こうした要求に対して、大容量D R A Mを複数のブロック(バンク)に分割し、それぞれの 40
ブロック(バンク)を独立に動作させることが考えられている。この動作方式は、一般にインターリーブ動作方式と呼ばれる。このインターリーブ方式を用いると、ランダムアクセスの際のデータのデータスループットが改善するため、C P UとD R A M間のデータバスの有効性を高め、システムのパフォーマンスを向上させることができる。例えば、J e i - H w a n Y o oらにより、3 2 バンクを有する1 GビットD R A M("A 32-bank 1Gb S e l f - S t r o b i n g S y n c h o r o n o u s D R A M w i t h 1 G b y t e / s B a n d w i d t h", IEEE Journal of Solid-S t a t e C i r c u i t , V o l . 1 1 , N o . 1 1 , N o v . , 1 9 9 6 , p p 1 6 3 5 - 1 6 4 4) が報告されている。

【0 0 0 8】

以下、上述のJ e i - H w a n Y o oらにより報告された、マージドバンクアーキテク 40
チャ(Merged Bank Architecture)と呼ばれるバンク構成法を示す。図1 3 (a) は、従来のD R A Mを示す。以下、同一の構成要素には同一の符号を付し、説明を省略する。

【0 0 0 9】

メモリバンクB A N K 0 L ~ B A N K 7 Lは、それぞれ1 6 Mビットの記憶容量を持つ。 50
また、行デコーダX - Dと列デコーダY - D E Cが、メモリバンクB A N K 0 L ~ B A N K 7 Lに対してそれぞれ設けられている。

【0 0 1 0】

この従来の方法では、メモリバンクを各々独立に動作させるために、バンク毎に行デコー 50
ダX - Dと列デコーダY - D E Cが必要となる。そのため、多バンク方式を採用するとチ

チップサイズが増大するという問題がある。

【0011】

チップサイズの増大を避けるために、隣接するバンクがデータバスや行デコーダを共有することが考えられる。しかし、その場合、隣接するバンクを独立して動作させることが不可能になり、有効なバンク数が減少する。その結果、DRAMのデータスループットが低下し、コンピュータシステムのパフォーマンスが低下する。

【0012】

図13(b)は、J e i - H w a n Y o oらが考案したマージドバンクアーキテクチャと称するバンク構成法を示す。

この構成法では、列デコーダY-D E Cは、チップの下部に1つ設けられて、メモリバンクBANK 0 L ~ BANK 7 Lで共有されている。

10

【0013】

また、データ線G I Oは、異なるバンク間で共有されている。このデータ線G I Oは、メモリセルアレイ上にメモリセルアレイを通過して設けられている。

このように、この構成法では複数のメモリバンクで列デコーダY-D E Cやデータ線G I Oを共有するため、チップサイズを図13(a)に示した従来の方式の場合と比べて85.5%に低減できると述べている。

【0014】

図14(a)は、図13(b)に示したマージドバンクアーキテクチャの具体的な回路の一例を示す。

20

メモリバンクBANK 0 L ~ BANK 7 Lの各々において、256Kbのメモリセルアレイが縦4個×横16個配置されている。センスアンプS/Aは、セルアレイの各々の上部及び下部に設けられている。センスアンプS/Aは、横方向に伸びる第1のデータ線L I Oに接続されている。

【0015】

第2のデータ線G I Oは縦方向にメモリバンクBANK 0 L ~ BANK 7 Lを横切って伸びている。第1のデータ線L I Oと第2のデータ線G I Oは、マルチプレクサR/W M U Xを介して接続されている。

【0016】

また、ローカル列デコーダL C Dがメモリバンク毎に設けられている。図14(b)は、ローカル列デコーダL C Dの回路例を示す。グローバル列選択線G C S Lは、縦方向にメモリバンクBANK 0 L ~ BANK 7 Lを横切って伸びており、その一端は列デコーダY-D E Cの出力端子に接続される。信号BANK C A iは、i番目のメモリバンクBANK i Lを活性化させるための信号であり、信号BANK C A i Bは信号BANK C A iの反転信号である。ローカル列選択線L C S Lは、1つのメモリバンク内を縦方向に伸びている。このローカル列デコーダL C Dは、そのバンクが活性化される場合、信号BANK C A iがハイレベル、信号BANK C A i Bがローレベルとなると、トランジスタT 1がオン、トランジスタT 2がオフし、グローバル列選択線G C S Lとそのバンクのローカル列選択線L C S Lとを電氣的に接続する。

30

【0017】

メモリセルのデータは、ローカル列選択線L C S L上の信号がハイレベルになる場合に、第1のデータ線L I Oを経由して第2のデータ線G I Oに転送される。

40

【0018】

【発明が解決しようとする課題】

図14に示すバンク構成方法では、以下に述べる問題が存在する。

この回路では、上述のように、チップサイズを小さくするため、列デコーダY-D E Cが異なるバンクで共有され、第2のデータ線G I Oが異なるバンクで共有されている。一方、各バンクを独立して動作させるために、バンク毎にローカル列デコーダL C Dが必要になる。

【0019】

50

このように、列デコーダY-D E Cを共有にしたにも係わらず、ローカル列デコーダL C Dがバンク毎に必要なので、チップサイズを大幅に小さくすることができない。

【0020】

図15は、ローカル列デコーダL C Dを使用しない回路例を示す。図15において、1はメモリセルアレイ、2はセンスアンプ、3は選択スイッチを表す。ビット線と第1のデータ線L I O又はb L I Oとの間に、直列に接続された2個のトランスファークゲート4、5及び6、7が設けられている。トランスファークゲート4、6のゲートには、例えば列デコーダの一部で生成されたバンク活性化信号C A iが供給され、トランスファークゲート5、7のゲートには列デコーダY-D E Cの出力信号C S Lが供給される。

【0021】

しかし、図15に示した回路では、図14に示した回路よりもトランスファークゲートが1つ増加するため、チップ面積が増えるとともに、動作速度も低下してしまう。

【0022】

また、図14や図15に示した方式では、隣接するバンクが同時に活性化されることを考慮する必要があるため、隣り合ったバンク間でセンスアンプを共有する共有センスアンプ方式を採用することができない。

【0023】

図16を用いて、共有センスアンプ方式を説明する。センスアンプ10は、メモリセルアレイ8とメモリセルアレイ12とにより共有されている。選択スイッチ9はメモリセルアレイ8とセンスアンプ10との間に設けられ、選択スイッチ11はメモリセルアレイ12とセンスアンプ10との間に設けられている。この選択スイッチ9、11は、それぞれメモリセルアレイ8、12が活性化されるときにオンし、それ以外ときはオフしている。選択スイッチ9、11のオンオフは、例えばアドレス信号に応じてなされる。

【0024】

この共有センスアンプ方式を用いると、隣接する2つのメモリセルアレイ間でセンスアンプ部を共有するため、チップサイズを大きく低減することができる。上述のように、J e i-H w a n Y o oらの方式では、メモリバンク間の領域にローカル列デコーダL C Dが設けられていることと、隣接するバンクが同時に活性化されることを考慮する必要があるため、バンク間の領域で共有センスアンプ方式を採用することができない。その結果、チップサイズをそれほど小さくすることができない。特にバンク分割数が増加すると、この問題は大きな問題となる。

【0025】

このように、従来のバンク構成法では、多バンク構成のD R A Mを実現しようとする場合、バンク分割数に比例してチップサイズが大きくなるという問題がある。

【0026】

本発明は、上記課題に鑑みてなされたもので、全てのセルアレイブロックの境界において共通センスアンプ方式を採用でき、列デコーダの出力線を各バンク内にのみ配設することにより、チップサイズが小さい多バンク構成の半導体記憶装置を提供することを目的とする。

【0027】

【課題を解決するための手段】

上記課題を解決するため、本発明の半導体記憶装置の一態様は、それぞれが第1の方向と垂直な第2の方向に交互に配置された複数のメモリセルアレイと複数のセンスアンプとを有し、前記第1の方向に配置された複数のメモリバンクと、それぞれが前記第2の方向に配置された複数の行デコーダを有し、前記複数のメモリバンクに対応して前記第1の方向に配置された複数の行デコーダ部と、前記複数のメモリバンクに隣接して前記第1の方向に配置され、前記各メモリバンクの前記複数のメモリセルアレイに共有された複数の列デコーダを有する列デコーダ部と、前記各メモリバンクの前記複数のメモリセルアレイに貫通して前記第2の方向に設けられ、前記各列デコーダの出力信号を伝送する複数の出力線と、前記メモリバンク毎に前記第1の方向に設けられ、前記出力線を伝送する前記列デ

10

20

30

40

50

コーダ部の出力信号に応じて前記複数のセンスアンプと接続される複数の第1のデータ線と、前記複数のメモリバンクを貫通して前記第1の方向に配設され、前記複数の第1のデータ線により共有される複数の第2のデータ線と、前記複数の第1のデータ線のそれぞれと前記複数のセンスアンプのそれぞれとの間に接続され、前記出力線に伝送される前記列デコーダの出力信号に応じて、前記複数の第1のデータ線のそれぞれと前記複数のセンスアンプのそれぞれとを接続する複数の第1のスイッチ機能素子と、一端が前記複数の第1のデータ線に接続され、他端が前記複数の第2のデータ線に接続され、前記複数の第1のデータ線の少なくとも1つに対応する少なくとも1つのメモリバンクのバンク活性化信号により制御される複数の第2のスイッチ機能素子とを具備している。

【0028】

10

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態を説明する。

図1及び図2は、本発明の第1の実施例を示す。図1は本発明の半導体記憶装置の構成の概略を示し、図2は図1に示した半導体記憶装置のメモリバンクをより詳細に表す。図1に示す構成は、例えばDRAMのコアマクロの1つを表しており、図13に示した従来の構成と対照できるように128Mビットのメモリ容量を有している。

【0029】

メモリバンクBANK0L～BANK7Lは、それぞれ16Mビットのメモリ容量を持つ。メモリバンクBANK0L～BANK7Lのそれぞれは中央部で上下に2分割されて、それぞれ8Mビットの容量を有する領域が形成されている。

20

【0030】

これらのメモリバンクBANK0L～BANK7Lは、図1に示すように上下に一列に配置される。

また、行デコーダX-DECは、バンクBANK0L～BANK7Lのそれぞれに対して1つずつ設けられる。行デコーダX-DECは、上下に分割されたバンク間に左右に伸びて配置される。行デコーダX-DECは、ロウアドレス信号の一部をデコードして、そのロウアドレス信号に対応するワード線WLを活性化する。

【0031】

列デコーダY-DECは、バンクBANK0L～BANK7Lの左端に近接して、バンクの並び方向に沿って配置されている。列デコーダY-DECは、例えばアドレス信号の一部をデコードして、そのアドレス信号に対応する出力線CSLをハイレベルにする。

30

【0032】

第2のデータ線GIOは、バンクBANK0L～BANK7Lを貫いて配設されている。第2のデータ線は、データ線GIOとデータ線bGIO（以下、bは反転を表すものとする）よりなる一対のデータ線である。このデータ線対GIOは、1対あるいは複数対設けられている。第2のデータ線は、データパスを介して図示せぬ出力バッファなどに接続される。

【0033】

第1のデータ線LIOは、2分割されたバンク毎に、第2のデータ線GIOの各々と並行して設けられている。第2のデータ線GIOは、スイッチ機能素子15を介してバンクBANK0L～BANK7Lの第1のデータ線LIOに接続される。第1のデータ線LIOは、バンク毎に例えば第2のデータ線GIOと同じ本数設けられる。

40

【0034】

スイッチ機能素子15（詳細は後述する）は、各バンクの第1のデータ線LIO毎に設けられる。スイッチ機能素子15には、対応するバンクのバンク活性化信号CAiが供給され、このバンク活性化信号がハイレベルであるとオンし、ローレベルであるとオフする。バンク活性化信号CAiは、図示せぬ例えばアドレスデコーダにおいてアドレス信号の一部をデコードして生成される。

【0035】

図2は、分割されたメモリバンクの一方と、メモリバンクに用いられるセンスアンプを詳

50

細に示す。

メモリバンクは、複数のメモリセルアレイ14と複数のセンスアンプS/Aとにより構成される。メモリセルアレイ14とセンスアンプS/Aは、行デコーダX-DECが伸びる方向に沿って、すなわち行デコーダX-DECの出力信号線としての図示せぬワード線(WL)が伸びる方向と垂直の方向に、交互に配置されている。従来例と異なりローカル列デコーダが不要であることと、センスアンプ領域が各メモリセルに隣接して配置されているため、1個のセンスアンプS/Aを2個のメモリセルアレイ14で共有できる。すなわち、全てのメモリセルアレイが共有センスアンプ方式を採用することができる。

【0036】

図2に示すように、前記第1のデータ線LIO及び第2のデータ線GIOは、それぞれ各
10 センスアンプS/A上に配設されている。

第1のデータ線対LIO、bLIOとセンスアンプ間には、ゲートに列デコーダ出力線CSLが接続されたトランジスタ13がそれぞれ1個設けられている。

【0037】

また、図2に示したセンスアンプの回路において、bSANは、NMOSセンスアンプ活性化信号線を表し、SAPは、PMOSセンスアンプ活性化信号線を表す。EQLは、ビット線イコライズ活性化信号線を表し、VBLは、ビット線プリチャージ電位線を表し、CSLは、列デコーダ出力線を表す。LIO及びbLIOは、第1のデータ線対を表し、GIO及びbGIOは、第2のデータ線対を表し、ISO-L及びISO-Rは、共有
20 センスアンプ制御信号線を表す。これら共有センスアンプ制御信号線ISO-L及びISO-Rは、X-DECで生成される。

【0038】

図3は、本実施例で使用されるスイッチ機能素子15の一例を示す。

例えばバンクBANK i Lにおける第1のデータ線対をLIO i、bLIO iとし、バンクBANK j Lにおける第1のデータ線対をLIO j、bLIO jと表す。また、第2のデータ線対をGIO、bGIOとする。

【0039】

NMOSトランジスタQ1の電流経路の一端は第1のデータ線LIO iに接続され、トランジスタQ1の電流経路の他端は第2のデータ線GIOに接続される。また、NMOSトランジスタQ2の電流経路の一端は第1のデータ線bLIO iに接続され、トランジスタ
30 Q2の電流経路の他端は第2のデータ線bGIOに接続される。トランジスタQ1、Q2のゲートには、バンクBANK i Lを活性化させるバンク活性化信号CA iが供給される。

【0040】

同様に、NMOSトランジスタQ3の電流経路の一端は第1のデータ線LIO jに接続され、トランジスタQ3の電流経路の他端は第2のデータ線GIOに接続される。また、NMOSトランジスタQ4の電流経路の一端は第1のデータ線bLIO jに接続され、トランジスタQ4の電流経路の他端は第2のデータ線bGIOに接続される。トランジスタQ3、Q4のゲートには、バンクBANK j Lを活性化させるバンク活性化信号CA jが供給される。
40

【0041】

次に、このスイッチ機能素子の動作を説明する。例えば、バンク活性化信号CA iがハイレベルとなりバンクBANK i Lが活性化される場合、トランジスタQ1、Q2が導通し、トランジスタQ3、Q4はオフしている。その結果、第2のデータ線対GIO、bGIOは、バンクBANK i L内の第1のデータ線対LIO i、bLIO iにそれぞれ接続される。こうして活性化されたバンクのメモリセルに記憶されたデータのみが第2のデータ線対GIO、bGIOに転送される。あるいは第2のデータ線対GIO、bGIOから活性化されたバンク内のメモリセルにデータが書き込まれる。

【0042】

以下、図1及び図2に示した半導体記憶装置の動作を説明する。
50

まず、外部から供給されたアドレス信号の一部が図示せぬアドレスデコーダによりデコードされ、さらに残りのアドレス信号の一部は列デコーダY-DECでデコードされる。その結果、例えばバンク活性化信号CA_iがハイレベルとなり、列デコーダY-DECのいずれかの出力線CSLがハイレベルとなる。バンクBANK_iLのスイッチ機能素子がオンし、第2のデータ線対GIO、bGIOはバンクBANK_iLの第1のデータ線対LIO_i、bLIO_iに接続される。この第1のデータ線対LIO_i、bLIO_iは、ハイレベルである列デコーダ出力線CSLが接続されているセンスアンプS/Aに接続される。

【0043】

また、アドレス信号の別の一部は行デコーダX-DECでデコードされ、そのアドレス信号に対応するワード線が活性化される。その結果、バンクBANK_iLからメモリセルが

10

【0044】

このメモリセルから第2のデータ線GIOにデータが読み出され、あるいはこの選択されたメモリセルに第2のデータ線GIOからデータが書き込まれる。

このように、本実施例では、行デコーダX-DECの出力線すなわちワード線が伸びる方向にバンクを順次配置している。さらに、バンク内では行デコーダX-DECの出力線が伸びる方向と垂直な方向にメモリセルアレイとセンスアンプを交互に配置し、センスアンプを各メモリセルアレイに隣接して配置している。そのため、共有センスアンプ方式を採用することが可能となり、バンク数が増大してもチップサイズを従来例よりも小さくすることができる。

20

【0045】

また、列デコーダY-DECの出力線CSLの各々は同一のバンク内にのみ配設され、1本の出力線CSLが複数のバンクで共有されることはない。そのため、図2に示したように、センスアンプの入出力端子と第1のデータ線LIO間に設けられるスイッチ素子13は、列デコーダ出力線CSL上の信号のみでオンオフさせればよい。そのスイッチ素子には、図15に示した従来例と異なり、バンク活性化信号CA_iを供給する必要がなくなる。その結果、チップ面積を小さくし、半導体記憶装置の動作速度を速くすることができる。

【0046】

さらに、第1のデータ線LIOと第2のデータ線GIOとの間にスイッチ機能素子15を

30

設けているため、第2のデータ線GIOを複数のバンク間で共有することが可能となる。

【0047】

このように、本実施例では、バンク数の増加に伴うチップサイズの増大を最小限に抑えることができる。

第2のデータ線GIO（bGIOを含む）は、第1のデータ線LIO（bLIOを含む）と異なる配線層で形成されていることが望ましい。例えば、図4に示すように、行デコーダX-DECの出力線WLと第1のデータ線LIOを1層目の金属配線層で形成し、列デコーダY-DECの出力線CSLを2層目の金属配線層で形成し、第2のデータ線GIOを3層目の金属配線層で形成する。こうすることで、チップサイズをより小さくすることが可能となる。

40

【0048】

次に、本発明の第2の実施例を示す。本実施例は、上述の第1の実施例に用いたスイッチ機能素子15を図5に示す回路に代えたものである。それ以外の構成要素は、第1の実施例と同様である。

【0049】

スイッチ機能素子である中間バッファ51は、1対の第1のデータ線対LIO_i、bLIO_i毎に配置される。

第1のデータ線LIO_iはnチャネルMOSトランジスタQ42のゲートに接続され、第1のデータ線bLIO_iはnチャネルMOSトランジスタQ44のゲートに接続される。

バンク活性化信号CA_iは、nチャネルMOSトランジスタQ41のゲートに供給される

50

。nチャネルMOSトランジスタQ41のソースは接地され、nチャネルMOSトランジスタQ41のドレインは、nチャネルMOSトランジスタQ42、Q44のソースに接続される。nチャネルMOSトランジスタQ42のドレインは、第2のデータ線bGIOとpチャネルMOSトランジスタQ43のドレインに接続される。nチャネルMOSトランジスタQ44のドレインは、pチャネルMOSトランジスタQ45のドレイン及びゲートと、pチャネルMOSトランジスタQ43のゲートに接続される。pチャネルMOSトランジスタQ43、Q45のソースには電源電圧Vccが供給される。

【0050】

また、第1のデータ線LIOiはnチャネルMOSトランジスタQ47のゲートに接続され、第1のデータ線bLIOiはnチャネルMOSトランジスタQ49のゲートに接続される。バンク活性化信号CAiは、nチャネルMOSトランジスタQ46のゲートに供給される。nチャネルMOSトランジスタQ46のソースは接地され、nチャネルMOSトランジスタQ46のドレインはnチャネルMOSトランジスタQ47、Q49のソースに接続される。nチャネルMOSトランジスタQ49のドレインは、第2のデータ線GIOとpチャネルMOSトランジスタQ50のドレインに接続される。nチャネルMOSトランジスタQ47のドレインは、pチャネルMOSトランジスタQ48のドレイン及びゲートと、pチャネルMOSトランジスタQ50のゲートに接続される。pチャネルMOSトランジスタQ48、Q50のソースには電源電圧Vccが供給される。

【0051】

この中間バッファ回路51は、供給されるバンク活性化信号CAiがハイレベルになると、第1のデータ線LIOi、bLIOi上の信号を増幅してそれぞれ第2のデータ線GIO、bGIOに出力する。バンク活性化信号CAiがローレベルの場合は、第1のデータ線LIOi、bLIOiと第2のデータ線GIO、bGIOとの間は遮断される。

【0052】

第2のデータ線GIO、bGIOの配線長は長いため、第2のデータ線GIO、bGIOの容量は比較的重い。本実施例では、メモリセルから第1のデータ線LIOi、bLIOiに転送されたデータを増幅して第2のデータ線GIO、bGIOに送り出すため、第2のデータ線GIO、bGIOの容量が重くてもデータを高速に転送することが可能となる。特にカラムアクセスを高速に実行でき、バースト転送スピードを上げることができる。

【0053】

また、本実施例はスイッチング機能素子として中間バッファを用いた以外は第1の実施例と同様の構成を有するので、上述の第1の実施例と同様の効果を得ることができる。

【0054】

なお、図5に示した実施例では、カレントミラー型の差動増幅器を中間バッファとして用いているが、中間バッファはこの回路に限定されるものではない。

続いて、本発明の第3の実施例を説明する。本実施例は、第1の実施例におけるメモリバンク内部の構成を図6に示すように変更したものである。なお、図1に示す第2のデータ線GIOは、本実施例では第3のデータ線RWDとなる。

【0055】

図6は、本実施例のバンクの内部構成を示す。

図6に示すように、例えば9個のセンスアンプS/Aと8個のメモリセルアレイ14が行デコーダXDECに沿って交互に配置されている。

【0056】

センスアンプS/Aは、図2に示した回路と同様の回路である。センスアンプS/Aは、第1のデータ線LIOに接続される。第1のデータ線は、センスアンプS/A毎に独立して、第3のデータ線RWDと並行に配置されている。第1のデータ線LIOは、1層目の金属配線層により形成されることが望ましい。第1のデータ線LIOは、スイッチ機能素子16の一端に接続される。スイッチ機能素子16は第1のデータ線LIO毎に設けられる。

【0057】

10

20

30

40

50

スイッチ機能素子16は、例えば図3に示した回路により構成される。但し、図3に示した回路において、NMOSトランジスタQ1～Q4のゲートに供給される信号はバンク活性化信号ではなくアレイ活性化信号である。スイッチ機能素子の他端は、第2のデータ線GIOに接続されている。第2のデータ線GIOは、列デコーダY-DECの出力線と平行な方向に配設され、中間バッファ17を共用する複数の、図6に示した例では8個のスイッチ機能素子16に接続される。

【0058】

アレイ活性化信号に応じて、第2のデータ線GIOに接続されたスイッチ機能素子16の内の1つがオン状態になり、そのメモリセルアレイの第1のデータ線LIOが第2のデータ線GIOと接続される。

10

【0059】

第2のデータ線GIOは、列デコーダY-DECの出力線CSLと同一の金属配線層、例えば2層目の金属配線層を用いて形成されることが望ましい。

第2のデータ線GIOは、中間バッファ17の一端に接続される。中間バッファ17の他端は、第3のデータ線RWDに接続される。さらに、中間バッファ17にはバンク活性化信号CAiが供給される。この中間バッファ17は、例えば図5に示した回路と同一のものである。この場合、本実施例の第2のデータ線GIO、第3のデータ線RWDは、図5に示した回路では第1のデータ線LIO、第2のデータ線GIOにそれぞれ相当する。

【0060】

また、第3のデータ線RWDは、図1及び図2に示した実施例における第2のデータ線GIOと同一のものである。すなわち、第3のデータ線RWDは、複数のバンクにより共有され、行デコーダX-DECの出力線と平行に配設される。また、第3のデータ線RWDは、3層目の金属配線層により形成されることが望ましい。

20

【0061】

本実施例では、選択されたメモリセルアレイ内のデータは第1のデータ線LIOに供給され、さらにスイッチング機能素子16を介して第2のデータ線GIOに転送される。この第2のデータ線GIO上のデータは、中間バッファ17により増幅され、第3のデータ線RWDに高速に転送される。

【0062】

このように、本実施例では、増幅機能を有する中間バッファ17を設け、複数のセルアレイでこの中間バッファを共有しているため、データ線RWD上にデータを高速に転送し、かつチップ面積を小さくすることができる。また、第1の実施例と同様の効果を得ることができる。

30

【0063】

次に、本発明の第4の実施例について説明する。

本実施例は、上述の第3の実施例におけるスイッチ機能素子16をカレントミラー型の増幅機能を持つスイッチに代えている。それ以外の構成要素は、第3の実施例と同様である。

【0064】

図7は、第4の実施例で用いられるカレントミラー型の増幅機能付スイッチの回路例を示す。

40

第1のデータ線LIOはNMOSトランジスタQ11のゲートに接続される。トランジスタQ11の電流経路の一端は第2のデータ線bGIOに接続され、トランジスタQ11の電流経路の他端はNMOSトランジスタQ13の電流経路の一端に接続される。トランジスタQ13のゲートには読み出し活性化信号RGATEが供給され、トランジスタQ13の電流経路の他端は接地される。

【0065】

また、データ線bLIOはNMOSトランジスタQ12のゲートに接続される。トランジスタQ12の電流経路の一端は第2のデータ線GIOに接続され、トランジスタQ12の電流経路の他端はトランジスタQ13の電流経路の一端に接続される。

50

【0066】

さらに、第1のデータ線L I Oは、N M O SトランジスタQ 1 4の電流経路の一端に接続される。トランジスタQ 1 4のゲートには書き込み活性化信号W G A T Eが供給され、トランジスタQ 1 4の電流経路の他端は第2のデータ線G I Oに接続される。

【0067】

また、第1のデータ線b L I Oは、N M O SトランジスタQ 1 5の電流経路の一端に接続される。トランジスタQ 1 5のゲートには書き込み活性化信号W G A T Eが供給され、トランジスタQ 1 5の電流経路の他端は第2のデータ線b G I Oに接続される。

【0068】

メモリセルからデータを読み出す場合、読み出し活性化信号R G A T Eがハイレベルになる。そのため、第1のデータ線対L I O、b L I O上の信号は、N M O SトランジスタQ 1 1、Q 1 2のコンダクタンスの差に従って増幅され、第2のデータ線対G I O、b G I Oに読み出される。このように、このスイッチ機能素子はカレントミラー型の増幅器として動作する。その結果、第1のデータ線対L I O、b L I O上のデータを高速に第2のデータ線対G I O、b G I Oに転送することができる。

10

【0069】

一方、メモリセルへデータを書き込む場合、書き込み活性化信号W G A T Eがハイレベルになる。その結果、トランジスタQ 1 4、Q 1 5が導通し、第2のデータ線対G I O、b G I O上のデータはそれぞれ第1のデータ線対L I O、b L I Oに供給される。

【0070】

20

上述の第3の実施例では、第2のデータ線G I Oは複数のメモリセルアレイによって共有されるため、第2のデータ線G I Oの配線容量が大きくなり、高速動作の妨げとなる。しかし、本実施例では、増幅機能を有するスイッチング素子を用いているため、セルデータから第2のデータ線G I Oへの読み出しを高速に行うことができる。

【0071】

また、カレントミラー型の増幅機能付きスイッチ素子を採用する点を除いて本実施例は第3の実施例と同一であるため、第3の実施例と同様の効果を得ることができる。

【0072】

次に、本発明の第5の実施例を説明する。本実施例では、各々のメモリバンクは、行デコーダの出力信号線の方向に沿って複数個のブロックにさらに分割されている。また、階層型行デコード方式の行デコーダが用いられている。なお、本実施例において、データ線、スイッチング機能素子、中間バッファなどはデータ線に関係する構成は、上述の第1ないし第4の実施例と同様である。

30

【0073】

以下、図8及び図9を用いて階層型行デコーダ方式の一例を説明する。図8は半導体記憶装置の全体の構成を示し、図9は図8に示した半導体記憶装置のメモリバンクの一部を示す。

【0074】

第1の行デコーダ30は、例えばデータバスとバンクBANK 7 Lとの間に設けられている。第1の行デコーダ30は、ワード線活性化信号S E T、ワード線非活性化信号R E S E Tを生成する。第1の行デコーダ30の出力信号線S E T、R E S E Tには、それぞれワード線活性化信号S E T、ワード線非活性化信号R E S E Tが供給される。これらの出力線S E T、R E S E Tは、チップ面積を小さくするために、3層目以上の金属配線層で形成されることが望ましい。第1の行デコーダ30の出力信号線S E T、R E S E Tは、複数のバンクBANK 0 L～BANK 7 Lにより共有される。

40

【0075】

メモリバンクBANK 0 L～BANK 7 Lは第1の実施例と同様に各々16Mビットの記憶容量を持ち、各々のメモリバンクは上下に2分割されている。

第2の行デコーダ31は、バンクBANK 0 L～BANK 7 Lの各々に1個ずつ設けられている。図8に示した例では、第2の行デコーダ31は、2分割されたバンク間に配置さ

50

れている。第2の行デコーダ31には、ワード線活性化信号SET、ワード線比活性化信号RESET及びバンク選択信号CAiが供給され、各々のバンクの主ワード線MWLが接続される。主ワード線MWLは、各バンク内に配設される。

【0076】

2分割されたメモリバンクは、それぞれさらに上下に分割されている。図8に示した例では分割されたメモリバンクはさらに2分割されている。16MビットのメモリバンクBANK0L～BANK7Lは、4Mビットのブロック33に4分割されたことになる。

【0077】

第3の行デコーダ32は、バンクを分割したもの33の上下にそれぞれ設けられる。1つのメモリバンクに複数の第3の行デコーダ32が配置されることになる。第3の行デコーダ32には、主ワード線MWLと複数の副ワード線SWLが接続され、アドレス信号ADDが供給される。

10

【0078】

図10は、第2の行デコーダ31の回路例を示す。

図10に示すように、PMOSトランジスタQ21のソースに電源電圧が供給され、トランジスタQ21のゲートに第1の行デコーダ30の出力信号線RESETが接続される。NMOSトランジスタQ22のドレインはトランジスタQ21のドレインに接続され、トランジスタQ22のゲートにバンク活性化信号CAiが供給される。NMOSトランジスタQ23のドレインはトランジスタQ22のソースに接続され、トランジスタQ23のゲートに第1の行デコーダの出力信号線SETが供給され、トランジスタQ23のソースは接地される。トランジスタQ21のドレインとトランジスタQ22のドレインとの接続点は、インバータG22の入力端子とインバータG21の出力端子に接続される。インバータG22の出力端子は、インバータG21の入力端子とインバータG23の出力端子に接続される。インバータG23の出力端子は、主ワード線MWLに接続される。主ワード線MWLは、例えば1層目の金属配線層により形成される。

20

【0079】

この第2の行デコーダ31は、第1の行デコーダ30の出力信号SET、RESET及びバンク活性化信号CAiに応じて、主ワード線MWLの状態を制御される。すなわち、ワード線活性化信号SET及びバンク活性化信号CAiがハイレベルになると、主ワード線MWLは活性化される。また、ワード線非活性化信号RESETとしてロウレベルのパルス信号が供給されると、主ワード線MWLは非活性化される。

30

【0080】

このように、第2の行デコーダ31はワード線MWLの状態をラッチする。そのため、複数のバンクBANK0L～BANK7Lを独立に制御することが可能となる。

【0081】

さらに、上述のように1つのバンク内に複数個の第3の行デコーダ32が配置されている。

図11は、第3の行デコーダ32の回路例を示す。図11に示した回路では、1本の主ワード線MWLに対して4個の第3の行デコーダ36-0～36-3が配置されている。ADD-0～ADD-3はアドレス信号を表し、bADD-0～bADD-3はそれぞれアドレス信号ADD-0～ADD-3の反転信号を表す。また、SWL-0～SWL-3は、副ワード線を表す。

40

【0082】

第3の行デコーダ36-0において、PMOSトランジスタQ31のソースにアドレス信号ADD-0が供給され、トランジスタQ31のゲートは主ワード線MWLが接続される。NMOSトランジスタQ32のドレインはトランジスタQ31のドレインに接続され、トランジスタQ32のゲートは主ワード線MWLに接続され、トランジスタQ32のソースは接地される。NMOSトランジスタQ33のドレインはトランジスタQ31のドレインに接続され、トランジスタQ33のゲートにアドレス信号bADD-0が供給され、トランジスタQ33のソースは接地される。トランジスタQ31のドレイン、トランジスタ

50

Q 3 2 のドレイン及びトランジスタ Q 3 3 のドレインの接続点は、副ワード線 S W L - 0 に接続される。

【0083】

第3の行デコーダ 3 6 - 1 ~ 3 6 - 3 は、第3の行デコーダ 3 6 - 0 と同様の構成を有し、それぞれ対応するアドレス信号 A D D - 1 ~ A D D - 3、b A D D - 1 ~ b A D D - 3、及び主ワード線 M W L 上の信号に応じて、それぞれ副ワード線 S W L - 1 ~ S W L - 3 に信号を供給する。

【0084】

この第3の行デコーダ 3 2 では、活性化すべきメモリセルのアドレスに応じてアドレス信号 A D D - 0 ~ A D D - 3、b A D D - 0 ~ b A D D - 3 を選択的に活性化することで、そのメモリセルに対応する副ワード線 S W L - 0 ~ S W L - 3 を主ワード線 M W L に接続する。

10

【0085】

このように、本実施例では、各バンクは、行デコーダ信号線の方向に沿って複数個のブロックにさらに分割され、行デコーダには、階層型行デコーダ方式が用いられている。

【0086】

一般に、1層目の金属配線層は、微細化加工技術を用いて金属配線層の中で最も微細な幅で形成される。本実施例では、階層型行デコーダ方式を採用することにより、1層目の金属配線層を用いる行デコーダの出力線の本数を減らして、この微細な信号線の加工に起因する不良を低減することができる。

20

【0087】

すなわち、副ワード線 S W L は、メモリセルの図示せぬトランスファークロウに接続され、一般にゲート電極配線により形成される。よって、1層目の金属配線層を副ワード線用の配線として用いる必要がなく、1層目の金属配線層の配線数を減らすことができる。その結果、配線幅の微細化が進んでも1層目の金属配線の配線ピッチを広く確保し、高い製造歩留まりを得ることが可能となる。

【0088】

さらに、本実施例では、第1ないし第4の実施例と同様の効果を得ることができる。次に、本発明の第6の実施例を説明する。本実施例において、バンク内の副ワード線 S W L の配置が第5の実施例と異なるが、その他の構成要素は第5の実施例と同一である。

30

【0089】

図12は、バンク内の構成を示す。第5の実施例と同様に、バンクは、4つのブロック33に分割されている。これらのブロック33は、上下に順次配置される。各々のブロック33の上下には、第3の行デコーダ33が配置されている。また、メモリバンクの中央部に、第2の行デコーダ31が設けられている。

【0090】

第3の行デコーダ32の出力端子は、副ワード線 S W L の中央部に接続される。副ワード線 S W L は、第5の実施例と異なり、主ワード線 M W L と同一の階層の金属配線層、例えば1層目の金属配線層により形成される。この副ワード線 S W L はメモリセルのトランスファークロウのゲートとしての例えばポリシリコンからなる配線35と平行に配置されている。この副ワード線 S W L は接続領域34において配線35と接続される。

40

【0091】

本実施例では、第5の実施例と同様の効果を得ることができる。さらに、副ワード線 S W L はゲート配線層よりも抵抗値が低い金属配線層により形成されているため、副ワード線の駆動遅延時間を短くすることができる。例えば、本実施例における副ワード線の駆動遅延時間は、第5の実施例における副ワード線の駆動遅延時間のほぼ2分の1になる。したがって、高速動作が可能となる。

【0092】

なお、本発明は、汎用 D R A M に限定されるものではなく、シンクロナス D R A M、ラムバス D R A M、シンクリンク D R A M などバンク機能を有する D R A M や、さらには共有

50

センスアンプ方式を有するすべての半導体メモリに適用することができる。

【0093】

【発明の効果】

以上述べたように、本発明によれば、行デコーダの出力線の伸びる方向と垂直な方向にメモリセルアレイとセンスアンプを交互に配置することが可能となり、共有センスアンプ方式を用いて超多バンク構成になってもチップ面積を小さくすることができる。

【0094】

また、センスアンプは列デコーダが出力する信号により制御されるスイッチのみを介してデータ線に接続されるため、超多バンク構成になってもチップ面積を小さくすることができる。

10

【図面の簡単な説明】

【図1】本発明の第1の実施例を示す図。

【図2】図1に続いて本発明の第1の実施例を示す図。

【図3】本発明の第1の実施例に用いられるスイッチ機能素子を示す図。

【図4】本発明の第1の実施例における配線層を示す図。

【図5】本発明の第2の実施例に用いられるスイッチ機能素子を示す図。

【図6】本発明の第3の実施例を示す図。

【図7】本発明の第4の実施例を示す図。

【図8】本発明の第5の実施例を示す図。

【図9】図8に続いて本発明の第5の実施例を示す図。

20

【図10】本発明の第5の実施例に用いられる第2のデコーダを示す図。

【図11】本発明の第5の実施例に用いられる第3のデコーダを示す図。

【図12】本発明の第6の実施例を示す図。

【図13】第1の従来例を示す図。

【図14】図13に示した第1の従来例を詳細に示す図。

【図15】第2の従来例を示す図。

【図16】共有センスアンプ方式を説明する図。

【符号の説明】

BANK 0 L～BANK 7 L…メモリバンク、

X-DEC…行デコーダ、

30

Y-DEC…列デコーダ、

LIO…第1のデータ線、

GIO…第2のデータ線、

RWD…第3のデータ線、

S/A…センスアンプ、

CA i、CA j…バンク活性化信号、

CSL…列デコーダ出力線、

13…トランジスタ、

14…セルアレイ、

15、16…スイッチ機能素子、

40

17、51…中間バッファ、

SET, RESET…第1の行デコーダの信号出力線、

MWL…主ワード線、

SWL…副ワード線、

30…第1の行デコーダ、

31…第2の行デコーダ、

32…第3の行デコーダ、

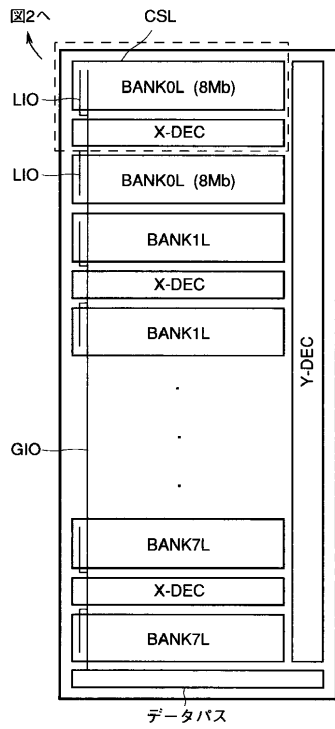
33…メモリブロック、

34…接続領域、

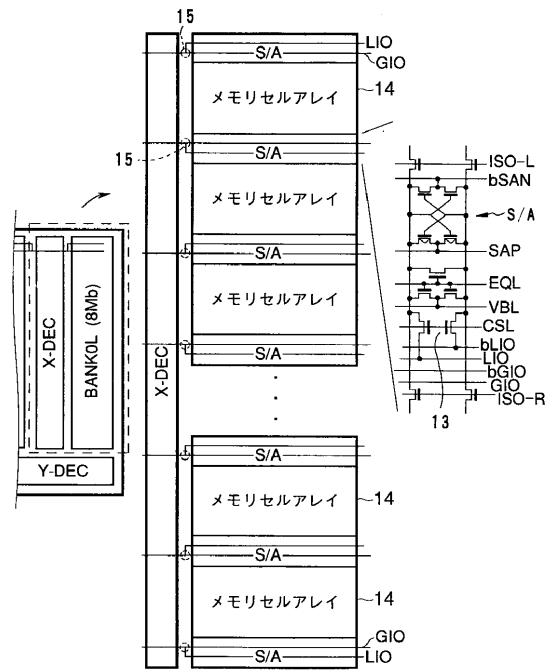
35…配線。

50

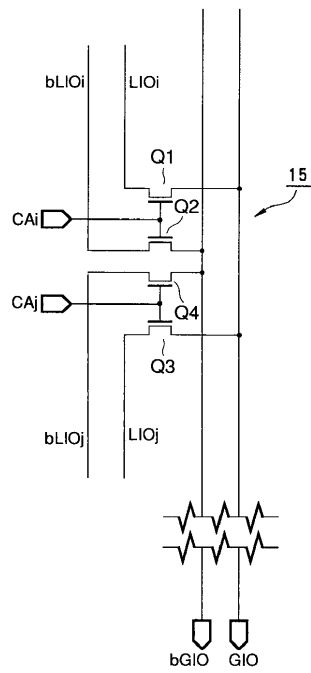
【図 1】



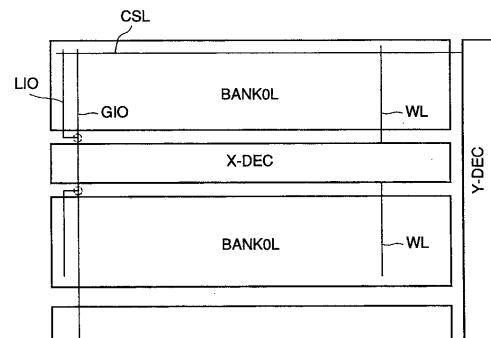
【図 2】



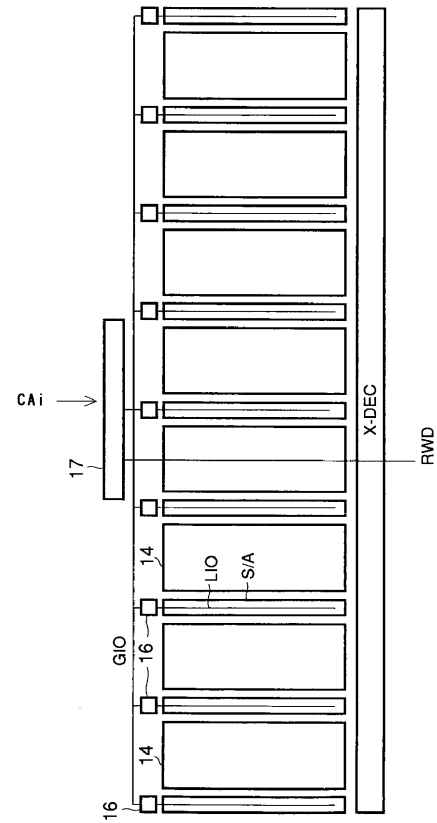
【図 3】



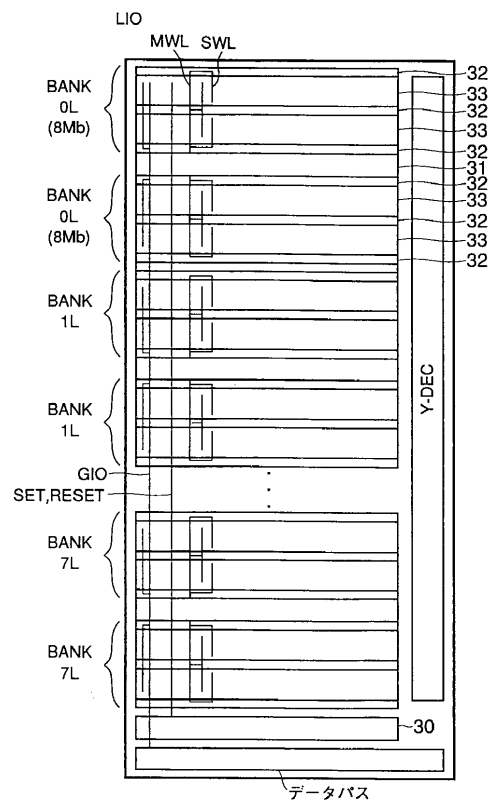
【図 4】



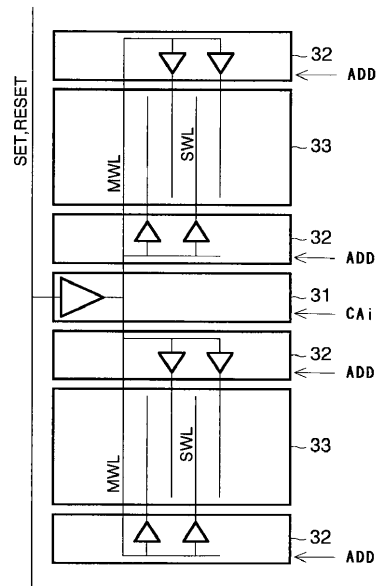
【图 6】



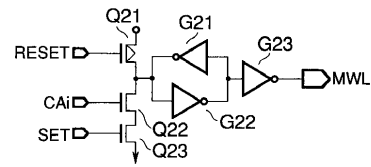
【图 8】



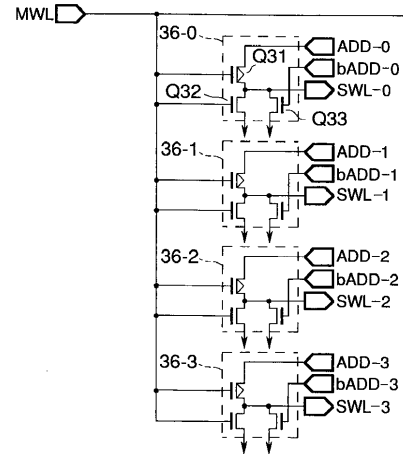
【図 9】



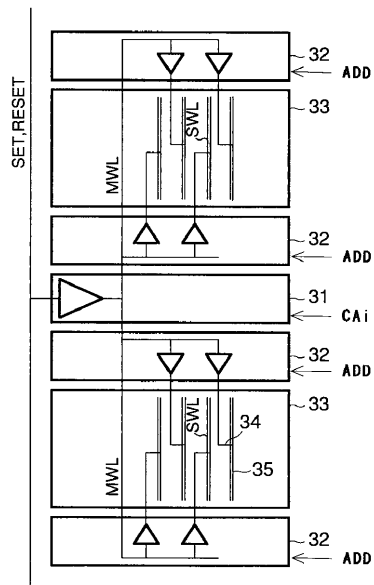
【図 10】



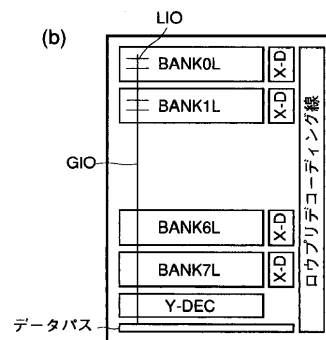
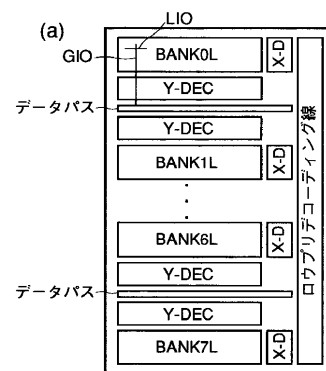
【図 11】



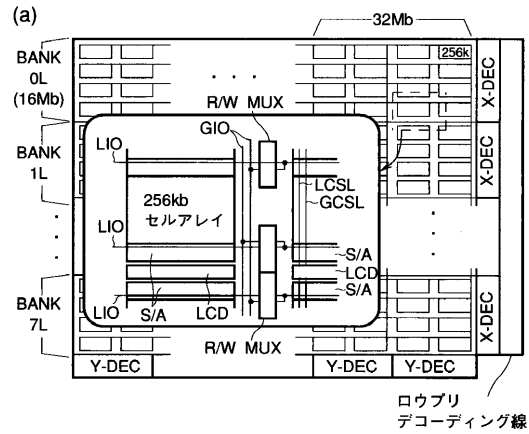
【図 12】



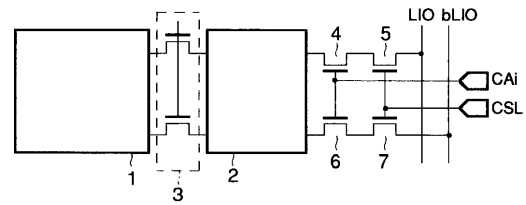
【図 13】



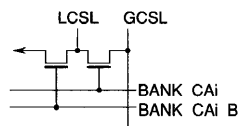
【図 1 4】



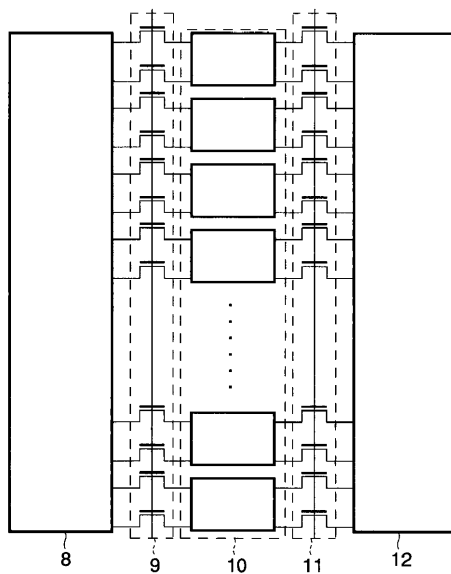
【図 1 5】



(b)



【図 1 6】



フロントページの続き

(74)代理人 100070437

弁理士 河井 将次

(72)発明者 土田 賢二

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

(72)発明者 白武 慎一郎

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

(72)発明者 稲場 恒夫

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

審査官 堀田 和義

(56)参考文献 特開平08-077771 (JP, A)

特開平08-297966 (JP, A)

特開平04-228188 (JP, A)

特開平07-334985 (JP, A)

特開平09-288888 (JP, A)

(58)調査した分野(Int.Cl.⁷, DB名)

G11C 11/401