



(21)申請案號：106104453

(22)申請日：中華民國 102 (2013) 年 01 月 14 日

(51)Int. Cl. : **H01L27/04 (2006.01)**

(30)優先權：2012/01/13 美國 61/586,387

2012/01/20 美國 61/589,224

(71)申請人：泰拉創新股份有限公司 (美國) TELA INNOVATIONS, INC. (US)

美國

(72)發明人：貝克史考特 T BECKER, SCOTT T. (US)；史麥林麥克 C SMAYLING, MICHAEL C. (US)；甘地德路米 GANDHI, DHRUMIL (US)；馬里吉姆 MALL, JIM (US)；蘭伯特卡羅 LAMBERT, CAROLE (CA)；郭特強納森 R QUANDT, JONATHAN R. (US)；法克斯達利爾 FOX, DARYL (CA)

(74)代理人：許峻榮

申請實體審查：有 申請專利範圍項數：14 項 圖式數：77 共 235 頁

(54)名稱

半導體裝置的元件電路

A CELL CIRCUIT OF A SEMICONDUCTOR DEVICE

(57)摘要

一第一電晶體具有在在第一擴散鰭部之內的源極及汲極區域。該第一擴散鰭部自一基板的一表面突出。該第一擴散鰭部自該第一擴散鰭部的一第一端部至一第二端部在第一方向上縱向延伸。一第二電晶體具有在第二擴散鰭部之內的源極及汲極區域。該第二擴散鰭部自該基板的該表面突出。該第二擴散鰭部自該第二擴散鰭部的一第一端部至一第二端部在該第一方向上縱向延伸。該第二擴散鰭部配置成與該第一擴散鰭部緊鄰且分隔開。該第二擴散鰭部的該第一端部或該第二端部至少其中一者係配置於該第一方向上介於該第一擴散鰭部的該第一端部和該第二端部之間。

A first transistor has source and drain regions within a first diffusion fin. The first diffusion fin projects from a surface of a substrate. The first diffusion fin extends lengthwise in a first direction from a first end to a second end of the first diffusion fin. A second transistor has source and drain regions within a second diffusion fin. The second diffusion fin projects from the surface of the substrate. The second diffusion fin extends lengthwise in the first direction from a first end to a second end of the second diffusion fin. The second diffusion fin is positioned next to and spaced apart from the first diffusion fin. Either the first end or the second end of the second diffusion fin is positioned in the first direction between the first end and the second end of the first diffusion fin.

指定代表圖：

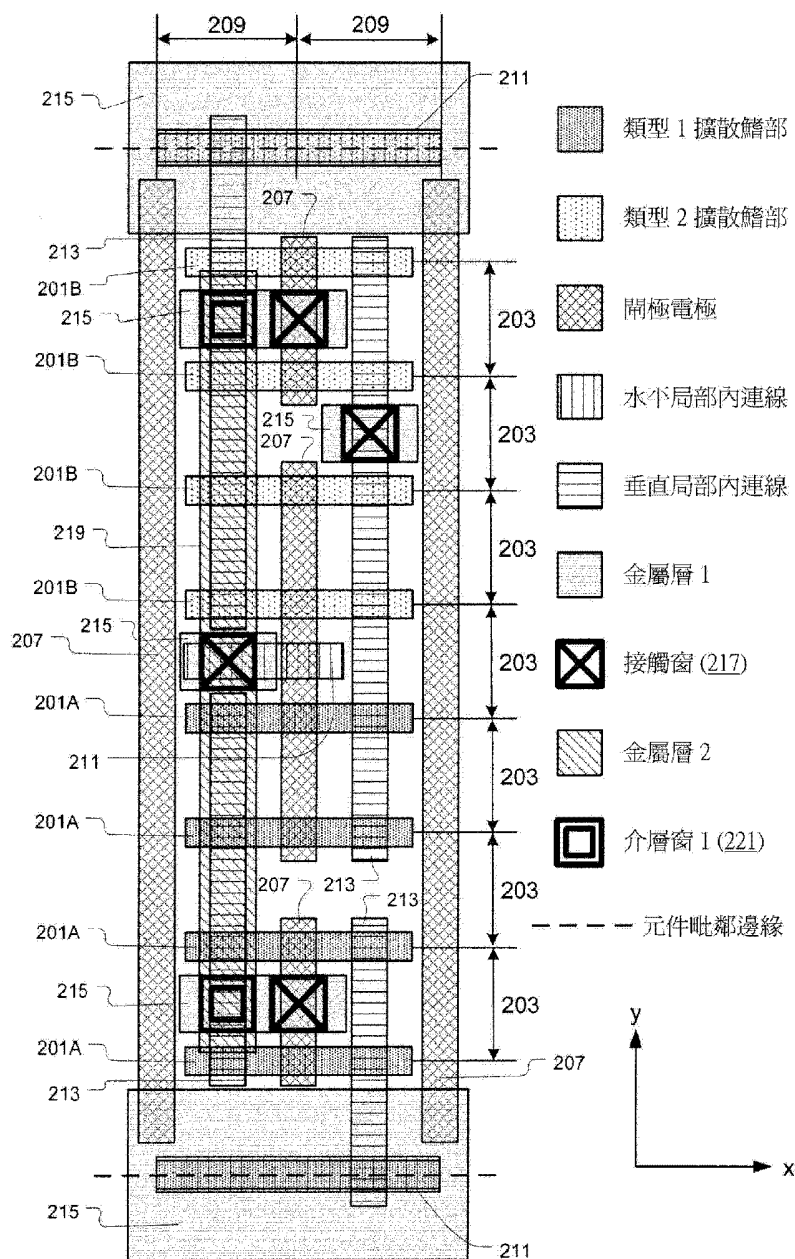


圖 2A

符號簡單說明：

201A/201B . . . 擴
散鳍部

203 . . . 節距

207 . . . 閘極電極結
構

209 . . . 閘極節距

211 . . . 水平內連線
結構213 . . . 垂直內連線
結構215 . . . met1 內連
線結構

217 . . . 接觸窗

221 . . . 介層窗結構

【發明說明書】

【中文發明名稱】 半導體裝置的元件電路

【英文發明名稱】 A CELL CIRCUIT OF A SEMICONDUCTOR DEVICE

【技術領域】

【0001】 本發明係關於一種半導體裝置。

【先前技術】

【0002】 吾人已知光學微影在193 nm光波長和1.35數值孔徑（NA, numerical aperture）浸沒系統已達到其能力的終點。這個設備的最小直線解析能力係大約40 nm以及大約80 nm的特徵部間節距。低於約80 nm的特徵部間節距需求，則需要一給定晶片階層內一給定結構型態的多重圖案化步驟。此外，隨著將微影推向其解析度的極限，線端解析度變得更具挑戰性。在半導體裝置佈局中，於32 nm關鍵尺寸之典型金屬線節距係大約100 nm。爲了達到特徵部縮放（feature scaling）的成本效益，期望有0.7至0.75的縮放因數（scaling factor）。爲達到22 nm關鍵尺寸之約0.75的縮放因數，將需要約75 nm的金屬線節距，這節距低於目前單一曝光微影系統和技術的能力。在此背景下產生本發明。

【發明內容】

【0003】 在一實施例中，一半導體裝置包含一基板、一第一電晶體、及一第二電晶體。該第一電晶體具有在一第一擴散鰭部之內的一源極區域及一汲極區域。該第一擴散鰭部建構自該基板的一表面突出。該第一擴散鰭部建構成

自該第一擴散鰭部的一第一端部至該第一擴散鰭部的一第二端部在一第一方向上縱向延伸。該第二電晶體具有在一第二擴散鰭部之內的一源極區域及一汲極區域。該第二擴散鰭部建構自該基板的該表面突出。該第二擴散鰭部建構自該第二擴散鰭部的一第一端部至該第二擴散鰭部的一第二端部在該第一方向上縱向延伸。該第二擴散鰭部配置成緊鄰該第一擴散鰭部且與該第一擴散鰭部分隔開。此外，該第二擴散鰭部的該第一端部或該第二端部至少其中一者係配置於該第一方向上介於該第一擴散鰭部的該第一端部和該第二端部之間。

【0004】 在一個實施例中，揭露一種製造半導體裝置的方法。該方法包含提供一基板。該方法亦包含在該基板上形成一第一電晶體，使得該第一電晶體具有在一第一擴散鰭部之內的一源極區域及一汲極區域，且使得該第一擴散鰭部建構自該基板的一表面突出，且使得該第一擴散鰭部建構自該第一擴散鰭部的一第一端部至該第一擴散鰭部的一第二端部在一第一方向上縱向延伸。該方法亦包含在該基板上形成一第二電晶體，使得該第二電晶體具有在一第二擴散鰭部之內的一源極區域及一汲極區域，且使得該第二擴散鰭部建構自該基板的該表面突出，且使得該第二擴散鰭部建構自該第二擴散鰭部的一第一端部至該第二擴散鰭部的一第二端部在該第一方向上縱向延伸，且使得該第二擴散鰭部係在緊鄰該第一擴散鰭部且與該第一擴散鰭部分隔開的位置處形成。此外，該第一和第二電晶體係形成為，該第二擴散鰭部的該第一端部或該第二端部至少其中一者係在該第一方向上介於該第一擴散鰭部的該第一端部和該第二端部之間的位置處形成。

【0005】 在一個實施例中，一種資料儲存裝置具有用於提供半導體裝置佈局之電腦可執行程式指令儲存於其上。該資料儲存裝置包含定義在一基板上形

成的一第一晶體的電腦程式指令，使得該第一電晶體定義成具有在一第一擴散鰭部之內的一源極區域及一汲極區域，且使得該第一擴散鰭部定義成自該基板的一表面突出，且使得該第一擴散鰭部定義成自該第一擴散鰭部的一第一端部至該第一擴散鰭部的一第二端部在一第一方向上縱向延伸。該資料儲存裝置亦包含定義在該基板上形成的一第二晶體的電腦程式指令，使得該第二電晶體定義成具有在一第二擴散鰭部之內的一源極區域及一汲極區域，且使得該第二擴散鰭部定義成自該基板的該表面突出，且使得該第二擴散鰭部定義成自該第二擴散鰭部的一第一端部至該第二擴散鰭部的一第二端部在該第一方向上縱向延伸，且使得該第二擴散鰭部定義成與該第一擴散鰭部緊鄰且分隔開而加以配置，且使得該第二擴散鰭部定義成其第一端部或其第二端部至少其中一者係配置在該第一方向上介於該第一擴散鰭部的該第一端部和該第二端部之間。

【圖式簡單說明】

【0006】 根據本發明若干實施例，圖1A和1B顯示鰭式場效電晶體的例示佈局圖。

【0007】 根據本發明若干實施例，圖1C顯示圖1A/1B的鰭式場效電晶體的變形，其中在垂直剖面視圖A-A中擴散鰭部102係更為角椎形的。

【0008】 根據本發明若干實施例，圖1D顯示具有數個鰭式場效電晶體形成於其上的基板的簡化垂直剖面圖。

【0009】 根據本發明若干實施例，圖1E顯示鰭部節距關係的示圖，其中內鰭部節距 $Ps1$ 係實質上等於外鰭部節距 $Ps2$ 。

【0010】 根據本發明若干實施例，圖1F顯示圖1E的鰭部節距關係示圖的變化，其中有理數的分母(y)係二。

【0011】 根據本發明若干實施例，圖1G顯示圖1E的鰭部節距關係示圖的變化，其中有理數的分母(y)係三。

【0012】 根據本發明若干實施例，圖1H顯示圖1E的鰭部節距關係示圖的更廣義版本，其中內鰭部節距Ps1和外鰭部節距Ps2係不同。

【0013】 根據本發明若干實施例，圖2A顯示包含鰭式場效電晶體的例示元件佈局。

【0014】 根據本發明若干實施例，圖2B顯示對應圖2D的2輸入NAND配置的電路圖。

【0015】 根據本發明若干實施例，圖2C顯示對應圖2E的2輸入NOR配置的電路圖。

【0016】 根據本發明若干實施例，圖2D顯示圖2A的佈局，其中擴散鰭部201A係由n型擴散材料所形成，而擴散鰭部201B係由p型擴散材料所形成。

【0017】 根據本發明若干實施例，圖2E顯示圖2A的佈局，其中擴散鰭部201A係由p型擴散材料所形成，而擴散鰭部201B係由n型擴散材料所形成。

【0018】 根據本發明若干實施例，圖2F顯示圖2A的佈局的變形，其中間極電極結構端部係在元件的頂部和元件的底部實質上對齊。。

【0019】 根據本發明若干實施例，圖2G顯示圖2A佈局的變形，其中接觸窗係形成為在元件頂部和元件底部處於電源軌下方自met1內連線結構至水平局部內連線結構延伸。

【0020】 根據本發明若干實施例，圖2H顯示圖2A元件的變形，其中使用二個不同的擴散鰭部節距。

【0021】 根據本發明若干實施例，圖2I顯示圖2A佈局的變形，其中在元件頂部和底部處電源軌下方的擴散鰭部和水平局部內連線結構係延伸作為電源軌之met1內連線結構的全寬度。

【0022】 根據本發明若干實施例，圖3顯示圖2A的佈局的變形，其中met1電源軌係連接至垂直局部內連線，使得met1電源軌作為局部電源。

【0023】 根據本發明若干實施例，圖4顯示圖2A佈局的變形，其中在元件之內使用二維變化的met1內連線結構以進行元件內繞線。

【0024】 根據本發明若干實施例，圖5顯示圖2A佈局的變形，其中met1電源軌係連接至垂直局部內連線，且其中在元件內使用二維變化met1內連線結構以進行元件內繞線。

【0025】 根據本發明若干實施例，圖6顯示圖2A佈局的變形，其中使用固定、最小寬度、共用的局部met1電源，以及在元件內用於元件內繞線之二維變化met1內連線結構。

【0026】 根據本發明若干實施例，圖7顯示圖2A佈局的變形，其具有於元件中具硬接線的共用的局部和全域電源，以及在元件內用於元件內繞線之二維變化met1內連線結構。

【0027】 根據本發明若干實施例，圖8A顯示例示標準元件的佈局，其中將輸入接腳配置於相同類型的擴散鰭部之間以減輕繞線擁塞，且其中使用若干擴散鰭部作為內連線導體。

【0028】 根據本發明若干實施例，圖8B顯示圖8A的變形，其中使用二個不同的閘極電極節距。

【0029】 根據本發明若干實施例，圖8C顯示圖8A佈局的電路圖。

【0030】 根據本發明若干實施例，圖9A顯示例示標準元件佈局，其中使用擴散鰭部作為內連線導體。

【0031】 根據本發明若干實施例，圖9B顯示圖9A的佈局，其中標示三組交叉連接的電晶體。。

【0032】 根據本發明若干實施例，圖9C顯示圖9A佈局的電路圖。

【0033】 根據本發明若干實施例，圖10顯示例示標準元件佈局，其中將閘極電極接觸窗實質上配置於擴散鰭部上方。

【0034】 根據本發明若干實施例，圖11顯示實現擴散鰭部的例示元件佈局。

【0035】 根據本發明若干實施例，圖12A/B顯示具有最小寬度met1電源軌的圖11佈局的變形。

【0036】 根據本發明若干實施例，圖13A/B顯示圖12A/B佈局的變形，其不具有自各個局部內連線和閘極電極結構至met1的接觸窗。

【0037】 根據本發明若干實施例，圖14A/B顯示圖11佈局的變形，其具有最小寬度met1電源軌，且包含電源軌之所有met1結構具相同的寬度和相同的節距。

【0038】 根據本發明若干實施例，圖15A/B顯示圖14A/B佈局的變形，其具有met1繞線結構，該繞線結構配置成各（y）位置具有一met1結構。

【0039】 根據本發明若干實施例，圖16A/B顯示圖11佈局的變形，其具有配置於p型擴散鰭部之間的閘極電極結構接觸窗。

【0040】 根據本發明若干實施例，圖17A/B顯示實現擴散鰭部的例示元件佈局。

【0041】 根據本發明若干實施例，圖18A/B顯示圖17A/B佈局的變形，其中接觸窗連接至水平局部內連線，且其中水平局部內連線直接連接至垂直局部內連線。

【0042】 根據本發明若干實施例，圖19A/B顯示圖17A/B佈局的變形，其中至局部內連線的電源軌接觸窗係不共用的，且其中在電源軌下方沒有共用的局部內連線。

【0043】 根據本發明若干實施例，圖20A/B顯示圖19A/B佈局的變形，其中擴散鰭部係相對於元件邊界偏移半個擴散鰭部節距。

【0044】 根據本發明若干實施例，圖21A/B顯示圖20A/B佈局的變形，其具有最小寬度電源軌及擴散鰭部之負垂直局部內連線重疊。

【0045】 根據本發明若干實施例，圖22A/B顯示圖17A/B佈局的變形，其具有最小寬度電源軌、在電源軌下方不共用的局部內連線及擴散鰭部、及p鰭部和n鰭部之間較大的間距。

【0046】 根據本發明若干實施例，圖23A/B顯示圖17A/B佈局的變形。

【0047】 根據本發明若干實施例，圖24A/B顯示圖23A/B佈局的變形。

【0048】 根據本發明若干實施例，圖25A/B顯示圖23A/B佈局的變形，其中元件在高度上加倍。

【0049】 根據本發明若干實施例，圖26A/B顯示實現擴散鰭部的例示元件佈局。

【0050】 根據本發明若干實施例，圖27A/B顯示圖26A/B佈局的變形。

【0051】 根據本發明若干實施例，圖28A/B顯示實現擴散鰭部的例示元件佈局。

【0052】 根據本發明若干實施例，圖29A/B顯示圖28A/B佈局的變形，其中在兩個n型電晶體的閘極電極結構之間沒有局部內連線結構。

【0053】 根據本發明若干實施例，圖30A/B顯示實現擴散鰭部的例示元件佈局。

【0054】 根據本發明若干實施例，圖31A顯示例示sdff元件佈局，其中閘極電極和局部內連線線端間隙位於擴散鰭部之間的實質上中心。

【0055】 根據本發明若干實施例，圖31B顯示圖31A的例示sdff元件佈局，其中將位在擴散鰭部之間的實質上中心的局部內連線線端間隙圈出。

【0056】 根據本發明若干實施例，圖31C顯示具有兩個相鄰閘極電極結構之間的區域之標註的圖31A和31B的例示sdff元件佈局，其中擴散鰭部端部在x方向彼此重疊。

【0057】 根據本發明若干實施例，圖32顯示一例示佈局，其中所有將所有接觸層結構配置於擴散鰭部之間。

【0058】 根據本發明若干實施例，圖33和34顯示例示佈局，其中將所有接觸層結構配置於擴散鰭部之上。

【0059】 根據本發明若干實施例，圖35A/B至47A/B顯示在邏輯路徑二者上具有傳輸閘極的交叉連接電晶體配置，其需要所有內部節點具有p型和n型之間的連接。

【0060】 根據本發明若干實施例，圖35C顯示圖35A/B至47A/B及63A/B至67A/B的佈局的電路圖。

【0061】 根據本發明若干實施例，圖48A/B至57A/B顯示交叉連接電晶體配置，其中具有使用較大電晶體之在邏輯路徑上的傳輸閘極，以及其他路徑上的三態閘極。

【0062】 根據本發明若干實施例，圖48C顯示圖48A/B至58A/B的佈局的電路圖。

【0063】 根據本發明若干實施例，圖58A/B至59A/B顯示交叉連接電晶體配置，其中具有利用較小電晶體之在邏輯路徑上的傳輸閘極，以及其他路徑上的三態閘極。

【0064】 根據本發明若干實施例，圖59C顯示圖59A/B的佈局的電路圖。

【0065】 根據本發明若干實施例，圖60A/B至62A/B顯示具有在邏輯路徑二者上之三態閘極的交叉連接電晶體配置。

【0066】 根據本發明若干實施例，圖60C顯示圖60A/B至62A/B及圖68A/B至69A/B的佈局的電路圖。

【0067】 根據本發明若干實施例，圖63A/B至67A/B顯示在邏輯路徑二者上具有傳輸閘極的交叉連接電晶體配置，其需要所有內部節點具有p型和n型之間的連接。。

【0068】 根據本發明若干實施例，圖68A/B至69A/B顯示在邏輯路徑二者上具有三態閘極的交叉連接電晶體配置。

【0069】 根據本發明若干實施例，圖70A顯示在受限制的閘極階層佈局結構之內所定義的閘極電極軌道70-1A至70-1E的範例。

【0070】 根據本發明若干實施例，圖70B顯示圖70A的例示受限制的閘極階層佈局結構，其具有數個例示閘極階層特徵7001-7008定義於其中。

【0071】 根據本發明若干實施例，圖71A/B至77A/B顯示數個例示SDFF電路佈局，其利用基於傳輸和三態閘極二者的交叉連接電路結構。

【0072】 根據本發明若干實施例，圖71C顯示圖71A/B及77A/B的佈局的電路圖。

【0073】 根據本發明若干實施例，圖72C顯示圖72A/B至76A/B的佈局的電路圖。

【實施方式】

【0074】 在以下說明中，描述多個特定細節以提供對本發明的完整理解。然而，對熟習此技藝者顯而易見的是，本發明可在不具備若干或全部這些特定細節下加以實施。在其他方面，眾所周知的製程操作不再詳細描述，以免不必要混淆本發明。此外，應理解的是，在此處展示之一特定圖示中所描繪的各種電路及/或佈局特徵部，可與在此處展示之其他圖示中所描繪的其他電路及/或佈局特徵部組合而運用。

【0075】 「鰭式場效電晶體」係由垂直的矽島(即鰭部)所建構的電晶體。鰭式場效電晶體亦可稱作三閘極電晶體。此處所使用之術語「鰭式場效電晶體」

係關於包含自下層基板向上突出之擴散結構的任何電晶體構造。圖 1A 及 1B 顯示根據本發明若干實施例之鰭式場效電晶體 100 的例示佈局視圖。鰭式場效電晶體 100 係由擴散鰭部 102 和閘極電極層 104 所構成。擴散鰭部 102 由基板 105 垂直向上突出，如圖 1B 所顯示。閘極氧化物層 106 係配置於擴散鰭部 102 和閘極電極層 104 之間。擴散鰭部 102 可加以摻雜，以形成 p 型電晶體或 n 型電晶體。覆蓋擴散鰭部 102 之閘極電極層 104 的部分，形成鰭式場效電晶體 100 的閘極電極。因此，相對於在非鰭式場效電晶體中由一側提供通道的控制，鰭式場效電晶體 100 的閘極電極可存在於擴散鰭部 102 的三個以上側邊，藉此提供由三個以上側邊之鰭式場效電晶體通道的控制。此外，在若干實施例中，鰭式場效電晶體形成爲「環繞式」電晶體，其中閘極氧化物層 106 和閘極電極層 104 亦在擴散鰭部 102 下方延伸。

【0076】應理解的是，在圖 1A 及 1B 中所描繪的例示鰭式場效電晶體 100，係以例示爲目的而提供，不代表對此處所參照之鰭式場效電晶體的設計及/或製造方式的任何限制。具體而言，在若干實施例中，擴散鰭部（如 102）可形成爲不同材料的成層，其包含但不限定於 Si（矽）、SiGe（矽鍺）、Ge（鍺）、InP（磷化銦）、CNT（奈米碳管）、SiNT（矽奈米管）、或其任何組合。閘極氧化物層 106 可由許多不同類型的介電材料加以形成。舉例來說，在若干實施例中，閘極氧化物層 106 可形成爲在一二氧化矽層上的一鈣氧化物層。在其他實施例中，閘極氧化物層 106 可由一種以上其他介電材料加以形成。在若干實施例中，閘極電極層 104 可由任何數量之導電材料加以形成。舉例來說，在若干實施例中，閘極電極層 104 可形成爲由多晶矽所覆蓋之一 TiN（鈦氮化物）膜或一 TaN（鉭氮化物）膜。然而，應理解的是，在其他實施例中，閘極電極層 104

可由其他材料所形成。

【0077】此外，雖然將圖 1B 的例示擴散鰭部 102 在該垂直剖面視圖 A-A 中顯示為具有相對於基板 105 的實質上垂直突出矩形結構，應理解的是，在半導體晶片上於「製造後（as-fabricated）」狀態的擴散鰭部 102 可能具有或可能不具有相對於基板 105 的實質上垂直突出矩形結構。舉例來說，在若干實施例中，於其「製造後（as-fabricated）」狀態的擴散鰭部 102 在垂直剖面視圖 A-A 中可能具有更為三角形或角錐形的形狀。圖 1C 顯示鰭式場效電晶體 100 的變化，其中在垂直剖面視圖 A-A 中擴散鰭部 102 係更為角錐形。如圖 1C 所描繪，在若干實施例中，自基板 105 向上延伸的擴散鰭部 102 的側邊，可能以相對於基板 105 的一個角度自基板向上延伸，以致不垂直於基板 105。此外，應理解的是，基板 105 與自基板 105 向上延伸之擴散鰭部 102 側邊之間的此非垂直關係，可能係經設計或者可能係製造的結果。

【0078】此外，在若干實施例中，在基板 105 上方擴散鰭部 102 的垂直突出距離，在半導體晶片的一個區域範圍內係實質上相等。然而，在其他實施例中，可將若干擴散鰭部 102 設計成和製造成在半導體晶片的一或多個區域的範圍內於基板 105 上方具有多個不同的垂直突出距離。因為鰭式場效電晶體 100 的通道面積係基板 105 上方擴散鰭部 102 垂直突出距離的函數，在基板 105 上方擴散鰭部 102 垂直突出距離的此變化可用以調整選定鰭式場效電晶體 100 相對半導體晶片上其他者的驅動強度。在一個範例中，在擴散鰭部 102 高度的選擇性變化可藉由在製造期間選擇性蝕刻/過蝕刻擴散鰭部 102 結構而加以提供。

【0079】圖 1D 顯示根據本發明若干實施例之具有數個鰭式場效電晶體 100 形成於其上的基板 105 的簡化垂直剖面圖。在鰭式場效電晶體 100 的製造期

間，形成一系列核心部 107，以促進該等核心部 107 每一者的側間隔部 109 的形成。側間隔部 109 係用以作為遮罩特徵以促進下方鰭式場效電晶體 100 的形成。應理解的是，核心部 107、側間隔部 109、及鰭式場效電晶體 100 係以平行方式縱向延伸，即如圖 1D 所示之進入頁面方向延伸。應理解的是，核心部 107 和側間隔部 109 最終被移除，而不存在於最終製造後（as-fabricated）半導體晶片/裝置之中。鰭式場效電晶體 100 彼此間相對間距係核心部 107 和側間隔部 109 之尺寸和間距的函數。

【0080】圖 1D 將核心部 107 顯示為具有寬度 W_b 和節距 P_b 。此外，圖 1D 將側間隔部 109 顯示為具有寬度 W_s 。如此鰭式場效電晶體 100 可被特徵化為具有一對交替的鰭部節距 P_{s1} 、 P_{s2} ，其中 P_{s1} 係一給定核心部 107 的側間隔部 109 之間的平均中心線至中心線節距（ P_{s1} 被稱作內鰭部節距），且其中 P_{s2} 係相鄰配置的核心部 107 的相鄰側間隔部 109 之間的平均中心線至中心線節距（ P_{s2} 被稱作外鰭部節距）。假設各個核心部 107 的寬度 W_b 、核心部 107 節距 P_b 、及側間隔部 109 寬度 W_s 係一致的，內鰭部節距 P_{s1} 係等於核心部 107 寬度 W_b 和側間隔部 109 寬度 W_s 的和。並且，外鰭部節距 P_{s2} 係等於核心部 107 節距 P_b 減去核心部 107 寬度 W_b 及側間隔部 109 寬度 W_s 的和。因此，內鰭部節距 P_{s1} 和外鰭部節距 P_{s2} 二者將隨核心部 107 節距 P_b 、核心部 107 寬度 W_b 、及/或側間隔部 109 寬度 W_s 每一者改變而變化。因此，應理解的是，提及一特定的「鰭部節距」，係指一特定鰭部節距的平均，亦即是鰭部節距 P_{s_ave} 係等於內鰭部節距 P_{s1} 和外鰭部節距 P_{s2} 的平均，其中內鰭部節距 P_{s1} 和外鰭部節距 P_{s2} 每一者本身亦為平均值。圖 1D 中寬度和節距關係如下：

$$P_{s1} = W_b + W_s$$

$$Ps2 = Pb - Wb - Ws$$

$$Pb = Ps1 + Ps2$$

若 $Ps1 = Ps2$ （即一相等鰭部節距），則：

$$Wb + Ws = Pb - Wb - Ws \rightarrow Pb = 2(Wb + Ws)$$

$Ps1$ 和 $Ps2$ 可隨 Pb 、 Wb 、及/或 Ws 變化而改變。

因此提及一特定的「鰭部節距」，係指一特定鰭部節距的平均，亦即是 Ps_{ave} 係等於平均 $Ps1$ 、和平均 $Ps2$ 。

【0081】圖 1E 顯示根據本發明若干實施例的鰭部節距關係的示圖，其中內鰭部節距 $Ps1$ 係實質上等於外鰭部節距 $Ps2$ 。元件高度 Hc 係等於平均鰭部節距乘上一有理數，即乘以整數 x 和 y 的比例，其中 x 係有理數的分子而 y 係有理數的分母。在圖 1E 的實例中，其中內鰭部節距 $Ps1$ 和外鰭部節距 $Ps2$ 係相等，平均鰭部節距係等於 $Ps1$ 和 $Ps2$ 每一者。因此，元件高度 Hc 係等於內鰭部節距 $Ps1$ 或外鰭部節距 $Ps2$ 任一者乘以該有理數。應理解的是，有理數的分母（ y ）表示一元件的數量，當該數量的元件以鄰接方式配置於元件高度 Hc 的方向（即垂直於鰭部縱向方向之方向）時需要該數量元件取得鰭部至元件邊界間距的重複。此外，當有理數的分子（ x ）可被有理數分母（ y ）整除時，頂部和底部元件邊界在內鰭部節距 $Ps1$ 和/或外鰭部節距 $Ps2$ 係對齊（指向至（indexed to））於元件邊界時可具有相同的鰭部至元件邊界間距。圖 1E 中高度和節距關係如下：

$$Hc = (x/y)(Ps1) \text{ 或 } Hc = (x/y)(Ps2), \text{ 其中 } x \text{ 和 } y \text{ 係整數}$$

在圖 1E 的範例中，

$$Ps1 = Ps2 \rightarrow Pb = 2(Wb + Ws)$$

$$x=9, y=1 \rightarrow Hc = (9/1)(Ps1) \text{ 或 } Hc = (9/1)(Ps2)$$

因為 $y=1$ ，鰭部至元件邊界間距係每一元件高度重複一次，並且由於 x 被 y 整除，當至少一個鰭部節距（ $Ps1$ 或 $Ps2$ ）係與一元件邊界對齊時，頂部和底部元件邊界可具有相同的鰭部至元件邊界間距。

【0082】圖 1F 顯示根據本發明若干實施例之圖 1E 的鰭部節距關係示圖的變化，其中有理數的分母（ y ）係二。因此，在圖 1F 中，鰭部至元件邊界間距每二個元件高度 Hc 會重複。此外，在圖 1F 的範例中，有理數分子（ x ）不被有理數分母（ y ）所整除。因此，當內鰭部節距 $Ps1$ 和/或外鰭部節距 $Ps2$ 係對齊（指向（indexed to））於元件邊界時，頂部和底部鰭部至元件邊界間距將會不同。圖 1F 中高度和節距關係如下：

$Hc = (x/y)(Ps1)$ 或 $Hc = (x/y)(Ps2)$ ，其中 x 和 y 係整數

在圖 1F 的範例中，

$$Ps1 = Ps2 \rightarrow Pb = 2(Wb + Ws)$$

$$x=17, y=2 \rightarrow Hc = (17/2)(Ps1) \text{ 或 } Hc = (17/2)(Ps2)$$

因為 $y=2$ ，鰭部至元件邊界間距係每二元件高度重複一次，並且由於 x 無法被 y 整除，當至少一個鰭部節距（ $Ps1$ 或 $Ps2$ ）係與一元件邊界對齊時，頂部和底部元件邊界將具有不同的鰭部至元件邊界間距。

【0083】圖 1G 顯示根據本發明若干實施例之圖 1E 的鰭部節距關係示圖的變化，其中有理數的分母（ y ）係三。因此，在圖 1G 中，鰭部至元件邊界間距每三個元件高度 Hc 會重複。此外，在圖 1G 的範例中，有理數分子（ x ）不被有理數分母（ y ）所整除。因此，當內鰭部節距 $Ps1$ 和/或外鰭部節距 $Ps2$ 係對齊（指向（indexed to））於元件邊界時，頂部和底部鰭部至元件邊界間距將會不同。應理解的是，有理數可由用以取得在元件高度 Hc 方向任何所欲鰭部至元件邊界

間距重複頻率及/或任何所欲鰭部至元件邊界間距規格所需的任何方式加以定義。

【0084】圖 1H 顯示根據本發明若干實施例之圖 1E 的鰭部節距關係示圖的更廣義版本，其中內鰭部節距 $Ps1$ 和外鰭部節距 $Ps2$ 係不同。在這個範例中，外鰭部節距 $Ps2$ 係大於內鰭部節距 $Ps1$ 。應理解的是，元件高度 Hc 係等於平均鰭部節距 Ps_{ave} 乘以有理數 (x/y) ，其中 x 和 y 係整數。此外，應理解的是，整數 y 表示在元件高度 Hc 方向上鰭部至元件邊界間距的重複頻率。此外，應理解的是，當有理數 (x/y) 化簡為一整數值（即當 x 被 y 整除）時，頂部和底部鰭部至元件邊界間距可彼此相等。如果有理數 (x/y) 不能化簡為一整數值，一特定元件的不同鰭部相位變化可定義於元件庫，其中各個鰭部相位變化對應該特定元件的不同可能的鰭部至元件邊界間距關係。此外，一特定元件的可能鰭部相位變化數量將等於在數學上最簡型式之有理數 (x/y) 的分母 (y)。圖 1G 中高度和節距關係如下：

$Hc = (x/y)(Ps1)$ 或 $Hc = (x/y)(Ps2)$ ，其中 x 和 y 係整數

在圖 1G 的範例中，

$$Ps1 = Ps2 \rightarrow Pb = 2(Wb + Ws)$$

$$x=25, y=3 \rightarrow Hc = (25/3)(Ps1) \text{ 或 } Hc = (25/3)(Ps2)$$

因為 $y=3$ ，鰭部至元件邊界間距係每三元件高度重複一次，並且由於 x 無法被 y 整除，當至少一個鰭部節距 ($Ps1$ 或 $Ps2$) 係與一元件邊界對齊時，頂部和底部元件邊界將具有不同的鰭部至元件邊界間距。

【0085】如以上所探討的，圖 1H 顯示根據本發明若干實施例使用二個不同的擴散鰭部節距 $Ps1$ 和 $Ps2$ 。更具體而言，在圖 1H 中每隔一對相鄰配置的擴

散鰭部結構依據較小的節距 $Ps1$ 加以配置。在若干實施例中，較大的擴散鰭部節距 $Ps2$ 係約 80 奈米 (nm) 且較小的擴散鰭部節距 $Ps1$ 係約 60 nm。然而，應理解的是，在其他實施例中，較小的擴散鰭部節距 $Ps1$ 可為任何尺寸，且較大的擴散鰭部 $Ps2$ 可為任何尺寸。應理解的是，若干實施例在一特定元件或區塊之內可利用超過二個擴散鰭部節距。並且，若干實施例在一特定元件或區塊之內可利用單一擴散鰭部節距。此外，應理解的是，半導體裝置的任何層或其部分，可以類似於此處所述關於擴散鰭部節距的方式加以形成。舉例來說，半導體裝置的一局部內連線層或一高階層內連線層或其部分，可包含以類似於此處所述關於擴散鰭部節距之方式依一個以上對應節距所形成的內連線傳導結構。圖 1H 中高度和節距關係如下：

$Hc = (x/y)(Ps_ave)$ ，其中 x 和 y 係整數，且

Ps_ave 係平均鰭部節距，例如 $[(Ps1+Ps2)/2]$

在圖 1H 的範例中，

$Ps2 > Ps1$

$x=10, y=1 \rightarrow Hc = (10/1)(Ps_ave)$

因為 $y=1$ ，鰭部至元件邊界間距係每一元件高度重複一次，並且由於 x 被 y 整除，當至少一個鰭部節距 ($Ps1$ 或 $Ps2$) 係與一元件邊界對齊時，頂部和底部元件邊界可具有相同的鰭部至元件邊界間距。

【0086】 由於閘極氧化物限制及/或源極/汲極漏流定比問題，電晶體縮放在 45 奈米 (nm) 關鍵尺寸以下已減緩。鰭式場效電晶體藉由從三側控制鰭式場效電晶體的通道減緩這些問題。在鰭式場效電晶體的通道中增加的電場增進 I_{on} (開啓驅動電流) 及 I_{off} (次臨界漏電流) 之間的關係。鰭式場效電晶體可應

用於 22 nm 及以下之關鍵尺寸。然而，由於其垂直的突出，鰭式場效電晶體在各種電路佈局中可能有受限制的配置。舉例來說，可能有必要的鰭式場效電晶體之間最小間距、和/或必要的鰭式場效電晶體之間的最小節距等等。此處揭露的元件佈局的實施例，其以改進佈局縮放的方式運用鰭式場效電晶體。

【0087】 此處提及之元件 (cell)，代表邏輯功能的抽象名稱 (abstraction)，且囊括用以實施此邏輯功能之較低階的積體電路佈局。應理解的是，一特定邏輯功能可以多個元件變型來代表，其中該多個元件變型可以特徵部尺寸、效能以及製程補償技術 (PCT) (process compensation technique) 處理加以區分。例如，特定邏輯功能用之多個元件變型，係可以藉由功率消耗、訊號時序、漏電流、晶片面積、OPC (光學鄰近修正)、RET (光罩增強技術) 等等加以區分。此外，多重元件變化可藉由於此所描述之次佈局序列組合 (sub-layout sequence combination) 加以區分。也應明瞭的是，每個元件的描述係包括於晶片相關聯的垂直欄之內在晶片之每個階層 (或層) 中的元件用之佈局，此為執行元件之邏輯功能所需要的。更具體而言，元件之描述係包括，由基板層次延伸通過特定之內連線階層的每一晶片階層中的元件佈局。

【0088】 圖 2A 顯示根據本發明若干實施例之包含鰭式場效電晶體的例示元件佈局。該元件佈局包含一擴散階層，在該階層內定義數個擴散鰭部 201A/201B，其用於鰭式場效電晶體和相關聯接線的後續形成。在若干實施例中，在佈局圖 (as-drawn layout) 狀態中，擴散鰭部 201A/201B 係線形的。擴散鰭部 201A/201B 係定向成彼此平行，使得其長度在一第一方向 (x) 上延伸，且使得其寬度在垂直於該第一方向 (x) 的一第二方向 (y) 上延伸。

【0089】 在若干實施例中，例如圖 2A 所顯示者，擴散鰭部 201A/201B 係

根據一固定的縱向中心線至縱向中心線節距 203 而加以配置，節距 203 係在第二方向（y）上測得。在這個實施例中，擴散鰭部 201A/201B 的節距 203 可能相關於在第二方向（y）上測得的元件高度，使得擴散鰭部節距 203 可跨越元件邊界而持續。在圖 2A 中，元件毗鄰邊緣係代表平行於擴散鰭部 201A/201B 的元件邊界。在若干實施例中，多個相鄰的元件的擴散鰭部將根據共同的全域擴散鰭部節距而加以配置，藉此協助在多個元件中擴散鰭部的晶片階層製造。

【0090】應理解的是，其他實施例可能在一特定元件之內或一群元件之間使用多個擴散鰭部節距。舉例來說，圖 2H 顯示根據本發明若干實施例之圖 2A 的元件的變化，其中使用二個不同的擴散鰭部節距 203 和 205。應理解的是，在若干實施例中，擴散鰭部 201A/201B 可根據一個以上縱向中心線至縱向中心線節距而配置，或者可以相對於縱向中心線至縱向中心線間距無限制的方式加以配置。此外，在若干實施例中，擴散鰭部 201A/201B 可根據一特定的節距加以配置，且若干節距位置可能關於擴散鰭部配置係未使用的。此外，在若干實施例中，可將擴散鰭部以分隔開、端到端的方式配置於一元件之內的特定擴散鰭部節距位置。

【0091】在此處所示各圖形中，各擴散鰭部（例如圖 2A 中的擴散鰭部 201A/201B）係為 n 型擴散材料或 p 型擴散材料。此外，取決於特定的元件實現方式，擴散鰭部的材料類型可加以交換，以取得不同的元件邏輯功能。因此，在圖示中使用類型 1 擴散鰭部和類型 2 擴散鰭部標示，以表示擴散鰭部的不同材料類型。舉例來說，若類型 1 擴散鰭部材料係 n 型材料，則類型 2 擴散鰭部材料係 p 型材料，反之亦然。

【0092】元件佈局亦包含數個線形閘極電極結構 207。線形閘極電極結構

207 在實質上垂直於擴散鰭部 201A/201B 的方向延伸，即在第二方向(y)延伸。當製造時，線形閘極電極結構 207 覆蓋於擴散鰭部 201A/201B 的上方，以形成鰭式場效電晶體的閘極電極。應理解的是，適當的閘極氧化物材料係佈置（即配置/沉積）於擴散鰭部 201 A/201B 和形成於其上的閘極電極結構 207 之間。

【0093】 在若干實施例中，將線形閘極電極結構 207 根據在第一方向(x)上相鄰配置的閘極電極結構 207 之縱向中心線之間所測得的一固定的閘極節距 209 加以配置。在若干實施例中，閘極節距 209 係相關於在第一方向(x)上所測得的元件寬度，使得閘極節距可跨越元件邊界而持續。因此，在若干實施例中，多個相鄰元件的閘極電極結構 207 可根據一共同的全域閘極節距而加以配置，藉此協助在多個元件中的線形閘極電極結構 207 的晶片階層製造。

【0094】 應理解的是，在一特定元件中若干閘極節距位置可由閘極電極結構 207 所佔用，而在該特定元件中的其他閘極節距位置則維持未占用。因此，應理解的是，多個閘極電極結構 207 可以分隔開、端到端的方式在一特定元件之內沿著任何閘極電極節距位置加以配置。更應理解的是，在若干實施例中，可將閘極電極結構 207 根據一個以上閘極節距加以配置，或者可以相對於閘極節距無限制的方式加以配置。

【0095】 元件佈局亦可包含數個線形水平局部內連線結構(lih) 211、及/或數個線形垂直局部內連線結構(liv) 213。垂直局部內連線結構 213 係定向成平行於閘極電極結構 207。水平局部內連線結構 211 係定向成平行於擴散鰭部 201A/201B。在若干實施例中，垂直局部內連線結構 213 的配置，係定義成以半個閘極節距而與閘極電極結構 207 的配置異相。因此，在這個實施例中，當各垂直局部內連線結構 213 的相鄰閘極電極結構 207 係配置於閘極節距上，該垂直

局部內連線結構 213 係位於其相鄰閘極結構 207 之間的中心。因此，在這個實施例中，相鄰配置的垂直局部內連線結構 213 將具有與一局部閘極節距或一全域閘極節距相等的中心到中心間距，其中局部閘極節距係適用於一特定元件之內，而全域閘極節距係適用在遍及多個元件的範圍內。

【0096】 在若干實施例中，水平局部內連線結構 211 的配置，係定義成以半個擴散鰭部節距而與擴散鰭部 201A/201B 的配置異相。因此，在這個實施例中，當水平局部內連線結構 211 的相鄰擴散鰭部 201A/201B 係配置於擴散鰭部節距上，該水平局部內連線結構 211 可位於其相鄰擴散鰭部 201A/201B 之間的中心。因此，在這個實施例中，相鄰配置的水平局部內連線結構 211 將具有與一局部擴散鰭部節距或一全域擴散鰭部節距相等的中心到中心間距，其中局部擴散鰭部節距係適用於一特定元件之內，而全域擴散鰭部節距係適用在遍及多個元件的範圍內。

【0097】 在若干實施例中，元件佈局亦包含數個線形金屬層 1 (met1) 內連線結構 215。此 met1 內連線結構 215 係定向成平行於擴散鰭部 201A/201B 且垂直於閘極電極結構 207。在若干實施例中，met1 內連線結構 215 的配置，係定義成以半個擴散鰭部節距而與擴散鰭部 201A/201B 的配置異相。因此，在這個實施例中，雖然在較高的晶片階層內，當各 met1 內連線結構 215 的相鄰擴散鰭部係配置於擴散鰭部節距上，該 met1 內連線結構 215 係位於其相鄰擴散鰭部之間的中心。因此，在這個實施例中，相鄰配置的 met1 內連線結構 215 將具有與一局部擴散鰭部節距或一全域擴散鰭部節距相等的中心到中心間距，其中局部擴散鰭部節距係適用於一特定元件之內，而全域擴散鰭部節距係適用在遍及多個元件的範圍內。在若干實施例中，met1 內連線結構 215 節距，以及由此之擴

散軌道節距，係設定於單一曝光微影限制，例如 1.35 NA 及 193 nm 波長光用之 80 nm。在這個實施例中，不需要雙重曝光微影，即多重圖案化，來製造 met1 內連線結構 215。應理解的是，其他實施例可使用定向成垂直於擴散鰭部 201A/201B 且平行於閘極電極結構 207 的 met1 內連線結構 215。

【0098】 元件佈局亦包含數個接觸窗 217，其用以將各種 met1 內連線結構 215 連接至各種局部內連線結構 211/213 及閘極電極結構 207，藉此提供實行元件邏輯功能所需的各種鰭式場效電晶體之間的電連接。在若干實施例中，接觸窗 217 係定義成滿足單一曝光微影限制。舉例來說，在若干實施例中，接觸窗 217 所需連接的佈局特徵部係分隔開到足以進行接觸窗 217 的單一曝光製造。舉例來說，met1 內連線結構 215 係定義成其用以接受接觸窗 217 的線端，係與亦接受接觸窗 217 之相鄰 met1 內連線結構 215 的線端足夠分隔開，俾使接觸窗 217 之間的空間距離大到足以進行接觸窗 217 的單一曝光微影製程。在若干實施例中，相鄰接觸窗 217 係以至少 1.5 倍閘極節距彼此分隔。應理解的是，藉由將 met1 內連線結構 215 的對向的線端足夠地分離，可消除雙重曝光微影製程之線端切割（line end cutting）及相關聯的增加費用。應理解的是，取決於在製造過程中的選擇，金屬層上的接觸窗間隔和線端間隔在若干實施例中可相互獨立。

【0099】 在若干實施例中，元件佈局也包含數個線形金屬層 2（met2）內連線結構 219。該 met2 內連線結構 219 係定向成平行於閘極電極 207 且垂直於擴散鰭部 201A/201B。met2 內連線結構 219 依實行元件邏輯功能的需要可透過介層窗結構（v1）221 與 met1 內連線結構 215 物理性連接。雖然圖 2A 的例示元件顯示以縱向方式延伸垂直於閘極電極結構 207 的 met1 內連線結構 215 以及以縱向方式延伸平行於閘極電極結構 207 的 met2 內連線結構 219，應理解的是在

其他實施例中 met1 內連線結構 215 和 met2 內連線結構 219 可定義成以任何相對於閘極電極結構 207 的方向延伸。應理解的是，其他實施例可使用定向成垂直於閘極電極 207 且平行於擴散鰭部 201A/201B 的 met2 內連線結構 219。

【0100】圖 2A 的元件代表一多輸入邏輯閘，該多輸入邏輯閘具有實質上對齊的輸入閘極電極，亦即是在方向 (y) 上共同對齊的中心的三個閘極電極結構 207。取決於分派至類型 1 和類型 2 擴散鰭部的擴散材料類型，圖 2A 的元件可具有不同的邏輯功能。舉例來說，圖 2D 顯示圖 2A 的佈局，其中擴散鰭部 201A 係由 n 型擴散材料所形成，而擴散鰭部 201B 係由 p 型擴散材料所形成。圖 2D 的佈局係 2 輸入 NAND 閘的佈局。圖 2B 顯示對應圖 2D 的 2 輸入 NAND 構造的電路圖。圖 2E 顯示圖 2A 的佈局，其中擴散鰭部 201A 係由 p 型擴散材料所形成，而擴散鰭部 201B 係由 n 型擴散材料所形成。圖 2E 的佈局係 2 輸入 NOR 閘的佈局。圖 2C 顯示對應圖 2E 的 2 輸入 NOR 構造的電路圖。在圖 2B-2E 中，P 1 和 P 2 每一者標示各自的 p 型電晶體（如 PMOS 電晶體），N 1 和 N 2 每一者標示各自的 n 型電晶體（如 NMOS 電晶體），A 和 B 每一者標示各自的輸入節點，且 Q 標示一輸出節點。應理解的是，在此處其他圖示中亦使用 p 型電晶體、n 型電晶體、輸入節點、及輸出節點的類似符號。

【0101】基於前述，應瞭解的是，特定元件佈局的邏輯功能可藉由將擴散鰭部的材料類型互換而加以改變。因此，對於此處所述的各個元件佈局，應理解的是，可取決於分派至擴散鰭部的 n 型及 p 型材料代表多個邏輯功能。

【0102】圖 3 至 7 及 11 至 29 顯示根據本發明若干實施例之圖 2A 佈局的變形。因此，在圖 3 至 7 及 11 至 29 之中所描繪的元件每一者，係取決於分派至類型 1 擴散鰭部及類型 2 擴散鰭部擴散鰭部的 n 型及 p 型材料而代表 2 輸入

NAND 閘或 2 輸入 NOR 閘。在圖 2A 至 7 及 11 至 19 中所顯示的元件佈局每一者具有以下特徵：

- 一多輸入邏輯閘，所有其輸入電極實質上對齊，
- 一局部擴散鰭部層電源，
- 一全域較高階層內連線電源，
- 一水平內連線，用以將閘極電極連接至垂直局部內連線，且用以藉由提供接觸窗配置更大的彈性而促進改善接觸層的可製造性。

【0103】應瞭解的是，在圖 2A 至 7 及 11 至 29 的佈局每一者顯示相同邏輯功能的不同實施方式。圖 2A 的佈局顯示以下特徵：

- 二個以上輸入用之閘極電極，該等閘極電極係實質上對齊，
- 位於相同擴散類型的擴散鰭部之間的閘極電極的端線間隔，
- 相同擴散類型的擴散鰭部之間的閘極電極接觸窗，
- 用於局部電源之類型 1 及類型 2 擴散鰭部（亦即是至元件的局部內連線），其中 met1 係用於較高階層內連線（全域）電源，局部和全域電源二者係為相鄰元件所共用，
- 類型 1 和類型 2 的擴散鰭部供應電流至一局部階層上的元件，且可以規定的間隔連接至較高階層的內連線，例如 met1，以支援多重晶片功率對策，
- 使用水平局部內連線，以連接至閘極電極，
- 將垂直局部內連線層連接至閘極電極層的一實質上水平局部內連線，可用以平移閘極電極接觸窗的位置，藉此能夠增加在接觸窗遮罩圖案上的彈性，這可減輕可能的微影問題。

【0104】 根據本發明若干實施例，圖 2F 顯示圖 2A 佈局的變形，其中間極電極結構端部在元件的頂部（如橢圓 250 所指示）以及在元件的底部（如橢圓 251 所指示）實質上對齊。

【0105】 根據本發明若干實施例，圖 2G 顯示圖 2A 佈局的變形，其中形成接觸窗，以在元件的頂部處（如圖 260 所指示）以及在元件的底部處（如圖 261 所指示），於電源軌（power rail）下方自 met1 內連線結構延伸至水平局部內連線結構。

【0106】 如先前所提及，根據本發明若干實施例，圖 2H 顯示圖 2A 之元件的變形，其中使用兩個不同的擴散鰭部節距 203 和 205。

【0107】 應理解的是，在此處所描繪的各種佈局中於元件頂部和底部處在電源軌下方的擴散鰭部和水平局部內連線結構，係在水平方向（x）上持續地延伸，以應用於多個元件，該等元件係配置在一列之中以及可能配置在相鄰的列之中。爲了說明此點，根據本發明若干實施例，圖 2I 顯示圖 2A 佈局的變形，其中將在元件頂部和底部處電源軌下方的擴散鰭部和水平局部內連線結構，延伸 met1 內連線結構 215A/215B 的全寬度，met1 內連線結構 215A/215B 係作爲電源軌。應理解的是，在作爲電源軌之 215A/215B 下方的擴散鰭部和水平局部內連線結構、以及作爲電源軌之 215A/215B 本身，係在（x）方向持續延伸，如箭頭 270 所示。

【0108】 圖 3 顯示根據本發明若干實施例之圖 2A 的佈局之變形，其中將 met1 電源軌連接至垂直局部內連線，俾使該 met1 電源軌作爲局部電源。應理解的是，met1 電源軌可基於元件庫需要而具可變寬度。如同圖 2A 的佈局，圖 3 的佈局使用輸入電極實質上對齊之多輸入邏輯閘。

【0109】圖 4 顯示根據本發明若干實施例之圖 2A 的佈局之變形，其中將二維變化的 met1 內連線結構在元件之內用於元件內繞線。如圖 2A 的佈局，圖 4 的佈局使用多輸入邏輯閘，其輸入電極實質上對齊且共用局部和全域電源。在若干實施例中，在 met1 中的彎曲，即在 met1 方向上的二維變化，係發生於一固定的格子（grid）。在若干實施例中，這個 met1 固定的格子可包含水平格線，該等水平格線係配置於該等擴散鰭部之間且平行於擴散鰭部延伸，並且以與擴散鰭部相同的節距加以配置。此外，在若干實施例中，此 met1 固定格子可包含垂直格線，其垂直於該等擴散鰭部延伸且配置成位於垂直局部內連線的中央。

【0110】圖 5 顯示根據本發明若干實施例之圖 2A 的佈局之變形，其中將 met1 電源軌連接至垂直局部內連線，俾使該等 met1 電源軌作為局部電源，且其中將二維變化 met1 內連線結構於元件之內用於元件內繞線。如同圖 2A 的佈局，圖 5 的佈局使用輸入電極實質上對齊之多輸入邏輯閘。

【0111】圖 6 顯示根據本發明若干實施例之圖 2A 的佈局之變形，其中使用固定、最小寬度、共用的局部 met1 電源，以及在元件內用於元件內繞線之二維變化 met1 內連線結構。如圖 2A 的佈局，圖 6 的佈局使用輸入電極實質上對齊之多輸入邏輯閘。

【0112】圖 7 顯示根據本發明若干實施例之圖 2A 的佈局之變形，其具有於元件中具硬接線的共用的局部和全域電源，以及在元件內用於元件內繞線之二維變化 met1 內連線結構。如圖 2A 的佈局，圖 7 的佈局使用輸入電極實質上對齊之多輸入邏輯閘。

【0113】根據本發明若干實施例，圖 8A 顯示例示標準元件的佈局，其中將輸入接腳配置於相同類型的擴散鰭部之間以減輕繞線擁塞，且其中使用若干

擴散鰭部作為內連線導體。圖 8C 顯示圖 8A 佈局的電路圖，包含輸入接腳 8a、8b、8c、及 8d。平面標準元件，即非鰭式場效電晶體的元件，通常具有位於相反類型（即 n 型相對 p 型）的擴散特徵部之間、或位於擴散特徵部和相鄰電源軌之間的輸入接腳，藉此在平面元件的局部區域中達到輸入接腳較高的密集度。如圖 8A 所顯示，藉由利用擴散鰭部以及將若干輸入接腳配置於相同擴散類型的擴散鰭部之間，該等輸入接腳可在一較大區域之上以更均勻的方式分隔開，從而減輕元件的繞線擁塞。此外，如圖 8A 所顯示，藉由選擇性地移除若干閘極電極結構，如區域 8001 中所顯示，可將擴散鰭部層運用作為實質水平繞線層，以連接至非相鄰的電晶體或局部內連線。舉例來說，在區域 8001 中，擴散鰭部 8003 係用以作為水平繞線導體。

【0114】根據本發明若干實施例，圖 8B 顯示圖 8A 的變化，其中使用二個不同的閘極電極節距 $p1$ 及 $p2$ 。更具體而言，在圖 8B 中每隔一對相鄰配置閘極電極結構依據較小的節距 $p2$ 加以配置。在若干實施例中，較大的閘極電極節距 $p1$ 係約 80 奈米 (nm) 且較小的閘極電極節距 $p2$ 係約 60 nm。應理解的是，若干實施例可利用超過二個閘極電極結構節距於一特定元件或區塊之內。並且，若干實施例可利用單一閘極電極結構節距於特定元件或區塊之內。此外，應理解的是，任何半導體裝置的層或其部分，可以類似於此處所述關於閘極電極節距的方式加以形成。例如，半導體裝置的局部內連線層或更高階層的內連線層或其部分，可包含以類似於此處所述關於閘極電極節距的方式以一個以上對應節距形成的內連線傳導結構。

【0115】此外，在半導體裝置的不同層（亦稱階層）中的傳導結構或其部分，可依各自的節距排列而加以配置，其中在不同層的傳導結構節距排列之間

存在一確定的關係。舉例來說，在若干實施例中，在擴散鰭部層中的擴散鰭部，係根據可包含一個以上擴散鰭部節距的一擴散鰭部節距排列而加以配置，且在 met1 層的金屬層 1 (met1) 內連線結構係根據可包含一個以上 met1 節距的一 met1 節距排列加以配置，其中一個以上擴散鰭部節距係以有理數 (x/y) 而關聯於一個以上 met1 節距，其中 x 和 y 係整數。在若干實施例中，擴散鰭部節距和 met1 節距之間的關係由在 ($1/4$) 至 ($4/1$) 範圍之內的有理數加以定義。

【0116】此外，在若干實施例中，垂直局部內連線結構 (liv) 可依據實質上與閘極電極節距相等之垂直局部內連線節距而加以配置。在若干實施例中，閘極電極節距係小於 100 奈米。此外，以類似於上述關於擴散鰭部節距對於 met1 節距的關係之方式，在若干實施例中擴散鰭部節距排列可藉由有理數 (x/y) 而關聯於水平局部內連線節距排列，其中 x 和 y 係整數。亦即是，一個以上擴散鰭部節距可藉由有理數 (x/y) 而關聯於一個以上水平局部內連線節距。

【0117】根據本發明若干實施例，圖 9A 顯示例示標準元件的佈局，其中將擴散鰭部使用作為內連線導體。圖 9C 顯示圖 9A 佈局的電路圖。圖 9A 的例示標準元件佈局包含在一單一軌道 (track) 中，例如在閘極電極軌道 9001 之中，包含多個閘極電極線端。圖 9B 顯示圖 9A 的佈局，其中標示三組交叉連接的電晶體。第一組交叉連接的電晶體係由對線 cc1a 及 cc1b 加以標示。第二組交叉連接電晶體係由對線 cc2a 及 cc2b 加以標示。第三組交叉連接電晶體係由對線 cc3a 及 cc3b 加以標示。

【0118】根據本發明若干實施例，圖 10 顯示例示標準元件佈局，其中將閘極電極接觸窗實質上配置於擴散鰭部上方，而非擴散鰭部之間。圖 10 的例示標準元件佈局亦顯示可變寬度 met1 局部電源結構。在圖 10 的例示標準元件佈局

中，接觸層係在擴散鰭部上方垂直對齊，而非於擴散鰭部之間。這個方法可在沒有虛設擴散鰭部（dummy diffusion fin）的狀況下能夠共用擴散鰭部結構之間的毗鄰邊緣，這提供更有效率的佈局。應理解的是，虛設擴散鰭部係不形成電晶體的擴散鰭部。此外，應瞭解的是，這個將接觸層垂直對齊於擴散鰭部上方的方法，可改變 met1 內連線結構和擴散鰭部之間的垂直對齊關係。

【0119】根據本發明若干實施例，圖 11 顯示實現擴散鰭部的例示元件佈局。在圖 11 的例示佈局中，閘極電極層包含以下特徵：

- 實質上線形閘極電極結構，
- 在閘極電極層上的三個以上線形閘極電極結構，其中二者係虛設結構（dummy），即不形成電晶體的閘極電極之閘極電極階層結構，
- 在閘極電極層上的三個以上閘極電極結構，其具有相同的垂直尺寸（長度），亦即在垂直於擴散鰭部縱向方向（x 方向）的 y 方向上具相同的長度，
- 在閘極電極層上的閘極電極結構，其以實質上相等的縱向中心線至縱向中心線節距實質上均勻地分隔開，
- 虛設閘極電極結構，其係與在左方及/或右方的相鄰元件共用，及
- 虛設閘極電極結構，其於 met1 電源軌下方切割（cut）。

【0120】在圖 11 的例示佈局中，擴散鰭部包含以下特徵：

- 依據實質上相等節距實質上均勻分隔開的擴散鰭部，擴散鰭部可在一格子上，在若干實施例中擴散鰭部節距小於 90 nm，
- p 型及 n 型每一者之一個以上擴散鰭部，圖 11 顯示二個 n 型的擴散鰭部及二個 p 型的擴散鰭部，但其他實施例可包含任何數量的任一

型之擴散鰭部，

- 相同數量之 p 型和 n 型擴散鰭部，其他實施例可具有 p 型相對 n 型不同數量的擴散鰭部，
- 在電源軌下方刪除一個以上擴散鰭部
- 在 p 型和 n 型段之間刪除一個以上擴散鰭部，及
- 實質上相等寬度和長度的各擴散鰭部。

【0121】在圖 11 的例示佈局中，局部內連線包含以下特徵：

- 閘極電極和擴散鰭部源極/汲極接線係在不同的導體層上，且這些不同的導體層係互相隔離，
- 用於源極汲極接線之平行於閘極的實質上線形導體層；在若干實施例中，係與閘極層有相同節距；且在若干實施例中，這些線形導體層可偏移半個閘極節距。
- 局部內連線與擴散鰭部正重疊（positive overlap）。

【0122】在圖 11 的例示佈局中，較高階層 met1 內連線層包含以下特徵：

- 介於 p 型和 n 型擴散鰭部之間的閘極導體接觸窗，
- 在二個方向上皆分格化（gridded）的接觸窗，
- 接觸窗將局部內連線和閘極導體連接至上方金屬層，
- 實質上線形的金屬層；金屬層係依一節距；金屬層依據與擴散鰭部節距相同的節距且具有垂直方向上半節距的偏移，
- 在相同層上的輸入節點和輸出節點接腳，
- 在頂部和底部邊緣上寬的電源軌，其每一者係被共用；電源軌係藉由毗鄰部（abutment）連接至左方和右方，

- 在最高金屬階層上的輸出和輸入節點；配置於 p 型和 n 型擴散鰭部之間的接觸窗，及
- 在頂部和底部與毗鄰元件共用的至局部內連線的電源軌接觸窗。

【0123】根據本發明若干實施例，圖 12A/B 顯示具有最小寬度 met1 電源軌的圖 11 佈局的變形。圖 12B 顯示與圖 12A 相同的佈局，其中爲了清楚緣故佈局係以合併型式描繪。圖 12A/B 的例示佈局亦具有相同寬度、相同節距的所有 met1，其包含電源軌。此外，在圖 12/B 的佈局中，met1 係配置於與擴散鰭部節距相同的（y）方向位置。

【0124】根據本發明若干實施例，圖 13A/B 顯示圖 12A/B 佈局的變形，其不具有自各個局部內連線和閘極電極結構至 met1 的接觸窗。圖 13B 顯示與圖 13A 相同的佈局，爲了清楚緣故佈局係以合併型式描繪。在這個實施例中，met1 係形成爲與局部內連線結構和閘極電極結構直接連接。此外，在其他實施例中，局部內連線結構或閘極電極結構其中任一者，或局部內連線結構和閘極電極結構二者，可直接連接至 met1。

【0125】根據本發明若干實施例，圖 14A/B 顯示圖 11 佈局的變形，其具有最小寬度 met1 電源軌，且所有 met1 結構，包含電源軌，具相同的寬度和相同的節距。圖 14 B 顯示與圖 14A 相同的佈局，爲了清楚緣故佈局係以合併型式描繪。

【0126】根據本發明若干實施例，圖 15A/B 顯示圖 14A/B 佈局的變形，其具有 met1 繞線結構，該繞線結構配置成各（y）位置具有一 met1 結構。圖 15 B 顯示與圖 15A 相同的佈局，爲了清楚緣故佈局係以合併型式描繪。

【0127】根據本發明若干實施例，圖 16A/B 顯示圖 11 佈局的變形，其具

有配置於 p 型擴散鰭部之間的閘極電極結構接觸窗。圖 16 B 顯示與圖 16A 相同的佈局，爲了清楚緣故佈局係以合併型式描繪。圖 16A/B 的例示佈局亦顯示配置於 met1 電源軌下方且連接至 VSS/VDD 的擴散鰭部。此外，擴散鰭部 VDD/VSS 結構係與上方及/或下方元件所共用。爲了易於描述，在圖 16A/B 的佈局中不顯示接觸層。

【0128】根據本發明若干實施例，圖 17A/B 顯示實現擴散鰭部的例示元件佈局。圖 17 B 顯示與圖 17A 相同的佈局，爲了清楚緣故佈局係以合併型式描繪。在圖 17A/B 的例示佈局中，閘極電極層包含以下特徵：

- 實質上線形的閘極電極結構，
- 在閘極電極層上的三個以上線形結構，其中至少二者係虛設結構（dummy），
- 在閘極電極層上的虛設結構係爲相同垂直尺寸（長度），即在垂直於擴散鰭部的縱向方向（x 方向）之 y 方向上具相同的長度，
- 在 x 方向上實質上均勻地分隔開及/或相等節距化的閘極電極層上的結構，
- 虛設結構係與左方及/或右方相鄰元件共用，
- 虛設結構以及閘極電極結構繪製爲一單一線，且接著在電源軌下方以及所需之處加以切割；閘極電極結構切割係繪製於不同的層；在圖 17A/B 中顯示具經切割的最終結果的閘極電極層，
- 三段以上的閘極電極，控制二個以上之 p 型和 n 型電晶體，
- 在相同 x 位置之多個閘極電極結構，其每一者連接至一不同的連線；且連接至二個不同的輸入連線。

【0129】在圖 17A/B 的例示佈局中，擴散鰭部包含以下特徵：

- 依據實質上相等的節距而實質上均勻分隔的擴散鰭部，擴散鰭部可在一格子上，擴散鰭部節距在若干實施例中小於 90 nm，
- p 型和 n 型每一者的一個以上擴散鰭部，
- 相同數量的 p 型和 n 型擴散鰭部，
- 電源軌下方共用的擴散鰭部，
- 在 p 型和 n 型段之間可將擴散鰭部刪除或不刪除；圖 17A/B 顯示所有鰭部皆存在，
- 擴散鰭部每一者係具有實質上相等寬度和長度，其中擴散鰭部寬度係在 y 方向上測得，而擴散鰭部長度係在 x 方向上測得，
- 擴散鰭部係繪製為連續的線；個別的切割遮罩係被繪製以將擴散鰭部分割成數段；圖 17A/B 顯示分割後的擴散鰭部段；應理解的是，在若干實施例中，擴散鰭部線端可利用切割遮罩形成或繪製於擴散鰭部階層佈局。

【0130】在圖 17A/B 的例示佈局中，局部內連線包含以下特徵：

- 閘極電極和擴散鰭部源極/汲極接線係在不同的導體層上；這些不同的導體層在製造期間可加以合併；
- 源極汲極接線用之平行於閘極的實質上線形導體層；在若干實施例中，係依與閘極層相同的節距；並且在若干實施例中，這些線形導體層可偏移半閘極節距。
- 局部內連線與擴散鰭部的正、零、或負重疊，
- 將局部內連線直接連接至擴散鰭部源極/汲極和閘極電極結構，

- 電源軌下方共用的局部內連線；電源軌下方的局部內連線在若干實施例中可刪除。

【0131】 在圖 17A/B 的例示佈局中，較高階層 met1 內連線層包含以下特徵：

- 擴散鰭部之間的閘極電極結構接觸窗，
- 接觸窗係在 x 和 y 方向其中之一或二者上分格化（gridded），
- 接觸窗將局部內連線和閘極導體連接至上方金屬層，
- 金屬層位置可在 x 和 y 方向其中之一或二者上固定，
- 在相同層之上的輸出節點和輸入節點接腳，
- 在頂部和底部的寬電源軌係被共用的；電源軌藉由毗鄰部連接至左方和右方；至局部內連線的電源軌接觸窗係共用的，
- 金屬層可具有彎曲部分。在若干實施例中，在金屬層內連線之中的彎曲部分可位在相鄰擴散鰭部之間的中心。此外，在若干實施例中，在 y 方向上延伸的金屬層內連線的垂直段可對齊於垂直局部內連線，以在 y 方向上沿著垂直局部內連線且在垂直局部內連線之上而延伸。

【0132】 根據本發明若干實施例，圖 18A/B 顯示圖 17A/B 佈局的變形，其中接觸窗連接至水平局部內連線，且其中水平局部內連線直接連接至垂直局部內連線。圖 18B 顯示與圖 18A 相同的佈局，爲了清楚緣故將佈局以合併型式描繪。在圖 18A/B 的佈局中，未顯示在擴散鰭部、閘極電極、及局部內連線層上的切割。

【0133】 根據本發明若干實施例，圖 19A/B 顯示圖 17A/B 佈局的變形，其

中至局部內連線的電源軌接觸窗係不共用的，且其中在電源軌下方沒有共用的局部內連線。圖 19B 顯示與圖 19A 相同的佈局，爲了清楚緣故將佈局以合併型式描繪。

【0134】 根據本發明若干實施例，圖 20A/B 顯示圖 19A/B 佈局的變形，其中擴散鰭部係相對於元件邊界偏移半個擴散鰭部節距。圖 20B 顯示與圖 20A 相同的佈局，爲了清楚緣故將佈局以合併型式描繪。圖 20A/B 的佈局亦包含與 **met1** 位置相同之擴散鰭部位置。此外，擴散鰭部在元件的頂部和底部係不共用。圖 20A/B 亦顯示配置於閘極電極和擴散鰭部之上的接觸窗。圖 20A/B 也顯示不同的擴散鰭部/局部內連線的重疊。應理解的是，在圖 20A/B 的特定佈局中，雖然顯示水平局部內連線 **lih** 和垂直局部內連線 **liv** 在區域 2001 中彼此重疊，水平局部內連線 **lih** 和垂直局部內連線 **liv** 在區域 2001 係不相互接觸。這也在以下的圖 21A/B 之中的區域 2001 中成立。然而，亦應理解的是，在若干其他佈局中，可使水平局部內連線 **lih** 和垂直局部內連線 **liv** 在其彼此交叉的位置處互相接觸。

【0135】 根據本發明若干實施例，圖 21A/B 顯示圖 20A/B 佈局的變形，其具有最小寬度電源軌及擴散鰭部之負垂直局部內連線重疊。圖 21B 顯示與圖 21A 相同的佈局，爲了清楚緣故將佈局以合併型式描繪。

【0136】 根據本發明若干實施例，圖 22A/B 顯示圖 17A/B 佈局的變形，其具有最小寬度電源軌、在電源軌下方不共用的局部內連線及擴散鰭部、及 **p** 鰭部和 **n** 鰭部之間較大的間距。圖 22B 顯示與圖 22A 相同的佈局，爲了清楚緣故將佈局以合併型式描繪。

【0137】 根據本發明若干實施例，圖 23A/B 顯示圖 17A/B 佈局的變形。圖 23B 顯示與圖 23A 相同的佈局，爲了清楚緣故將佈局以合併型式描繪。圖 23A/B

的佈局具有以下特徵：

- 單方向的金屬層內連線結構，即線形金屬層內連線結構，
- 在電源軌下方無共用的局部內連線或鰭部，
- 在最高金屬層上的一個輸入接腳，以及在下方金屬層的另一輸入接腳和輸出接腳，
- 閘極電極接觸窗係與局部內連線分隔。

【0138】此外，圖 23A/B 顯示在加以切割於左方和右方邊緣之前的擴散鰭部。

【0139】根據本發明若干實施例，圖 24A/B 顯示圖 23A/B 佈局的變形。圖 24B 顯示與圖 24A 相同的佈局，爲了清楚緣故將佈局以合併型式描繪。圖 24A/B 的佈局具有以下特徵：

- 擴散鰭部節距小於金屬層節距；擴散鰭部節距係金屬層節距的一半，
- 顯示於擴散鰭部之間的閘極電極和局部內連線切割；一替代的實行方式可具有在擴散鰭部切割上方的切割；這將降低在一個以上電晶體中擴散鰭部的數量，
- 在最高金屬層上的一個輸入接腳，在下方金屬層上的另一輸入接腳和輸出接腳，
- 大於最低限度之 p 型和 n 型擴散鰭部之間間距；在 p 型和 n 型擴散鰭部段之間刪除一個以上擴散鰭部，
- 配置於擴散鰭部之上的閘極電極接觸窗，
- 配置於擴散鰭部之上的局部內連線接觸窗，及

- 在元件之內垂直 met2 具有在 x 方向不同的偏移。

【0140】根據本發明若干實施例，圖 25A/B 顯示圖 23A/B 佈局的變形，其中元件在高度上加倍。圖 25B 顯示與圖 25A 相同的佈局，爲了清楚緣故將佈局以合併型式描繪。圖 25A/B 的佈局包含二倍於在圖 23A/B 佈局中總數量的擴散鰭部。在圖 25A/B 的佈局中顯示擴散鰭部切割。

【0141】根據本發明若干實施例，圖 26A/B 顯示實現擴散鰭部的例示元件佈局。圖 26B 顯示與圖 26A 相同的佈局，爲了清楚緣故將佈局以合併型式描繪。在圖 26A/B 的例示佈局中，閘極電極層包含以下特徵：

- 實質上線形閘極電極結構，
- 在閘極電極層上的三個以上線形結構，其中至少二者係虛設結構，
- 在閘極電極層上的虛設結構係具有相同尺寸，
- 在閘極電極層上的結構係在 x 方向上實質均勻分隔開及/或相等節距化，
- 虛設結構係與在左方及/或右方的相鄰元件共用，
- 在電源軌下方切割虛設結構，
- 控制二個以上 p 型和 n 型電晶體的單一閘極電極結構，在製造過程中之後被分開而形成二個以上不同的閘極電極，例如閘極電極結構 2601 及 2603 所描繪，
- 在相同 x 位置的閘極電極係連接至兩個以上不同連線，連接至兩個以上不同的輸入連線，例如由連接至輸入連線 2605 的閘極電極結構 2601、及由連接至輸入連線 2607 之閘極電極結構 2603 所描繪者，

- 在相同 x 位置的二個以上虛設段。

【0142】在圖 26A/B 的例示佈局中，擴散鰭部包含以下特徵：

- 依據實質上相等節距實質上均勻分隔開的擴散鰭部，擴散鰭部可在一格子上，擴散鰭部節距在若干實施例中小於 90 nm，
- p 型和 n 型每一者的一個以上擴散鰭部，
- 相同數量的 p 型和 n 型擴散鰭部，
- 在電源軌下方刪除一個以上擴散鰭部，
- 在 p 型和 n 型段之間無擴散鰭部被刪除，
- 各擴散鰭部具實質上相等的寬度和長度，及
- 配置在 n 型擴散鰭部之間的 p 型擴散鰭部，反之亦然。

【0143】在圖 26A/B 的例示佈局中，局部內連線包含以下特徵：

- 閘極電極和擴散鰭部源極/汲極接線係在不同的導體層；這些不同的導體層係彼此分隔開，
- 用於源極汲極接線之平行於閘極的實質上線形導體層；在若干實施例中，具與閘極層相同的節距；且在若干實施例中，這個線形導體層可偏移半閘極節距，及
- 局部內連線與擴散鰭部的正重疊。

【0144】在圖 26A/B 的例示佈局中，較高階層的 met1 內連線層包含以下特徵：

- 擴散鰭部之間的閘極電極結構接觸窗，
- 接觸窗係在 x 和 y 方向其中之一或二者分格化，
- 接觸窗將局部內連線和閘極導體連接至上方金屬層，

- 在輸出節點上實質上線形的導體，
- 在不同層之上的輸出節點和輸入節點接腳，
- 在中間的電源軌，與在頂部和底部處電源軌相對；頂部和底部電源軌係共用；所有電源軌藉由毗鄰部連接至左方和右方，及
- 在最高金屬層上的輸出節點。

【0145】根據本發明若干實施例，圖 27A/B 顯示圖 26A/B 佈局的變形。圖 27B 顯示與圖 27A 相同的佈局，爲了清楚緣故將佈局以合併型式描繪。圖 27A/B 的佈局包含以下特徵：

- 將閘極電極繪製成具有一切割層，例如包含切割形狀部 2701 的切割層，
- 在相同 x 位置處二個閘極導體段，其各自連接至一不同的連線，閘極導體段各自連接至一輸入連線，閘極導體段各自控制以多個鰭部建構之一 p 型和一 n 型電晶體，例如閘極導體 2703 及 2705，及
- 在最高金屬層上的一個輸入接腳，在下方金屬層上的另一輸入接腳和輸出接腳。

【0146】根據本發明若干實施例，圖 28A/B 顯示實現擴散鰭部的例示元件佈局。圖 28B 顯示與圖 28A 相同的佈局，爲了清楚緣故將佈局以合併型式描繪。在圖 28A/B 的例示佈局中，閘極電極層包含以下特徵：

- 實質上線形的閘極電極結構，
- 在閘極電極層上三個以上的線形結構，其中至少二者係虛設結構，
- 三個以上閘極電極結構具有相同的尺寸，
- 在閘極電極層上的結構在 x 方向上實質上均勻地分隔開及/或相等

地節距化，

- 虛設結構係與在左方及/或右方的相鄰元件共用，
- 虛設結構在電源軌下方加以切割，

【0147】 應理解的是，任何此處所顯示的圖示，包含圖 28A/B 的例示佈局，取決於特定實行實施例，可具有定義成 p 型擴散鰭部的類型 1 擴散鰭部、及定義成 n 型擴散鰭部的類型 2 擴散鰭部，或者可具有定義成 n 型擴散鰭部的類型 1 擴散鰭部、及定義成 p 型擴散鰭部的類型 2 擴散鰭部。在圖 28A/B 的例示佈局中，擴散鰭部包含以下特徵：

- 根據實質上相等的節距而實質上均勻分隔開的擴散鰭部，擴散鰭部可在一格子上，在若干實施例中擴散鰭部節距係小於 90 nm，
- p 型和 n 型每一者的一個以上擴散鰭部，
- 不同數量的 p 型和 n 型擴散鰭部，
- 在電源軌下方將一個以上擴散鰭部刪除，
- 在 p 型和 n 型段之間刪除一個以上擴散鰭部，
- 各擴散鰭部具有實質上相等的寬度和長度。

【0148】 在圖 28A/B 的例示佈局中，局部內連線包含以下特徵：

- 閘極電極和擴散鰭部源極/汲極接線係直接自一傳導層，
- 用於源極汲極接線之平行於閘極的實質上線形傳導層；在若干實施例中，具與閘極層相同的節距；且在若干實施例中，這個線形導體層可偏移半閘極節距，
- 局部內連線與擴散鰭部及閘極電極結構之間的零或負重疊，
- 局部內連線可以二個步驟建構，首先為垂直局部內連線結構，接著

是水平局部內連線結構；各個步驟建立一組線形、單方向的局部內連線結構，及

- 或者是，二個獨立的局部內連線層，即一個垂直局部內連線層，和一水平局部內連線層。

【0149】 在圖 28A/B 的例示佈局中，較高階層 **met1** 內連線層包含以下技術特徵：

- 擴散鰭部可配置於電源軌下方
- 在 x 和 y 方向其中之一或二者上將接觸窗分格化（gridded），
- 接觸窗將所有局部內連線連接至上方金屬層，及
- 可在任何位置配置接觸窗。

【0150】 根據本發明若干實施例，圖 29A/B 顯示圖 28A/B 佈局的變形，其中在兩個 n 型電晶體的閘極電極結構之間沒有局部內連線結構。圖 29B 顯示與圖 29A 相同的佈局，爲了清楚緣故將佈局以合併型式描繪。

【0151】 根據本發明若干實施例，圖 30A/B 顯示實現擴散鰭部的例示元件佈局。圖 30B 顯示與圖 30A 相同的佈局，爲了清楚緣故將佈局以合併型式描繪。在圖 30A/B 的例示佈局中，閘極電極層包含以下特徵：

- 實質上線形閘極電極結構，
- 在閘極電極層上的三個以上線形結構，其中至少二者係虛設結構，
- 三個以上閘極電極結構具有相同尺寸，
- 於閘極電極層上的結構在 x 方向上實質上均勻分隔開及/或相等節距化，
- 虛設結構係與在左方及/或右方的相鄰元件共用，

- 虛設結構在電源軌下方加以切割。

【0152】 在圖 30A/B 的例示佈局中，擴散鰭部包含以下特徵：

- 依據實質上相等節距實質上均勻分隔開的擴散鰭部，擴散鰭部可在一格子上，在若干實施例中擴散鰭部節距小於 90 nm，
- p 型和 n 型各者之一個以上的擴散鰭部，
- 相同數量的 p 型和 n 型擴散鰭部，
- 在電源軌下方將一個以上擴散鰭部刪除，
- 在 p 型和 n 型段之間將一個以上擴散鰭部刪除，
- 擴散鰭部每一者具實質上相等的寬度和長度。

【0153】 在圖 30A/B 的例示佈局中，局部內連線包含以下特徵：

- 閘極電極和擴散鰭部源極/汲極接線係直接來自一導體層，
- 源極汲極接線用之平行於閘極的實質上線形導體層；在若干實施例中，具與閘極層相同的節距；且在若干實施例中，這個線形導體層可偏移半個閘極節距，
- 局部內連線與擴散鰭部及閘極電極結構的零或負重疊，
- 局部內連線可由二步驟建立，首先係垂直局部內連線結構，接著係水平局部內連線結構；各步驟建立一組線形、單方向局部內連線結構，及
- 在若干實施例中，垂直和水平局部內連線結構可形成爲彼此交叉和連接，藉此形成一二維變化局部內連線結構，亦即是具有彎曲的局部內連線結構，
- 或者是，二個獨立的局部內連線層——一個垂直局部內連線層、及

一個水平局部內連線層。

【0154】 在圖 30A/B 的例示佈局中，較高階層 met1 內連線層包含以下特徵：

- 擴散鰭部可配置於電源軌下方
- 在 x 和 y 方向其中之一或二者上將接觸窗分格化（gridded），
- 依據與閘極電極結構相同的節距配置 met1 內連線結構，
- 接觸窗將所有局部內連線連接至上方金屬層，及
- 可在任何位置配置接觸窗。

【0155】 根據本發明若干實施例，圖 31A 顯示例示 sdff 元件佈局，其中閘極電極和局部內連線線端間隙位於擴散鰭部之間的實質上中心。在圖 31A 中，將閘極電極線端間隙圈出。圖 31B 顯示圖 31A 的例示 sdff 元件佈局，其中將位在擴散鰭部之間的實質上中心的局部內連線線端間隙圈出。基於圖 31A 至 31B，應理解的是，可產生一元件庫結構，其中所有閘極電極和垂直內連線線端間隙實質上位於擴散鰭部之間的中心。根據本發明若干實施例，圖 31C 顯示具有兩個相鄰閘極電極結構之間的區域 3105 之標註的圖 31A 和 31B 的例示 sdff 元件佈局，其中擴散鰭部端部在 x 方向彼此重疊。

【0156】 根據本發明若干實施例，圖 32-34 顯示標準元件電路佈局的一部分之三個範例。圖 32 顯示一例示佈局，其中所有將所有接觸層結構配置於擴散鰭部之間。圖 33 和 34 顯示例示佈局，其中將所有接觸層結構配置於擴散鰭部之上。在圖 32 的例子中，閘極電極線端間隙在若干實例中係實質上位於擴散鰭部上方的中心，如圖 3201 所標示，且在若干實例中，閘極電極線端間隙係實質上位於擴散鰭部之間的中心，如圖 3203 所標示。藉由利用將所有接觸層結構配置

於擴散鰭部上方的一元件結構，所有閘極電極線端間隙可實質上位於擴散鰭部之間的中心，如在圖 33 和 34 之中的圖 3301 所標示。此處的一個優點係閘極電極線端間隙係皆具一固定的節距。從製造的觀點，閘極電極線端間隙是否在擴散鰭部上或擴散鰭部之間的中心處是不要緊的。然而，閘極電極線端間隙沒有混雜則是要緊的，如圖 32 的範例所示。使閘極電極線端間隙皆具相同節距會導致閘極電極製造過程較不昂貴、或更可靠、或滿足以上二者。

【0157】圖 35A-69A 顯示各種元件佈局，其展示可利用鰭式場效電晶體實施交叉連接電晶體配置之不同方式的範例。圖 35A-69A 的交叉連接佈局係以二輸入多工器電路（MUX2）的背景加以顯示。根據本發明若干實施例，圖 35C 顯示圖 35A/B 至 47A/B 及 63A/B 至 67A/B 的佈局的電路圖。根據本發明若干實施例，圖 48C 顯示圖 48A/B 至 58A/B 的佈局的電路圖。根據本發明若干實施例，圖 59C 顯示圖 59A/B 的佈局的電路圖。根據本發明若干實施例，圖 60C 顯示圖 60A/B 至 62A/B 及 68A/B 至 69A/B 的佈局的電路圖。根據本發明若干實施例，圖 71C 顯示圖 71A/B 及 77A/B 的佈局的電路圖。根據本發明若干實施例，圖 72C 顯示圖 72A/B 至 76A/B 的佈局的電路圖。在左方和右方邊緣上的電晶體被加入至該交叉連接以達成 MUX2 功能。對具有交叉連接電路的其他功能，這些可能係不同的。圖 35B-69B 分別顯示與圖 35A-69A 相同的佈局，爲了清楚的緣故將佈局以合併型式描繪，且基於元件佈局的電路圖標示電路的節點。此外，在圖 35A-69A 中的交叉連接電晶體接線以線 cc1 和 cc2 加以標示。

【0158】圖 35A/B 至 47A/B 及 63A/B 至 67A/B 顯示在邏輯路徑二者上具有傳輸閘極的交叉連接電晶體配置，其需要所有內部節點具有 p 型和 n 型之間的連接。圖 48A/B 至 57A/B 顯示顯示交叉連接電晶體配置，其中具有使用較大電

晶體之在邏輯路徑上的傳輸閘極，以及在其他路徑上的三態閘極。三態閘極不需要於內部節點上之 p 型擴散和 n 型擴散之間的接線。

【0159】圖 58A/B 至 59A/B 顯示交叉連接電晶體配置，其中具有利用較小電晶體之在邏輯路徑上傳輸閘極，以及在其他路徑上的三態閘極。三態閘極不需要於內部節點上之 p 型擴散和 n 型擴散之間的接線。

【0160】圖 60A/B 至 62A/B 及 68A/B 至 69A/B 顯示在邏輯路徑二者上具有三態閘極的交叉連接電晶體配置。

【0161】圖 63A/B 至 69A/B 顯示具有相等於 n 型擴散鰭部數量之 p 型擴散鰭部數量的元件佈局。其他圖 35A/B 至 62A/B 其中若干顯示具有不相等於 n 型擴散鰭部數量之 p 型擴散鰭部數量的元件佈局。

【0162】圖 40A/B 顯示使用水平/垂直局部內連線結構之間較緊密間距的元件佈局。圖 37A/B、45A/B、及 49A/B 顯示使用擴散鰭部之間較大間距的元件佈局範例。圖 63A/B 至 69A/B 顯示使用擴散鰭部之間較緊密間距的元件佈局範例。圖 43A/B 及 44A/B 顯示利用一擴散鰭部作為一配線的元件佈局範例。

【0163】圖 35A/B 至 41A/B、48A/B 至 65A/B、及 68A/B 至 69A/B 顯示利用沒有分離閘極之密集閘極電極結構實施方式的元件佈局範例。圖 42A/B 至 47A/B 及 66A/B 至 67A/B 顯示利用具較少配線及較大電晶體尺寸的使用分離閘極實施方式的元件佈局範例。

【0164】圖 35A/B 至 69A/B 顯示元件佈局範例，其展示用於各種元件佈局之數個不同的佈線範例。圖 35A/B 至 69A/B 顯示元件佈局範例，其展示使用全部填滿之閘極電極層，包含閘極電極端蓋的延伸部及使用可能在閘極電極層之內的虛設結構。在圖 35A/B 至 69A/B 所顯示的若干元件佈局，顯示在元件頂部

和底部沒有切割之虛設閘極電極層結構，亦即是在製造過程期間切割遮罩操作之前。若干元件佈局，例如圖 53A/B 至 55A/B 及 66A/B，顯示其中刪除電源匯流排的例示元件佈局。

【0165】 圖 35A/B 至 69A/B 的交叉連接電晶體構造，包含在各層上以及層的組合上所形成的結構，並且許多以上所提及的元件佈局特徵可互相獨立地應用。應理解的是，圖 35A/B 至 69A/B 的元件佈局顯示可利用基於鰭式場效電晶體交叉連接電晶體構造而實行的範例，且不代表可能元件佈局配置的所有包含集合。在圖 35A/B 至 69A/B 的各種元件佈局範例中所展示的任何特徵，可加以組合而產生額外的元件佈局。

【0166】 光學解析度不足以直接解析線圖案的技術，將會使用若干型式的節距分割（pitch division）。節距分割可在可達成的解析度上經由多個曝光步驟或利用間格部加以自對準。舉例來說，對於使用水浸最末透鏡的 ArF 準分子雷射掃描器及曝光之晶圓的一部分，光學解析度係限制至 $\sim 40\text{ nm}$ 。這相當於 1.35 有效數值孔徑與波長 193 nm 的 k1 值 0.28。對於擴散鰭部層和閘極電極層和利用節距分割所形成的其他層（例如間隔物雙重圖案化、間隔物四重圖案化、多重曝光微影-蝕刻-微影-蝕刻等等），縱使佈局係以傳導結構用（即用於該等線）的均勻節距（縱向中心線至縱向中心線節距）加以進行，製造後傳導結構可能由於處理變異而輕微地偏離目標，使得最終晶圓上有多個（例如：二、四等等）節距。

【0167】 可與自對準間隔物方式或多重微影曝光法一起，應用節距分割多次，例如以二節距分割（pitch-division-by-2）、以四節距分割（pitch-division-by-4）。以四節距分割已被記載達成約 11 nm 的線/間格。節距分割的一個限制係結果的

線圖案可在圖案之內具有些微不同的節距。對於以二節距分割，這意指二條線的群組將具有一個節距，其下一個二條線的群組可能具有些微不同的節距，下一個二條線群組將會具有與第一群組相等的節距等等。在所完成晶圓上的結果將會是意欲達到具均勻的、固定的節距的線，但該等最終會具有二或四或其他多種的節距。對於自對準間隔部，將依一固定的、均勻的節距繪製原始核心線圖案。對於多重曝光，曝光每一者將會具有以均勻固定節距所繪製的線。由節距分割過程所引入的非均勻節距可能會在 10% 或更少最終節距的等級。舉例來說，對於最終目標節距 50 nm，二條線群組每一者的節距可能有小於 5 nm 的差異。

受限制的閘極階層佈局結構

【0168】如以上所探討，包含鰭式場效電晶體的各種電路佈局，可在一限制的閘極階層佈局結構之內加以施行。對於閘極階層，數條平行虛擬線定義成延伸通過該佈局。這些平行虛擬線係稱作閘極電極軌道，因為它們係用以指示在佈局之內各種電晶體的閘極電極的配置。在若干實施例中，形成閘極電極軌道的平行虛擬線，係由與指定的閘極電極節距相等的其間垂直間距加以界定。因此，在閘極電極軌道上的閘極電極區段的配置係對應於該指定的閘極電極節距。在另一實施例中，閘極電極軌道可由大於或等於一指定閘極電極節距的可變節距加以分隔開。

【0169】根據本發明若干實施例，圖 70A 顯示在受限制的閘極階層佈局結構之內所定義的閘極電極軌道 70-1A 至 70-1E 的範例。閘極電極軌道 70-1A 至 70-1E 係由延伸通過晶片的閘極階層佈局的平行虛擬線所形成，其具有等於一指定閘極電極節距 70-3 的垂直間距於其間。

【0170】 在受限制的閘極階層佈局結構之內，閘極階層特徵佈局通道係關於一特定閘極電極軌道而加以定義，以在與該特定閘極電極軌道相鄰的閘極電極軌道之間延伸。舉例來說，閘極階層特徵佈局通道 70-5A 至 70-5E 係分別關於閘極電極軌道 70-1A 至 70-1E 而加以定義。應理解的是，各閘極電極軌道具有對應的閘極階層特徵佈局通道。此外，對於配置成與一規定的佈局空間的邊緣相鄰（例如與元件邊界相鄰）之閘極電極軌道，對應的閘極階層特徵佈局通道延伸成就如在該規定佈局空間外側的虛擬閘極電極軌道，如閘極階層特徵佈局通道 70-5A 及 70-5E 所描述。更應理解的是，各閘極階層特徵佈局通道係定義成沿著其對應閘極電極軌道的全部長度延伸。因此，各閘極階層特徵佈局通道係定義成延伸通過在該閘極階層佈局所關聯之晶片的一部份之內的該閘極階層佈局。

【0171】 在受限制的閘極階層佈局結構中，與一特定閘極電極軌道相關聯的閘極階層特徵係定義在與該特定閘極電極軌道相關聯的閘極階層特徵佈局通道之內。一連續的閘極階層特徵可包含定義一電晶體的閘極電極的部分（如此處所揭露的鰭式場效電晶體）、及未定義一電晶體的閘極電極的部分二者。因此，一連續閘極階層特徵可延伸於一擴散區域（即擴散鰭部）及一下方晶片階層的介電區域二者上方。

【0172】 在若干實施例中，將形成一電晶體的閘極電極的閘極階層特徵的各部分，配置成實質上位於一特定閘極電極軌道的中心。此外，在這個實施例中，不形成一電晶體的閘極電極的閘極階層特徵的部分，可配置於與該特定閘極軌道相關聯的閘極階層特徵佈局通道之內。因此，一特定閘極階層特徵可實質上定義在一特定閘極階層特徵佈局通道之內的位置，只要該特定閘極階

層特徵的閘極電極部分在對應該特定閘極階層佈局特徵的閘極電極軌道的中心，且只要該特定閘極階層特徵相對於在相鄰閘極階層佈局通道中的其他閘極階層特徵符合設計法則間距規定。此外，定義於與相鄰閘極電極軌道相關聯的閘極階層特徵通道中的閘極階層特徵之間的物理性接觸係不允許的。

【0173】 根據本發明若干實施例，圖 70B 顯示圖 70A 的例示受限制的閘極階層佈局結構，其具有數個例示閘極階層特徵 7001-7008 定義於其中。閘極階層特徵 7001 係定義在與閘極電極軌道 70-1A 相關聯的閘極階層特徵佈局通道 70-5A 之內。閘極階層特徵 7001 的閘極電極部分係實質上位於閘極電極軌道 70-1A 的中心。此外，閘極階層特徵 7001 的非閘極電極部分維持設計規則間距規定，其中閘極階層特徵 7002 及 7003 係定義在相鄰閘極階層特徵佈局通道 70-5B 之內。類似地，閘極階層特徵 7002-7008 係定義在其各自閘極階層特徵佈局通道之內，且其閘極電極部分位於對應其各自閘極階層特徵佈局通道的閘極電極軌道上的中心。此外，應瞭解的是，閘極階層特徵 7002-7008 每一者係維持設計規則間距規定，其中閘極階層特徵係定義在相鄰閘極階層特徵佈局通道之內，且避免與相鄰閘極階層特徵佈局通道之內所定義的任何另外的閘極階層特徵之物理性接觸。

【0174】 一閘極電極係對應在一擴散結構上方（亦即是擴散鰭部上方）延伸的一各自的閘極階層特徵的一部份，其中將各自的閘極階層特徵整體地定義於一閘極階層特徵佈局通道之內。在沒有物理性接觸在相鄰閘極階層特徵佈局通道之內所定義的另一閘極階層特徵的狀況下，各閘極階層特徵係定義在其閘極階層特徵佈局通道之內。如圖 70B 的例示閘極階層特徵佈局通道 70-5A 至 70-5E 所描述，各閘極階層特徵佈局通道係與一特定閘極電極軌道相關聯，且對

應一佈局區域，該佈局區域沿著該特定閘極電極軌道延伸，且在自該特定閘極電極軌道至相鄰閘極電極軌道或佈局邊界外側的一虛擬閘極電極軌道任一者之其中最接近者的各個相反方向上垂直向外延伸。

【0175】若干閘極階層特徵可具有一個以上接觸頭部(contact head)部分，其定義在沿其長度的任何數量的位置處。一特定閘極階層特徵的接觸頭部部分係定義成具有足夠尺寸的高度和寬度的閘極階層特徵區段，以容納閘極接觸窗結構。在這個實例中，「寬度」係在垂直於該特定閘極階層特徵的閘極電極軌道的方向上橫越基板而加以定義，且「高度」係在平行於該特定閘極階層特徵的閘極電極軌道的方向上橫越基板而定義。取決於在一元件之內閘極階層特徵的定向，閘極階層特徵寬度和高度可對應或可不對應元件寬度 W 及元件高度 H 。應瞭解的是，一閘極階層特徵的接觸頭部，當自上方觀察，可由實質上任何佈局形狀加以定義，該佈局形狀包含正方形或矩形。此外，取決於佈局需求和電路設計，一閘極階層特徵的一特定接觸頭部部分可具有或可不具有定義於其上方的一閘極接觸窗。

【0176】揭露於此處的若干實施例的一閘極階層係定義成一受限制的閘極階層，如上所述。該等閘極階層特徵其中若干形成電晶體裝置的閘極電極。該等閘極階層特徵的其他者可形成延伸於該閘極階層之內二點之間的傳導區段。此外該等閘極階層特徵的其他者可相對於積體電路操作無功能。應理解的是，無論功能，在沒有物理性接觸由相鄰閘極階層特徵佈局通道所定義的其他閘極階層特徵的狀況下，各閘極階層特徵係定義成在其各自閘極階層特徵佈局通道之內延伸通過該閘極階層。

【0177】在若干實施例中，閘極階層特徵係定義成提供有限數量的受控制

的佈局形狀對形狀微影交互作用，其在製造和設計過程中可精確地加以預測和予以最佳化。在這個實施例中，閘極階層特徵係定義成用以避免會在佈局之內引入不利的微影交互作用的佈局形狀對形狀空間關係，該不利的微影交互作用無法準確地加以預測且不具高度可能性加以減輕。然而，應理解的是，當對應的微影交互作用係可預測的且可控制的，在閘極階層特徵的閘極階層佈局通道之內閘極階層特徵方向上的變化係可接受的。

【0178】應理解的是，無論功能，閘極階層特徵每一者係定義成，沒有沿著一特定閘極電極軌道的閘極階層特徵係建構成自閘極階層之內直接連接至沿著的不同閘極電極軌道所定義的另一閘極階層特徵而沒有利用非閘極階層特徵。此外，配置於與不同閘極電極軌道相關聯的不同閘極階層佈局通道之內的閘極階層特徵之間的各接線，係製作成穿過可定義於較高內連線階層的一個以上非閘極階層特徵，亦即是穿過閘極階層上方一或多內連線階層，或藉由在閘極階層或於閘極階層下方的局部內連線特徵所製作。

【0179】根據本發明若干實施例，圖 71A/B 至 77A/B 顯示數個例示 SDFE 電路佈局，其利用基於傳輸和三態閘極二者的交叉連接電路結構。根據本發明若干實施例，圖 71C 顯示圖 71A/B 和 77A/B 的電路圖。根據本發明若干實施例，圖 72C 顯示圖 73A/B 至 76A/B 的電路圖。圖 71B-77B 顯示分別與圖 71A-77A 相同的佈局，其中爲了清楚的緣故將佈局以合併方式描繪，且電路的節點係基於元件佈局電路圖而加以標示。圖 71A/B 至 77A/B 的例示 SDFE 電路佈局包含以下特徵：

1. 閘極導體：
 - a. 實質上均勻分隔開的閘極導體。

- b. 利用切割遮罩所形成的相同的閘極導體線端間隙，其與大的閘極導體線端間隙結合以避免局部互連，或者若有足夠空間容許不須切割之較大閘極導體線端間隙。
- c. 在若干實例中，若干閘極導體係用以作為佈線以減少金屬層利用率，亦即是降低較高階層內連線利用率。

2. 擴散鰭部：

- a. 實質上均勻分隔開的擴散鰭部。
- b. 在 p 型和 n 型之間以及頂部和底部元件邊緣，將擴散鰭部刪除。
- c. 擴散鰭部寬度對間距關係可變化，或可具有實質上相等的關係，如在圖 71A/B 至 77A/B 的範例中所描繪。

3. 局部內連線：

- a. 局部內連線結構可直接連接至擴散鰭部和閘極導體。
- b. 局部內連線結構可經由一接觸層連接至金屬層 1（met1 或 M1）。
- c. 水平和垂直局部內連線結構，例如以例示為目的的圖 76A/B 所顯示者，可利用獨立的設計層加以製造，亦即是利用獨立的遮罩層加以製造。
- d. 水平和垂直局部內連線結構可在相同的層，即在相同的遮罩層，如圖 71A/B 至圖 75A/B 及 77A/B 的範例中所顯示。此外，在製造期間，水平和垂直局部內連線結構可用二個不同的步驟或以一單一步驟加以製作。

- e. 局部內連線結構可具有與擴散鰭部和閘極導體之正、零、或負重疊。
- f. 垂直局部內連線可具有與閘極導體相似的節距，且具有自閘極導體半節距偏移。

4. 接觸窗：

- a. 接觸窗可定義成用以連接局部內連線結構至金屬層 1 (met1 或 M1)。
- b. 局部內連線結構可具有在接觸窗上之正、零、或負重疊。
- c. 金屬層 1 (met1 或 M1) 可具有在接觸窗上之正、零、或負重疊。

5. 金屬層 2 (met2 或 M2)

- a. 在若干實施例中，金屬層 2 結構可為單方向的，即線形。
- b. 金屬層 2 結構可在水平 (x) 及/或垂直 (y) 方向上延伸。

【0180】 圖 71A/B 的例示 SDFE 電路佈局顯示以下其所包含的特徵：

- 金屬層 2 係不用於內部佈線。
- 金屬層 2 係用於電源軌。
- 使用三態和傳輸閘極交叉連接電晶體結構。
- 局部內連線結構在水平 (x) 和垂直 (y) 方向上延伸。
- 若干閘極導體係用以作為佈線，且不形成一電晶體的閘極電極。
- 在各種位置和組合配置閘極導體切割。
- 閘極導體切割在尺寸上一致。
- 閘極導體層係全部被填滿的，亦即是至少一個閘極導體係配置於元

件內各可使用的閘極導體節距位置。

【0181】 圖 72A/B 的例示 SDFF 電路佈局顯示包含的以下特徵：

- 金屬層 2 結構係用於在垂直（y）方向上的內部佈線。
- 較圖 71A/B 的範例密集的電路佈局。
- 使用三態和傳輸閘極二者的交叉連接電晶體結構。
- 閘極導體層係全部填滿的，亦即是至少一個閘極導體係配置於元件內各可使用的閘極導體節距位置。
- 顯示閘極導體切割。
- 在各種組合及/或位置使用實質上一致的閘極導體切割，以將佈局最佳化。

【0182】 圖 73A/B 的例示 SDFF 電路佈局顯示 SDFF 電路的一版本，其將閘極導體和金屬層 2 二者使用於垂直（y 方向）佈線。圖 74A/B 的例示 SDFF 電路佈局顯示 SDFF 電路一版本，其將水平定向（即在 x 方向）的金屬層 2 結構使用於內部佈線。圖 75A/B 的例示 SDFF 電路佈局顯示 SDFF 電路的一替代版本，其亦將水平定向（即在 x 方向）的金屬層 2 結構使用於內部佈線。圖 76A/B 的例示 SDFF 電路佈局顯示圖 72A/B 佈局的變形，其中將水平局部內連線和垂直局部內連線使用為獨立的導體，以容許內部金屬層 2 導體的移除。圖 77A/B 的例示 SDFF 電路佈局顯示部分的 SDFF 佈局，其描述用以定義電路結構之替代方式，以將金屬層 2 的使用最小化並將電晶體密度最大化。

【0183】 應理解的是，基於電路佈局和此處所提供的說明，在若干實施例中可使用一個以上以下特徵：

- 共同對準及相鄰配置的擴散鰭部端部之間的間隔距離（即擴散鰭部

切割距離)可小於閘極電極節距的尺寸，

- 垂直局部內連線結構可在擴散鰭部的一個邊緣(水平定向的邊緣)上與一擴散鰭部(其係水平定向的)重疊；在此情況下，用以分開垂直局部內連線結構的若干切割(在一切割遮罩中)可定義成與一擴散鰭部接觸或重疊，
- 一水平局部內連線結構可在閘極電極結構的一邊緣(垂直定向的邊緣)上與一閘極電極結構(其為垂直定向的)重疊，
- 閘極端蓋的尺寸(即閘極電極結構延伸超出下方擴散鰭部的距離)可小於一個以上擴散鰭部節距的尺寸，或小於平均擴散鰭部節距的尺寸，
- 共同對準和相鄰配置的閘極電極結構端部之間的時間隔距離(即閘極電極結構切割距離)可小於或等於一個以上擴散鰭部節距的尺寸，或小於平均擴散鰭部節距的尺寸，
- 相鄰配置的 n 型和 p 型擴散鰭部之間的縱向中心線間隔距離(如在垂直於擴散鰭部的方向上所測得)可定義為一個以上擴散鰭部節距的整數倍數，或為平均擴散鰭部節距的整數倍數。

【0184】 在一例示實施例中，半導體裝置包含一基板、一第一電晶體、及一第二電晶體。該第一電晶體具有在一第一擴散鰭部之內的一源極區域及一汲極區域。該第一擴散鰭部係建構成自該基板的一表面突出。該第一擴散鰭部係建構成自該第一擴散鰭部的一第一端部至該第一擴散鰭部的一第二端部在一第一方向上縱向延伸。該第二電晶體具有在一第二擴散鰭部之內的一源極區域及一汲極區域。該第二擴散鰭部係建構成自該基板的該表面突出。該第二擴散鰭

部係建構成自該第二擴散鰭部的一第一端部至該第二擴散鰭部的一第二端部在該第一方向上縱向延伸。該第二擴散鰭部係配置成緊鄰該第一擴散鰭部且與該第一擴散鰭部分隔開。此外該第二擴散鰭部的該第一端部或該第二端部任一者係配置在該第一方向上介於該第一擴散鰭部的該第一端部和該第二端部之間。

【0185】 上述第一和第二電晶體可位於第二方向上的不同位置。此外，該第一和第二電晶體每一者可為三維閘控（gated）電晶體。

【0186】 上述第一電晶體包含一第一線形閘極電極結構，當自該基板上方觀察，該第一線形閘極電極結構係在垂直於該第一方向的一第二方向上縱向延伸。上述第二電晶體包含一第二線形閘極電極結構，當自該基板上方觀察，該第二線形閘極電極結構係在垂直於該第一方向的該第二方向上縱向延伸。該第一擴散鰭部的該第一端部和第二端部其中至少一者可配置在第一方向上介於該第一和第二線形閘極電極結構之間。此外，該第二擴散鰭部的該第一和第二端部其中至少一者可配置在該第一方向上介於該第一和第二線形閘極電極結構之間。該第一線形閘極電極結構係配置成緊鄰該第二線形閘極電極結構且與該第二線形閘極電極結構分隔開。

【0187】 該半導體裝置亦可包含一線形局部內連線結構，其在該第二方向上延伸且配置於該第一和第二線形閘極電極結構之間。該線形局部內連線結構可在該第一方向上位於該第一和第二線形閘極電極結構之間的實質上中心。該線形局部內連線結構可連接至該第一和第二擴散鰭部其中一者以上。

【0188】 該半導體裝置亦可包含一線形局部內連線結構，其在該第一方向上延伸且配置於該第一和第二擴散鰭部之間。該線形局部內連線結構可在該第二方向上位於該第一和第二擴散鰭部之間的實質上中心。此外，此線形局部內

連線結構可連接至該第一和第二閘極電極結構其中一者以上。

【0189】 延伸於該第一方向的上述線形局部內連線結構，可稱作第一線形局部內連線結構。該半導體裝置亦可包含一第二線形局部內連線結構，其在該第二方向上延伸且配置於該第一和第二線形閘極電極結構之間。該第二線形局部內連線結構可在第一方向上位於該第一和第二線形閘極電極結構之間的實質上中心。此外，該第二線形局部內連線結構可連接至該第一擴散鰭部、該第二擴散鰭部其中一者以上。此外，在若干實施例中，該第一線形局部內連線結構可為一二維變化非線形局部內連線結構的一第一線形區段，並且該第二線形局部內連線結構可為該二維變化非線形局部內連線結構的一第二線形區段。此外，在若干實例中，該第一和第二線形局部內連線結構可彼此連接。

【0190】 該半導體裝置亦可包含配置於該第一和第二擴散鰭部之間的接觸結構。在若干實施例中，該接觸結構可位於該第一和第二擴散鰭部之間的實質上中心。在若干實施例中，該接觸結構可連接至該第一閘極電極結構或該第二閘極電極結構任一者。

【0191】 該半導體裝置亦可包含配置於該第一和第二閘極電極結構之間的接觸結構。在若干實施例中，該接觸結構可位於該第一和第二閘極電極結構之間的實質上中心。此外，在若干實施例中，該半導體裝置可包含配置於該第二方向上第一和第二擴散鰭部之間的一傳導內連線結構，其中該接觸結構連接至該傳導內連線結構。在若干實施例中，該傳導內連線結構係非擴散鰭部之延伸於該第一方向上的一最低階層內連線結構。

【0192】 該半導體裝置亦可包含配置於該第一方向上介於第一和第二擴散鰭部之間的一傳導內連線結構，其中該接觸結構連接至一傳導內連線結構。

在若干實施例中，該傳導內連線結構係較高階層的內連線結構。

【0193】 該半導體裝置亦可包含一個以上內連線結構，其中該一個以上內連線結構其中若干包含在該第一方向上延伸的一個以上內連線區段。在若干實施例中，延伸於該第一方向上的該一個以上內連線區段其中若干，係配置於該第一和第二擴散鰭部之間。此外，在若干實施例中，延伸於該第一方向上的該一個以上內連線區段其中若干，係配置於該第一擴散鰭部或該第二擴散鰭部任一者的上方。在若干實施例中，在該第一方向上延伸的該一個以上內連線區段，係依據一第二方向內連線節距而加以配置，該節距係在第二方向上該一個以上內連線區段的各自第一方向定向之中心線之間所測得。

【0194】 在若干實施例中，該第一和第二擴散鰭部可依據一擴散鰭部節距而加以配置，該節距係在該第二方向上該第一和第二擴散鰭部的各自第一方向定向的中心線之間所測得，其中該第二方向內連線節距係該擴散鰭部節距的一有理數倍數，該有理數倍數係定義成整數的比例。

【0195】 在若干實施例中，該第一和第二擴散鰭部每一者，係依據一第一擴散鰭部節距或一第二擴散鰭部節距任一者而加以中心線配置，該第一擴散鰭部節距係在第二方向上所測得，該第二擴散鰭部節距係在該第二方向上所測得，其中該第一和第二擴散節距在該第二方向上相繼地交替，且其中一平均擴散鰭部節距係該第一和第二擴散鰭部節距的平均，並且

【0196】 其中該第二方向內連線節距係該平均擴散鰭部節距的一有理數倍數，該有理數倍數係定義為整數值的比例。在若干實施例中，該第一擴散鰭部節距係與該第二擴散鰭部節距相等。在若干實施例中，該第一擴散鰭部節距係與該第二擴散鰭部節距不同。

【0197】 以上提及的一個以上內連線結構可包含一局部內連線結構、一較高階層內連線結構、或其組合任一者，其中該局部內連線結構係非擴散鰭部的一最低階層內連線結構，且其中較高階層內連線結構係在相對於該基板之該局部內連線結構上方的一階層處所形成的一內連線結構。

【0198】 在若干實施例中，該第一和第二擴散鰭部每一者，係依據在該第二方向上所測得的一第一擴散鰭部節距、或在該第二方向上所測得的一第二擴散鰭部節距之任一者而加以中心線配置，其中該第一和第二擴散節距係相繼地在該第二方向上交替，且其中一平均擴散鰭部節距係該第一和第二擴散鰭部節距的平均。此外，延伸於該第一方向上的該一個以上內連線區段，可依據在該第二方向所測得的一第一內連線節距或在該第二方向上所測得的一第二內連線節距之任一者而加以中心線配置，其中該第一和第二內連線節距係相繼地在該第二方向上交替，且其中一平均內連線節距係該第一和第二內連線節距的平均。此外，該平均內連線節距係該平均擴散鰭部節距的一有理數倍數，該有理數倍數係定義成整數值的比例。

【0199】 在若干實施例中，該第一擴散鰭部節距係與該第二擴散鰭部節距相等，且該第一內連線節距係與該第二內連線節距相等。在若干實施例中，該第一擴散鰭部節距係不同於該第二擴散鰭部節距，且該第一內連線節距係不同於該第二內連線節距。在若干實施例中，該第一擴散鰭部節距係與該第一內連線節距相等，且該第二擴散鰭部節距係與該第二內連線節距相等。

【0200】 該半導體裝置亦可包含一個以上內連線結構，其中該一個以上內連線結構其中若干包含在該第二方向上延伸的一個以上內連線區段。在若干實施例中，在該第二方向上延伸的該一個以上內連線區段其中若干係配置於該第

一和第二閘極電極結構之間。在若干實施例中，在該第二方向上延伸的該一個以上內連線區段其中若干係位於該第一閘極電極結構或該第二閘極電極結構任一者的上方。

【0201】 在若干實施例中，在該第二方向上延伸的該一個以上內連線區段係根據一第一方向內連線節距而加以配置，該節距係在該第一方向上該一個以上內連線區段的各自第二方向定向的中心線之間所測得。此外，該第一和第二閘極電極結構可依據一閘極電極節距加以配置，該節距係在該第一方向上該第一和第二閘極電極結構的各自第二方向定向的中心線之間所測得。該第一方向內連線節距可為該閘極電極節距的有理數倍數，該有理數倍數係定義為整數值的比例。

【0202】 以上提及的一個以上內連線結構可包含局部內連線結構、較高階層內連線結構、或其組合之任一者，其中該局部內連線結構係非擴散鰭部的一最低階層內連線結構，且其中較高階層內連線結構係一內連線結構，其在相對於該基板之該局部內連線結構上方的一階層處所形成。

【0203】 在若干實施例中，該半導體裝置亦可包含一第一複數電晶體，其每一者具有藉由各自擴散鰭部所形成的一各自的源極區域和一各自的汲極區域。該第一複數電晶體的擴散鰭部每一者建構成自該基板的該表面突出。該第一複數電晶體的各擴散鰭部，係建構成自各自擴散鰭部的一第一端部至一第二端部在該第一方向上縱向延伸。該第一複數電晶體的該等擴散鰭部的該等第一端部係在該第一方向上實質上彼此對齊。

【0204】 此外，該半導體裝置亦可包含第二複數電晶體，其每一者具有由各自擴散鰭部所形成的一各自的源極區域及一各自的汲極區域。該第二複數電

晶體的各擴散鰭部係建構成自該基板的該表面突出。該第二複數電晶體的各擴散鰭部係建構成自各自擴散鰭部的一第一端部至一第二端部在第一方向上縱向延伸。該第二複數電晶體的該等擴散鰭部的該等第一端部係在該第一方向上實質上彼此對齊。並且，該第二複數電晶體的該等擴散鰭部的該等第一端部其中一者以上係配置成在該第一方向上介於該第一複數電晶體的該等擴散鰭部其中一者以上的該等第一和第二端部之間。

【0205】 在若干實施例中，該第二複數電晶體的擴散鰭部的第一端部每一者，係配置在該第一方向上介於該第一複數電晶體的擴散鰭部其中一者以上的第一和第二端部之間。在若干實施例中，該第二複數電晶體的擴散鰭部其中至少一者係配置成與該第一複數電晶體的至少一擴散鰭部緊鄰且分隔開。此外，在若干實施例中，該第一複數電晶體可包含 n 型電晶體、p 型電晶體、或 n 型及 p 型電晶體組合之任一者，且該第二複數電晶體可包含 n 型電晶體、p 型電晶體、或 n 型及 p 型電晶體組合之任一者。在若干實施例中，該第一複數電晶體係 n 型電晶體，且該第二複數電晶體係 p 型電晶體。

【0206】 在若干實施例中，該第一和第二複數擴散鰭部係配置成，使其各自的該第一方向定向的中心線係與一擴散鰭部對準格柵（alignment grating）實質上對準，該擴散鰭部對準格柵係由在該第二方向上所測得的一第一擴散鰭部節距及在該第二方向所測得的一第二擴散鰭部節距加以定義。該第一和第二擴散鰭部節距係以交替的順序在該第二方向上出現。此外，在若干實施例中，該第一和第二複數電晶體的擴散鰭部係共同地占用擴散鰭部對準格柵的至少八個連貫的對準位置其中部分。

【0207】 在例示實施例中，揭示一種製造半導體裝置的方法。該方法包含

提供一基板。該方法亦包含在該基板上形成一第一電晶體，使得該第一電晶體在一第一擴散鰭部之內具有一源極區域和一汲極區域，且使得該第一擴散鰭部形成爲自該基板的一表面突出，且使得該第一擴散鰭部自該第一擴散鰭部的一第一端部至該第一擴散鰭部的一第二端部在一第一方向上縱向延伸。該方法亦包含在該基板上形成一第二電晶體，使得該第二電晶體在一第二擴散鰭部之內具有一源極區域及一汲極區域，且使得該第二擴散鰭部係形成爲自該基板的該表面突出，且使得該第二擴散鰭部係形成爲在該第一方向上自該第二擴散鰭部的一第一端部至該第二擴散鰭部的一第二端部而縱向延伸，且使得該第二擴散鰭部係在與該第一擴散鰭部緊鄰且分隔開的位置處加以形成。此外，將該第一和第二電晶體形成，俾使該第二擴散鰭部的該第一端部或該第二端部任一者，係於在該第一方向上介於該第一擴散鰭部的該第一端部和該第二端部之間的位置處加以形成。

【0208】 應理解的是，如此處所揭露包含鰭式場效電晶體的任何電路佈局可以一實體型式儲存，例如在一電腦可讀媒體上的數位格式。舉例來說，一特定的電路佈局可儲存於一佈局資料檔案，且係可選擇自一個以上元件庫。該佈局資料檔案可格式化爲 GDS II（圖形資料系統）資料庫檔案、OASIS（開放式原圖系統交換標準）資料庫檔案、或適用於儲存和傳播半導體裝置佈局的任何其他類型資料檔案格式。此外，如此處所揭露的包含鰭式場效電晶體的元件的多階層佈局，可被包含於較大半導體裝置的多階層佈局之內。該較大半導體裝置的多階層佈局亦可用例如以上所述的佈局資料檔案的型式加以儲存。

【0209】 此外，此處所述發明可在電腦可讀媒體上具體化爲電腦可讀碼。舉例來說，該電腦可讀碼可包含佈局資料檔案，其中儲存有如此處所揭示之包

含鰭式場效電晶體的元件的佈局。電腦可讀碼亦可包含用於選擇如此處所揭示之包含鰭式場效電晶體的一個以上佈局庫及/或元件之程式指令。該佈局庫及/或元件亦可在電腦可讀媒體上以數位格式加以儲存。

【0210】 此處所提及之電腦可讀媒體係可儲存可由電腦系統之後讀出的資料之任何資料儲存裝置。電腦可讀媒體的範例包含硬碟、網路附接儲存器（NAS）、唯讀記憶體、隨機存取記憶體、CD-ROM、CD-R、CD-RW、磁帶、及其他光學和非光學資料儲存裝置。分布於連接之電腦系統的網路之內的多個電腦可讀媒體亦可用以儲存電腦可讀碼的各個部份，俾使該電腦可讀碼係在該網路之內以分散型式加以儲存和執行。

【0211】 在一例示實施例中，一資料儲存裝置具有用於提供半導體裝置佈局之儲存於其上的電腦可執行程式指令。該資料儲存裝置包含用於定義形成於一基板之上的一第一電晶體的電腦程式指令，俾使該第一電晶體定義成在一第一擴散鰭部之內具有一源極區域及一汲極區域，且俾使該第一擴散鰭部定義成自該基板的一表面突出，且俾使該第一擴散鰭部定義成在一第一方向自該第一擴散鰭部的一第一端部至該第一擴散鰭部的一第二端部而縱向延伸。該資料儲存裝置亦包含用於定義在該基板上形成一第二電晶體的電腦程式指令，俾使該第二電晶體定義成在一第二擴散鰭部之內具有一源極區域及一汲極區域，且俾使該第二擴散鰭部定義成自該基板的該表面突出，且俾使該第二擴散鰭部定義成在該第一方向上自該第二擴散鰭部的第一端部至該第二擴散鰭部的第二端部而縱向延伸，且俾使該第二擴散鰭部定義成與該第一擴散鰭部緊鄰且分隔開而加以配置，且俾使該第二擴散鰭部定義成使其第一端部或其第二端部配置成在該第一方向上介於該第一擴散鰭部的該第一端部和該第二端部之間。

【0212】更應理解的是，如此處所揭露之包含鰭式場效電晶體的任何電路佈局可製造成一半導體裝置或晶片的部分。在例如積體電路、記憶體元件等等之半導體裝置的製造中，執行一系列的製造操作以定義半導體晶圓上的特徵部。該晶圓包含呈定義於一矽基板之上的多階層結構之型式的積體電路裝置。在一基板階層，形成具有擴散區域及/或擴散鰭部的電晶體裝置。在後續的階層，將內連線金屬線加以圖案化且電連接至電晶體裝置，以定義一期望的積體電路裝置。此外，圖案化傳導層係藉由介電材料與其他傳導層絕緣。

雖然這個發明已就數個實施例加以描述，吾人可明瞭，熟習此技藝者在研讀前述說明書和圖式後將了解其各種變化、附加、置換、及均等物。因此，本發明應包含落入本發明真實精神和範圍之內的所有此等變化、附加、置換、及均等物。

【符號說明】

【0213】

100 鰭式場效電晶體

102 擴散鰭部

104 閘極電極層

105 基板

106 閘極氧化物層

107 核心部

109 側間隔部

201A/201B 擴散鰭部

- 203 節距
- 205 節距
- 207 閘極電極結構
- 209 閘極節距
- 211 水平內連線結構
- 213 垂直內連線結構
- 215 met1 內連線結構
- 215A/215B 內連線結構
- 217 接觸窗
- 219 met2 內連線結構
- 221 介層窗結構
- 250 橢圓
- 251 橢圓
- 260 圓
- 261 圓
- 270 箭頭
- 2001 區域
- 2601 及 2603 閘極電極結構
- 2605 輸入連線
- 2607 輸入連線
- 2701 切割形狀部
- 2703 及 2705 閘極導體

3105 區域

3201 圓

3301 圓

70-1A 至 70-1E 閘極電極軌道

70-3 閘極電極節距

70-5A 至 70-5E 通道

7001-7008 閘極階層特徵

8001 區域

8003 擴散鰭部

**【發明摘要】****【中文發明名稱】** 半導體裝置的元件電路**【英文發明名稱】** A CELL CIRCUIT OF A SEMICONDUCTOR DEVICE**【中文】**

一第一電晶體具有在在一第一擴散鰭部之內的源極及汲極區域。該第一擴散鰭部自一基板的一表面突出。該第一擴散鰭部自該第一擴散鰭部的一第一端部至一第二端部在一第一方向上縱向延伸。一第二電晶體具有在一第二擴散鰭部之內的源極及汲極區域。該第二擴散鰭部自該基板的該表面突出。該第二擴散鰭部自該第二擴散鰭部的一第一端部至一第二端部在該第一方向上縱向延伸。該第二擴散鰭部配置成與該第一擴散鰭部緊鄰且分隔開。該第二擴散鰭部的該第一端部或該第二端部至少其中一者係配置於該第一方向上介於該第一擴散鰭部的該第一端部和該第二端部之間。

【英文】

A first transistor has source and drain regions within a first diffusion fin. The first diffusion fin projects from a surface of a substrate. The first diffusion fin extends lengthwise in a first direction from a first end to a second end of the first diffusion fin. A second transistor has source and drain regions within a second diffusion fin. The second diffusion fin projects from the surface of the substrate. The second diffusion fin extends lengthwise in the first direction from a first end to a second end of the second diffusion fin. The second diffusion fin is positioned next to and spaced apart from the first diffusion fin. Either the first end or the second end of the second diffusion fin is

positioned in the first direction between the first end and the second end of the first diffusion fin.

【指定代表圖】 第（ 2A ）圖。

【代表圖之符號簡單說明】

201A/201B 擴散鰭部

203 節距

207 閘極電極結構

209 閘極節距

211 水平內連線結構

213 垂直內連線結構

215 met1 內連線結構

217 接觸窗

221 介層窗結構

【發明申請專利範圍】

【第1項】 一種半導體裝置的元件電路，包含：

一基板；

數個線形擴散鰭部，定義成在第一方向上延伸於該基板上方以彼此平行地延伸，該數個線形擴散鰭部每一者定義成在該第一方向上沿其範圍自該基板向上突出，其中該數個線形擴散鰭部位在複數擴散軌道其中一或多者之上，該複數擴散軌道係擴散鰭部虛擬閘極的虛擬線，其中該複數擴散軌道在該第一方向上延伸於該基板上方，其中該複數擴散軌道係基於一固定的擴散軌道節距加以配置，其中該固定的擴散軌道節距對應在第二方向上測得之介於該複數擴散軌道其中相鄰並排配置者之間的一相等間距，該第二方向係垂直於該第一方向且平行於該基板；及

數個閘極階層結構，定義成在該數個線形擴散鰭部其中一或多者上方以一保形方式延伸，俾使在該數個線形擴散鰭部任一者上方延伸之各閘極階層結構的部分係在垂直於該第一方向之該第二方向上延伸，其中在該數個線形擴散鰭部任一者上方延伸之各閘極階層結構的部分係形成一對應電晶體之閘極電極。

【第2項】 如申請專利範圍第 1 項的半導體裝置的元件電路，其中該第一方向對應該元件電路的一寬度方向，且其中該固定的擴散軌道節距係相關於該元件電路的一高度，俾使該固定的擴散軌道節距的連續性係跨越該元件電路的邊界而加以維持，以在一群相鄰元件電路範圍形成一全域集合之相等間隔擴散軌道。

【第3項】 如申請專利範圍第 2 項的半導體裝置的元件電路，其中該元件電路之該高度係該固定的擴散軌道節距的整數倍數。

【第4項】 如申請專利範圍第 1 項的半導體裝置的元件電路，其中該複數擴散軌道其中至少一者係由線形擴散鰭部加以部分填充。

【第5項】 如申請專利範圍第 1 項的半導體裝置的元件電路，其中該複數擴散軌道其中至少一者係由線形擴散鰭部加以完全填充。

【第6項】 如申請專利範圍第 1 項的半導體裝置的元件電路，其中該複數擴散軌道其中至少一者係未使用且不具有線形擴散鰭部配置於其上。

【第7項】 一種半導體裝置的元件電路，包含：

一基板；

數個線形擴散鰭部，定義成在第一方向上延伸於該基板上方以彼此平行地延伸，該數個線形擴散鰭部每一者定義成在該第一方向上沿其範圍自該基板向上突出；及

數個閘極階層結構，定義成在該數個線形擴散鰭部其中一或多者上方以一保形方式延伸，俾使在該數個線形擴散鰭部任一者上方延伸之各閘極階層結構的部分係在垂直於該第一方向之第二方向上延伸，其中在該數個線形擴散鰭部任一者上方延伸之各閘極階層結構的該等部分係形成一對應電晶體之閘極電極，其中在該數個線形擴散鰭部任一者上方延伸之各閘極階層結構的該等部分係位在複數閘極電極軌道其中一或多者之上，該複數閘極電極軌道係閘極階層虛擬閘極的虛擬線，其中該複數閘極電極軌道在該第二方向上延伸於該基板上方，其中該複數閘極電極軌道係基於一固定的閘極電極軌道節距加以配置，其中該固定的閘極電極軌道節距對應介於該複數閘極電極軌道其中相鄰並排配置者之間的一相等垂直間距。

【第8項】 如申請專利範圍第 7 項的半導體裝置的元件電路，其中該第二方向

對應該元件電路的一高度方向，且其中該固定的閘極電極軌道節距係相關於該元件電路的一寬度，俾使該固定的閘極電極軌道節距的連續性係跨越該元件電路的邊界而加以維持，以在一群相鄰元件電路範圍形成一全域集合之相等間隔閘極電極。

【第9項】 如申請專利範圍第 8 項的半導體裝置的元件電路，其中該元件電路之該寬度係該固定的閘極電極軌道節距的整數倍數。

【第10項】 如申請專利範圍第 7 項的半導體裝置的元件電路，其中該複數閘極電極軌道其中至少一者係由閘極階層結構加以部分填充。

【第11項】 如申請專利範圍第 7 項的半導體裝置的元件電路，其中該複數閘極電極軌道其中至少一者係由閘極階層結構加以完全填充。

【第12項】 如申請專利範圍第 7 項的半導體裝置的元件電路，其中該複數閘極電極軌道其中至少一者係未使用且不具有閘極階層結構配置於其上。

【第13項】 如申請專利範圍第 7 項的半導體裝置的元件電路，其中該數個閘極階層結構係加以配置，以將具有該數個閘極階層結構其中至少一者配置於其上的該複數閘極電極軌道每一者加以最大地填充，其中依單元電路功能需求沿個別閘極電極軌道於多個閘極階層結構之間定義間斷部。

【第14項】 如申請專利範圍第 13 項的半導體裝置的元件電路，其中沿個別閘極電極軌道於多個閘極階層結構之間定義的該等間斷部係在整個該元件電路中在尺寸上均勻。

