



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년11월22일
(11) 등록번호 10-1800331
(24) 등록일자 2017년11월16일

- (51) 국제특허분류(Int. Cl.)
H01L 29/06 (2006.01) *H01L 21/225* (2006.01)
H01L 21/265 (2006.01) *H01L 21/283* (2006.01)
H01L 29/66 (2006.01) *H01L 29/861* (2006.01)
H01L 29/866 (2006.01)
- (52) CPC특허분류
H01L 29/0611 (2013.01)
H01L 21/2253 (2013.01)
- (21) 출원번호 10-2016-7008257
- (22) 출원일자(국제) 2014년09월26일
심사청구일자 2016년03월29일
- (85) 번역문제출일자 2016년03월29일
- (65) 공개번호 10-2016-0052606
- (43) 공개일자 2016년05월12일
- (86) 국제출원번호 PCT/US2014/057577
- (87) 국제공개번호 WO 2015/050776
국제공개일자 2015년04월09일

- (30) 우선권주장
14/043,431 2013년10월01일 미국(US)

(56) 선행기술조사문헌

US04775643 A*

JP08064843 A*

*는 심사관에 의하여 인용된 문헌

전체 청구항 수 : 총 6 항

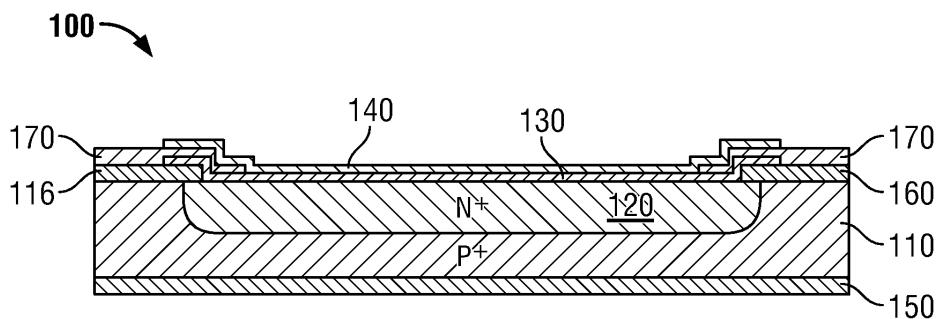
심사관 : 고재현

(54) 발명의 명칭 개선된 역서지 내량 및 감소된 누설 전류를 위한 폴리실리콘 층을 갖는 제너 다이오드

(57) 요 약

제너 다이오드와 같은 반도체 디바이스는, 제1 도전형의 제1 반도체 재료 및 제1 반도체 재료와 접촉하여 접합을 사이에 형성하는 제2 도전형의 제2 반도체 재료를 포함한다. 제1 산화물 층이 제2 반도체 재료의 일부분 위에 배치되어 제2 반도체 재료의 나머지 부분이 노출되도록 한다. 제2 반도체 재료의 노출된 부분 및 제1 산화물 층의 일부분 상에 폴리실리콘 층이 배치된다. 폴리실리콘 층 상에 제1 전도성 층이 배치된다. 제2 반도체 재료와 접촉하는 제1 반도체 재료의 표면의 반대편에 있는 제1 반도체 재료의 표면 상에 제2 전도성 층이 배치된다.

대 표 도 - 도2



(52) CPC특허분류

H01L 21/2257 (2013.01)

H01L 21/2652 (2013.01)

H01L 21/283 (2013.01)

H01L 29/66106 (2013.01)

H01L 29/66113 (2013.01)

H01L 29/861 (2013.01)

H01L 29/866 (2013.01)

(72) 발명자

린, 이-이인

대만, 타이페이시티, 루이-안 스트리트 222 항 1층

46호

치앙, 링-타이

대만, 타이페이시티, 용-허 시티, 안르 로드..., 넘

버 306, 2층-8

쳉, 치-펑

대만, 타이페이시티, 충샤오 동로, 섹션 3 215항,
7동, 넘버 4-3, 4층

명세서

청구범위

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

반도체 디바이스를 제조하는 방법으로서,

제1 도전형을 갖는 제1 반도체 재료로부터 형성된 반도체 기판의 일부분 위에, 상기 반도체 기판의 나머지 부분이 노출되도록, 제1 산화물 층을 형성하는 단계;

상기 반도체 기판의 노출된 부분 및 상기 제1 산화물 층 상에 보호 층을 형성하는 단계;

상기 반도체 기판과의 접합을 정의하는 접합 층을 형성하기 위해 상기 보호 층을 통하여 상기 반도체 기판 내로 제2 도전형의 도편트를 도입하는 단계;

상기 접합 층 위에 제1 전도성 층을 형성하는 단계; 및

상기 반도체 기판의 상기 노출된 부분의 반대편에 있는 상기 반도체 기판의 표면 상에 제2 전도성 층을 형성하는 단계를 포함하고,

상기 제2 도전형의 도편트를 도입하는 단계는,

상기 보호 층으로 제2 도전형의 도편트를 이온주입하는 단계; 및

상기 제2 도전형의 도편트를 상기 반도체 기판 내로 도입하기 위한 후속 열 공정이 적용되는 단계;

를 포함하는, 방법.

청구항 16

제15항에 있어서, 상기 보호 층은 전도성 재료를 포함하는, 방법.

청구항 17

제16항에 있어서, 상기 보호 층은 폴리실리콘을 포함하는, 방법.

청구항 18

제15항에 있어서, 상기 제2 도전형의 상기 도편트를 도입한 후에 상기 보호 층을 제거하는 단계를 추가로 포함하는, 방법.

청구항 19

제18항에 있어서, 상기 보호 층은 비전도성 재료를 포함하는, 방법.

청구항 20

제15항에 있어서, 상기 반도체 기판 내에 주입된 상기 도편트를 승온에서 화산시키는 단계를 추가로 포함하는, 방법.

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

발명의 설명

배경기술

[0001] 제너 다이오드들은, 순방향-바이어스될 때, 즉, 단방향 전도를 갖는, 통상적인 다이오드들로서 작용하지만 소정 임계 전압을 초과하여 역방향-바이어스될 때 역방향으로 전도하는 2-단자 전자 디바이스들이다. 용어 "제너 다이오드"는 전통적으로 통상적인 반도체 재료들, 예컨대, Si 내에 형성된 PN 접합들로 이루어진 디바이스들에 적용되는데, 이러한 접합들은 예를 들어 약 5 볼트 초과의 역 바이어스 전위들에서 애벌란시 항복(avalanche breakdown)을 겪고, 그러한 디바이스들은 전압 레귤레이팅 및 회로 보호 회로부에서 이용될 수 있다.

[0002] 이상화된 제너 다이오드의 전류(I) 대 전압(V) 플롯이 도 1에 도시되는데, 이로부터 소정 전압, 즉, 제너 임계 전압, 예를 들어 Si계 디바이스들의 경우, 일반적으로 5 V 초과인 제너 임계 전압을 초과하여 역방향-바이어스될 때, 역전류의 급격한 상승이 발생한다는 것이 분명하다. 따라서, 제너 다이오드는, 순방향-바이어스될 때 통상의 정류기로서 기능하지만, 역방향-바이어스될 때 그의 I-V 플롯에서 심한 굴곡부(knee) 또는 급락(sharp break)을 나타낸다. 제너 애벌란시 또는 항복의 특징은, 일단 전도가 역방향-바이어스 하에서 발생하면, 디바이스에 걸친 전압이, 최대 허용가능한 소산 정격(maximum allowable dissipation rating)까지, 역전류의 추가 증가 시에 본질적으로 일정하게 유지된다는 것이다. 이러한 특징적 거동의 결과로서, 제너 다이오드들은, 특히, 전압 레귤레이터들, 전압 기준들, 및 과전압 보호기들로서 유용하다는 것을 알게 된다.

[0003] 서지 이벤트 동안, 디바이스에 걸친 전압 강하를 최소 값으로 제한하는 것이 바람직하다. 따라서, 제너 다이오드의 중요한 특징은 그의 역서지 내량(reverse surge capability)이다.

발명의 내용

[0004] 본 발명의 일 태양에 따르면, 제너 다이오드와 같은 반도체 디바이스가 제공된다. 반도체 디바이스는, 제1 도전형의 제1 반도체 재료 및 제1 반도체 재료와 접촉하여 접합을 사이에 형성하는 제2 도전형의 제2 반도체 재료를 포함한다. 제1 산화물 층이 제2 반도체 재료의 일부분 위에 배치되어 제2 반도체 재료의 나머지 부분이 노출되도록 한다. 제2 반도체 재료의 노출된 부분 및 제1 산화물 층의 일부분 상에 폴리실리콘 층이 배치된다. 폴리실리콘 층 상에 제1 전도성 층이 배치된다. 제2 반도체 재료와 접촉하는 제1 반도체 재료의 표면의 반대편에 있는 제1 반도체 재료의 표면 상에 제2 전도성 층이 배치된다.

[0005] 본 발명의 다른 태양에 따르면, 반도체 디바이스를 제조하는 방법이 제공된다. 본 방법은, 제1 도전형을 갖는 제1 반도체 재료로부터 형성된 반도체 기판의 일부분 위에 제1 산화물 층을 형성하여 반도체 기판의 나머지 부분이 노출되도록 하는 단계를 포함한다. 반도체 기판의 제1 표면 및 제1 산화물 층 상에 보호 층을 형성한다. 반도체 기판과의 접합을 정의하는 접합 층을 형성하기 위해 보호 층을 통하여 반도체 기판 내로 제2 도전형의 도편트를 도입한다. 접합 층 위에 제1 전도성 층을 형성한다. 반도체 기판의 제1 표면의 반대편에 있는 반도체 기판의 제2 표면 상에 제2 전도성 층을 형성한다.

도면의 간단한 설명

[0006] 도 1은 이상화된 제너 다이오드의 전류(I) 대 전압(V) 플롯을 도시한다.

도 2는 개선된 역서지 내량 및 감소된 누설 전류를 갖는 제너 다이오드의 일례를 도시한다.

도 3 내지 도 9는 도 2에 도시된 제너 다이오드를 제조하기 위해 채용될 수 있는 공정 단계들의 순서의 일례를 도시한다.

발명을 실시하기 위한 구체적인 내용

[0007] 이하에 상세하게 기술되는 바와 같이, 개선된 역서지 내량 및 감소된 누설 전류를 갖는 제너 다이오드가 제공된다. 이러한 개선은 하나의 예시적인 제너 다이오드 설계의 관점에서 기술될 것이지만, 본 명세서에 기술된 방법들 및 기법들은 매우 다양한 제너 다이오드 구성들 뿐만 아니라 다른 유형들의 과도 전압 억제인자들에도 동등하게 적용가능하다.

[0008] 도 2는 개선된 역서지 내량을 갖는 제너 다이오드의 일례를 도시한다. 도시된 바와 같이, 제너 다이오드(100)는 제1 도전형의 도편트로 고농도로 도핑된 반도체 기판(110)을 포함하는데, 이 예에서 도편트는 P 형 도편트이다. 제2 도전형의 접합 층(120)이 기판(110) 내에 형성된다. 이 예에서, 접합 층(120)은 N+ 형 전도성을 갖는다. PN 접합이 반도체 기판(110)과 접합 층(120) 사이의 계면에 위치된다. 폴리실리콘 층(130)이 접합 층 상에 배치된다. 전극으로서의 역할을 하는 제1 전도성 재료(140)가 폴리실리콘 층(130) 상에 배치된다. 유사하게, 또한 전극으로서의 역할을 하는 제2 전도성 재료(150)가 기판(110)의 후방 표면 상에 배치된다. 제너 다이오드(100)는 또한 기판(110) 상에 배치된 제1 산화물 층(160)을 포함하는데, 제1 산화물 층(160)은 접합 층

(120)을 형성하기 위해 이용되는 포토리소그래피 공정의 일부로서 형성되고 에칭된다. 또한, 저온 산화물(low temperature oxide, LTO)과 같은 제2 산화물 층(170)의 제1 부분이 제1 산화물 층(160) 상에 배치되고 제2 산화물 층(170)의 제2 부분이 폴리실리콘 층(130)과 제1 전도성 재료(140) 사이에 개재된다. 제2 산화물 층(170)은 제1 전도성 재료(140)를 형성하기 위해 이용되는 포토리소그래피 공정의 일부로서 형성되고 에칭된다.

[0009] 도 2에 도시된 제너 다이오드의 제조 공정 동안, 폴리실리콘 층(130)은 유리하게는 접합 층(120) 이전에 형성된다. 이어서, 폴리실리콘 층(130) 상으로 도편트를 침착하기 위해 주입 또는 다른 도핑 공정이 이용된다. 폴리실리콘 층(130)을 통과하여 그리고 기판(110) 내로 도편트를 주입하기 위해 후속 열 공정이 적용된다. 이러한 방식에서의 폴리실리콘 층(130)의 사용은 제너 다이오드의 역서지 내량 및 누설 전류 둘 모두를 개선시키는 것으로 밝혀졌다.

[0010] 임의의 동작 이론에 얹매이지 않고서, 폴리실리콘 층은 접합 층(120)을 형성하기 위해 이용되는 도핑 공정에 의해 생성되는 결함들을 감소시킨다고 여겨진다. 도편트들이 주입 등에 의해 기판(110) 내에 직접 도입될 때, 결함들이 전형적으로 기판 내에 소정 깊이로 생성된다. 이러한 결함들은 생성된 디바이스의 역서지 성능 및 누설 전류에 악영향을 미칠 수 있다. 그러나, 폴리실리콘 층 상으로 그리고 이를 통과하여 도편트를 도입함으로써, 기판에서의 결함들이 감소될 수 있다.

[0011] 도 2에 도시된 제너 다이오드를 제조하기 위해 이용될 수 있는 공정의 일례가 도 3 내지 도 9와 관련하여 이하에 기술된다.

[0012] 도 3은 반도체 기판 및 산화물 층의 단면도이다. 일 실시예에서, 기판(210)은, 저항률이 대략 1×10^{-3} ohm-cm 내지 5×10^{-3} ohm-cm 범위인 저 저항률의 P^+ 형 <111> 배향 단결정 실리콘이다. 실리콘 결정 격자 배향은 선택적으로 <100>일 수 있다. 대안적인 실시예에서, 기판(210)은 갈륨 비소와 같은 다른 유형들의 반도체 재료로 구성된다. 게다가, 제조 공정에 대한 대응하는 조정에 의해 N 형 기판이 또한 사용될 수 있음이 이해된다. 일 실시예에서, P^+ 형 실리콘 기판은 붕소로 도핑된다. 물론, 대안예에서 다른 도편트들이 또한 사용될 수 있음이 이해된다.

[0013] 다음으로, 산화물 층(220)이 형성된다. 일 실시예에서, 산화물 층(220)은 웨이퍼를 약 200분 동안 대략 1000°C의 환경에 노출시키고 추가 200분 동안 대략 1200°C에 웨이퍼를 노출시킴으로써 제조될 수 있다. 이러한 시간 동안, 가열된 반도체 재료들은 질소 및 산소 가스의 혼합물에 노출된다. 일 실시예에서, 두께가 약 1400 옹스트롬 내지 약 1800 옹스트롬인 이산화규소의 층이 구조물의 표면 상에 성장된다. 본 발명과 관련하여 산화물 층을 형성하기 위한 다른 공정들이 이용될 수 있음이 이해된다. 또한, 산화물 층은 상이한 두께를 가질 수 있다.

[0014] 다음으로, 산화물 층 내에 개구부를 생성하기 위해 포토리소그래피 단계가 수행된다. 먼저, 도 4에 도시된 바와 같이, 산화물 층(220)의 표면에 포토레지스트 재료(222)가 적용된다. 일 실시예에서, 포토레지스트는 약 1.3 마이크로미터의 두께로 적용된다. 포토레지스트 재료(222)는 패턴 마스크를 통하여 광에 노출되고, 이어서 포토레지스트 재료의 노출된 부분들은 산화물 층의 표면으로부터 제거된다. 일 실시예에서, 산화물은, 포토레지스트로 전사된 패턴 세부사항에 따라 반응성 이온 에칭(Reactive Ion Etching, "RIE") 기법을 이용하여 구조물의 표면으로부터 에칭된다. 다른 산화물 에칭 공정이 반응성 이온 에칭 공정에 대한 대안예로서 이용될 수 있음이 또한 이해된다. 포토레지스트로 덮인 구역들 아래의 산화물 영역들은 에칭 공정에서 제거되지 않는다.

[0015] 도 5에 도시된 바와 같이, 산화물 층(220)의 중심 부분은 원도우(215)를 형성하기 위해 전술한 바와 같이 에칭된다. 섹션들(220a)은 에칭되지 않은 산화물 층(220)의 부분들에 대응한다. 일 실시예에서, 남은 포토레지스트는 다음 단계 이전에 포토레지스트 박리액을 이용하여 웨이퍼로부터 제거된다. 이어서, 도핑되지 않을 수도 있는 폴리실리콘이, 기판(210) 및 적어도 산화물 층의 부분(220a) 위에 침착되어 폴리실리콘 층(250)을 형성한다. 일부 실시예들에서, 폴리실리콘 층(250)은 두께가 1 내지 4 마이크로미터일 수 있다.

[0016] 이어서, 이온 주입 공정이 수행된다. 에칭되지 않은 남은 산화물은, 이온들이 기판(210)으로 들어가지 않도록 이온들이 통과하는 것을 방지하기 위해 하드 마스크를 형성한다. 일부 경우에, 대략 1.3 마이크로미터 두께인 남은 포토레지스트 재료는, 노출된 원도우의 외측에 있는 영역에서의 이온들의 흡수에서 산화물을 드러내기 위해 이온 주입 절차 이후까지 웨이퍼 상에 남아 있을 수 있다.

[0017] 이온 주입 공정은 도 5에 화살표들(225)에 의해 나타나 있다. 화살표들(225)은 폴리실리콘 층(250) 상으로 도

입되는 인 또는 비소와 같은 N+ 형 도편트를 나타낸다. 일 실시예에서, N+ 형 도편트는 140 KeV의 에너지에서 1.72×10^{13} 이온/cm²의 주입량(dose)에서의 인의 이온 주입을 이용하여 도입되어, 대략 1 마이크로미터 깊이의 층을 형성한다. 대안적인 실시예에서, 상당히 더 낮은 에너지가 이온 주입 공정에서 사용될 수 있다. 주입된 이온들을 추가로 기판(210) 내로 주입하기 위해 후속 확산 단계가 승온에서 수행되어서, 이로써 도 6에 도시된 바와 같은 N+ 형 접합 층(240)을 형성한다.

[0018] 도 7에 도시된 바와 같이, 폴리실리콘 층(250) 위에 산화물 층(260)이 형성된다. 일부 실시예들에서, 산화물 층(260)은 저온 산화물(LTO) 층(260)이다.

[0019] 도 8은 전도성 재료 및 선택적 패시베이션 층(도시 생략)의 침착을 위한 개구부를 형성하기 위해 전술한 바와 같이 포토리소그래피 기법을 이용하여 예칭된 후의 LTO 층(260)의 섹션들(260a)을 도시한다. 도 9에 도시되는 전도성 재료(280)는, 예를 들어 은과 같은 적합한 금속일 수 있다. 전도성 재료(280)는 LTO 층(260) 내의 개구부에 의해 노출되는 폴리실리콘 층(250)의 부분 위에 형성된다. 전도성 재료(280)는 또한 LTO 층(260)의 섹션들(260a) 위에 형성된다.

[0020] 달성될 수 있는 역서지 내량 및 누설 전류에서의 개선을 증명하기 위해 상이한 두께들의 폴리실리콘 층을 사용하여 제너 다이오드들의 시리즈를 제조하였다. 5V 다이오드들의 시리즈 및 7V 다이오드들의 시리즈에 대한 결과들이 표 1에 나타나 있다. 각 시리즈에서 3개의 샘플들, 즉, 대조군(control)으로서의 역할을 하는 폴리실리콘을 갖지 않는 샘플, 1 마이크로미터 두께의 폴리실리콘 층을 갖는 샘플 및 2 마이크로미터 두께의 폴리실리콘 층을 갖는 샘플을 제조하였다. 각 디바이스에 대해 최소, 평균 및 최대 역서지 내량 및 누설 전류를 측정하였다. 표 1이 나타내는 바와 같이, 폴리실리콘 두께가 증가함에 따라 역서지 내량이 증가한다. 유사하게, 폴리실리콘 두께가 증가함에 따라 누설 전류가 감소하여서, 이로써 디바이스 구조물을 완전하게 한다.

[표 1]

샘플 번호	전압(V)	설계 폴리실리콘 두께(um)	서지 10 × 1000 (와트)			Vwm에서의 Ir(uA)		
			최소	평균	최대	최소	평균	최대
1	5V	없음	548	615	696	26.0	38.5	81.7
2	5V	1 um	601	661	726	18.0	19.8	22.3
3	5V	2 um	666	698	710	2.7	3.2	3.7
4	7V	없음	441	565	657	3.5	3.7	5.6
5	7V	1 um	521	611	704	2.7	3.2	3.8
6	7V	2 um	618	668	711	2.7	3.1	3.7

[0022]

[0023] 2 마이크로미터보다 더 두꺼운 폴리실리콘 층들을 갖는 제너 다이오드들을 또한 제조하였다. 이러한 디바이스들의 경우, 폴리실리콘 두께가 2 마이크로미터를 초과하여 증가함에 따라 역서지 내량이 감소하는 것으로 밝혀졌다. 이것은 아마도 폴리실리콘 층에 의해 야기되는 부족한 열 소산 때문일 것이다. 따라서, 더 적은 접합 결합들과 부족한 열 소산 사이의 균형(trade-off)의 결과로서 5V 제너 다이오드 및 7V 제너 다이오드의 경우 약 1 내지 2 um의 최적의 폴리실리콘 두께가 얻어졌다.

[0024] 그러나, 이러한 동일한 디바이스들의 경우, 폴리실리콘 층 두께가 샘플 시험 두께 한계인 4um까지 증가함에 따라 누설 전류가 계속해서 감소하였다. 4um 두께의 폴리실리콘 층을 갖는 디바이스들에 대한 누설 전류는 대조군 샘플의 누설 전류의 1/10 미만까지 감소되었다. 따라서, 일부 저전압 다이오드 실시예들의 경우, 1 내지 4 um의 폴리실리콘 층 두께, 그리고 더 구체적으로는 1 내지 2 um의 층 두께는 역서지 내량의 상당한 증가 뿐만 아니라 누설 전류의 감소를 제공할 수 있다.

[0025] 당업자들은, 역서지 내량을 개선시키기 위한 폴리실리콘 층의 사용이 전술한 것과는 상이한 구성을 및 조성을 갖는 디바이스들에 적용가능하다는 것을 인식할 것이다. 게다가, 전술한 것들과 상이한 제조 기법들이 디바이스들을 제조하기 위해 채용될 수 있다. 예를 들면, 하나의 대안적인 실시예에서, PN 접합을 형성하는 한 쌍의 반도체 층들 중 하나로서 반도체 기판을 사용하는 대신에, PN 접합을 정의하는 층들 둘 모두가 이온 주입 등에 의해 반도체 기판 내에 형성될 수 있다.

[0026] 다른 실시예들에서, 접합 층을 형성하도록 도편트들이 통과하여 도입되는 층을 형성하기 위해 폴리실리콘 이외의 재료가 사용될 수 있다. 도편트 확산에 대한 장벽을 또한 형성하지 않고서, 기판 표면을 도핑 공정 동안 발생하는 손상으로부터 보호하는 보호 층으로서의 역할을 할 수 있는 임의의 적절한 재료가 채용될 수 있다. 전기 전도성이 폴리실리콘과 같은 재료를 사용하는 이점은, 그것이 도핑 공정의 완료 후에 제거될 필요가 없다는

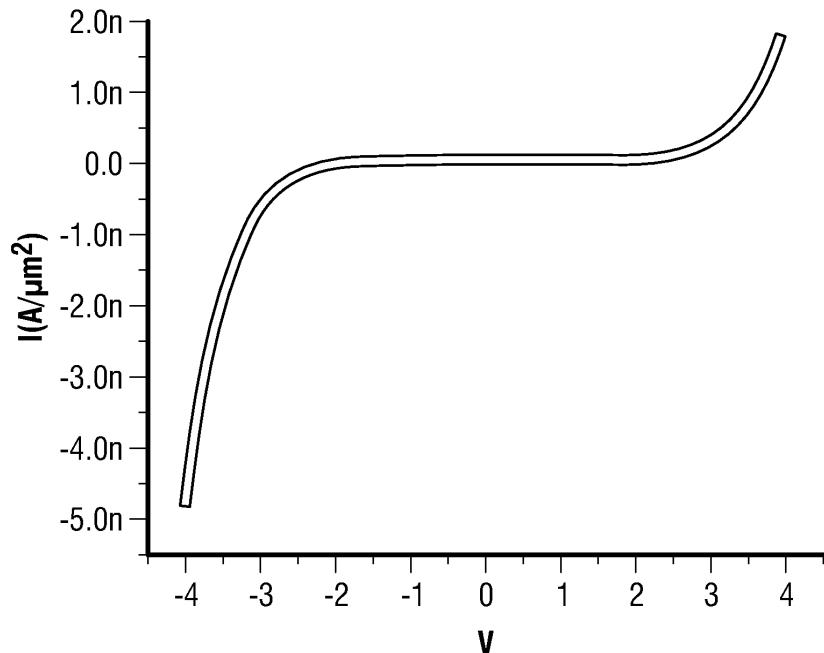
것이다. 예를 들면, 산화물 층이 폴리실리콘 층 대신에 사용될 수 있지만, 산화물 층은 전기 전도성 재료가 아 니기 때문에 구조물이 도핑된 후에 제거될 필요가 있을 것이다.

[0027]

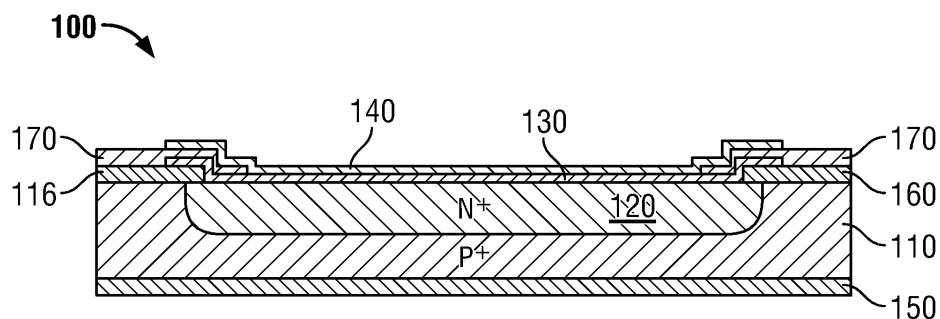
본 발명의 예시적인 실시예들 및 특정한 응용들을 나타내고 기술하였지만, 본 명세서에 개시된 본 발명의 개념들로부터 벗어나지 않고서 본 발명의 수많은 다른 변형들 및 응용들이 가능하다는 것이 명백하다. 따라서, 첨부된 청구범위의 범주 내에서, 본 발명은 구체적으로 기술된 것 이외에 달리 실시될 수 있고 본 발명은 첨부된 청구범위의 사상에 의해서만 제한된다는 것이 이해되어야 한다. 본 발명의 특징들 중 일부는 종속항으로 청구 될 수 있지만, 각 특징은 독립적으로 사용되는 경우 장점을 가질 수 있다.

도면

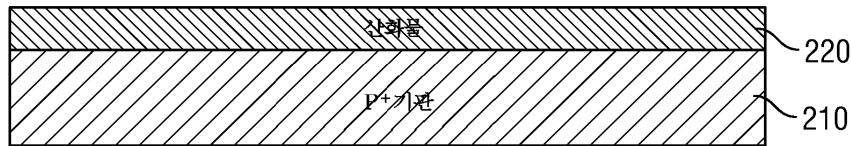
도면1



도면2



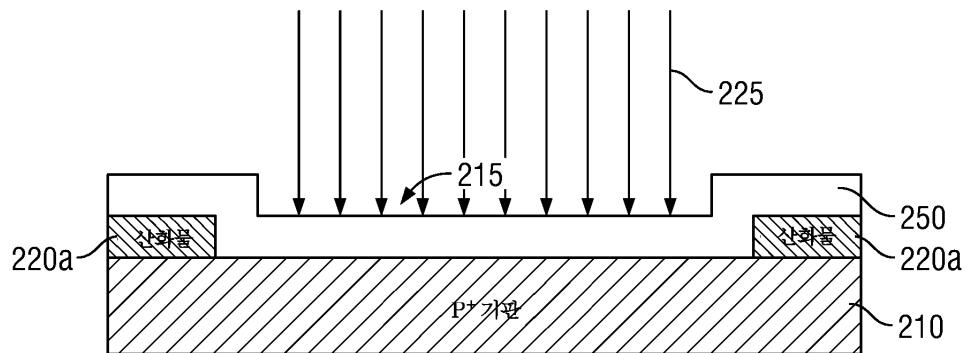
도면3



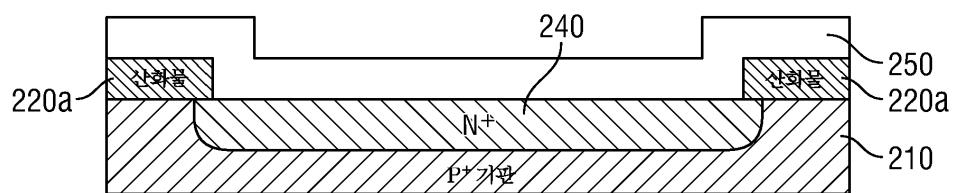
도면4



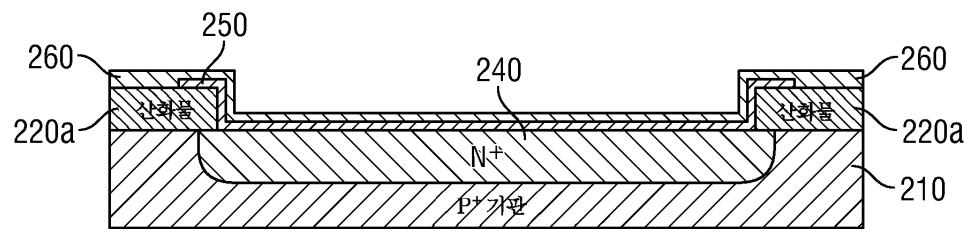
도면5



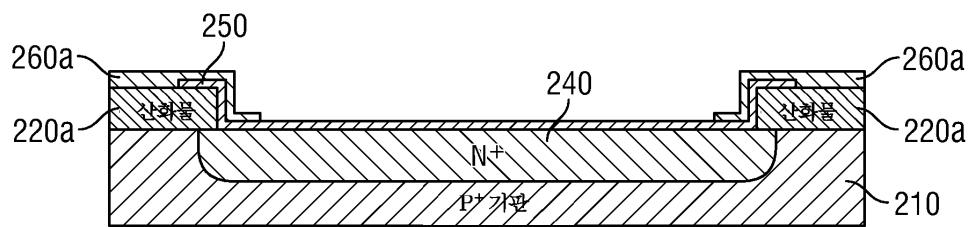
도면6



도면7



도면8



도면9

