

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年8月15日(15.08.2024)



(10) 国際公開番号

WO 2024/166236 A1

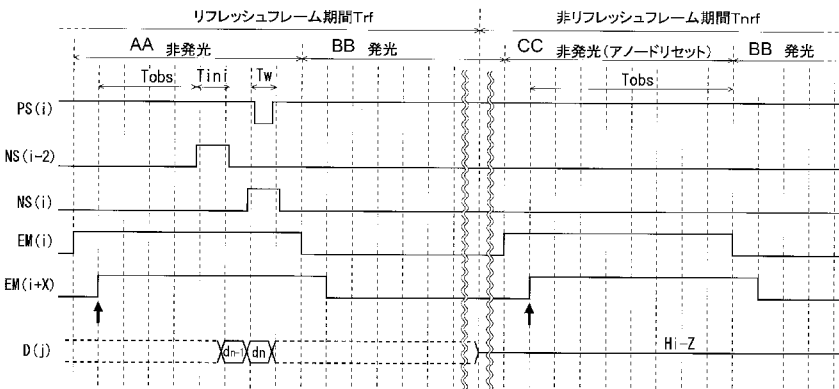
- (51) 国際特許分類:
G09G 3/3233 (2016.01) G09G 3/20 (2006.01)
- (21) 国際出願番号: PCT/JP2023/004108
- (22) 国際出願日: 2023年2月8日(08.02.2023)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: シャープディスプレイテクノロジー株式会社(SHARP DISPLAY TECHNOLOGY CORPORATION) [JP/JP]; 〒5190198 三重県亀山市白木町幸川4 6 4 番 Mic (JP).
- (72) 発明者: 田中 耕平(TANAKA, Kohhei).
- (74) 代理人: 島田 明宏, 外 (SHIMADA, Akihiro et al.); 〒6340078 奈良県橿原市八木町 1 丁目 1 0 番 3 号 萬盛庵ビル 島田特許事務所 Nara (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,

(54) Title: DISPLAY DEVICE AND METHOD FOR DRIVING SAME

(54) 発明の名称: 表示装置およびその駆動方法



Tnrf Non-refresh frame period
Trf Refresh frame period
AA Not emitting light
BB Emitting light
CC Not emitting light (anode reset)

(57) Abstract: The present application discloses a current-driven display device that is driven at a low frequency, wherein it is possible to limit the complexity of the configuration and driving of a pixel circuit and to sufficiently suppress flickering by applying an on-bias voltage to a driving transistor. An on-bias application period Tobs is provided in order to apply an on-bias voltage to the driving transistor in the pixel circuit during non-light-emitting periods in both refresh frame periods and non-refresh frame periods when an internal-compensation-type display device operates in an idle driving mode. During the non-light-emitting period in a refresh frame period, the pixel circuit is driven via existing signal lines and voltage lines such that the on-bias voltage is applied during the period from the start of the non-light-emitting period to the start of writing of data voltages to the pixel circuit. This reduces the difference in the stress state of the driving transistor between refresh frame periods and non-refresh frame periods.

CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE,
SN, TD, TG).

添付公開書類：

一 国際調査報告（条約第21条(3)）

(57) 要約：本願は、低周波駆動を行う電流駆動型の表示装置であって、画素回路の構成や駆動の複雑化を抑えつつ駆動トランジスタへのオンバイアス電圧の印加によりフリッカの発生を十分に抑制できる表示装置を開示する。内部補償方式の表示装置が休止駆動モードで動作する場合に、リフレッシュフレーム期間と非リフレッシュフレーム期間のいずれの非発光期間においても、画素回路内の駆動トランジスタにオンバイアス電圧を印加するためのオンバイアス印加期間 T_{obs} が設けられる。リフレッシュフレーム期間内の非発光期間では、非発光期間が開始されてからデータ電圧の画素回路への書込開始までの間にオンバイアス電圧の印加が行われるように、既存の信号線および電圧線を介して当該画素回路が駆動される。これにより、リフレッシュフレーム期間と非リフレッシュフレーム期間との間での駆動トランジスタのストレス状態の差異が低減される。

明 細 書

発明の名称：表示装置およびその駆動方法

技術分野

[0001] 本発明は表示装置に関し、より詳しくは、有機EL（Electro Luminescence）素子等の電流で駆動される表示素子を備えた電流駆動型の表示装置、および、その駆動方法に関する。

背景技術

[0002] 近年、有機EL素子（有機発光ダイオード（Organic Light Emitting Diode：OLED）とも呼ばれる）を用いた有機EL表示装置が実用化されている。有機EL素子は、それに流れる電流に応じた輝度で発光する自発光型表示素子である。有機EL表示装置の画素回路には、有機EL素子に加えて、それに流れる電流を制御する駆動トランジスタ等が含まれている。この駆動トランジスタの特性にばらつきや変動が発生することから、有機EL表示装置において高画質表示を行うためには、この特性のばらつきや変動を補償する必要がある。そこで、有機EL表示装置の画素回路では、その内部で駆動トランジスタにおける閾値電圧のばらつきや変動を補償するように構成されたものがある（以下、このような閾値電圧のばらつきや変動の補償を「閾値補償」といい、このように画素回路内で閾値補償を行う方式を「内部補償方式」という）。

[0003] 一方、消費電力を低減するために低周波駆動を行えるように構成された表示装置が知られている。このような表示装置では、例えば静止画を表示するときに、リフレッシュ動作を行う隣接するフレーム期間の間にリフレッシュ動作を行わないフレーム期間を挿入することによりリフレッシュレートを大きく低下させた低周波駆動を行うことで、消費電力を大幅に低減することができる。

[0004] 有機EL表示装置において低周波駆動を行う場合、各画素回路における有機EL素子は、リフレッシュ動作を行うフレーム期間であるリフレッシュフ

フレーム期間では、フレーム期間毎に設けられる非発光期間に発光制御トランジスタにより消灯状態とされるが、リフレッシュ動作を行わないフレーム期間である非リフレッシュフレーム期間では、駆動回路の動作が停止し、その前のリフレッシュフレーム期間において当該画素回路に書き込まれたデータ電圧に応じた輝度で発光を続ける。一般に、静止画表示を行う場合、リフレッシュ動作を行わずに表示を継続する期間（これは連続する複数の非リフレッシュフレーム期間から構成され、以下「休止期間」という）は、リフレッシュ動作を行う期間（1つのリフレッシュフレーム期間または連続する複数のリフレッシュフレーム期間から構成され、以下「駆動期間」という）に比べ格段に長く、表示動作中に、そのような駆動期間と休止期間とが交互に現れる。このため、低周波駆動により静止画を表示すると、駆動期間における有機EL素子の消灯がフリッカとして視認されることになる。

[0005] これに対し特許文献1には、低周波駆動を行う場合に視認されるフリッカを解消すべく、駆動期間（データリフレッシュ期間 T_{refresh} ）での有機EL素子（発光ダイオード304）の消灯による輝度低下に加えて、休止期間（拡張ブランキング期間 T_{blank} ）においても適切な頻度で輝度低下が生じるように構成された画素回路とその駆動方法が記載されている。

先行技術文献

特許文献

[0006] 特許文献1：米国特許出願公開第2019/0057646号明細書

特許文献2：日本国特開2020-112795号公報

発明の概要

発明が解決しようとする課題

[0007] しかし、有機EL表示装置が低周波駆動を行う場合に休止期間においても適切な頻度で輝度低下が生じるように構成されていても（以下、このような構成を「周期的消灯構成」という）、画素回路における駆動トランジスタとしての薄膜トランジスタはヒステリシス特性を有することから、低周波駆動

において依然としてフリッカが視認される。

[0008] これに対し上記の特許文献1には、駆動期間（データリフレッシュ期間 $T_{refrech}$ ）のみならず休止期間（拡張ブランキング期間 T_{blank} ）においても、駆動トランジスタに意図的にバイアスストレス電圧（以下「オンバイアス電圧」または単に「バイアス電圧」という）を印加して、ヒステリシス特性による（有機EL素子の輝度への）影響をバランスさせることが記載されている。また、特許文献2においても、有機発光ダイオードディスプレイの低周波駆動において、駆動トランジスタのヒステリシス特性を軽減するために駆動トランジスタにオンバイアス電圧を印加する構成が記載されている。

[0009] しかし、特許文献1や特許文献2に記載の表示装置では、駆動トランジスタにオンバイアス電圧を印加するために画素回路の構成や駆動の複雑化を招く。これは、表示の高精細化を妨げ回路規模を増大させる要因となる。

[0010] そこで、低周波駆動を行う有機EL表示装置のような電流駆動型の表示装置において、画素回路の構成や駆動の複雑化を抑えつつ駆動トランジスタへのオンバイアス電圧の印加によりフリッカの発生を十分に抑制することが望まれている。

課題を解決するための手段

[0011] 本発明の幾つかの実施形態に係る表示装置は、
複数の画素回路を含む表示部と、
前記複数の画素回路を駆動する駆動回路と、
前記複数の画素回路に複数のデータ信号の電圧をデータ電圧として書き込む1つまたは複数のリフレッシュフレーム期間からなる駆動期間と前記複数の画素回路へのデータ電圧の書き込みを停止する1つまたは複数の非リフレッシュフレーム期間からなる休止期間とが交互に現れるように前記駆動回路を制御する表示制御回路と
を備え、
前記複数の画素回路のそれぞれは、

電流によって駆動される表示素子と、

制御端子と第1導通端子と第2導通端子とを有し、前記表示素子と直列に設けられた駆動トランジスタと、

前記駆動トランジスタの前記制御端子の電圧を保持するために一端が前記駆動トランジスタの前記制御端子に接続された保持キャパシタと、

前記保持キャパシタに書き込むべきデータ電圧を受け取る第1導通端子と前記駆動トランジスタの前記第1導通端子に接続された第2導通端子とを有するスイッチング素子としての書込制御トランジスタと、

前記駆動トランジスタの前記第2導通端子と前記制御端子との間に設けられ、オン状態のときに前記駆動トランジスタをダイオード接続状態とするスイッチング素子としての閾値補償トランジスタと、

前記表示素子および前記駆動トランジスタに対し直列に設けられたスイッチング素子としての少なくとも1つの発光制御トランジスタと、

前記駆動トランジスタのヒステリシス特性による閾値電圧のシフトを低減するためのバイアス電圧を前記駆動トランジスタの前記第1導通端子に印加するバイアス印加回路と

を含み、

前記複数の画素回路のそれぞれにおいて、前記バイアス印加回路は、当該画素回路または他の画素回路におけるトランジスタのうち前記バイアス印加回路に含まれないトランジスタの制御端子に与えられる信号の1つまたは前記複数の画素回路の電源電圧の1つを受け取る第1端子と、前記駆動トランジスタの前記第1導通端子に接続された第2端子とを有し、前記第1端子において受け取る前記信号または前記電圧に基づき前記バイアス電圧を前記駆動トランジスタの前記第1導通端子に与えるように構成されている。

[0012] 本発明の他の幾つかの実施形態に係る駆動方法は、電流によって駆動される表示素子を用いた表示装置の駆動方法であって、

前記表示装置は、複数の画素回路を含む表示部を備え、

前記複数の画素回路のそれぞれは、

電流によって駆動される表示素子と、

制御端子と第1導通端子と第2導通端子とを有し、前記表示素子と直列に設けられた駆動トランジスタと、

前記駆動トランジスタの前記制御端子の電圧を保持するために一端が前記駆動トランジスタの前記制御端子に接続された保持キャパシタと、

前記保持キャパシタに書き込むべきデータ電圧を受け取る第1導通端子と前記駆動トランジスタの前記第1導通端子に接続された第2導通端子とを有するスイッチング素子としての書込制御トランジスタと、

前記駆動トランジスタの前記第2導通端子と前記制御端子との間に設けられ、オン状態のときに前記駆動トランジスタをダイオード接続状態とするスイッチング素子としての閾値補償トランジスタと、

前記表示素子および前記駆動トランジスタに対し直列に設けられたスイッチング素子としての少なくとも1つの発光制御トランジスタと、

前記駆動トランジスタのヒステリシス特性による閾値電圧のシフトを低減するためのバイアス電圧を前記駆動トランジスタの前記第1導通端子に印加するバイアス印加回路と

を含み、

前記複数の画素回路のそれぞれにおいて、前記バイアス印加回路は、当該画素回路または他の画素回路におけるトランジスタのうち前記バイアス印加回路に含まれないトランジスタの制御端子に与えられる信号の1つまたは前記複数の画素回路の電源電圧の1つを受け取る第1端子と、前記駆動トランジスタの前記第1導通端子に接続された第2端子とを有し、

前記駆動方法は、前記複数の画素回路に複数のデータ信号の電圧をデータ電圧として書き込む1つまたは複数のリフレッシュフレーム期間からなる駆動期間と前記複数の画素回路へのデータ電圧の書き込みを停止する1つまたは複数の非リフレッシュフレーム期間からなる休止期間とが交互に現れるように、前記複数の画素回路を駆動する休止駆動ステップを備え、

前記休止駆動ステップは、前記リフレッシュフレーム期間および前記非リ

フレッシュフレーム期間のいずれにおいても、前記複数の画素回路のそれぞれにおいて前記発光制御トランジスタがオフ状態である期間内に、前記バイアス印加回路が前記第1端子において受け取る前記信号または前記電圧に基づき前記バイアス電圧を前記駆動トランジスタの前記第1導通端子に印加するように、前記複数の画素回路を駆動するバイアス印加ステップを含む。

発明の効果

[0013] 本発明の上記幾つかの実施形態によれば、電流によって駆動される表示素子、駆動トランジスタ、書込制御トランジスタ、閾値補償トランジスタ、発光制御トランジスタ、および、保持キャパシタを含む画素回路を備えた内部補償方式の表示装置において、各画素回路は、駆動トランジスタのヒステリシス特性による閾値電圧のシフトを低減するためのバイアス電圧を駆動トランジスタの第1導通端子に印加するためのバイアス印加回路を更に含んでいる。表示部における上記複数の画素回路のそれぞれにおいて、バイアス印加回路は、当該画素回路または他の画素回路におけるトランジスタのうちバイアス印加回路に含まれないトランジスタの制御端子に与えられる信号の1つまたは上記複数の画素回路の電源電圧の1つを受け取る第1端子と、駆動トランジスタの第1導通端子に接続された第2端子とを有している。このような表示装置において、リフレッシュフレーム期間からなる駆動期間と非リフレッシュフレーム期間からなる休止期間とが交互に現れる休止駆動が行われる場合に、バイアス印加回路が第1端子において受け取る上記信号または上記電圧に基づき上記バイアス電圧が駆動トランジスタの第1導通端子に与えられる。これにより、休止駆動を行う場合であっても、リフレッシュフレーム期間と非リフレッシュフレーム期間の間での駆動トランジスタのストレス状態の差異を低減し、画素回路の構成や駆動の複雑化を招くことなくフリッカを抑制することができる。

図面の簡単な説明

[0014] [図1]第1の実施形態に係る表示装置の全体構成を示すブロック図である。

[図2]上記第1の実施形態に係る表示装置の通常駆動モードにおける概略動作

を説明するためのタイミングチャートである。

[図3]上記第1の実施形態に係る表示装置の休止駆動モードにおける概略動作を説明するためのタイミングチャートである。

[図4]上記第1の実施形態における画素回路の構成を示す回路図である。

[図5]上記第1の実施形態における画素回路の休止駆動モードでの動作を説明するためのタイミングチャートである。

[図6]上記第1の実施形態の効果を説明するためのタイミングチャートである。

[図7]第2の実施形態に係る表示装置における画素回路の構成を示す回路図である。

[図8]上記第2の実施形態における画素回路の休止駆動モードでの動作を説明するためのタイミングチャートである。

[図9]第3の実施形態に係る表示装置における画素回路の第1構成例を示す回路図である。

[図10]上記第3の実施形態における画素回路の休止駆動モードでの動作を説明するためのタイミングチャートである。

[図11]上記第3の実施形態に係る表示装置における画素回路の第2構成例を示す回路図である。

[図12]第4の実施形態における画素回路の幾つかの構成例を説明するための回路図である（A～D）。

[図13]第5の実施形態に係る表示装置における画素回路の構成を示す回路図である。

[図14]上記第5の実施形態における画素回路の休止駆動モードでの動作を説明するためのタイミングチャートである。

発明を実施するための形態

[0015] 以下、添付図面を参照しつつ実施形態について説明する。なお、以下で言及する各トランジスタにおいて、ゲート端子は制御端子に相当し、ドレイン端子およびソース端子の一方は第1導通端子に相当し、他方は第2導通端子

に相当する。また、以下の各実施形態におけるトランジスタは例えば薄膜トランジスタであるが、本発明はこれに限定されない。さらにまた、本明細書における「接続」とは、特に断らない限り「電氣的接続」を意味し、本発明の要旨を逸脱しない範囲において、直接的な接続を意味する場合のみならず、他の素子を介した間接的な接続を意味する場合も含むものとする。

[0016] < 1. 第 1 の実施形態 >

< 1. 1 全体構成 >

図 1 は、第 1 の実施形態に係る表示装置 10 の全体構成を示すブロック図である。この表示装置 10 は、内部補償を行う有機 EL 表示装置であり、この表示装置 10 における各画素回路は、その内部の駆動トランジスタの閾値電圧のばらつきや変動を補償する機能を有している。また、この表示装置 10 は、通常駆動モードと休止駆動モードとの 2 つの動作モードを有している。すなわち表示装置 10 は、通常駆動モードでは、表示部の画像データ（各画素回路内のデータ電圧）を書き換えるリフレッシュフレーム期間 T_{rf} が連続するように動作し、休止駆動モードでは、リフレッシュフレーム期間 T_{rf} のみからなる駆動期間 T_D と表示部の画像データの書き換えを停止する複数の非リフレッシュフレーム期間 T_{nrf} からなる休止期間 T_P とが交互に現れるように動作する。

[0017] 図 1 に示すように、この表示装置 10 は、表示部 11、表示制御回路 20、データ側駆動回路 30、走査側駆動回路 40、および、電源回路 50 を備えている。データ側駆動回路 30 は、データ信号線駆動回路として機能する。走査側駆動回路 40 は、走査信号線駆動回路および発光制御回路として機能する。図 1 に示す構成ではこれら走査側の 2 つの回路が 1 つの走査側駆動回路 40 として実現されているが、これら 2 つの回路が適宜分離された構成であってもよく、また、これら 2 つの回路が表示部 11 の一方側と他方側に分離されて配置される構成であってもよい。また、データ側駆動回路および走査側駆動回路の少なくとも一部が表示部 11 と一体的に形成されていてもよい。これらの点は、後述の他の実施形態や変形例においても同様である。

電源回路50は、表示部11に供給すべき後述のハイレベル電源電圧 ELV_{DD} 、ローレベル電源電圧 ELV_{SS} 、および初期化電圧 V_{ini} と、表示制御回路20、データ側駆動回路30、および走査側駆動回路40に供給すべき電源電圧（不図示）とを生成する。

[0018] 表示部11には、 m 本（ m は2以上の整数）のデータ信号線 $D_1, D_2, \dots, D_m$ と、これらに交差する n 本の第1走査信号線 $PS_1, PS_2, \dots, PS_n$ および $n+2$ 本（ n は2以上の整数）の第2走査信号線 $NS-1, NS_0, NS_1, \dots, NS_n$ とが配設されている。また、表示部11には、データ信号線 $D_1, D_2, \dots, D_m$ に交差する $n+1$ 本の発光制御線 $EM_1 \sim EM_{n+1}$ が設けられており、これらのうち n 本の発光制御線 $EM_1 \sim EM_n$ は、 n 本の第1走査信号線 $PS_1, PS_2, \dots, PS_n$ にそれぞれ沿って配設されている。また表示部11には、 m 本のデータ信号線 $D_1 \sim D_m$ および n 本の第1走査信号線 $PS_1 \sim PS_n$ に沿ってマトリクス状に配置された $m \times n$ 個の画素回路15が設けられている。各画素回路15は、 m 本のデータ信号線 $D_1 \sim D_m$ のいずれか1つに対応するとともに n 本の第1走査信号線 $PS_1 \sim PS_n$ のいずれか1つに対応する（以下、各画素回路15を区別する場合には、 i 番目の第1走査信号線 PS_i および j 番目のデータ信号線 D_j に対応する画素回路を「 i 行 j 列目の画素回路」ともいい、符号“ $P_{ix}(i, j)$ ”で示す）。また各画素回路15は、 n 本の第2走査信号線 $NS_1 \sim NS_n$ のいずれか1つに対応するとともに、 n 本の発光制御線 $EM_1 \sim EM_n$ のいずれか1つに対応する。なお、上記のデータ信号線 $D_1, D_2, \dots, D_m$ を駆動するデータ側駆動回路30と、上記の第1走査信号線 $PS_1, PS_2, \dots, PS_n$ 、第2走査信号線 $NS-1, NS_0, NS_1, \dots, NS_n$ 、および、発光制御線 $EM_1 \sim EM_n$ を駆動する走査側駆動回路40とは、表示部11における $m \times n$ 個の画素回路15を駆動する駆動回路を構成する。

[0019] また表示部11には、各画素回路15に共通の図示しない電源線が配設されている。すなわち、後述の有機EL素子を駆動するためのハイレベル電源

電圧 $E L V D D$ を供給するための第1電源線（以下「ハイレベル電源線」といい、ハイレベル電源電圧と同じく符号“ $E L V D D$ ”で示す）、および、有機EL素子を駆動するためのローレベル電源電圧 $E L V S S$ を供給するための第2電源線（以下「ローレベル電源線」といい、ローレベル電源電圧と同じく符号“ $E L V S S$ ”で示す）が配設されている。さらに表示部11には、各画素回路15の初期化のためのリセット動作（「初期化動作」ともいう）に使用する初期化電圧 $V i n i$ を供給するための図示しない初期化電圧線（初期化電圧と同じく符号“ $V i n i$ ”で示す）も配設されている。ハイレベル電源電圧 $E L V D D$ 、ローレベル電源電圧 $E L V S S$ 、および初期化電圧 $V i n i$ は、電源回路50から供給される。

[0020] 表示制御回路20は、表示すべき画像を表す画像情報および画像表示のためのタイミング制御情報を含む入力信号 $S i n$ を表示装置10の外部から受け取り、この入力信号 $S i n$ に基づきデータ側制御信号 $S c d$ および走査側制御信号 $S c s$ を生成し、データ側制御信号 $S c d$ をデータ側駆動回路30に、走査側制御信号 $S c s$ を走査側駆動回路40にそれぞれ出力する。

[0021] データ側駆動回路30は、表示制御回路20からのデータ側制御信号 $S c d$ に基づきデータ信号線 $D 1 \sim D m$ を駆動する。すなわちデータ側駆動回路30は、リフレッシュフレーム期間 $T r f$ において、データ側制御信号 $S c d$ に基づき、表示すべき画像を表す m 個のデータ信号 $D (1) \sim D (m)$ を生成してデータ信号線 $D 1 \sim D m$ にそれぞれ印加する。

[0022] 走査側駆動回路40は、表示制御回路20からの走査側制御信号 $S c s$ に基づき、 n 本の第1走査信号線 $P S 1 \sim P S n$ および $n + 2$ 本の第2走査信号線 $N S - 1 \sim N S n$ を駆動する走査信号線駆動回路、および、 $n + 1$ 本の発光制御線 $E M 1 \sim E M n + 1$ を駆動する発光制御回路として機能する。すなわち走査側駆動回路40は、リフレッシュフレーム期間 $T r f$ において、走査信号線駆動回路として、走査側制御信号 $S c s$ に基づき、 n 本の第1走査信号線 $P S 1 \sim P S n$ を1水平期間に対応する所定期間ずつ順次に選択するとともに、 $n + 2$ 本の第2走査信号線 $N S - 1 \sim N S n$ を1水平期間に対応する

所定期間ずつ順次に選択する。また走査側駆動回路40は、リフレッシュレーム期間 T_{rf} において、発光制御線 $EM_1 \sim EM_n$ を、それらが第1および第2走査信号線 $PS_1 \sim PS_n$, $NS_{-1} \sim NS_n$ の上記駆動に連動して選択的に非活性化されるように駆動する。 i 番目の発光制御線 EM_i が活性化状態である期間は、 i 行目の画素回路 $P_{ix}(i, 1) \sim P_{ix}(i, m)$ の発光期間であり、 i 番目の発光制御線 EM_i が非活性化状態である期間は、 i 行目の画素回路 $P_{ix}(i, 1) \sim P_{ix}(i, m)$ の非発光期間である。なお、後述の図4に示すように本実施形態では、第1走査信号線 PS_{i1} は画素回路15内のPチャネル型（以下「P型」ともいう）トランジスタのゲート端子に接続され（ $i_1 = 1 \sim n$ ）、第2走査信号線 NS_{i2} は画素回路15内のNチャネル型（以下「N型」ともいう）トランジスタのゲート端子に接続される（ $i_2 = -1 \sim n$ ）。このため、選択した第1走査信号線 PS_{i1} にはアクティブな信号としてローレベル電圧が印加され、選択した第2走査信号線 NS_{i2} にはアクティブな信号としてハイレベル電圧が印加される。

[0023] <1. 2 概略動作>

以下、図2および図3を参照して、通常駆動モードおよび休止駆動モードにおける表示装置10の概略動作を説明する。

[0024] 図2は、通常駆動モードにおける表示装置10の概略動作を説明するためのタイミングチャートである。通常駆動モードにおいて走査側駆動回路40は、表示制御回路20から与えられる走査側制御信号 S_{cs} に基づき、図2に示すような第1走査信号 $PS(1)$, $PS(2)$, ..., $PS(n)$ および第2走査信号 $NS(-1)$, $NS(0)$, $NS(1)$, ..., $NS(n)$ を生成し、第1走査信号 $PS(1) \sim PS(n)$ を第1走査信号線 $PS_1 \sim PS_n$ にそれぞれ印加し、第2走査信号 $NS(-1) \sim NS(n)$ を第2走査信号線 $NS_{-1} \sim NS_n$ にそれぞれ印加する。また、走査側駆動回路40は、上記走査側制御信号 S_{cs} に基づき、図2に示すような発光制御信号 $EM(1) \sim EM(n+1)$ を生成して発光制御線 $EM_1 \sim EM_{n+1}$ にそれぞれ印加する。一方、データ側駆動回路30は、表示制御回路20からのデータ側制御

信号 S_{cd} に基づき、図 2 に示すように第 1 走査信号 $PS(1) \sim PS(n)$ に連動して変化するデータ信号 $D(1) \sim D(m)$ を生成し、データ信号線 $D1 \sim Dm$ にそれぞれ印加する。このようにして表示部 11 における第 1 走査信号線 $PS1 \sim PSn$ 、第 2 走査信号線 $NS-1 \sim NSn$ 、発光制御線 $EM1 \sim EMn+1$ 、および、データ信号線 $D1 \sim Dm$ が駆動されることで、非発光期間において、各画素回路 $Pix(i, j)$ に対し初期化およびデータ電圧の書き込みが行われ、発光期間において、各画素回路 $Pix(i, j)$ は書き込まれたデータ電圧に応じた輝度で発光する。

[0025] 通常駆動モードでは、図 2 に示した上記各種信号により第 1 走査信号線 $PS1 \sim PSn$ 、第 2 走査信号線 $NS-1 \sim NSn$ 、発光制御線 $EM1 \sim EMn+1$ 、および、データ信号線 $D1 \sim Dm$ が上記のように駆動されることで、1 フレーム期間において第 1 走査信号線 $PS1 \sim PSn$ および第 2 走査信号線 $NS-1 \sim NSn$ を順次選択して表示部 11 の画素回路 $Pix(1, 1) \sim Pix(n, m)$ に画像データを書き込むリフレッシュフレーム期間 Trf が繰り返される。

[0026] 図 3 は、休止駆動モードにおける表示装置 10 の概略動作を説明するためのタイミングチャートである。休止駆動モードでは、図 3 に示すように、上記のリフレッシュフレーム期間（以下「RF フレーム期間」ともいう） Trf からなる駆動期間 TD と、複数の非リフレッシュフレーム期間（以下「NRF フレーム期間」ともいう） $Tnrf$ からなる休止期間 TP とが交互に繰り返される。休止期間 TP （NRF フレーム期間 $Tnrf$ ）では、走査側駆動回路 40 による第 1 走査信号線 $PS1 \sim PSn$ および第 2 走査信号線 $NS-1 \sim NSn$ の駆動とデータ側駆動回路 30 によるデータ信号線 $D1 \sim Dm$ の駆動とが停止し、直前の駆動期間 TD （RF フレーム期間 Trf ）に書き込まれた画像データによる表示が継続する。このため休止駆動モードは、静止画を表示する場合において表示装置 10 の消費電力の削減に有効である。ただし、後述のように、休止期間 TP においても第 1 走査信号線 $PS1 \sim PSn$ が駆動される実施形態もある。なお、図 3 に示す例では駆動期間 TD は 1 つ

のRFフレーム期間 T_{rf} のみから構成されるが、2つ以上のRFフレーム期間 T_{rf} から構成されていてもよい。

[0027] 外部からの入力信号 S_{in} には、上記のような通常駆動モードと休止駆動モードのうちいずれの動作モードで表示部11を駆動するかを示す動作モード信号 S_m が含まれている。この動作モード信号 S_m は、走査側制御信号 S_{cs} の一部として走査側駆動回路40に与えられるとともに、データ側制御信号 S_{cd} の一部としてデータ側駆動回路30に与えられる。走査側駆動回路40は、この動作モード信号 S_m で示される動作モードに応じて第1走査信号線 $PS_1 \sim PS_n$ および第2走査信号線 $NS-1 \sim NS_n$ を駆動し、発光制御線 $EM_1 \sim EM_{n+1}$ を通常駆動モードか休止駆動モードかに拘わらず同様の形態（同一の周期および同一のデューティ）で駆動する。データ側駆動回路30は、この動作モード信号 S_m で示される動作モードに応じてデータ信号線 $D_1 \sim D_n$ を駆動する。なお、本願の課題は通常駆動モードとは関係ないので、以下において、表示装置10またはその画素回路の動作については休止駆動モードにおける動作を中心に説明する（後述の他の実施形態においても同様）。

[0028] 本実施形態では、RFフレーム期間 T_{rf} において、各画素回路 $P_{ix}(i, j)$ に対し、それに対応する第1および第2走査信号線 PS_i, NS_i が選択状態のときにデータ書込動作が行われ、その第2走査信号線 NS_i の2つ前の第2走査信号線 NS_{i-2} が選択状態のとき初期化動作が行われる。各画素回路 $P_{ix}(i, j)$ がそのデータ書込動作および初期化動作が行われる期間において消灯状態となるように発光制御線 EM_i が駆動される（ $i = 1 \sim n$ ）（図3参照）。後述のように、本実施形態における画素回路 $P_{ix}(i, j)$ では、第1および第2発光制御トランジスタ T_5, T_6 としてP型トランジスタが使用されているので、各発光制御線 EM_i は、ローレベル（Lレベル）の電圧を与えられると活性化状態となり、ハイレベル（Hレベル）の電圧を与えられると非活性化状態となる。

[0029] <1.3 画素回路の構成>

図4は、本実施形態における画素回路15の構成を示す回路図であり、より詳しくは、 i 番目の第1走査信号線 PS_i および j 番目のデータ信号線 D_j に対応する画素回路15すなわち i 行 j 列目の画素回路 $P_{ix}(i, j)$ の構成を示す回路図である($1 \leq i \leq n$ 、 $1 \leq j \leq m$)。この画素回路15は、表示素子としての1個の有機EL素子OLと、7個のトランジスタ $T_1 \sim T_7$ (以下、これらを「第1初期化トランジスタ T_1 」、「閾値補償トランジスタ T_2 」、「書込制御トランジスタ T_3 」、「駆動トランジスタ T_4 」、「第1発光制御トランジスタ T_5 」、「第2発光制御トランジスタ T_6 」、「第2初期化トランジスタ T_7 」という)と、1個の保持キャパシタ C_{st} とを含んでいる。また、この画素回路15は、これらの素子に加えて、バイアス印加キャパシタ C_{ob} を含むバイアス印加回路151を含んでいる。

[0030] この画素回路15において、トランジスタ T_1 、 T_2 、 T_7 はN型トランジスタであり、トランジスタ $T_3 \sim T_6$ はP型トランジスタである。本実施形態では、N型トランジスタ T_1 、 T_2 、 T_7 は、チャネル層が酸化物半導体で形成された薄膜トランジスタ(以下「酸化物TFT」という)であり、より詳しくは酸化物半導体として酸化インジウムガリウム亜鉛($InGaZnO$)を使用した酸化物TFT(以下、「IGZO-TFT」という)である。酸化物TFTは、オフリーク電流が小さいので、画素回路等におけるスイッチング素子として好適である。また、P型のトランジスタ $T_3 \sim T_6$ は、チャネル層が低温ポリシリコンで形成された薄膜トランジスタ(以下「LTPS-TFT」という)である。低温ポリシリコンは移動度が高いので、LTPS-TFTを駆動トランジスタとして使用すると、画素回路において有機EL素子に対する駆動能力が向上し、スイッチング素子として使用するとオン抵抗が低くなる。ただし、画素回路15において使用可能なトランジスタは、このようなIGZO-TFTやLTPS-TFTには限定されない。なお、画素回路15において、駆動トランジスタ T_4 以外のトランジスタ $T_1 \sim T_3$ 、 $T_5 \sim T_7$ はスイッチング素子として動作する。

[0031] 図1および図4に示すように、本実施形態における画素回路 $P_{i \times (i, j)}$ には、それに対応する第1走査信号線（以下、画素回路に注目した説明において「対応第1走査信号線」ともいう） PS_i と、それに対応する第2走査信号線（以下、画素回路に注目した説明において「対応第2走査信号線」ともいう） NS_i と、それに対応する発光制御線（以下、画素回路に注目した説明において「対応発光制御線」ともいう） EM_i と、それに対応するデータ信号線（以下、画素回路に注目した説明において「対応データ信号線」ともいう） D_j と、対応第2走査信号線 NS_i の2つ前の第2走査信号線（第2走査信号線 $NS_{-1} \sim NS_n$ の走査順における2つ前の走査信号線であり、以下、画素回路に注目した説明において単に「先行第2走査信号線」ともいう） NS_{i-2} と、初期化電圧線 V_{ini} と、ハイレベル電源線 $ELVDD$ と、ローレベル電源線 $ELVSS$ とが接続されており、更に、対応発光制御線 EM_i に後続する発光制御線 EM_{i+X} が接続されている。なお、画素回路 $P_{i \times (i, j)}$ に、先行第2走査信号線 NS_{i-2} に代えて直前の第2走査信号線 NS_{i-1} が接続される構成であってもよい。

[0032] 本実施形態において画素回路 $P_{i \times (i, j)}$ に接続される上記後続の発光制御線 EM_{i+X} を特定する X は、0以上の整数であって、RFフレーム期間 T_{rf} において、画素回路 $P_{i \times (i, j)}$ につき対応発光制御線 EM_i が非活性化状態に変化してから閾値補償を伴うデータ書込が開始されるまでの間に上記後続の発光制御線 EM_{i+X} の発光制御信号 $EM(i+X)$ がLレベルからHレベルへと変化するように選定されている（後述の図5参照）。ただし後述のように、 X は1以上の整数であることが好ましい。また、「閾値補償を伴うデータ書込が開始されるまで」とは「対応第1走査信号 $PS(i)$ のLレベルへの変化により書込制御トランジスタ T_3 がオン状態に変化するまで」に相当するが、対応第2走査信号 $NS(i)$ のHレベルへの変化により閾値補償トランジスタ T_2 がオン状態に変化する前に当該後続の発光制御線 EM_{i+X} の発光制御信号 $EM(i+X)$ がLレベルからHレベルへと変化するように X を選定するのが好ましい。

[0033] 以下では、このような画素回路 $P_{i \times j}$ (i, j) に関する説明において、対応第1走査信号線 PS_i の信号 $PS(i)$ 、対応第2走査信号線 NS_i の信号 $NS(i)$ 、先行第2走査信号線 NS_{i-2} の信号 $NS(i-2)$ 、対応発光制御線 EM_i の信号 $EM(i)$ 、後続発光制御線 EM_{i+X} の信号 $EM(i+X)$ 、および、対応データ信号線 D_j の信号 $D(j)$ を、それぞれ、対応第1走査信号 $PS(i)$ 、対応第2走査信号 $NS(i)$ 、先行第2走査信号 $NS(i-2)$ 、対応発光制御信号 $EM(i)$ 、後続発光制御信号 $EM(i+X)$ 、および、対応データ信号 $D(j)$ と呼ぶものとする。

[0034] 図4に示すように画素回路 $P_{i \times j}$ (i, j) において、駆動トランジスタ T_4 のソース端子は、書込制御トランジスタ T_3 を介して対応データ信号線 D_j に接続されるとともに、第1発光制御トランジスタ T_5 を介してハイレベル電源線 $ELVDD$ に接続されている。駆動トランジスタ T_4 のドレイン端子は、第2発光制御トランジスタ T_6 を介して有機EL素子 OL の第1端子としてのアノードに接続されており、有機EL素子 OL の第2端子としてのカソードはローレベル電源線 $ELVSS$ に接続されている。駆動トランジスタ T_4 のゲート端子は、閾値補償トランジスタ T_2 を介して駆動トランジスタ T_4 のドレイン端子に接続され、かつ、保持キャパシタ C_{st} を介してハイレベル電源線 $ELVDD$ に接続され、かつ、第1初期化トランジスタ T_1 を介して初期化電圧線 V_{ini} に接続されている。また、有機EL素子 OL のアノードも、表示素子初期化トランジスタとしての第2初期化トランジスタ T_7 を介して初期化電圧線 V_{ini} に接続されている。バイアス印加回路151は、後続発光制御線 EM_{i+X} に接続された第1端子と、駆動トランジスタ T_4 のソース端子に接続された第2端子とを有し、既述のバイアス印加キャパシタ C_{ob} を含んでおり、当該第1端子は、そのバイアス印加キャパシタ C_{ob} を介して当該第2端子に接続されている。

[0035] <1. 4 画素回路の休止駆動モードでの動作>

以下、図4に示した画素回路15すなわち本実施形態における i 行 j 列目の画素回路 $P_{i \times j}$ (i, j) の休止駆動モードでの動作を、図4とともに図

5を参照して説明する。図5は、RFフレーム期間 T_{rf} およびNRFフレーム期間 T_{nrf} に含まれる非発光期間での画素回路 $P_{ix}(i, j)$ の動作を説明するためのタイミングチャートである。なお図5には、上下方向に延びる複数の点線が記載されており、これらの点線の間隔が1水平期間に相当する。また、発光制御信号 $EM(i)$ がHレベルである期間が非発光期間であり、発光制御信号 $EM(i)$ がLレベルである期間が発光期間である（これらの点は後述のタイミングチャートを示す図6、図8、図10、図14においても同様である）。

[0036] まず、RFフレーム期間 T_{rf} における非発光期間での画素回路 $P_{ix}(i, j)$ の動作について説明する。図5に示すように、非発光期間（対応発光制御信号 $EM(i)$ がHレベルである期間）の開始時点では、対応第1走査信号 $PS(i)$ はHレベルであり、先行第2走査信号 $NS(i-2)$ および対応第2走査信号 $NS(i)$ はLレベルである。この非発光期間では、第1および第2発光制御トランジスタ T_5 、 T_6 がオフ状態であるので有機EL素子OLは消灯状態であり、第2初期化トランジスタ T_7 がオン状態であることにより有機EL素子OLのアノードが初期化される。

[0037] 図5に示すように、この非発光期間において、まず、先行第2走査信号 $NS(i-2)$ が略1水平期間に相当する所定期間だけHレベルとなり、この所定期間（以下「初期化期間 T_{ini} 」という）では、第1初期化トランジスタ T_1 がオン状態であることにより保持キャパシタ C_{st} および駆動トランジスタ T_4 のゲート端子の電圧（以下「ゲート電圧」という）が初期化電圧 V_{ini} で初期化される。

[0038] その後、この非発光期間において、対応第2走査信号 $NS(i)$ が略1水平期間に相当する所定期間だけHレベルとなり、この所定期間内において対応第1走査信号 $PS(i)$ が略1水平期間に相当する所定期間だけLレベルとなる。ここで、対応第2走査信号 $NS(i)$ がHレベルであり対応第1走査信号 $PS(i)$ がLレベルとなる水平期間を「補償・書込期間 T_w 」または単に「書込期間 T_w 」と呼ぶものとする。この書込期間 T_w では、閾値補

償トランジスタT2がオン状態となることで駆動トランジスタT4がダイオード接続状態となっており、書込制御トランジスタT3がオン状態となることによって、対応データ信号D(j)の電圧Vdataがダイオード接続状態の駆動トランジスタT4を介して保持キャパシタCstに書き込まれる。これにより、駆動トランジスタT4のゲート端子が閾値補償後のデータ電圧($V_{data} - |V_{th}|$)に保持される。ここで、 V_{th} は駆動トランジスタT4の閾値電圧である。

[0039] バイアス印加回路151の第1端子には、後続発光制御信号EM(i+X)が与えられる。既述のように、後続発光制御線EMi+Xを特定するXは、0以上の整数であって、RFフレーム期間Trfにおいて、画素回路Pix(i, j)につき対応発光制御線EMiが非活性化状態に変化してから閾値補償を伴うデータ書込が開始されるまでの間に当該後続発光制御信号EM(i+X)がLレベルからHレベルへと変化するように選定されており、図5に示す例ではX=1である。このような後続発光制御信号EM(i+X)がHレベルへと変化する時点において、書込制御トランジスタT3、第1および第2発光制御トランジスタT5, T6、ならびに、閾値補償トランジスタT2はいずれもオフ状態であって、駆動トランジスタT4のソース端子を含むノードNdSはフローティング状態であるので、そのソース端子の電圧(以下「ソース電圧」ともいう)Vsは、後続発光制御信号EM(i+X)のLレベルからHレベルへの変化と同じ方向に変化する。すなわち、駆動トランジスタT4のソース電圧Vsは、後続発光制御信号EM(i+X)のLレベルからHレベルへの変化に応じて上昇する。なお、このソース電圧Vsの上昇分は、バイアス印加キャパシタCobの容量を上記ノードNdSに付加されている寄生容量に比べて十分に大きく設定することにより、後続発光制御信号EM(i+X)におけるLレベルとHレベルとの電圧差に略等しくすることができる。

[0040] RFフレーム期間Trfでは、上記のような動作により、後続発光制御信号EM(i+X)がLレベルからHレベルへと変化する時点(図5における

上向き矢印参照)から初期化期間 T_{ini} の開始時点(先行第2走査信号 $N_S(i-2)$ がHレベルへと変化する時点)まで比較的大きな電圧ストレス(V_{gs})が駆動トランジスタ T_4 に加わる。本実施形態では、このようにして比較的大きな電圧ストレス(V_{gs})が駆動トランジスタ T_4 に加わる期間がオンバイアス印加期間 T_{obs} である。このオンバイアス印加期間 T_{obs} は、NRFフレーム期間 T_{nrf} における後述のオンバイアス印加期間 T_{obs} と同様、その終了時点が発光デューティに依存せず、その長さは発光デューティが低くなるほど長くなる。以下、この点につき図6を参照して説明する。

[0041] 図6は、RFフレーム期間 T_{rf} でのオンバイアス印加期間 T_{obs} と発光デューティとの関係を説明するためのタイミングチャートである。本実施形態では、図6に示すように、発光制御信号 $EM(i)$ の立ち上がりタイミングを変えることで発光デューティが調整されるように構成されている(この点は後述の他の実施形態においても同様である)。このため、発光デューティが低い場合(低輝度設定の場合)には、発光制御信号 $EM(i)$ の立ち上がりタイミングが早く、これに応じて後続発光制御信号 $EM(i+X)$ の立ち上がりタイミングも早くなるので、駆動トランジスタ T_4 に比較的大きなオンバイアス電圧 V_{obs} (電圧ストレス V_{gs})が印加される期間 T_{obs} が長くなる。このように本実施形態では、RFフレーム期間 T_{rf} において、発光デューティが低い程、オンバイアス印加期間 T_{obs} が長くなる。この点は、NRFフレーム期間 T_{nrf} においても同様である。また本実施形態では、各画素回路 $P_{ix}(i, j)$ において、対応発光制御信号 $EM(i)$ の立ち上がりと後続発光制御信号 $EM(i+X)$ との間に書込期間 T_w を設ける必要がなく、対応発光制御線 EM_i が非活性化状態に変化してからデータ書込が開始されるまでの間に後続発光制御信号 $EM(i+X)$ がLレベルからHレベルへと変化的ることにより、駆動トランジスタ T_4 が比較的大きな電圧ストレス(V_{gs})を印加される状態となる。このため、 X を小さな値に選定することで比較的大きな電圧ストレス(V_{gs})を長い期間

、印加することができる。このような構成の本実施形態は、表示装置の狭額縁化において有利である。

[0042] 既述のように、上記オンバイアス印加期間 T_{obs} 後の書込期間 T_w においてデータ電圧 V_{data} の書き込みが行われ、これにより駆動トランジスタ T_4 のゲート端子が閾値補償後のデータ電圧 ($V_{data} - |V_{th}|$) に保持される。

[0043] その後、対応発光制御信号 $EM(i)$ が L レベルに変化し、これにより発光期間が開始される。この発光期間では、第1および第2発光制御トランジスタ T_5 、 T_6 がオン状態であり、駆動トランジスタ T_4 を除く他のトランジスタ T_1 、 T_2 、 T_3 、 T_7 はオフ状態である。これにより、保持キャパシタ C_{st} に書き込まれたデータ電圧 V_{data} に応じた電流 I_1 が有機EL素子 OL に流れ、有機EL素子 OL はその電流 I_1 に応じた輝度で発光する。

[0044] 次に、 NRF フレーム期間 T_{nrf} における非発光期間での画素回路 $P_{i \times (i, j)}$ の動作について説明する。 NRF フレーム期間 T_{nrf} では、第1走査信号線 $PS_1 \sim PS_n$ および第2走査信号線 $NS_1 \sim NS_n$ の駆動は停止されるので、図5に示すように、対応第1走査信号 $PS(i)$ は H レベルに維持され、先行第2走査信号 $NS(i-2)$ および対応第2走査信号 $NS(i)$ は L レベルに維持される。この NRF フレーム期間 T_{nrf} においても、非発光期間では、第1および第2発光制御トランジスタ T_5 、 T_6 がオフ状態であるので有機EL素子 OL は消灯状態であり、第2初期化トランジスタ T_7 がオン状態であることにより有機EL素子 OL のアノードが初期化される。

[0045] 図5に示すように、対応発光制御信号 $EM(i)$ が L レベルから H レベルに変化して非発光期間が開始された後に、後続発光制御信号 $EM(i+X)$ が L レベルから H レベルへと変化する。図5に示す例では、対応発光制御信号 $EM(i)$ が H レベルに変化してから1水平期間経過後に後続発光制御信号 $EM(i+X)$ が H レベルに変化する。この後続発光制御信号 $EM(i+X)$

X) はバイアス印加回路 151 の第 1 端子に与えられ、図 4 に示すように、この第 1 端子はバイアス印加キャパシタ C_{ob} を介して駆動トランジスタ T4 のソース端子に接続されている。また、この後続発光制御信号 $EM(i+X)$ が H レベルへと変化する時点では、書込制御トランジスタ T3、第 1 および第 2 発光制御トランジスタ T5、T6、ならびに、閾値補償トランジスタ T2 はいずれのオフ状態であって、駆動トランジスタ T4 のソース端子を含むノード N_{dS} はフローティング状態である。したがって、駆動トランジスタ T4 のソース端子の電圧 (ソース電圧) V_s は、後続発光制御信号 $EM(i+X)$ の L レベルから H レベルへの変化と同じ方向に変化する。すなわち、駆動トランジスタ T4 のソース電圧 V_s は、後続発光制御信号 $EM(i+X)$ の L レベルから H レベルへの変化に応じて上昇する。このようにしてレベルの上昇したソース電圧 V_s は、対応発光制御信号 $EM(i)$ が L レベルに変化する時点 (非発光期間の終了時点) まで維持される。そこで、NRF フレーム期間 T_{nrf} では、後続発光制御信号 $EM(i+X)$ が H レベルに変化してから対応発光制御信号 $EM(i)$ が L レベルに変化するまでの期間を「オンバイアス印加期間 T_{obs} 」と呼ぶ。なお、NRF フレーム期間 T_{nrf} では、第 1 初期化トランジスタ T1、閾値補償トランジスタ T2、および、書込制御トランジスタ T3 は、オフ状態に維持される (図 4、図 5 参照)。また、データ信号線 $D_1 \sim D_m$ に印加されるデータ信号 $D(1) \sim D(m)$ は、いずれも高インピーダンス状態に維持される。

[0046] その後、対応発光制御信号 $EM(i)$ が L レベルに変化して発光期間が開始される。この発光期間では、画素回路 $P_{ix}(i, j)$ は NRF フレーム期間 T_{nrf} における発光期間と同様に動作する。

[0047] 上記のように本実施形態における画素回路 $P_{ix}(i, j)$ では、NRF フレーム期間 T_{nrf} において、非発光期間が開始されると、後続発光制御信号 $EM(i+X)$ の H レベルへの変化によってレベルの上昇したソース電圧 V_s がオンバイアス電圧として、上記のオンバイアス印加期間 T_{obs} の間、駆動トランジスタ T4 のソース端子に印加される。これにより、そのオ

ンバイアス電圧の印加後、発光期間の開始時まで、比較的大きな電圧ストレス (V_{gs}) が駆動トランジスタ T_4 に加わる。したがって、RF フレーム期間 T_{rf} に駆動トランジスタ T_4 に加わる電圧ストレス (V_{gs}) を示す図 6 を図 5 とともに参照するとわかるように、発光制御信号 $EM(i)$ の立ち上がりタイミングすなわち非発光期間の開始タイミングを変えることで発光デューティを調整する構成では、発光デューティに拘わらず RF フレーム期間 T_{rf} と N RF フレーム期間 T_{nrf} との間での駆動トランジスタ T_4 のストレス状態の差異が低減される。

[0048] <1. 5 効果>

上記のような本実施形態によれば、図 5 および図 6 からわかるように、非発光期間の開始タイミングを変えることで発光デューティを調整する構成において、発光デューティに拘わらず RF フレーム期間 T_{rf} と N RF フレーム期間 T_{nrf} との間での駆動トランジスタ T_4 のストレス状態の差異が低減される。その結果、RF フレーム期間 T_{rf} と N RF フレーム期間 T_{nrf} の間での輝度差が低減され、発光デューティを低く設定して休止駆動を行ってもフリッカが視認されない。すなわち、本実施形態によれば、休止駆動を行う場合において発光デューティに依存することのないフリッカ抑制効果を得られる。なお、RF フレーム期間 T_{rf} においてデータ書込の際に駆動トランジスタ T_4 への電圧ストレス (V_{gs}) が小さな値 (V_{th}) となる期間は 1 水平期間程度の長さであって相対的には極めて短いので、当該期間でのストレス電圧 (V_{gs}) の低下は上記のフリッカ抑制においては問題にはならない。また、本実施形態では、駆動トランジスタ T_4 にオンバイアス電圧を印加するための電圧線や制御線を別途必要としないので、画素回路の構成や駆動の複雑化を招くことなく、休止駆動においてこのようなフリッカ抑制効果を得ることができる。

[0049] <2. 第 2 の実施形態>

次に、図 7 および図 8 を参照して、第 2 の実施形態に係る有機 EL 表示装置について説明する。なお、本実施形態につき以下で新たに説明しない構成

については、上記第1の実施形態と同様であるものとする（図1、図4参照）。本実施形態に係る表示装置では、 n 本の第1走査信号線 $PS1 \sim PSn$ にそれぞれ沿って n 本のバイアス制御用の信号線（以下「バイアス制御線」という） $PSB1 \sim PSBn$ が配設されている。各画素回路15は、 n 本のバイアス制御線 $PB1 \sim PBn$ のいずれか1つに対応する。なお、本実施形態における走査側駆動回路40は、休止駆動モードにおいて後述のバイアス制御信号 $PSB(1) \sim PSB(n)$ を生成してバイアス制御線 $PB1 \sim PBn$ にそれぞれ印加することによりバイアス制御線 $PB1 \sim PBn$ を駆動するバイアス制御回路としても機能する（図8参照）。通常駆動モードでは、バイアス制御線 $PSB1 \sim PSBn$ の駆動は停止され、バイアス制御線 $PSB1 \sim PSBn$ は全て非活性化状態に維持される。

[0050] 図7は、本実施形態における画素回路15である i 行 j 列目の画素回路 $Pix(i, j)$ の構成を示す回路図である（ $1 \leq i \leq n$ 、 $1 \leq j \leq m$ ）。この画素回路15は、バイアス印加回路151の構成を除き、上記第1の実施形態における画素回路15（図4）と同様の構成を有している。

[0051] 図7に示すように、本実施形態における画素回路15である i 行 j 列目の画素回路 $Pix(i, j)$ には、対応第1走査信号線 PSi 、当該画素回路 $Pix(i, j)$ に対応するバイアス制御線（以下、画素回路に注目した説明において「対応バイアス制御線」ともいう） $PSBi$ 、対応第2走査信号線 NSi 、先行第2走査信号線 $NSi-2$ 、対応発光制御線 EMi 、対応データ信号線 Dj 、初期化電圧線 $Vini$ 、ハイレベル電源線 $ELVDD$ 、および、ローレベル電源線 $ELVSS$ が接続されている。また、この画素回路15に設けられたバイアス印加回路151は、対応第1走査信号線 PSi に接続されて非アクティブ状態の対応第1走査信号 $PS(i)$ の電圧をオンバイアス電圧として受け取る第1端子と、駆動トランジスタ $T4$ のソース端子に接続された第2端子とを有し、当該第1および第2端子にそれぞれ接続されたソース端子およびドレイン端子を有するP型のバイアス印加トランジスタ $T8$ を含んでいる。バイアス印加トランジスタ $T8$ は、対応バイアス制御線 P

S B i に接続されたゲート端子を有し、スイッチング素子として動作する。

[0052] 次に、図7に示した画素回路P i x (i , j) の動作を、図8を参照して説明する。図8は、R F フレーム期間T r f およびN R F フレーム期間T n r f に含まれる非発光期間での画素回路P i x (i , j) の動作を説明するためのタイミングチャートである。

[0053] 図8を図5と比較すればわかるように、R F フレーム期間T r f において、本実施形態における画素回路P i x (i , j) を駆動するための第1走査信号P S (i)、第2走査信号N S (i)、N S (i - 2)、発光制御信号E M (i)、および、データ信号D (j) は、上記第1の実施形態における画素回路P i x (i , j) を駆動するための第1走査信号P S (i)、第2走査信号N S (i)、N S (i - 2)、発光制御信号E M (i)、および、データ信号D (j) と同様に变化する。このため、R F フレーム期間T r f において、本実施形態における画素回路15に含まれるスイッチング素子としてのトランジスタT 1 ~ T 3、T 5 ~ T 7 は、上記第1の実施形態における画素回路15に含まれるスイッチング素子としてのトランジスタT 1 ~ T 3、T 5 ~ T 7 と同様に動作し、これにより、同様の初期化動作およびデータ書込動作が行われる。その後、対応発光制御信号E M (i) がLレベルへと変化すると、発光期間が開始され、上記第1の実施形態と同様、そのデータ書込動作により保持キャパシタに書き込まれたデータ電圧V d a t a に応じた輝度で有機E L 素子O L が発光する。

[0054] 図8に示すように本実施形態では、対応バイアス制御信号P S B (i) は、R F フレーム期間T r f における非発光期間において、対応発光制御信号E M (i) がLレベルからHレベルに変化して非発光期間が開始されてから先行第2走査信号N S (i - 2) がLレベルからHレベルに変化して初期化期間T i n i が開始されるまでに、対応バイアス制御信号P S B (i) が所定期間だけLレベルとなる。この所定期間において、対応第1走査信号線P S i の電圧がオンバイアス電圧としてバイアス印加トランジスタT 8を介して駆動トランジスタT 4のソース端子に与えられる。その後、対応バイアス

制御信号 $PSB(i)$ が H レベルへと変化してバイアス印加トランジスタ T_8 がオフ状態となるが、対応第 2 走査信号 $NS(i)$ が H レベルへと変化して閾値補償トランジスタ T_2 がオン状態となるまでは、駆動トランジスタ T_4 のソース端子の電圧（ソース電圧 V_s ）は維持される。また、先行第 2 走査信号 $NS(i-2)$ が H レベルへと変化して第 1 初期化トランジスタ T_1 がオン状態となるまでは、駆動トランジスタ T_4 のゲート端子の電圧（ゲート電圧 V_g ）は、保持キャパシタ C_{st} の保持電圧に応じた電圧に維持される。このため、対応第 1 走査信号 $PS(i)$ が L レベルへと変化してから先行第 2 走査信号 $NS(i-2)$ が H レベルへと変化して初期化期間 T_{ini} が開始されるまでの期間は、対応第 1 走査信号 $PS(i)$ の H レベルの電圧に基づく比較的大きな電圧ストレス（ V_{gs} ）が駆動トランジスタ T_4 に印加される。そこで本実施形態では、RF フレーム期間 T_{rf} におけるこの期間を「オンバイアス印加期間 T_{obs} 」と呼ぶ。

[0055] RF フレーム期間 T_{rf} における初期化期間 T_{ini} 以降の画素回路 $P_{ix}(i, j)$ の動作は、上記第 1 の実施形態と同様である。

[0056] 次に、NRF フレーム期間 T_{nrf} における非発光期間での画素回路 $P_{ix}(i, j)$ の動作について説明する。図 8 に示すように、非発光期間の開始時点では、上記の RF フレーム期間 T_{rf} の場合と同様、対応第 1 走査信号 $PS(i)$ は H レベルであり、先行第 2 走査信号 $NS(i-2)$ および対応第 2 走査信号 $NS(i)$ は L レベルである。この非発光期間において、第 1 および第 2 発光制御トランジスタ T_5 , T_6 がオフ状態であるので有機 EL 素子 OL は消灯状態であり、第 2 初期化トランジスタ T_7 がオン状態であることにより有機 EL 素子 OL のアノードが初期化される。NRF フレーム期間 T_{nrf} においても、対応バイアス制御信号 $PSB(i)$ は、RF フレーム期間 T_{rf} と同様に变化するが、NRF フレーム期間 T_{nrf} の間、第 1 走査信号 $PS(i)$ は H レベルに維持され、先行第 2 走査信号 $NS(i-2)$ および対応第 2 走査信号 $NS(i)$ は L レベルに維持される。対応バイアス制御信号 $PSB(i)$ が L レベルの間、バイアス印加トランジスタ T_8

がオン状態となり、このLレベルの期間の間、対応第1走査信号線 PS_i の電圧がオンバイアス電圧としてバイアス印加トランジスタ T_8 を介して駆動トランジスタ T_4 のソース端子に与えられる。その後、対応バイアス制御信号 $PSB(i)$ がHレベルへと変化してバイアス印加トランジスタ T_8 がオフ状態となるが、対応発光制御信号 $EM(i)$ がLレベルとなって第1および第2発光制御トランジスタ T_5 、 T_6 がオン状態となるまで駆動トランジスタ T_4 のソース端子はフローティング状態であり、駆動トランジスタ T_4 のゲート端子の電圧 V_g は、保持キャパシタ C_{st} に書き込まれた電圧 V_{data} に応じた電圧となる。このため、対応バイアス制御信号 $PSB(i)$ がLレベルへと変化してから対応発光制御信号 $EM(i)$ がLレベルへと変化して発光期間が開始されるまでの期間は、対応第1走査信号 $PS(i)$ のHレベルの電圧に基づく比較的大きな電圧ストレス(V_{gs})が駆動トランジスタ T_4 に印加される。そこで本実施形態では、NRFフレーム期間 T_{nrf} におけるこの期間も「オンバイアス印加期間 T_{obs} 」と呼ぶ。

[0057] その後、対応発光制御信号 $EM(i)$ がLレベルに変化し発光期間が開始される。NRFフレーム期間 T_{nrf} における発光期間での画素回路 $P_{ix}(i, j)$ の動作は、上記第1の実施形態と同様である。

[0058] 上記のような本実施形態においても、上記第1の実施形態と同様、休止駆動を行う場合においても発光デューティに拘わらずフリッカが抑制される。しかも、駆動トランジスタ T_4 にオンバイアス電圧を印加するための電圧線を別途必要としないので、画素回路の構成や駆動の複雑化を抑えつつ、休止駆動においてこのようなフリッカ抑制効果を得ることができる。

[0059] なお本実施形態では、各画素回路 $P_{ix}(i, j)$ において、バイアス印加回路151を構成するバイアス印加トランジスタ T_8 のゲート端子に対応バイアス制御線 PSB_i が接続され、対応バイアス制御信号 $PSB(i)$ によってバイアス印加トランジスタ T_8 のオン・オフが制御される。しかし、対応第1走査信号 $PS(i)$ に先行する第1走査信号 $PS(i-X)$ (X は2以上の整数)につき X を適切に設定すると、当該先行する第1走査信号 P

$S(i-X)$ を対応バイアス制御信号 $PSB(i)$ として使用することができる。ただし、この場合、第1走査信号 $PS(i)$ が、図8において点線で示すように、NRFフレーム期間での非リフレッシュ期間においても所定期間だけLレベルとなるように、第1走査信号 $PS(i)$ が生成される。このような構成によれば、バイアス制御信号 $PSB(1) \sim PSB(n)$ を生成するための回路やバイアス制御線 $PSB1 \sim PSBn$ を設けることなく、より簡易な構成で上記のような効果を得ることができる。

[0060] また本実施形態では、各画素回路 $Pix(i, j)$ において、バイアス印加回路151の第1端子に対応第1走査信号線 PSi が接続されており、対応第1走査信号 $PS(i)$ のHレベルの電圧がオンバイアス電圧としてバイアス印加回路151に与えられる。しかし、バイアス印加トランジスタT8がオン状態であるオンバイアス印加期間 $Tobs$ の間、オンバイアス電圧として使用可能な電圧を有する信号線であれば、他の信号線が当該第1端子に接続されるようにしてもよい。例えば、対応第1走査信号線 PSi に代えて、対応発光制御線 EMi がバイアス印加回路151の第1端子に接続されるようにしてもよい。

[0061] <3. 第3の実施形態>

次に、図9および図10を参照して、第3の実施形態に係る有機EL表示装置について説明する。なお、本実施形態につき以下で新たに説明しない構成については、上記第1の実施形態と同様であるものとする（図1、図4参照）。

[0062] <3. 1 第1の構成例>

図9は、本実施形態における画素回路15の第1構成例を示す回路図であり、より詳しくは、 i 行 j 列目の画素回路 $Pix(i, j)$ の構成を示す回路図である（ $1 \leq i \leq n$ 、 $1 \leq j \leq m$ ）。この画素回路15は、バイアス印加回路151の構成を除き、上記第1の実施形態における画素回路15（図4）と同様の構成を有している。

[0063] 図9に示すように、本実施形態における画素回路15である i 行 j 列目の

画素回路 $P_{ix}(i, j)$ には、対応第1走査信号線 PS_i 、対応第2走査信号線 NS_i 、先行第2走査信号線 NS_{i-2} 、対応発光制御線 EM_i 、対応データ信号線 D_j 、初期化電圧線 V_{ini} 、ハイレベル電源線 $ELVDD$ 、および、ローレベル電源線 $ELVSS$ が接続されており、更に、先行の第2走査信号線 NS_{i-X} が接続されている。ここで、 X は、正の整数であって、 RF フレーム期間 T_{rf} において、画素回路 $P_{ix}(i, j)$ につき対応発光制御線 EM_i が非活性化状態に変化してから閾値補償を伴うデータ書込が開始されるまでの間に当該先行の第2走査信号線 NS_{i-X} における第2走査信号 $NS(i-X)$ のHレベルの期間が含まれるように選定されている（後述の図10参照）。ただし、 X は2以上の整数であることが好ましい。また、「閾値補償を伴うデータ書込が開始されるまで」とは「対応第1走査信号 $PS(i)$ のLレベルへの変化により書込制御トランジスタ T_3 がオン状態に変化するまで」に相当するが、対応第2走査信号 $NS(i)$ のHレベルへの変化により閾値補償トランジスタ T_2 がオン状態に変化する前に当該先行の第2走査信号線 NS_{i-X} における第2走査信号 $NS(i-X)$ がHレベルからLレベルへと変化するように X を選定するのが好ましい。以下、画素回路 $P_{ix}(i, j)$ に注目した説明において、このような X により特定される先行の第2走査信号線 NS_{i-X} を「バイアス制御用第2走査信号線 NS_{i-X} 」といい、バイアス制御用第2走査信号線 NS_{i-X} の信号を「バイアス制御用第2走査信号 $NS(i-X)$ 」という（後述の他の実施形態においても同様）。

[0064] 本構成例による画素回路15に設けられたバイアス印加回路151は、図9に示すように、バイアス制御用第2走査信号線 NS_{i-X} に接続されてバイアス制御用第2走査信号 $NS(i-X)$ の電圧をオンバイアス電圧 V_{obs} として受け取る第1端子と、駆動トランジスタ T_4 のソース端子に接続された第2端子とを有し、当該第1および第2端子にそれぞれ接続されたソース端子およびドレイン端子を有するP型のバイアス印加トランジスタ T_8 を含んでいる。このバイアス印加トランジスタ T_8 は、そのゲート端子をそのドレイン端子に接続されてダイオード接続形態となっている。

[0065] 次に、図9に示した本構成例による i 行 j 列目の画素回路 $P_{ix}(i, j)$ の動作を、図10を参照して説明する。図10は、RFフレーム期間 T_{rf} およびNRFフレーム期間 T_{nrf} に含まれる非発光期間での画素回路 $P_{ix}(i, j)$ の動作を説明するためのタイミングチャートである。

[0066] 図10を図5と比較すればわかるように、RFフレーム期間 T_{rf} において、本実施形態における画素回路 $P_{ix}(i, j)$ を駆動するための第1走査信号 $PS(i)$ 、第2走査信号 $NS(i)$ 、 $NS(i-2)$ 、発光制御信号 $EM(i)$ 、および、データ信号 $D(j)$ は、上記第1の実施形態における画素回路 $P_{ix}(i, j)$ を駆動するための第1走査信号 $PS(i)$ 、第2走査信号 $NS(i)$ 、 $NS(i-2)$ 、発光制御信号 $EM(i)$ 、および、データ信号 $D(j)$ と同様に変化する。これにより、本実施形態における画素回路 $P_{ix}(i, j)$ に含まれるスイッチング素子としてのトランジスタ $T1 \sim T3$ 、 $T5 \sim T7$ が、上記第1の実施形態における画素回路15に含まれるスイッチング素子としてのトランジスタ $T1 \sim T3$ 、 $T5 \sim T7$ と同様に動作することで、同様の初期化動作およびデータ書込動作が行われる。

[0067] 図9に示すように本構成例による画素回路 $P_{ix}(i, j)$ では、バイアス印加回路151は、その第1端子においてバイアス制御用第2走査信号 $NS(i-X)$ を受け取る。この第1端子は、図9に示すようにダイオード接続形態のP型のバイアス印加トランジスタ $T8$ を介して駆動トランジスタ $T4$ のソース端子に接続されている。このため、バイアス制御用第2走査信号 $NS(i-X)$ がHレベルのときに、そのHレベルの電圧がバイアス印加トランジスタ $T8$ を介して駆動トランジスタ $T4$ のソース端子に印加される。

[0068] バイアス制御用第2走査信号 $NS(i-X)$ を特定する X の値は既述のように選定されるので、バイアス制御用第2走査信号 $NS(i-X)$ がHレベルである期間は、図10に示すように、通常、対応発光制御信号 $EM(i)$ のHレベルへの変化により非発光期間が開始されてから先行第2走査信号 $NS(i-2)$ のHレベルへの変化により初期化期間 T_{ini} が開始されるま

での間において、所定期間だけHレベルとなる。その後、バイアス制御用第2走査信号NS (i-X) がLレベルへと変化してバイアス印加トランジスタT8がオフ状態となるが、先行第2走査信号NS (i-2) のHレベルへの変化により初期化期間Tiniが開始されるまで、バイアス制御用第2走査信号NS (i-X) のHレベルの電圧に基づく比較的大きな電圧ストレス(Vgs)が駆動トランジスタT4に印加される。そこで本実施形態では、RFフレーム期間Trfにおいて、バイアス制御用第2走査信号NS (i-X) がHレベルへと変化してから初期化期間Tiniが開始されるまでの期間を「オンバイアス印加期間Tobs」と呼ぶ。なお、RFフレーム期間Trfにおける初期化期間Tini以降の画素回路Pix (i, j) の動作は、上記第1の実施形態と同様である。

[0069] 本実施形態におけるNRFフレーム期間Tnrfでは、図10に示すように、対応第1走査信号線PSiが駆動されるとともに、対応第1走査信号線PSiの選択期間(対応第1走査信号PS(i)がLレベルの期間)に対応データ信号線Djから書込制御トランジスタT3を介して駆動トランジスタT4のソース端子にオンバイアス電圧Vobsが与えられるように対応データ信号線Djが駆動される。これによりNRFフレーム期間Tnrfでは、非発光期間において、対応第1走査信号PS(i)がLレベルへと変化してから対応発光制御信号EM(i)のLレベルへの変化により発光期間が開始されるまでの期間は、第1走査信号PS(i)の選択期間に対応データ信号線Djから与えられるオンバイアス電圧Vobsに基づく比較的大きな電圧ストレス(Vgs)が駆動トランジスタT4に印加される。本実施形態におけるNRFフレーム期間Tnrfでは、この期間が「オンバイアス印加期間Tobs」である。

[0070] その後、対応発光制御信号EM(i)がLレベルに変化し発光期間が開始される。NRFフレーム期間Tnrfにおける発光期間での画素回路Pix (i, j) の動作は、上記第1の実施形態と同様である。

[0071] 上記のような本実施形態においても、バイアス制御用第2走査信号NS (

$i - X$) を特定する X を適切に選定するとともに、 NRF フレーム期間 T_{nrf} における対応第 1 走査信号線 PS_i の選択期間を適切に設定することにより、上記第 1 の実施形態と同様、休止駆動を行う場合においても発光デューティに拘わらずフリッカを抑制することができる。また本実施形態においても、駆動トランジスタ T_4 にオンバイアス電圧を印加するための制御線や電圧線を別途必要としないので、画素回路の構成や駆動の複雑化を抑えつつこのようなフリッカ抑制効果を得ることができる。

[0072] <3. 2 第 2 の構成例>

図 11 は、本実施形態における画素回路 15 の第 2 構成を示す回路図であり、より詳しくは、 i 行 j 列目の画素回路 $P_{ix}(i, j)$ の構成を示す回路図である ($1 \leq i \leq n$ 、 $1 \leq j \leq m$)。この画素回路 15 は、バイアス印加回路 151 におけるバイアス印加トランジスタ T_8 が N 型である点で上記第 1 構成例による画素回路 15 (図 9) と相違するが、その他の構成は上記第 1 構成例と同じである。本構成例におけるバイアス印加回路 151 の第 1 および第 2 端子には、バイアス印加トランジスタ T_8 のドレイン端子およびソース端子がそれぞれ接続されており、このバイアス印加トランジスタ T_8 は、そのゲート端子をそのドレイン端子に接続されてダイオード接続形態となっている。

[0073] 本構成例による画素回路 $P_{ix}(i, j)$ も、図 10 に示すように変化する第 1 走査信号 $PS(i)$ 、第 2 走査信号 $NS(i)$ 、 $NS(i-2)$ 、 $NS(i-X)$ 、発光制御信号 $EM(i)$ 、データ信号 $D(j)$ により、上記第 1 構成例による画素回路 $P_{ix}(i, j)$ と同様に動作する。したがって、本実施形態において本構成例による画素回路 $P_{ix}(i, j)$ を使用する場合であっても、上記第 1 構成例による画素回路 $P_{ix}(i, j)$ を使用した場合と同様の効果が得られる。

[0074] <4. 第 4 の実施形態>

次に、図 12 を参照して、第 4 の実施形態に係る有機 EL 表示装置について説明する。なお、本実施形態につき以下で新たに説明しない構成について

は、上記第3の実施形態と同様であるものとする（図1、図10、図11参照）。

[0075] 図12の（A）～（D）は、それぞれ、本実施形態における画素回路の第1から第4構成例を説明するための回路図であり、図11に示す画素回路15のうち1点鎖線で囲まれた部分の構成をそれぞれ示している。本実施形態における第1から第4構成例による画素回路15は、いずれも、バイアス印加回路151以外については上記第3の実施形態における第2構成例による画素回路15（図11）と同じ構成を有している。

[0076] 図12の（A）～（D）に示すように、上記第1から第4構成例による画素回路15のいずれに設けられたバイアス印加回路151も、オンバイアス電圧 V_{obs} を受け取る第1端子と、駆動トランジスタ T_4 のソース端子に接続された第2端子とを有し、当該第1および第2端子にそれぞれ接続されたドレイン端子およびソース端子を有するN型のバイアス印加トランジスタ T_8 を含んでいる。上記第1から第4構成例のいずれにおいても、このバイアス印加トランジスタ T_8 は、バイアス制御用第2走査信号線 NS_i-X に接続されたゲート端子を有し、スイッチング素子として動作する。このバイアス制御用第2走査信号線 NS_i-X を特定する正の整数 X は上記第3の実施形態と同様に選定される。

[0077] 図12の（A）に示すように、上記第1構成例による画素回路15では、バイアス印加回路151の第1端子に、第1走査信号 $PS(i)$ または第2走査信号 $NS(i)$ 等のHレベルの電圧 V_{GH} を供給するための電圧線（以下「ゲートハイレベル電圧線」という）が接続されていて電圧 V_{GH} がオンバイアス電圧 V_{obs} として与えられる。図12の（B）に示すように、上記第2構成例による画素回路15では、バイアス印加回路151の第1端子に、ハイレベル電源線 $ELVDD$ が接続されていてハイレベル電源電圧 $ELVDD$ がオンバイアス電圧 V_{obs} として与えられる。図12の（C）に示すように、上記第3構成例による画素回路15では、バイアス印加回路151の第1端子に、対応第1走査信号線 PS_i が接続されていて対応第1走査

信号 $PS(i)$ の H レベルの電圧がオンバイアス電圧 V_{obs} として与えられる。図 12 の (D) に示すように、上記第 4 構成例による画素回路 15 では、バイアス印加回路 151 の第 1 端子に、対応発光制御線 EM_i が接続されていて発光制御信号 $EM(i)$ の H レベルの電圧がオンバイアス電圧 V_{obs} として与えられる。

[0078] このように、バイアス印加回路 151 の第 1 端子に接続される信号線または電圧線は上記第 1 から第 4 構成によって異なる。しかし、本実施形態における第 1 から第 4 構成例による画素回路 $P_{ix}(i, j)$ は、いずれも、図 10 に示すように変化する第 1 走査信号 $PS(i)$ 、第 2 走査信号 $NS(i)$ 、 $NS(i-2)$ 、 $NS(i-X)$ 、発光制御信号 $EM(i)$ 、データ信号 $D(j)$ により、上記第 3 の実施形態における画素回路 $P_{ix}(i, j)$ と同様に動作する。したがって、本実施形態によれば、画素回路 $P_{ix}(i, j)$ につき上記第 1 から第 4 構成例のいずれを採用しても、上記第 3 の実施形態と同様の効果が得られる。

[0079] なお、本実施形態における画素回路 15 では、N 型のバイアス印加トランジスタ T8 が使用されているが（図 12 参照）、これに代えて、P 型のバイアス印加トランジスタ T8 を使用し、バイアス印加トランジスタ T8 のゲート端子に対応第 1 走査信号線 PS_i に先行する第 1 走査信号線 PS_{i-X} を接続するようにしてもよい。

[0080] <5. 第 5 の実施形態>

次に、図 13 および図 14 を参照して、第 5 の実施形態に係る有機 EL 表示装置について説明する。なお、本実施形態につき以下で新たに説明しない構成については、上記第 1 の実施形態と同様であるものとする（図 1、図 4 参照）。

[0081] 図 13 は、本実施形態における画素回路 15 である i 行 j 列目の画素回路 $P_{ix}(i, j)$ の構成を示す回路図である（ $1 \leq i \leq n$ 、 $1 \leq j \leq m$ ）。この画素回路 15 は、バイアス印加回路 151 を構成するバイアス印加キャパシタ C_{ob} の接続形態を除き、上記第 1 の実施形態における画素回路 15

(図4)と同様の構成を有している。

[0082] 本実施形態における画素回路 $P_{i \times (i, j)}$ に設けられたバイアス印加回路151においても、その第1端子はバイアス印加キャパシタ C_{ob} を介してその第2端子に接続されている。このバイアス印加回路151は、図13に示すように、その第1端子を対応第1走査信号線 PS_i に接続され、その第2端子を駆動トランジスタ T_4 のソース端子（ノード NdS ）に接続されている。したがって、対応第1走査信号線 PS_i が接続された書込制御トランジスタ T_3 のゲート端子は、バイアス印加キャパシタ C_{ob} を介して、書込制御トランジスタ T_3 のドレイン端子を含むノード NdS に接続されている。なお、このような接続形態を考慮し、画素回路 $P_{i \times (i, j)}$ の書込制御トランジスタ T_3 におけるゲート・ドレイン間の寄生容量をバイアス印加キャパシタ C_{ob} として利用してもよい。

[0083] 次に、図13に示した本実施形態における i 行 j 列目の画素回路 $P_{i \times (i, j)}$ の動作を、図14を参照して説明する。図14は、RFフレーム期間 T_{rf} およびNRFフレーム期間 T_{nrf} に含まれる非発光期間での画素回路 $P_{i \times (i, j)}$ の動作を説明するためのタイミングチャートである。

[0084] 図14に示すように、本実施形態における走査側駆動回路40は、RFフレーム期間 T_{rf} において、各第1走査信号線 PS_i に対応する画素回路 $P_{i \times (i, j)}$ につき、対応第1走査信号線 PS_i が書込期間 T_w 内で選択状態となるだけでなく、非発光期間が開始されてから書込期間 T_w が開始されるまでの間においても所定期間だけ選択状態となるように、第1走査信号線 $PS_1 \sim PS_n$ を駆動する。しかし、図14を図5と比較すればわかるように、この点を除き、RFフレーム期間 T_{rf} において、本実施形態における画素回路 $P_{i \times (i, j)}$ を駆動するための第1走査信号 $PS(i)$ 、第2走査信号 $NS(i)$ 、 $NS(i-2)$ 、発光制御信号 $EM(i)$ 、および、データ信号 $D(j)$ は、上記第1の実施形態における画素回路 $P_{i \times (i, j)}$ を駆動するための第1走査信号 $PS(i)$ 、第2走査信号 $NS(i)$ 、 $NS(i-2)$ 、発光制御信号 $EM(i)$ 、および、データ信号 $D(j)$

と同様に変化する。これにより、本実施形態における画素回路 $P_{ix}(i, j)$ に含まれるスイッチング素子としてのトランジスタ $T_1 \sim T_3$, $T_5 \sim T_7$ が、上記第1の実施形態における画素回路 $P_{ix}(i, j)$ に含まれるスイッチング素子としてのトランジスタ $T_1 \sim T_3$, $T_5 \sim T_7$ と同様に動作することで、同様の初期化動作およびデータ書込動作が行われる。

[0085] 図13に示すように本実施形態における画素回路 $P_{ix}(i, j)$ では、バイアス印加回路151は、その第1端子において対応第1走査信号 $PS(i)$ を受け取る。上記のような第1走査信号線 $PS_1 \sim PS_n$ の駆動により、この対応第1走査信号 $PS(i)$ は、RFフレーム期間 T_{rf} において、対応発光制御信号 $EM(i)$ のHレベルへの変化により非発光期間が開始されてから対応第1走査信号 $PS(i)$ のLレベルへの変化により書込期間 T_w が開始されるまでの間において所定期間だけLレベルとなる。ただし、後述のオンバイアス印加期間 T_{obs} を長くする観点から当該所定期間を非発光期間の開始時点から初期化期間 T_{ini} の開始時点までの間に配置するのが好ましく、非発光期間の開始時点の近くに当該所定期間を配置するのがより好ましい。以下では、図14に示すように、対応第1走査信号 $PS(i)$ は初期化期間 T_{ini} の開始前に所定期間、Lレベルとなるものとする。このようにして非発光期間の開始後で初期化期間 T_{ini} の開始前において対応第1走査信号 $PS(i)$ がLレベルからHレベルに変化する時点では（図14における上向き矢印参照）、第1発光制御トランジスタ T_5 はオフ状態であり、書込制御トランジスタ T_3 はオン状態からオフ状態へと変化する。このため、駆動トランジスタ T_4 のソース端子の電圧（ソース電圧） V_s は、対応第1走査信号 $PS(i)$ のLレベルからHレベルへの変化と同じ方向に変化する。すなわち、駆動トランジスタ T_4 のソース電圧 V_s は、対応第1走査信号 $PS(i)$ のLレベルからHレベルへの変化に応じて上昇する。

[0086] RFフレーム期間 T_{rf} では、上記のような動作により、初期化期間 T_{ini} の開始前に対応第1走査信号 $PS(i)$ がLレベルからHレベルに変化する時点から初期化期間 T_{ini} の開始時点まで比較的大きな電圧ストレス

(V_{gs}) が駆動トランジスタ T_4 に加わる。そこで本実施形態では、 RF フレーム期間 T_{rf} での非発光期間において初期化期間 T_{ini} の開始前に対応第 1 走査信号 $PS(i)$ が L レベルから H レベルに変化する時点から初期化期間 T_{ini} の開始時点までを「オンバイアス印加期間 T_{obs} 」と呼ぶ。

[0087] 本実施形態における NRF フレーム期間 T_{nrf} では、図 14 に示すように、第 1 走査信号線 $PS_1 \sim PS_n$ は NRF フレーム期間 T_{nrf} においても対応第 1 走査信号 $PS(i)$ が非発光期間内で所定期間だけ L レベルとなるように駆動される。ここで、第 1 走査信号線 $PS_1 \sim PS_n$ は、対応第 1 走査信号 $PS(i)$ が非発光期間において 1 回だけ L レベルとなるように駆動されてもよいが、図 14 で点線にて示すパルスを含めて 2 回 L レベルとなるように駆動されてもよい。また、発光制御線 $EM_1 \sim EM_n$ は、 NRF フレーム期間 T_{nrf} において、 RF フレーム期間 T_{rf} と同様の形態で駆動される。各データ信号線 D_j は、 NRF フレーム期間 T_{nrf} の間、高インピーダンス状態とされる。

[0088] 上記のような動作により、 NRF フレーム期間 T_{nrf} においても、 RF フレーム期間と同様、各画素回路 $P_{ix}(i, j)$ につき対応第 1 走査信号 $PS(i)$ が非発光期間において所定期間だけ L レベルとなり（図 14 参照）、非発光期間において対応第 1 走査信号 $PS(i)$ が最初に L レベルから H レベルへと変化する時点から対応発光制御信号 $EM(i)$ が H レベルから L レベルへと変化して発光期間が開始する時点まで、比較的大きな電圧ストレス (V_{gs}) が駆動トランジスタ T_4 に加えられる。

[0089] 上記のような本実施形態によれば、上記第 1 の実施形態と同様、発光デュティに拘わらず RF フレーム期間 T_{rf} と NRF フレーム期間 T_{nrf} との間での駆動トランジスタ T_4 のストレス状態の差異が低減され、休止駆動モードにおいてフリッカの発生が十分に抑制される。また、本実施形態においても、駆動トランジスタ T_4 にオンバイアス電圧を印加するための電圧線や制御線を別途必要としないので、上記第 1 の実施形態と同様、画素回路の

構成や駆動の複雑化を招くことなく、休止駆動モードにおいてこのようなフリッカ抑制効果を得ることができる。

[0090] <6. 変形例>

本発明は上記各実施形態に限定されるものではなく、本発明の範囲を逸脱しない限りにおいて種々の変形を施すことができる。例えば、下記のような変形例が考えられる。

[0091] 上記各実施形態では、画素回路15は、P型トランジスタとN型トランジスタの双方を含み、典型的には、P型トランジスタについては移動度の高いLTPS-TFTが使用され、N型トランジスタについてオフリーク特性が良いIGZO-TFT等の酸化物TFTが使用される。しかし、これらのTFTに限定されるものではなく、また、使用すべきトランジスタのチャンネル型をP型とN型の間で適宜に変更して同様に動作するように構成されていてもよい。例えば、各実施形態においてP型のLTPS-TFTに代えてN型のLTPS-TFTを使用した構成を採用してもよい。

[0092] 上記各実施形態に係る表示装置では、図4等に応示するように構成された画素回路15が使用されているが、画素回路の構成はこれらに限定されず、閾値補償トランジスタを含む内部補償方式の画素回路であって、保持キャパシタに書き込まれたデータ電圧を保持しつつ、駆動トランジスタのヒステリシス特性による閾値シフトの低減のためのオンバイアス電圧の印加が可能に構成された画素回路であればよい。

[0093] 上記各実施形態に係る表示装置のように休止駆動モードを有する有機EL表示装置では、通常、RFフレーム期間 T_{rf} およびNRFフレーム期間 T_{nrf} のいずれにおいても同じ発光デューティとなるように発光制御線 $EM_1 \sim EM_n$ が駆動されるが、RFフレーム期間 T_{rf} およびNRFフレーム期間 T_{nrf} とで異なる発光デューティを設定できるように構成されていてもよい。

[0094] 上記第1の実施形態は、図6に示すように、発光制御信号 $EM(i)$ の立ち上がりタイミングすなわち非発光期間の開始タイミングを変えることで発

光デューティが調整されるように構成されている。しかし、発光制御信号 $EM(i)$ の立ち上がりタイミングを変えることなく、発光制御信号 $EM(i)$ の立ち下がりタイミングすなわち非発光期間の終了タイミングを変えることで発光デューティが調整されるように構成されていてもよい。この点は他の実施形態においても同様である。ただし、上記各実施形態では、RFフレーム期間内の非発光期間において、当該非発光期間の開始時点から書込期間 T_w の開始時点までにオンバイアス印加期間 T_{obs} が設けられていることから、前者の構成は、休止駆動モードにおいて発光デューティに拘わらずフリッカの発生を十分に抑制できる点において後者の構成よりも有利である。また、RFフレーム期間内の非発光期間において、上記オンバイアス印加期間 T_{obs} に加えて、書込期間 T_w の終了時点から当該非発光期間の終了時点までにおいてもオンバイアス印加期間を設けるようにしてもよい。このようにすれば、発光デューティの調整のために前者と後者のいずれの構成が採用されている場合であっても、休止駆動モードにおいて発光デューティに拘わらずフリッカの発生を十分に抑制することが可能となる。

[0095] 以上においては、有機EL表示装置を例に挙げて各実施形態が説明されたが、本発明は、有機EL表示装置に限定されるものではなく、電流で駆動される表示素子を用いた内部補償方式の表示装置であって休止駆動を行う表示装置であれば適用可能である。ここで使用可能な表示素子は、例えば、有機EL素子すなわち有機発光ダイオード (Organic Light Emitting Diode (OLED)) の他、無機発光ダイオードや量子ドット発光ダイオード (Quantum dot Light Emitting Diode (QLED)) 等である。

符号の説明

[0096] 10 …表示装置
11 …表示部
15 …画素回路
20 …表示制御回路
30 …データ側駆動回路 (データ信号線駆動回路)

- 4 0 …走査側駆動回路（走査信号線駆動回路／発光制御回路）
- 1 5 1 …バイアス印加回路
- $P_{ix}(j, i)$ …画素回路（ $i = 1 \sim n$ 、 $j = 1 \sim m$ ）
- PS_i …第1走査信号線（ $i = 1, 2, \dots, n$ ）
- NS_i …第2走査信号線（ $i = -1, 0, 1, \dots, n$ ）
- EM_i …発光制御線（ $i = 1 \sim n$ ）
- PSB_i …バイアス制御線（ $i = 1 \sim n$ ）
- D_j …データ信号線（ $j = 1 \sim m$ ）
- $ELVDD$ …ハイレベル電源線（第1電源線）、ハイレベル電源電圧
- $ELVSS$ …ローレベル電源線（第2電源線）、ローレベル電源電圧
- OL …有機EL素子（表示素子）
- Cst …保持キャパシタ
- Cob …バイアス印加キャパシタ
- T1 …第1初期化トランジスタ
- T2 …閾値補償トランジスタ
- T3 …データ書込制御トランジスタ
- T4 …駆動トランジスタ
- T5 …第1発光制御トランジスタ
- T6 …第2発光制御トランジスタ
- T7 …第2初期化トランジスタ
- T8 …バイアス印加トランジスタ
- TD …駆動期間
- TP …休止期間
- Trf …リフレッシュフレーム期間（RFフレーム期間）
- Tnrf …非リフレッシュフレーム期間（NRFフレーム期間）
- Tobs …オンバイアス印加期間
- Vobs …オンバイアス電圧

請求の範囲

[請求項1]

複数の画素回路を含む表示部と、

前記複数の画素回路を駆動する駆動回路と、

前記複数の画素回路に複数のデータ信号の電圧をデータ電圧として書き込む1つまたは複数のリフレッシュフレーム期間からなる駆動期間と前記複数の画素回路へのデータ電圧の書き込みを停止する1つまたは複数の非リフレッシュフレーム期間からなる休止期間とが交互に現れるように前記駆動回路を制御する表示制御回路とを備え、

前記複数の画素回路のそれぞれは、

電流によって駆動される表示素子と、

制御端子と第1導通端子と第2導通端子とを有し、前記表示素子と直列に設けられた駆動トランジスタと、

前記駆動トランジスタの前記制御端子の電圧を保持するために一端が前記駆動トランジスタの前記制御端子に接続された保持キャパシタと、

前記保持キャパシタに書き込むべきデータ電圧を受け取る第1導通端子と前記駆動トランジスタの前記第1導通端子に接続された第2導通端子とを有するスイッチング素子としての書込制御トランジスタと、

前記駆動トランジスタの前記第2導通端子と前記制御端子との間に設けられ、オン状態のときに前記駆動トランジスタをダイオード接続状態とするスイッチング素子としての閾値補償トランジスタと、

前記表示素子および前記駆動トランジスタに対し直列に設けられたスイッチング素子としての少なくとも1つの発光制御トランジスタと、

前記駆動トランジスタのヒステリシス特性による閾値電圧のシフトを低減するためのバイアス電圧を前記駆動トランジスタの前記第1

導通端子に印加するバイアス印加回路と
を含み、

前記複数の画素回路のそれぞれにおいて、前記バイアス印加回路は、当該画素回路または他の画素回路におけるトランジスタのうち前記バイアス印加回路に含まれないトランジスタの制御端子に与えられる信号の1つまたは前記複数の画素回路の電源電圧の1つを受け取る第1端子と、前記駆動トランジスタの前記第1導通端子に接続された第2端子とを有し、前記第1端子において受け取る前記信号または前記電圧に基づき前記バイアス電圧を前記駆動トランジスタの前記第1導通端子に与えるように構成されている、表示装置。

[請求項2]

前記表示制御回路は、

前記リフレッシュフレーム期間において所定の発光デューティで前記表示素子が発光するとともに前記非リフレッシュフレーム期間において所定の発光デューティで前記表示素子が発光するよう前記発光制御トランジスタがオンおよびオフし、前記リフレッシュフレーム期間および前記非リフレッシュフレーム期間のいずれにおいても、前記複数の画素回路のそれぞれにおいて前記発光制御トランジスタがオフ状態である期間内に前記バイアス電圧が前記駆動トランジスタの前記第1導通端子に印加されるように、前記駆動回路を制御し、

前記リフレッシュフレーム期間では、前記複数の画素回路のそれぞれにおいて、前記発光制御トランジスタがオフ状態である期間内に前記書込制御トランジスタと前記閾値補償トランジスタとがそれぞれ所定期間だけオン状態となり、前記発光制御トランジスタがオフ状態に変化してから前記書込制御トランジスタがオン状態に変化するまでの期間の少なくとも一部を含むように設けられたバイアス期間の間、前記バイアス印加回路が、前記第1端子において受け取る前記信号または前記電圧に基づき前記バイアス電圧を前記駆動トランジスタの前記第1導通端子に印加するように、前記駆動回路を制御する、請求項

1 に記載の表示装置。

[請求項3] 前記バイアス印加回路は、バイアス印加キャパシタを含み、前記第1端子を、当該バイアス印加キャパシタを介して前記第2端子に接続されており、

前記複数の画素回路のそれぞれは、当該画素回路以外の他の画素回路におけるトランジスタの制御端子に与えられる信号のうち、前記リフレッシュフレーム期間において前記発光制御トランジスタがオフ状態に変化してから前記書込制御トランジスタがオン状態に変化するまでの間に、前記駆動トランジスタの前記第1導通端子の電圧を前記駆動トランジスタがオンする方向に前記バイアス印加キャパシタを介して変化させる得る信号が、前記バイアス印加回路の前記第1端子に与えられるように構成されている、請求項2に記載の表示装置。

[請求項4] 前記表示部は、複数のデータ信号線、複数の第1走査信号線、複数の発光制御線、第1電源線、および、第2電源線を更に含み、

前記駆動回路は、

複数のデータ信号を生成して前記複数のデータ信号線に印加するデータ側駆動回路と、

前記複数の第1走査信号線を選択的に駆動し、かつ、前記複数の発光制御線を選択的に非活性化する走査側駆動回路を含み、

前記複数の画素回路のそれぞれは、前記複数のデータ信号線のいずれか1つに対応し、かつ、前記複数の第1走査信号線のいずれか1つに対応し、かつ、前記複数の発光制御線のいずれか1つに対応し、

前記少なくとも1つの発光制御トランジスタは、いずれも、対応する発光制御線に接続された制御端子を有する第1および第2発光制御トランジスタを含み、

前記書込制御トランジスタは、対応する第1走査信号線に接続された制御端子を更に有し、

前記駆動トランジスタの前記第1導通端子は、

前記書込制御トランジスタを介して対応するデータ信号線に接続され、かつ、

前記第1発光制御トランジスタを介して前記第1電源線に接続され、かつ、

前記バイアス印加キャパシタを介して所定の後続発光制御線に接続されており、

前記駆動トランジスタの前記第2導通端子は、前記第2発光制御トランジスタを介して前記表示素子の第1端子に接続されており、

前記表示素子の第2端子は前記第2電源線に接続されており、

前記所定の後続発光制御線は、前記複数の画素回路のそれぞれにつき、前記複数の発光制御線のうち対応する発光制御線よりも後に非活性化状態となる発光制御線の中から選定された発光制御線であって、前記リフレッシュフレーム期間において前記対応する発光制御線が非活性化状態に変化してから前記対応する第1走査信号線が選択状態に変化するまでの間に、前記駆動トランジスタの前記第1導通端子の電圧を前記駆動トランジスタがオンする方向に前記バイアス印加キャパシタを介して変化させるように電圧が変化する発光制御線である、請求項3に記載の表示装置。

[請求項5]

前記バイアス印加回路は、前記バイアス印加回路の前記第1および第2端子にそれぞれ接続された第1および第2導通端子を有するスイッチング素子としてのバイアス印加トランジスタを含み、

前記表示制御回路は、前記バイアス印加トランジスタが前記バイアス期間の間、オン状態であるように前記駆動回路を制御し、

前記複数の画素回路のそれぞれは、当該画素回路または他の画素回路において前記バイアス印加トランジスタ以外の他のトランジスタの制御端子に与えられる信号のうち前記バイアス電圧に相当する電圧を前記バイアス期間に有する信号、または、前記電源電圧のうち前記バイアス電圧に相当する電圧が前記バイアス印加回路の前記第1端子に

与えられるように構成されている、請求項 2 に記載の表示装置。

[請求項 6]

前記表示部は、複数のデータ信号線、複数の第 1 走査信号線、複数の発光制御線、複数のバイアス制御線、第 1 電源線、および、第 2 電源線を更に含み、

前記駆動回路は、

複数のデータ信号を生成して前記複数のデータ信号線に印加するデータ側駆動回路と、

前記複数の第 1 走査信号線を選択的に駆動し、かつ、前記複数の発光制御線を選択的に非活性化する走査側駆動回路を含み、

前記複数の画素回路のそれぞれは、前記複数のデータ信号線のいずれか 1 つに対応し、かつ、前記複数の第 1 走査信号線のいずれか 1 つに対応し、かつ、前記複数の発光制御線のいずれか 1 つに対応し、かつ、前記複数のバイアス制御線のいずれか 1 つに対応し、

前記少なくとも 1 つの発光制御トランジスタは、いずれも、対応する発光制御線に接続された制御端子を有する第 1 および第 2 発光制御トランジスタを含み、

前記書込制御トランジスタは、対応する第 1 走査信号線に接続された制御端子を更に有し、

前記駆動トランジスタの前記第 1 導通端子は、

前記書込制御トランジスタを介して対応するデータ信号線に接続され、かつ、

前記第 1 発光制御トランジスタを介して前記第 1 電源線に接続されており、

前記駆動トランジスタの前記第 2 導通端子は、前記第 2 発光制御トランジスタを介して前記表示素子の第 1 端子に接続され、

前記バイアス印加回路の前記第 1 端子は、前記対応する第 1 走査信号線に接続され、

前記バイアス印加トランジスタは、対応するバイアス制御線に接続

された制御端子を有し、

前記表示素子の第2端子は前記第2電源線に接続され、

前記走査側駆動回路は、前記リフレッシュフレーム期間では、前記複数のバイアス制御線のそれぞれに対応する画素回路において前記バイアス印加トランジスタが前記バイアス期間でオン状態であるように、前記複数のバイアス制御線を駆動する、請求項5に記載の表示装置。

[請求項7]

前記表示部は、複数のデータ信号線、複数の第1走査信号線、複数の発光制御線、第1電源線、および、第2電源線を更に含み、

前記駆動回路は、

複数のデータ信号を生成して前記複数のデータ信号線に印加するデータ側駆動回路と、

前記複数の第1走査信号線を選択的に駆動し、かつ、前記複数の発光制御線を選択的に非活性化する走査側駆動回路を含み、

前記複数の画素回路のそれぞれは、前記複数のデータ信号線のいずれか1つに対応し、かつ、前記複数の第1走査信号線のいずれか1つに対応し、かつ、前記複数の発光制御線のいずれか1つに対応し、

前記少なくとも1つの発光制御トランジスタは、いずれも、対応する発光制御線に接続された制御端子を有する第1および第2発光制御トランジスタを含み、

前記書込制御トランジスタは、対応する第1走査信号線に接続された制御端子を更に有し、

前記駆動トランジスタの前記第1導通端子は、

前記書込制御トランジスタを介して対応するデータ信号線に接続され、かつ、

前記第1発光制御トランジスタを介して前記第1電源線に接続されており、

前記駆動トランジスタの前記第2導通端子は、前記第2発光制御ト

ランジスタを介して前記表示素子の第1端子に接続され、

前記バイアス印加回路の前記第1端子は、前記対応する第1走査信号線に接続され、

前記バイアス印加トランジスタは、所定の先行第1走査信号線に接続された制御端子を有し、

前記表示素子の第2端子は前記第2電源線に接続され、

前記所定の先行第1走査信号線は、前記複数の画素回路のそれぞれにつき、前記複数の第1走査信号線のうち対応する前記第1走査信号線よりも先に選択状態となる第1走査信号線の中から選定された第1走査信号線であって、前記リフレッシュフレーム期間では前記対応する発光制御線が非活性化状態に変化してから前記対応する第1走査信号線が選択状態に変化するまでの間において選択状態である第1走査信号線である、請求項5に記載の表示装置。

[請求項8]

前記表示部は、複数のデータ信号線、複数の第1走査信号線、複数の第2走査信号線、複数の発光制御線、第1電源線、および、第2電源線を更に含み、

前記駆動回路は、

複数のデータ信号を生成して前記複数のデータ信号線に印加するデータ側駆動回路と、

前記複数の第1走査信号線を選択的に駆動するとともに前記複数の第2走査信号線を選択的に駆動し、かつ、前記複数の発光制御線を選択的に非活性化する走査側駆動回路を含み、

前記複数の画素回路のそれぞれは、前記複数のデータ信号線のいずれか1つに対応し、かつ、前記複数の第1走査信号線のいずれか1つに対応し、かつ、前記複数の第2走査信号線のいずれか1つに対応し、かつ、前記複数の発光制御線のいずれか1つに対応し、

前記少なくとも1つの発光制御トランジスタは、いずれも、Pチャネル型であって、対応する発光制御線に接続された制御端子を有する

第1および第2発光制御トランジスタを含み、

前記書込制御トランジスタは、Pチャネル型であって、対応する第1走査信号線に接続された制御端子を更に有し、

前記閾値補償トランジスタは、Nチャネル型であって、対応する第2走査信号線に接続された制御端子を更に有し、

前記駆動トランジスタは、Pチャネル型であって、

前記第1導通端子を、前記書込制御トランジスタを介して対応するデータ信号線に接続されるとともに、前記第1発光制御トランジスタを介して前記第1電源線に接続され、

前記第2導通端子を、前記第2発光制御トランジスタを介して前記表示素子の第1端子に接続され、

前記表示素子の第2端子は前記第2電源線に接続され、

前記バイアス印加トランジスタの制御端子には、前記複数の第1走査信号線のうち前記対応する第1走査信号線よりも先に選択状態となる第1走査信号線および前記複数の第2走査信号線のうち前記対応する第2走査信号線よりも先に選択状態となる第2走査信号線の中から選定された走査信号線であって、前記リフレッシュフレーム期間では前記対応する発光制御線が非活性化状態に変化してから前記対応する第1走査信号線が選択状態に変化するまでの間において前記バイアス印加トランジスタをオン状態とする走査信号線が接続されており、

前記バイアス印加回路の前記第1端子は、前記第1電源線、前記対応する第1走査信号線、または、前記対応する発光制御線のいずれかに接続されている、請求項5に記載の表示装置。

[請求項9]

前記バイアス印加回路は、前記バイアス印加回路の前記第1および第2端子にそれぞれ接続された第1および第2導通端子を有するスイッチング素子としてのバイアス印加トランジスタを含み、

前記バイアス印加トランジスタは、ダイオード接続形態に構成されており、

前記複数の画素回路のそれぞれは、当該画素回路または他の画素回路において前記バイアス印加トランジスタ以外の他のトランジスタの制御端子に与えられる信号のうち前記バイアス電圧に相当する電圧を前記バイアス期間に有する信号が前記バイアス印加回路の前記第1端子に与えられるように構成されている、請求項2に記載の表示装置。

[請求項10]

前記表示部は、複数のデータ信号線、複数の第1走査信号線、複数の第2走査信号線、複数の発光制御線、第1電源線、および、第2電源線を更に含み、

前記駆動回路は、

複数のデータ信号を生成して前記複数のデータ信号線に印加するデータ側駆動回路と、

前記複数の第1走査信号線を選択的に駆動するとともに前記複数の第2走査信号線を選択的に駆動し、かつ、前記複数の発光制御線を選択的に非活性化する走査側駆動回路を含み、

前記複数の画素回路のそれぞれは、前記複数のデータ信号線のいずれか1つに対応し、かつ、前記複数の第1走査信号線のいずれか1つに対応し、かつ、前記複数の第2走査信号線のいずれか1つに対応し、かつ、前記複数の発光制御線のいずれか1つに対応し、

前記少なくとも1つの発光制御トランジスタは、いずれも、対応する発光制御線に接続された制御端子を有する第1および第2発光制御トランジスタを含み、

前記書込制御トランジスタは、対応する第1走査信号線に接続された制御端子を更に有し、

前記閾値補償トランジスタは、対応する第2走査信号線に接続された制御端子を更に有し、

前記駆動トランジスタの前記第1導通端子は、

前記書込制御トランジスタを介して対応するデータ信号線に接続され、かつ、

前記第 1 発光制御トランジスタを介して前記第 1 電源線に接続されており、

前記駆動トランジスタの前記第 2 導通端子は、前記第 2 発光制御トランジスタを介して前記表示素子の第 1 端子に接続され、

前記バイアス印加回路の前記第 1 端子は所定の先行第 2 走査信号線に接続され、

前記表示素子の第 2 端子は前記第 2 電源線に接続され、

前記所定の先行第 2 走査信号線は、前記複数の画素回路のそれぞれにつき、前記複数の第 2 走査信号線のうち前記対応する第 2 走査信号線よりも先に選択状態となる第 2 走査信号線の中から選定された第 2 走査信号線であって、前記リフレッシュフレーム期間では前記対応する発光制御線が非活性化状態に変化してから前記対応する第 1 走査信号線が選択状態に変化するまでの間において選択状態である第 2 走査信号線である、請求項 9 に記載の表示装置。

[請求項11]

前記バイアス印加トランジスタは、前記第 2 導通端子を制御端子に接続することによりダイオード接続形態に構成された P チャネル型トランジスタ、または、前記第 1 導通端子を制御端子に接続することによりダイオード接続形態に構成された N チャネル型トランジスタである、請求項 9 または 10 に記載の表示装置。

[請求項12]

前記バイアス印加回路は、バイアス印加キャパシタを含み、前記第 1 端子を、当該バイアス印加キャパシタを介して前記第 2 端子に接続されており、

前記複数の画素回路のそれぞれは、当該画素回路における前記書込制御トランジスタの制御端子に与えられる第 1 走査信号が前記バイアス印加回路の前記第 1 端子に与えられるように構成されており、

前記駆動回路は、前記リフレッシュフレーム期間では、前記複数の画素回路のそれぞれにおける前記書込制御トランジスタの前記制御端子に与えられる前記第 1 走査信号が、当該画素回路において、前記保

持キャパシタへのデータ電圧の書込期間でアクティブであるとともに、前記発光制御トランジスタがオフ状態に変化してから前記書込期間が開始するまでの間でアクティブであり、前記書込期間の前に前記第1走査信号が非アクティブへと変化することにより前記駆動トランジスタの前記第1導通端子の電圧が前記駆動トランジスタのオンする方向に変化するように、前記第1走査信号を生成する、請求項2に記載の表示装置。

[請求項13] 前記表示部は、複数のデータ信号線、複数の第1走査信号線、複数の発光制御線、第1電源線、および、第2電源線を更に含み、

前記駆動回路は、

複数のデータ信号を生成して前記複数のデータ信号線に印加するデータ側駆動回路と、

前記複数の第1走査信号線を選択的に駆動し、かつ、前記複数の発光制御線を選択的に非活性化する走査側駆動回路を含み、

前記複数の画素回路のそれぞれは、前記複数のデータ信号線のいずれか1つに対応し、かつ、前記複数の第1走査信号線のいずれか1つに対応し、かつ、前記複数の発光制御線のいずれか1つに対応し、

前記少なくとも1つの発光制御トランジスタは、いずれも、対応する発光制御線に接続された制御端子を有する第1および第2発光制御トランジスタを含み、

前記書込制御トランジスタの前記制御端子は、対応する第1走査信号線に接続され、

前記駆動トランジスタの前記第1導通端子は、

前記書込制御トランジスタを介して対応するデータ信号線に接続され、かつ、

前記第1発光制御トランジスタを介して前記第1電源線に接続されており、

前記駆動トランジスタの前記第2導通端子は、前記第2発光制御ト

ランジスタを介して前記表示素子の第1端子に接続され、
前記表示素子の第2端子は前記第2電源線に接続され、
前記複数の画素回路のそれぞれにおいて、前記バイアス印加回路の前記第1端子には前記対応する第1走査信号線が接続され、
前記走査側駆動回路は、前記複数の第1走査信号線のそれぞれが、当該第1走査信号線に対応する画素回路における前記保持キャパシタへのデータ電圧の書込期間で選択状態であるとともに、前記対応する発光制御線が非活性化状態に変化してから前記書込期間が開始するまでの間で選択状態であり、前記書込期間の前に当該第1走査信号が非選択状態へと変化することにより前記駆動トランジスタの前記第1導通端子の電圧が前記駆動トランジスタのオンする方向に変化するように、前記複数の第1走査信号線を駆動する、請求項12に記載の表示装置。

- [請求項14] 電流によって駆動される表示素子を用いた表示装置の駆動方法であって、
前記表示装置は、複数の画素回路を含む表示部を備え、
前記複数の画素回路のそれぞれは、
電流によって駆動される表示素子と、
制御端子と第1導通端子と第2導通端子とを有し、前記表示素子と直列に設けられた駆動トランジスタと、
前記駆動トランジスタの前記制御端子の電圧を保持するために一端が前記駆動トランジスタの前記制御端子に接続された保持キャパシタと、
前記保持キャパシタに書き込むべきデータ電圧を受け取る第1導通端子と前記駆動トランジスタの前記第1導通端子に接続された第2導通端子とを有するスイッチング素子としての書込制御トランジスタと、
前記駆動トランジスタの前記第2導通端子と前記制御端子との間

に設けられ、オン状態のときに前記駆動トランジスタをダイオード接続状態とするスイッチング素子としての閾値補償トランジスタと、

前記表示素子および前記駆動トランジスタに対し直列に設けられたスイッチング素子としての少なくとも1つの発光制御トランジスタと、

前記駆動トランジスタのヒステリシス特性による閾値電圧のシフトを低減するためのバイアス電圧を前記駆動トランジスタの前記第1導通端子に印加するバイアス印加回路とを含み、

前記複数の画素回路のそれぞれにおいて、前記バイアス印加回路は、当該画素回路または他の画素回路におけるトランジスタのうち前記バイアス印加回路に含まれないトランジスタの制御端子に与えられる信号の1つまたは前記複数の画素回路の電源電圧の1つを受け取る第1端子と、前記駆動トランジスタの前記第1導通端子に接続された第2端子とを有し、

前記駆動方法は、前記複数の画素回路に複数のデータ信号の電圧をデータ電圧として書き込む1つまたは複数のリフレッシュフレーム期間からなる駆動期間と前記複数の画素回路へのデータ電圧の書き込みを停止する1つまたは複数の非リフレッシュフレーム期間からなる休止期間とが交互に現れるように、前記複数の画素回路を駆動する休止駆動ステップを備え、

前記休止駆動ステップは、前記リフレッシュフレーム期間および前記非リフレッシュフレーム期間のいずれにおいても、前記複数の画素回路のそれぞれにおいて前記発光制御トランジスタがオフ状態である期間内に、前記バイアス印加回路が前記第1端子において受け取る前記信号または前記電圧に基づき前記バイアス電圧を前記駆動トランジスタの前記第1導通端子に印加するように、前記複数の画素回路を駆動する、バイアス印加ステップを含む、駆動方法。

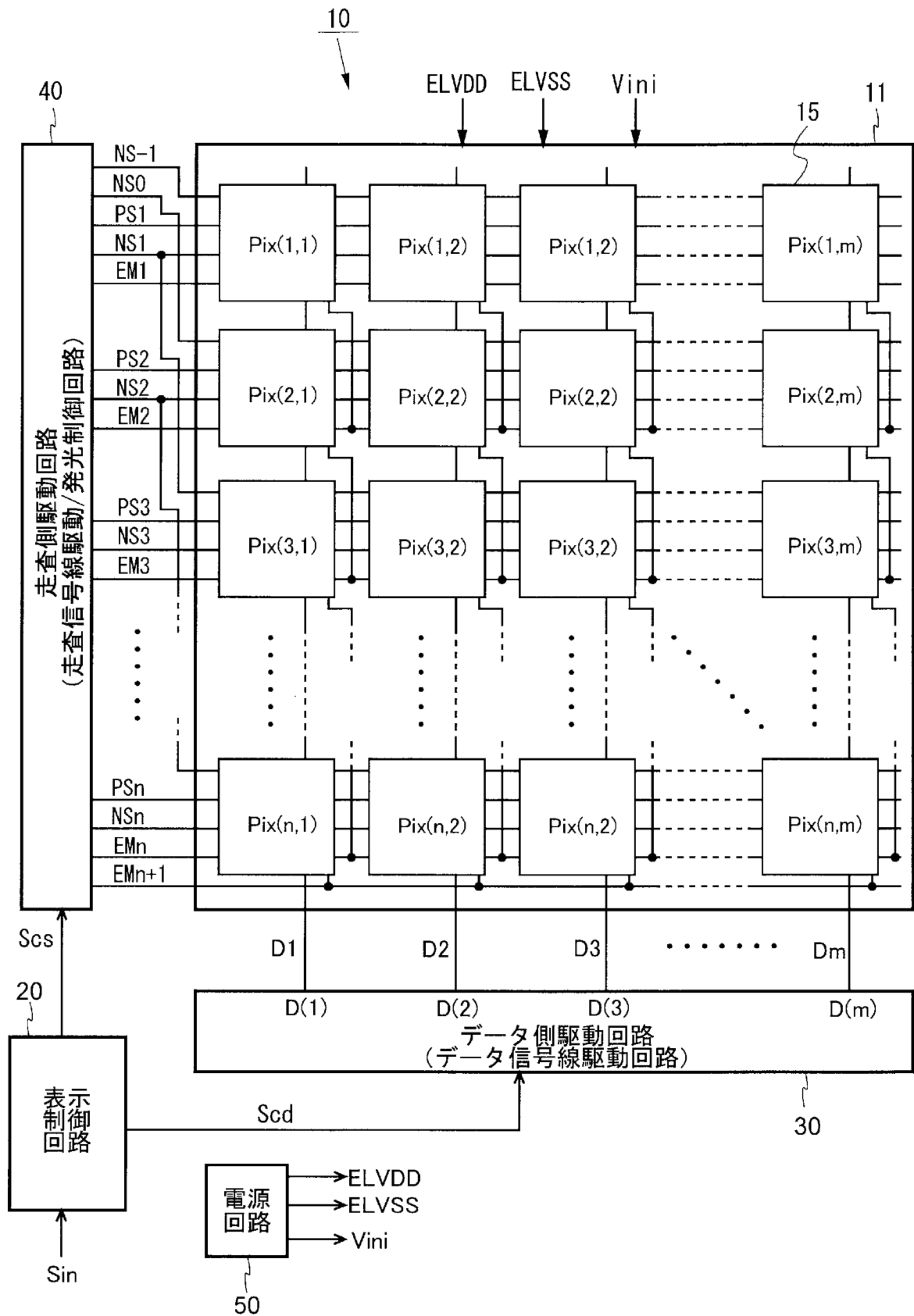
[請求項15] 前記休止駆動ステップは、

前記リフレッシュフレーム期間において所定の発光デューティで前記表示素子が発光するとともに前記非リフレッシュフレーム期間において所定の発光デューティで前記表示素子が発光するように前記発光制御トランジスタをオンおよびオフさせる発光制御ステップと、

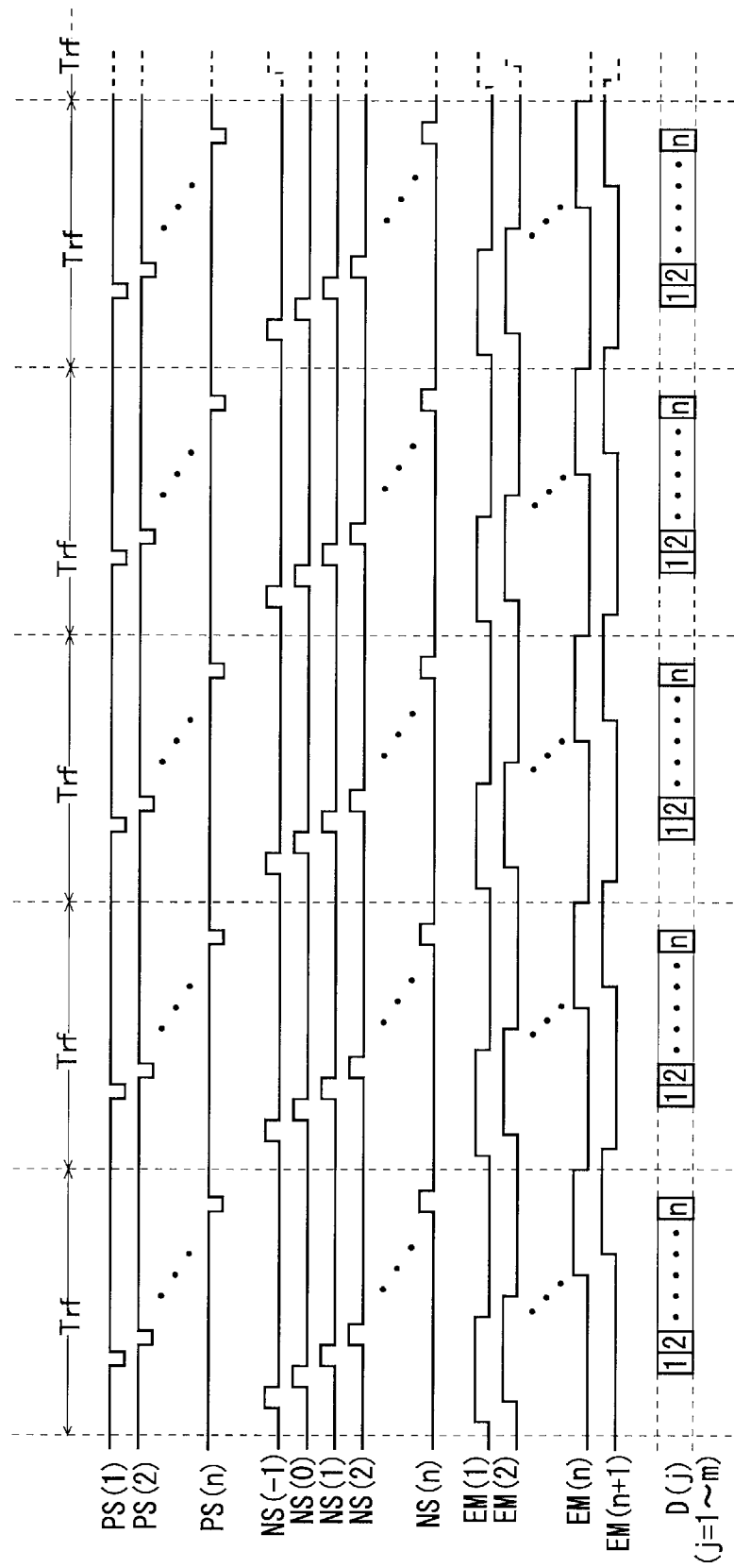
前記リフレッシュフレーム期間において、前記発光制御トランジスタがオフ状態である期間内に、前記書込制御トランジスタと前記閾値補償トランジスタとがそれぞれ所定期間だけオン状態となるように、前記複数の画素回路を駆動するデータ書込ステップとを更に含み、

前記バイアス印加ステップでは、前記リフレッシュフレーム期間において、前記複数の画素回路のそれぞれで、前記発光制御トランジスタがオフ状態に変化してから前記書込制御トランジスタがオン状態に変化するまでの期間の少なくとも一部を含むように設けられたバイアス期間の間、前記バイアス印加回路が、前記第1端子において受け取る前記信号または前記電圧に基づき前記バイアス電圧を前記駆動トランジスタの前記第1導通端子に印加するように、前記複数の画素回路が駆動される、請求項14に記載の駆動方法。

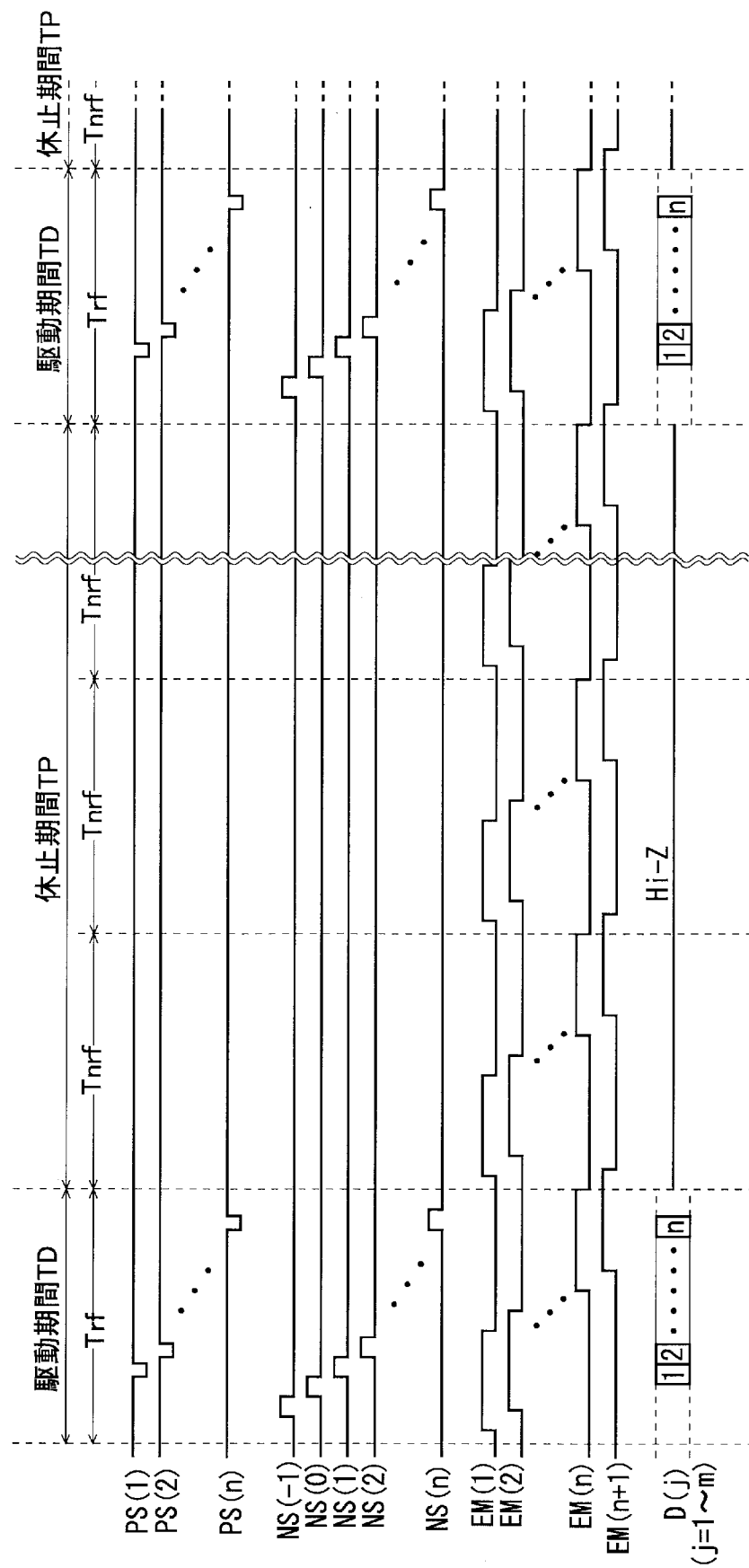
[図1]



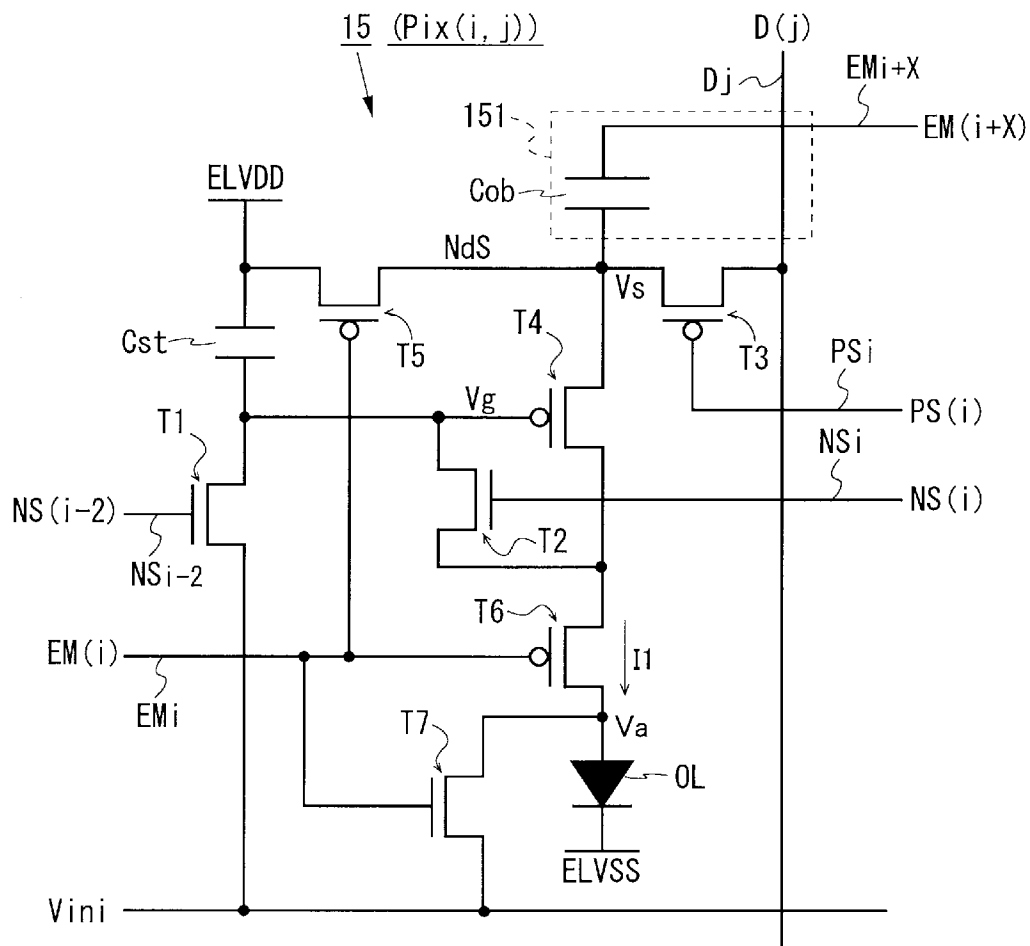
[図2]



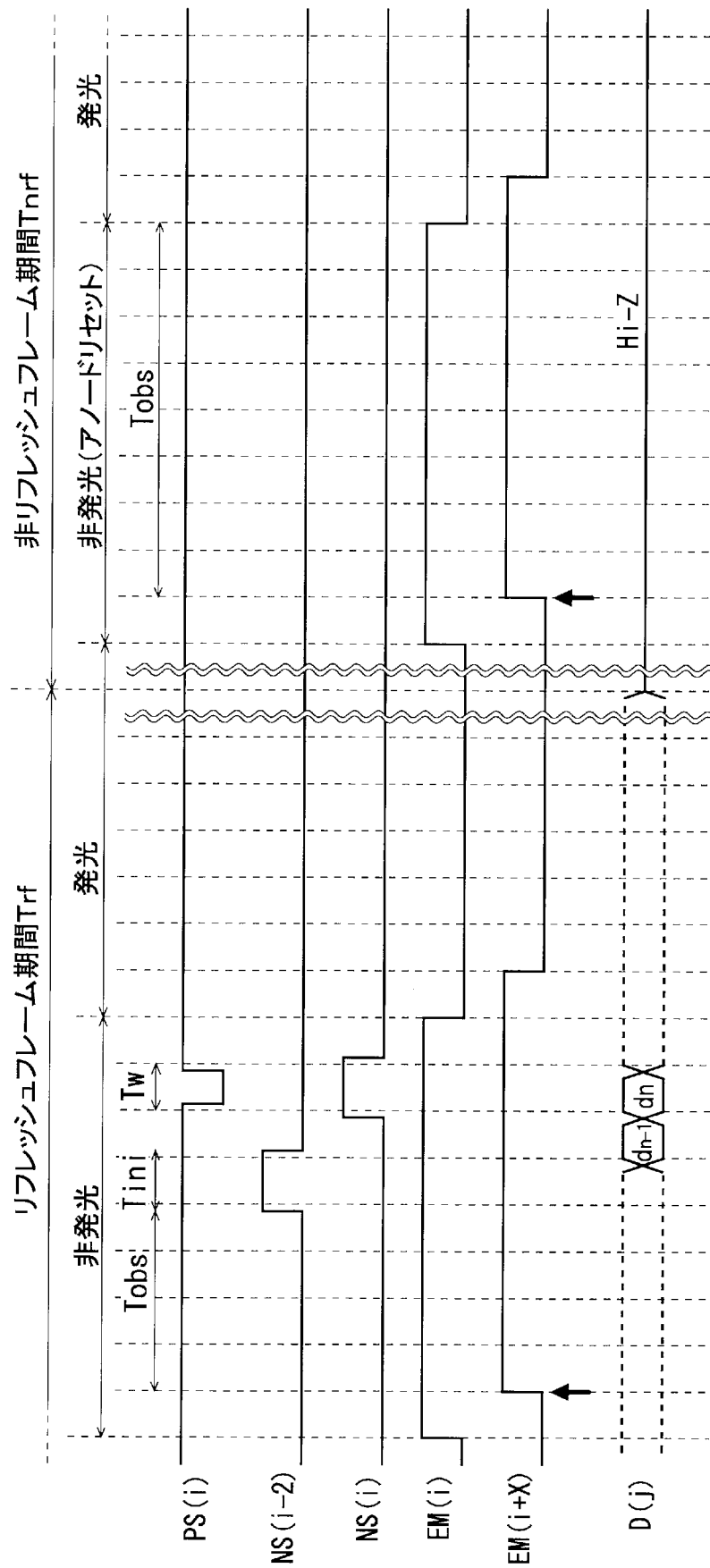
[図3]



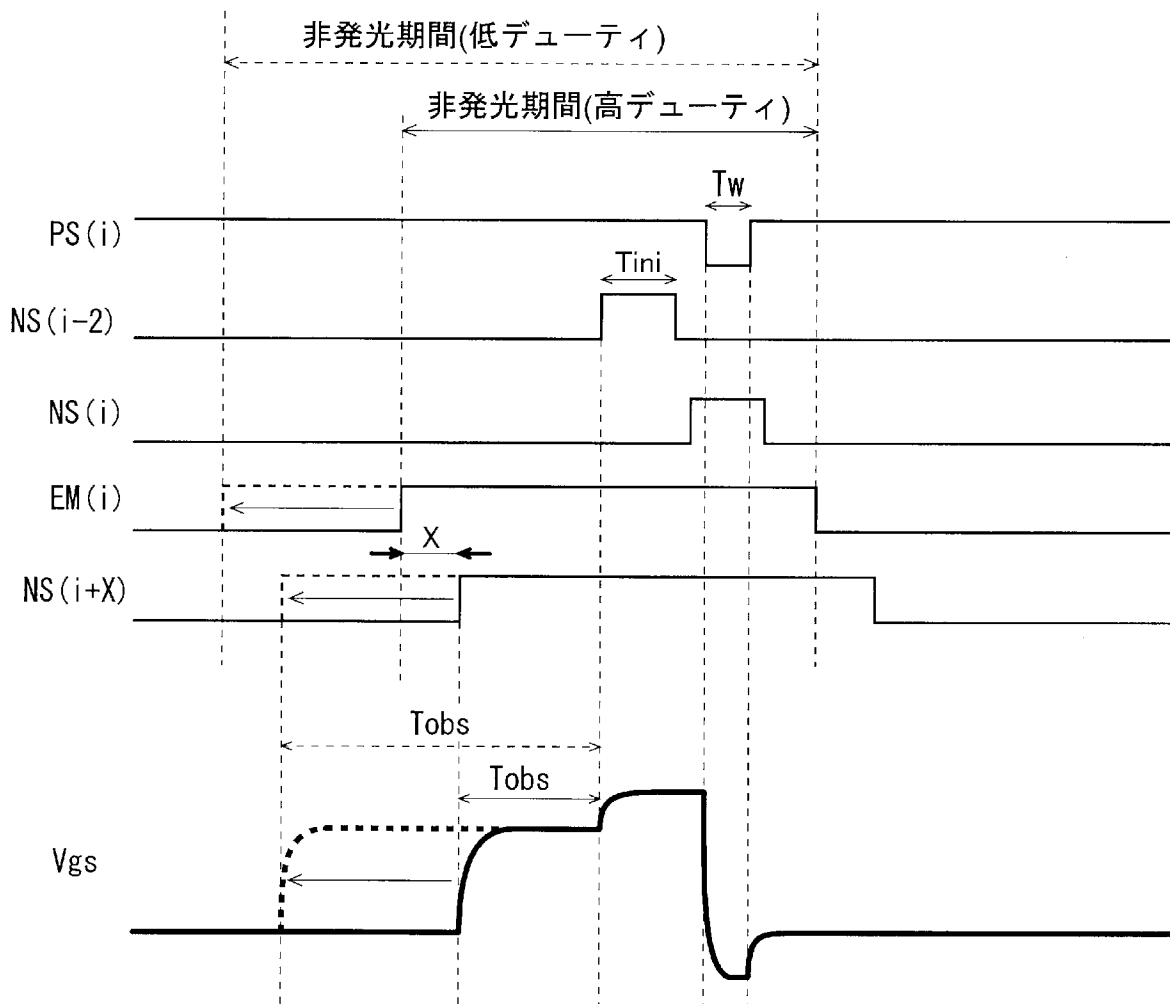
[図4]

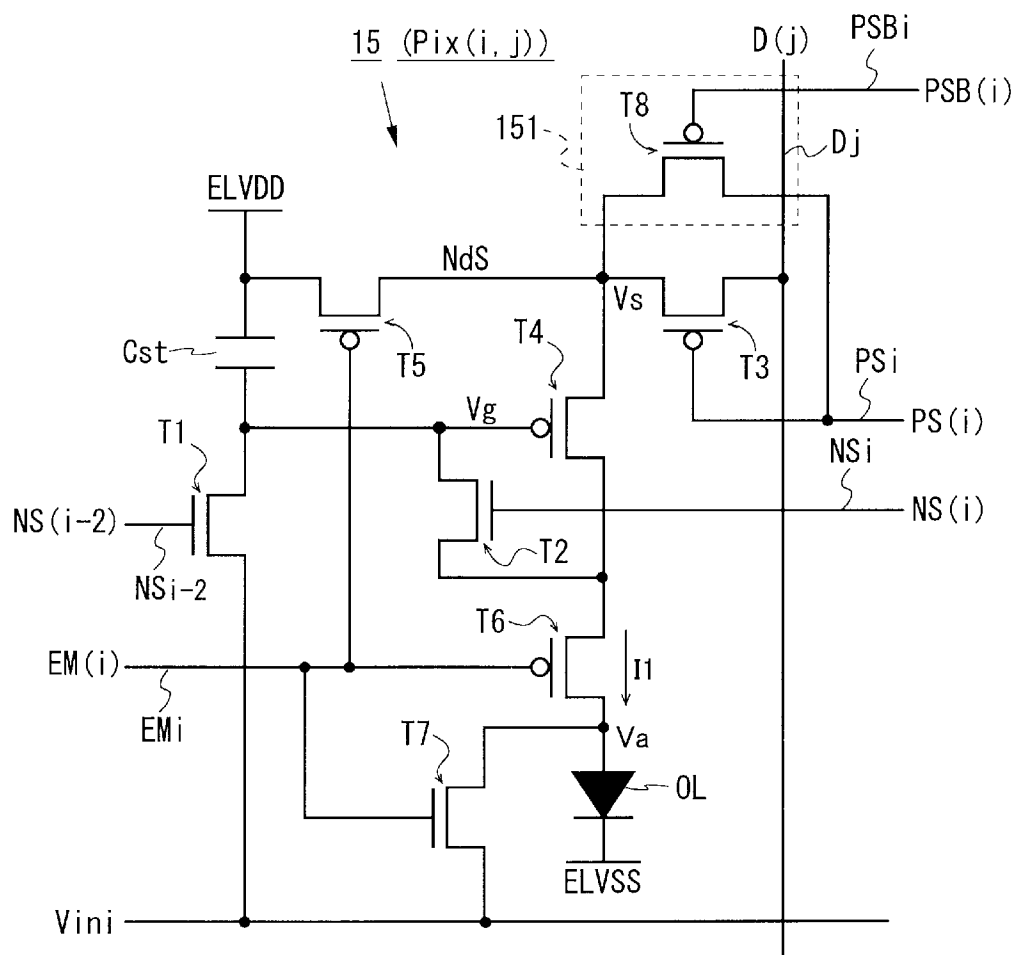


[図5]

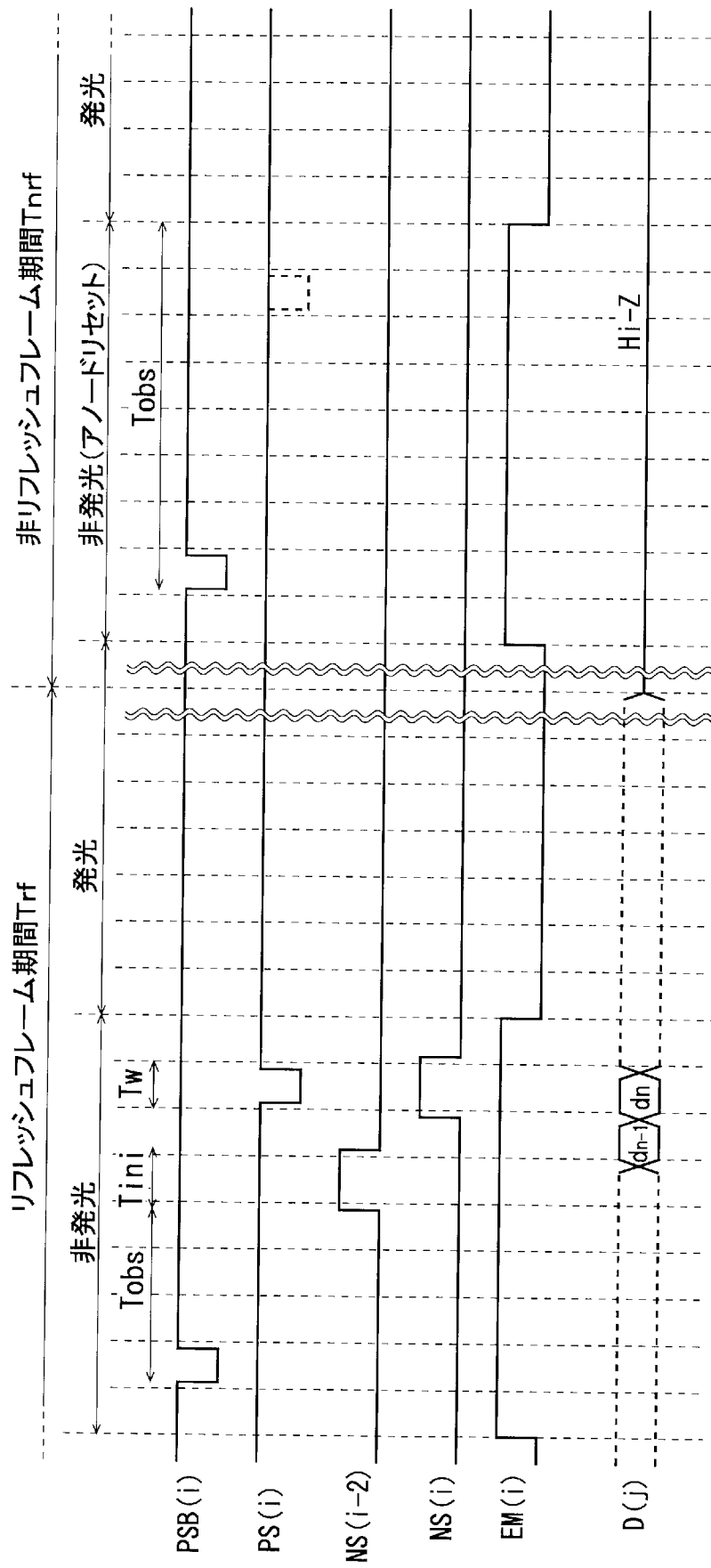


[図6]

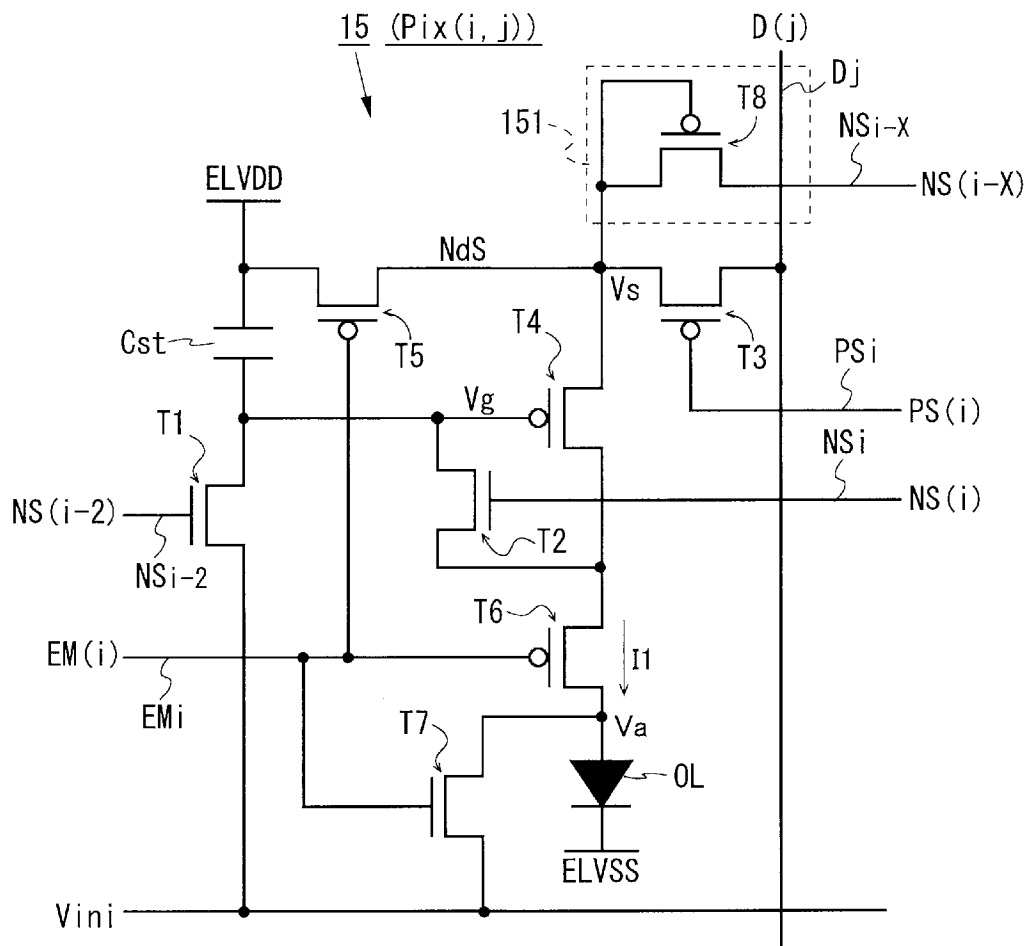




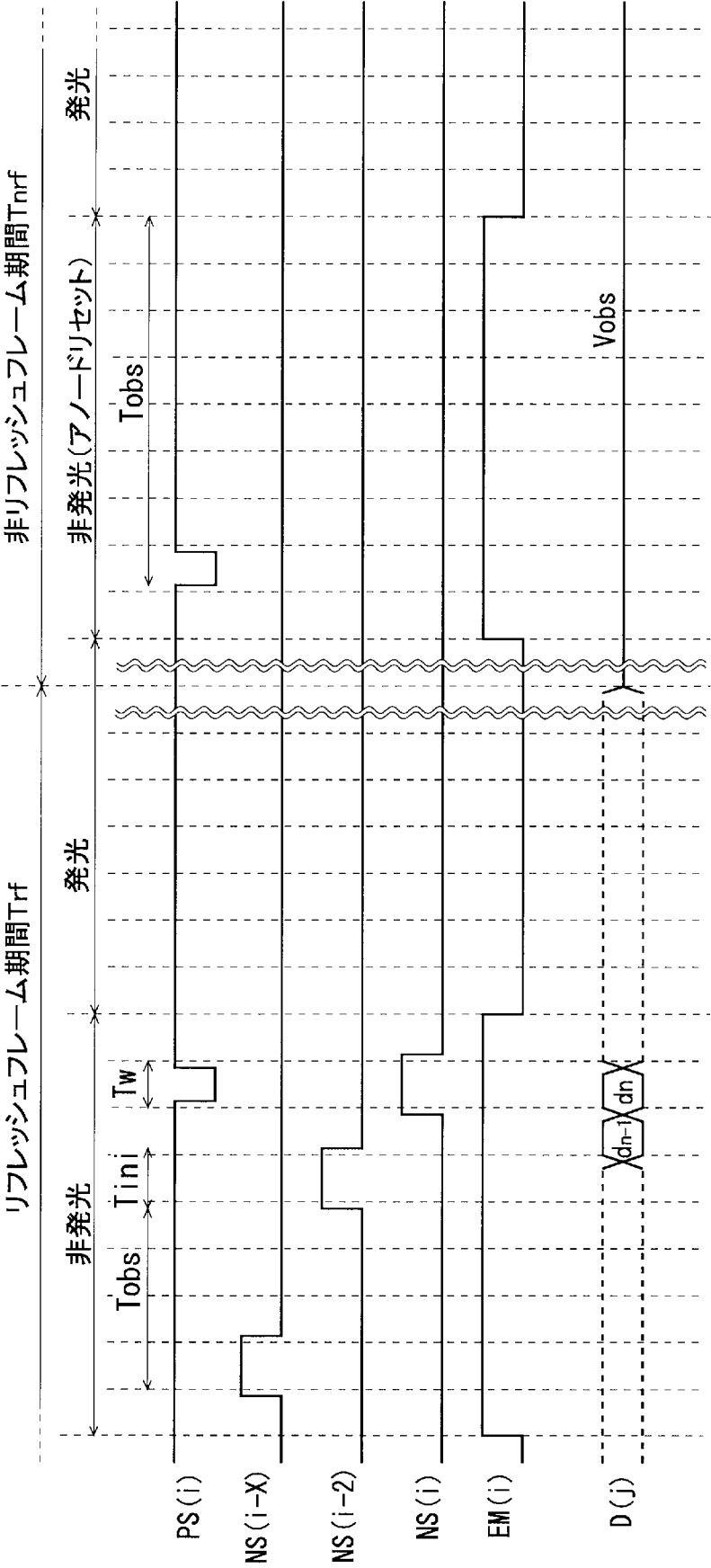
[図8]



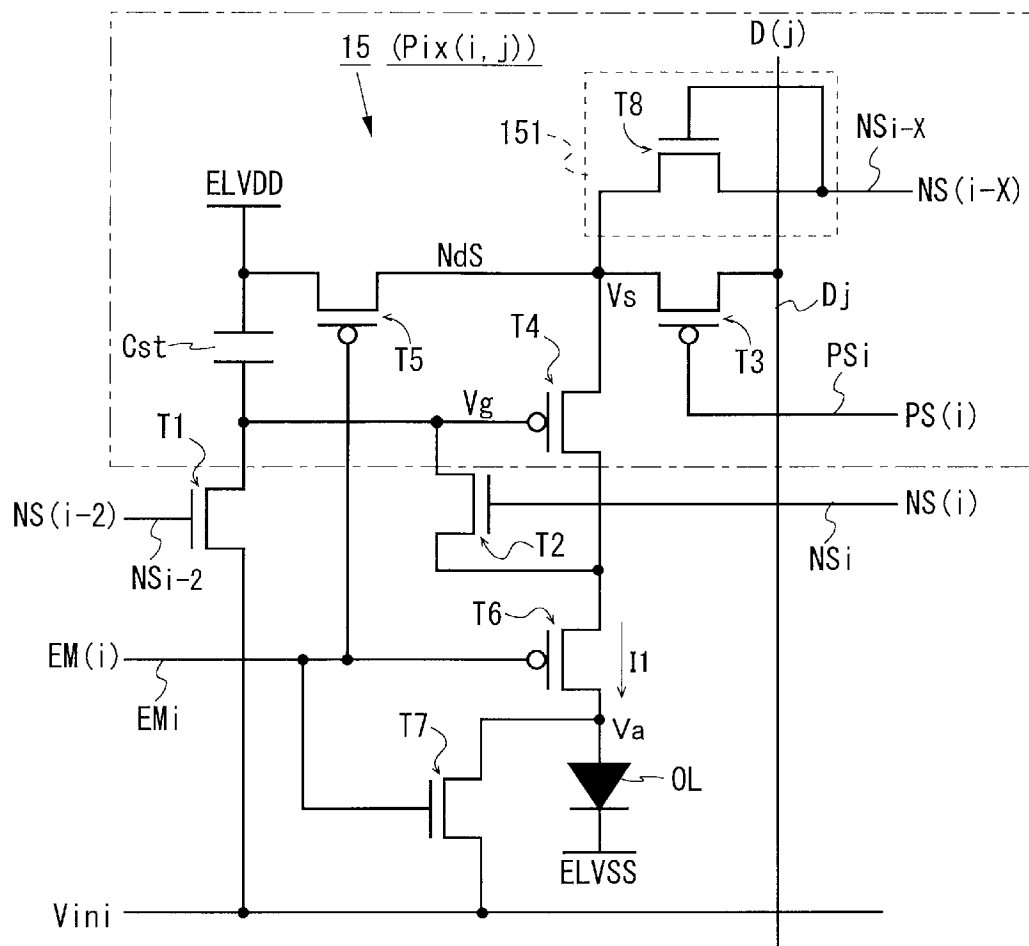
[図9]

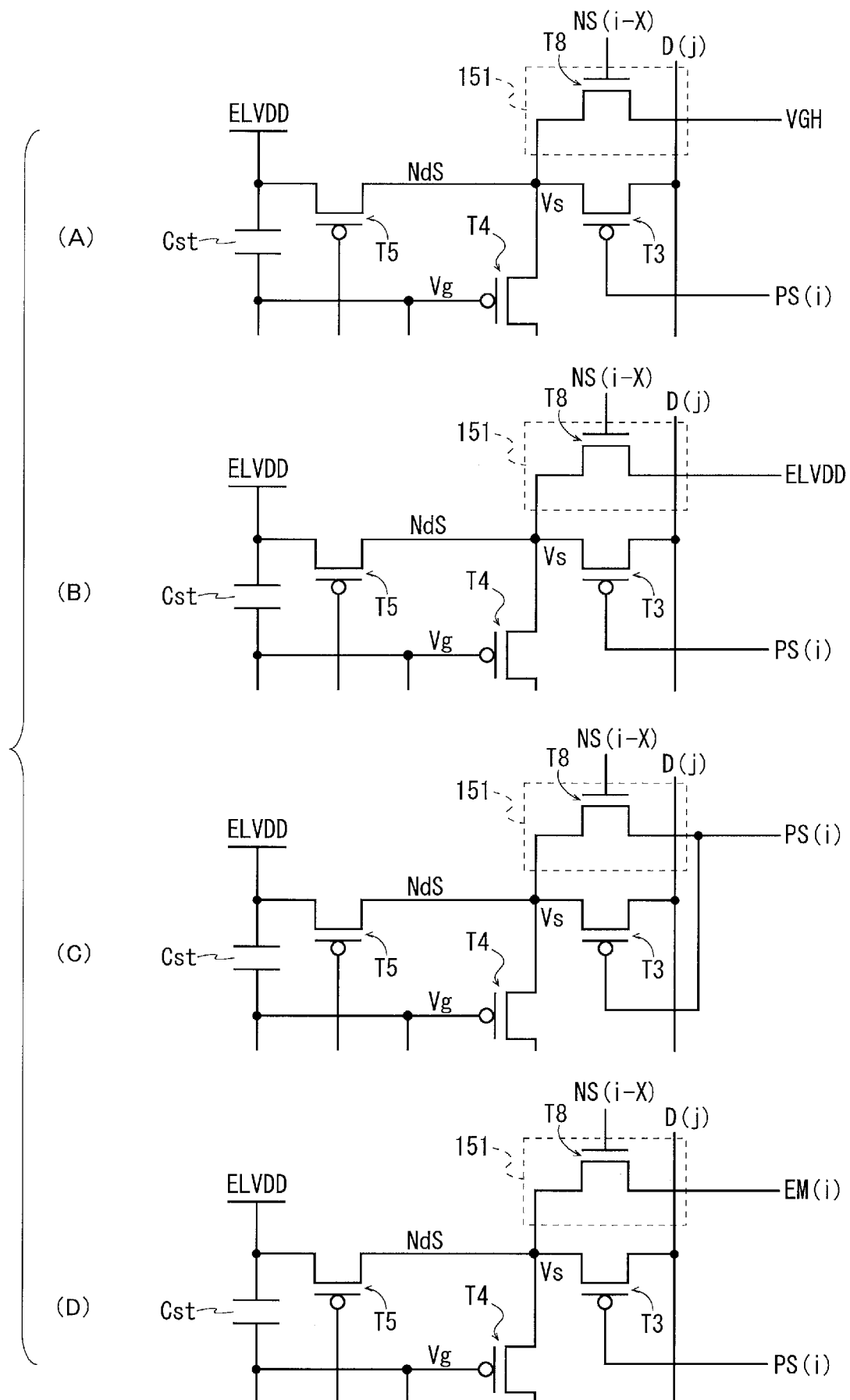


[図10]

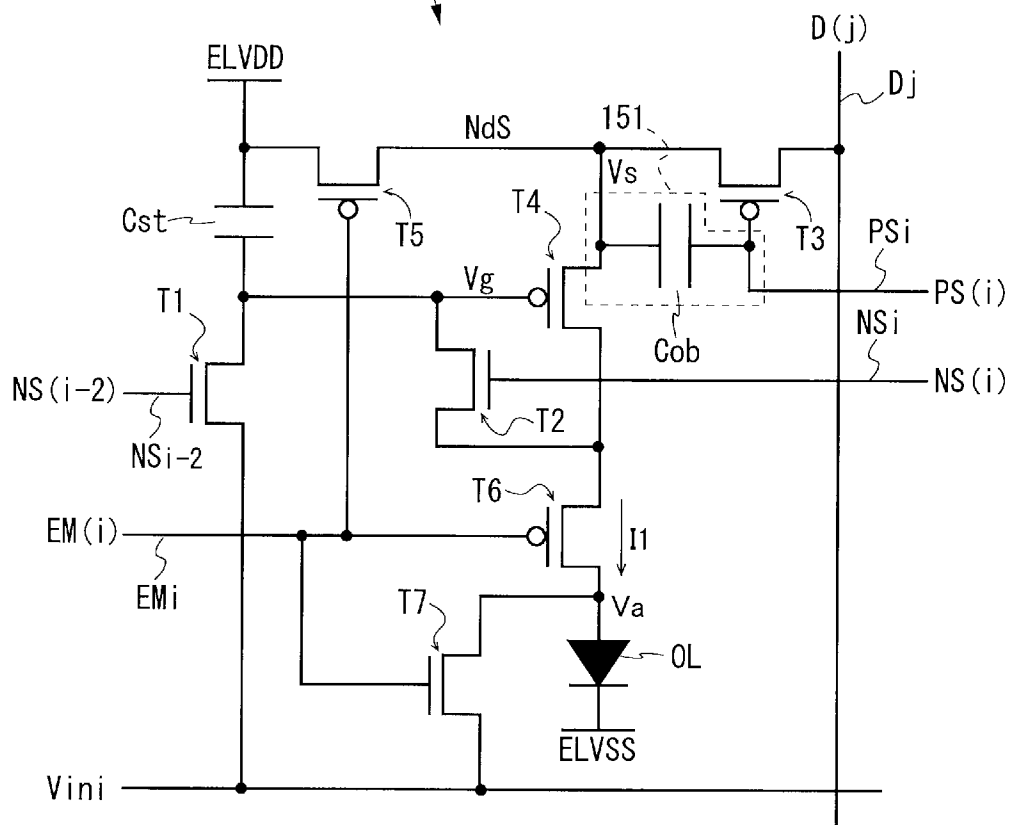


[図11]

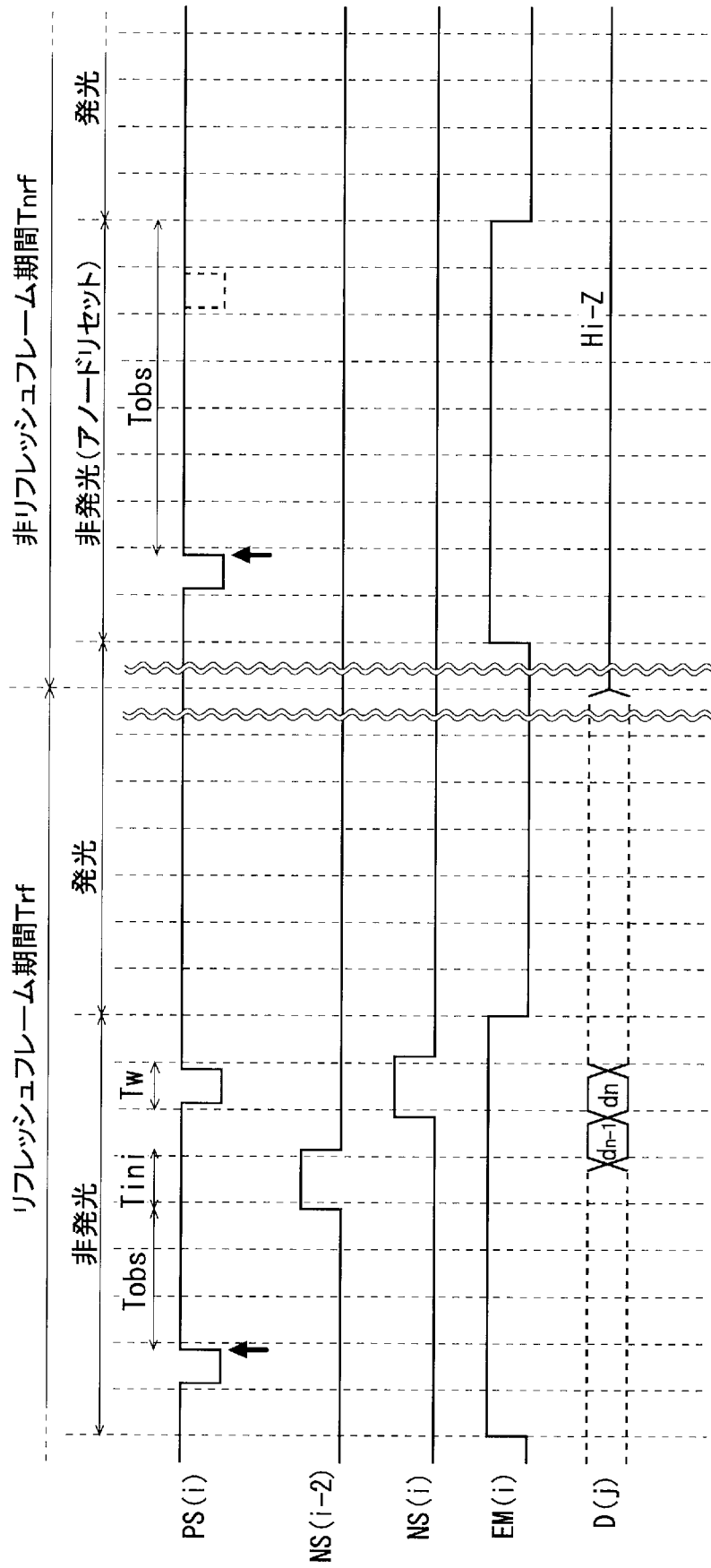




15 (Pix(i, j))



[図14]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/004108

A. CLASSIFICATION OF SUBJECT MATTER**G09G 3/3233**(2016.01)i; **G09G 3/20**(2006.01)i

FI: G09G3/3233; G09G3/20 611E; G09G3/20 641D; G09G3/20 650J; G09G3/20 660U; G09G3/20 670J

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/3233; G09G3/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2023

Registered utility model specifications of Japan 1996-2023

Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2021/0125543 A1 (SAMSUNG DISPLAY CO., LTD.) 29 April 2021 (2021-04-29) paragraphs [0060]-[0171], fig. 1-7	1-2, 5-11, 14-15
A		3-4, 12-13
Y	CN 107146577 A (WUHAN TIANMA MICRO-ELECTRONICS CO., LTD.) 08 September 2017 (2017-09-08) paragraphs [0053]-[0101], fig. 1-4	1-4, 12-15
Y	WO 2022/070386 A1 (SHARP KABUSHIKI KAISHA) 07 April 2022 (2022-04-07) paragraphs [0020]-[0061], fig. 1-16	1-4, 12-15



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

10 April 2023

Date of mailing of the international search report

25 April 2023

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)

3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915

Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2023/004108

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
US	2021/0125543	A1	29 April 2021	KR 10-2021-0050050 A	
				CN 112802431 A	
CN	107146577	A	08 September 2017	(Family: none)	
WO	2022/070386	A1	07 April 2022	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） G09G 3/3233(2016.01)i; G09G 3/20(2006.01)i FI: G09G3/3233; G09G3/20 611E; G09G3/20 641D; G09G3/20 650J; G09G3/20 660U; G09G3/20 670J		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） G09G3/3233; G09G3/20		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2023年 日本国実用新案登録公報 1996-2023年 日本国登録実用新案公報 1994-2023年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	US 2021/0125543 A1 (SAMSUNG DISPLAY CO., LTD.) 29.04.2021 (2021-04-29) 段落0060-0171, 図1-7	1-2, 5-11, 14-15 3-4, 12-13
Y	CN 107146577 A (WUHAN TIANMA MICRO-ELECTRONICS CO., LTD.) 08.09.2017 (2017-09-08) 段落0053-0101, 図1-4	1-4, 12-15
Y	WO 2022/070386 A1 (シャープ株式会社) 07.04.2022 (2022-04-07) 段落0020-0061, 図1-16	1-4, 12-15
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技术水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 10.04.2023		国際調査報告の発送日 25.04.2023
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 武田 悟 21 9307 電話番号 03-3581-1101 内線 3273

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2023/004108

引用文献			公表日	パテントファミリー文献	公表日
US	2021/0125543	A1	29.04.2021	KR 10-2021-0050050 A	
				CN 112802431 A	
CN	107146577	A	08.09.2017	(ファミリーなし)	
WO	2022/070386	A1	07.04.2022	(ファミリーなし)	