

【公報種別】 特許法第 17 条の 2 の規定による補正の掲載
【部門区分】 第 7 部門第 2 区分
【発行日】 令和 4 年 7 月 26 日 (2022.7.26)

【公開番号】 特開 2021-163917 (P2021-163917A)
【公開日】 令和 3 年 10 月 11 日 (2021.10.11)
【年通号数】 公開・登録公報 2021-049
【出願番号】 特願 2020-66610 (P2020-66610)
【国際特許分類】

H 0 1 L 21/822 (2006.01)

H 0 3 K 19/00 (2006.01)

【F I】

H 0 1 L 27/04 F

H 0 1 L 27/04 U

H 0 3 K 19/00 1 0 8

H 0 3 K 19/00 2 1 0

【手続補正書】

【提出日】 令和 4 年 7 月 15 日 (2022.7.15)

【手続補正 1】

【補正対象書類名】 特許請求の範囲

【補正対象項目名】 全文

【補正方法】 変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

電源電位が供給される第 1 配線と、

接地電位が供給される第 2 配線と、

電源ノードと、前記第 2 配線に接続された接地ノードと、複数の論理回路と、を含む論理回路ブロックと、

前記第 1 配線と前記電源ノードとの間に設けられたスイッチ回路と、を含み、

前記スイッチ回路は、前記第 1 配線と前記電源ノードとの間にソースドレイン経路が接続された複数の第 1 P チャネル型 MOS トランジスタを含み、

前記複数の第 1 P チャネル型 MOS トランジスタは、

オフ状態、ダイオード接続状態、又は、オン状態にされる、

半導体装置。

【請求項 2】

請求項 1 に記載の半導体装置において、

前記スイッチ回路は、さらに、

第 2 P チャネル型 MOS トランジスタと、

第 3 P チャネル型 MOS トランジスタと、

第 4 P チャネル型 MOS トランジスタと第 1 N チャネル型 MOS トランジスタとを含むバッファ回路と、

インバータと、

アンド回路と、を含み、

前記第 4 P チャネル型 MOS トランジスタのドレインおよび前記第 1 N チャネル型 MOS トランジスタのドレインは、前記複数の第 1 P チャネル型 MOS トランジスタのおのののゲート電極に接続され、

前記第 4 P チャネル型 MOS トランジスタのソースは、前記第 3 P チャネル型 MOS トランジスタのソースドレイン経路を介して前記複数の第 1 P チャネル型 MOS トランジスタ

10

20

30

40

50

タのドレイン電極に接続され、

前記第 1 N チャンネル型 MOS トランジスタのソースは、前記第 2 配線に接続され、

前記第 4 P チャンネル型 MOS トランジスタのゲートおよび前記第 1 N チャンネル型 MOS トランジスタのゲートは、前記アンド回路の出力に接続され、

前記第 2 P チャンネル型 MOS トランジスタは、シャットダウン信号を受ける様に接続されたゲートと、前記第 1 配線に接続されたソースと、前記第 3 P チャンネル型 MOS トランジスタのドレインに接続されたドレインと、を有し、

前記インバータは、前記シャットダウン信号を受ける入力と、前記第 3 P チャンネル型 MOS トランジスタのゲートに接続された出力と、を有し、

前記アンド回路は、前記シャットダウン信号を受ける第 1 入力と、スタンバイ信号を受ける第 2 入力と、前記出力と、を有する、半導体装置。

10

【請求項 3】

請求項 2 に記載の半導体装置において、

前記シャットダウン信号がロウレベルとされると、前記複数の第 1 P チャンネル型 MOS トランジスタは前記オフ状態とされ、

前記シャットダウン信号がハイレベルとされ、前記スタンバイ信号がロウレベルとされると、前記複数の第 1 P チャンネル型 MOS トランジスタは、前記ダイオード接続状態とされ

、

前記シャットダウン信号がハイレベルとされ、前記スタンバイ信号がハイレベルとされると、前記複数の第 1 P チャンネル型 MOS トランジスタは前記オン状態とされる、半導体装置。

20

【請求項 4】

請求項 3 に記載の半導体装置において、

前記複数の論理回路のおのおのは、

N 型ウエルに形成された P チャンネル型 MOS トランジスタと、

P 型ウエルに形成された N チャンネル型 MOS トランジスタと、を含み、

前記 N 型ウエルは、前記電源電位が供給され、

前記 P 型ウエルは、前記接地電位が供給される、半導体装置。

【請求項 5】

電源電位が供給される第 1 配線と、

30

接地電位が供給される第 2 配線と、

第 1 機能ブロック、第 2 機能ブロックおよび第 3 機能ブロックと、

第 1 スイッチ回路、第 2 スイッチ回路および第 3 スイッチ回路と、

前記第 1 スイッチ回路、前記第 2 スイッチ回路および前記第 3 スイッチ回路を制御する制御回路と、を含み、

前記第 1 機能ブロック、前記第 2 機能ブロックおよび前記第 3 機能ブロックのおのおのは、

電源ノードと、

前記第 2 配線に接続された接地ノードと、

複数の論理回路と、を含み、

40

前記第 1 スイッチ回路は、前記第 1 配線と前記第 1 機能ブロックの前記電源ノードとの間にソースドレイン経路が接続された複数の第 1 P チャンネル型 MOS トランジスタを含み、

前記第 2 スイッチ回路は、前記第 1 配線と前記第 2 機能ブロックの前記電源ノードとの間にソースドレイン経路が接続された複数の第 1 P チャンネル型 MOS トランジスタを含み、

前記第 3 スイッチ回路は、前記第 1 配線と前記第 3 機能ブロックの前記電源ノードとの間にソースドレイン経路が接続された複数の第 1 P チャンネル型 MOS トランジスタを含み、

前記第 1 スイッチ回路、前記第 2 スイッチ回路および前記第 3 スイッチ回路のおのおのの前記複数の第 1 P チャンネル型 MOS トランジスタは、前記制御回路の制御に基づいて、

オフ状態、ダイオード接続状態、または、オン状態にされる、

半導体装置。

50

【請求項 6】

請求項 5 に記載の半導体装置において、

前記第 1 機能ブロックは、リアルタイムクロック動作を実施する回路を含み、

前記第 2 機能ブロックは、システム制御回路を含み、

前記第 3 機能ブロックは、中央処理装置を含み、

前記第 1 スイッチ回路の前記複数の第 1 P チャンネル型 MOS トランジスタは、前記オン状態にされ、

前記第 2 スイッチ回路の前記複数の第 1 P チャンネル型 MOS トランジスタは、前記ダイオード接続状態にされ、

前記第 3 スイッチ回路の前記複数の第 1 P チャンネル型 MOS トランジスタは、前記オフ状態にされる、半導体装置。

10

【請求項 7】

請求項 5 に記載の半導体装置において、

前記第 1 機能ブロックは、リアルタイムクロック動作を実施する回路を含み、

前記第 2 機能ブロックは、システム制御回路を含み、

前記第 3 機能ブロックは、中央処理装置を含み、

前記第 1 スイッチ回路の前記複数の第 1 P チャンネル型 MOS トランジスタは、前記オン状態にされ、

前記第 2 スイッチ回路の前記複数の第 1 P チャンネル型 MOS トランジスタは、前記オフ状態にされ、

20

前記第 3 スイッチ回路の前記複数の第 1 P チャンネル型 MOS トランジスタは、前記オフ状態にされる、半導体装置。

【請求項 8】

請求項 5 に記載の半導体装置において、

前記第 1 スイッチ回路、前記第 2 スイッチ回路および前記第 3 スイッチ回路のおのものは、さらに、

第 2 P チャンネル型 MOS トランジスタと、

第 3 P チャンネル型 MOS トランジスタと、

第 4 P チャンネル型 MOS トランジスタと第 1 N チャンネル型 MOS トランジスタとを含むバッファ回路と、

30

インバータと、

アンド回路と、を含み、

前記第 4 P チャンネル型 MOS トランジスタのドレインおよび前記第 1 N チャンネル型 MOS トランジスタのドレインは、前記複数の第 1 P チャンネル型 MOS トランジスタのおのもののゲート電極に接続され、

前記第 4 P チャンネル型 MOS トランジスタのソースは、前記第 3 P チャンネル型 MOS トランジスタのソースドレイン経路を介して前記複数の第 1 P チャンネル型 MOS トランジスタのドレイン電極に接続され、

前記第 1 N チャンネル型 MOS トランジスタのソースは、前記第 2 配線に接続され、

前記第 4 P チャンネル型 MOS トランジスタのゲートおよび前記第 1 N チャンネル型 MOS トランジスタのゲートは、前記アンド回路の出力に接続され、

40

前記第 2 P チャンネル型 MOS トランジスタは、シャットダウン信号を受ける様に接続されたゲートと、前記第 1 配線に接続されたソースと、前記第 3 P チャンネル型 MOS トランジスタのドレインに接続されたドレインと、を有し、

前記インバータは、前記シャットダウン信号を受ける入力と、前記第 3 P チャンネル型 MOS トランジスタのゲートに接続された出力と、を有し、

前記アンド回路は、前記シャットダウン信号を受ける第 1 入力と、スタンバイ信号を受ける第 2 入力と、前記出力と、を有する、半導体装置。

【請求項 9】

請求項 8 に記載の半導体装置において、

50

前記第 1 機能ブロックは、リアルタイムクロック動作を実施する回路を含み、
前記第 2 機能ブロックは、システム制御回路を含み、
前記第 3 機能ブロックは、中央処理装置を含み、
前記制御回路は、
前記第 1 スイッチ回路の前記シャットダウン信号の状態を設定する第 1 制御ビットと、
前記第 1 スイッチ回路の前記スタンバイ信号の状態を設定する第 2 制御ビットと、
前記第 2 スイッチ回路の前記シャットダウン信号の状態を設定する第 3 制御ビットと、
前記第 2 スイッチ回路の前記スタンバイ信号の状態を設定する第 4 制御ビットと、
前記第 3 スイッチ回路の前記シャットダウン信号の状態を設定する第 5 制御ビットと、
前記第 3 スイッチ回路の前記スタンバイ信号の状態を設定する第 6 制御ビットと、を含む
、半導体装置。 10

【請求項 10】

請求項 9 に記載の半導体装置において、
前記第 1 制御ビットおよび前記第 2 制御ビットのおのおのはハイレベルとされて、前記第 1 スイッチ回路の前記複数の第 1 P チャンネル型 MOS トランジスタは、前記オン状態にされ、
前記第 3 制御ビットはハイレベルとされ、前記第 4 制御ビットはロウレベルとされて、前記第 2 スイッチ回路の前記複数の第 1 P チャンネル型 MOS トランジスタは、前記ダイオード接続状態にされ、
前記第 5 制御ビットはロウレベルとされ、前記第 3 スイッチ回路の前記複数の第 1 P チャンネル型 MOS トランジスタは、前記オフ状態にされる、半導体装置。 20

【請求項 11】

請求項 9 に記載の半導体装置において、
前記第 1 制御ビットおよび前記第 2 制御ビットのおのおのはハイレベルとされて、前記第 1 スイッチ回路の前記複数の第 1 P チャンネル型 MOS トランジスタは、前記オン状態にされ、
前記第 3 制御ビットはロウレベルとされ、前記第 2 スイッチ回路の前記複数の第 1 P チャンネル型 MOS トランジスタは、前記オフ状態にされ、
前記第 5 制御ビットはロウレベルとされ、前記第 3 スイッチ回路の前記複数の第 1 P チャンネル型 MOS トランジスタは、前記オフ状態にされる、半導体装置。 30

【請求項 12】

電源電位が供給される第 1 配線と、
接地電位が供給される第 2 配線と、
第 1 機能ブロック、第 2 機能ブロックおよび第 3 機能ブロックと、
第 1 スイッチ回路、第 2 スイッチ回路および第 3 スイッチ回路と、
前記第 1 スイッチ回路、前記第 2 スイッチ回路および前記第 3 スイッチ回路を制御する制御回路と、を含み、
前記第 1 機能ブロック、前記第 2 機能ブロックおよび前記第 3 機能ブロックのおのおのは、
電源ノードと、 40
前記第 2 配線に接続された接地ノードと、
複数の論理回路と、を含み、
前記第 1 機能ブロックは、リアルタイムクロック動作を実施する回路を含み、
前記第 2 機能ブロックは、システム制御回路を含み、
前記第 3 機能ブロックは、中央処理装置を含み、
前記第 1 スイッチ回路は、前記第 1 配線と前記第 1 機能ブロックの前記電源ノードとの間にソースドレイン経路が接続された複数の第 1 P チャンネル型 MOS トランジスタを含み、
前記第 2 スイッチ回路は、前記第 1 配線と前記第 2 機能ブロックの前記電源ノードとの間にソースドレイン経路が接続された複数の第 1 P チャンネル型 MOS トランジスタを含み、
前記第 3 スイッチ回路は、前記第 1 配線と前記第 3 機能ブロックの前記電源ノードとの間 50

にソースドレイン経路が接続された複数の第 1 P チャンネル型 MOS トランジスタを含み、前記第 1 スイッチ回路、前記第 2 スイッチ回路および前記第 3 スイッチ回路のおおのの前記複数の第 1 P チャンネル型 MOS トランジスタは、前記制御回路の制御に基づいて、オフ状態、ダイオード接続状態、または、オン状態にされる、半導体装置。

【請求項 13】

請求項 12 に記載の半導体装置において、

前記第 1 スイッチ回路の前記複数の第 1 P チャンネル型 MOS トランジスタは、前記オン状態にされ、

前記第 2 スイッチ回路の前記複数の第 1 P チャンネル型 MOS トランジスタは、前記ダイオード接続状態にされ、

前記第 3 スイッチ回路の前記複数の第 1 P チャンネル型 MOS トランジスタは、前記オフ状態にされる、半導体装置。

10

【請求項 14】

請求項 12 に記載の半導体装置において、

前記第 1 スイッチ回路の前記複数の第 1 P チャンネル型 MOS トランジスタは、前記オン状態にされ、

前記第 2 スイッチ回路の前記複数の第 1 P チャンネル型 MOS トランジスタは、前記オフ状態にされ、

前記第 3 スイッチ回路の前記複数の第 1 P チャンネル型 MOS トランジスタは、前記オフ状態にされる、半導体装置。

20

30

40

50