

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年8月27日(27.08.2020)



(10) 国際公開番号

WO 2020/170757 A1

- (51) 国際特許分類:
H01C 1/148 (2006.01) *H01C 17/28* (2006.01)
H01C 7/04 (2006.01)
- (21) 国際出願番号: PCT/JP2020/003618
- (22) 国際出願日: 2020年1月31日(31.01.2020)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2019-030527 2019年2月22日(22.02.2019) JP
- (71) 出願人: 三菱マテリアル株式会社 (MITSUBISHI MATERIALS CORPO-

RATION) [JP/JP]; 〒1008117 東京都千代田区丸の内三丁目2番3号 Tokyo (JP).

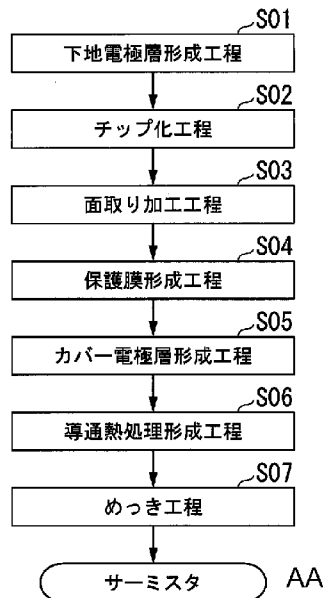
(72) 発明者: 米澤 岳洋 (YONEZAWA Takehiro); 〒3110102 茨城県那珂市向山1002番地14 三菱マテリアル株式会社 中央研究所内 Ibaraki (JP), 日向野 怜子 (HIGANO Satoko); 〒3110102 茨城県那珂市向山1002番地14 三菱マテリアル株式会社 中央研究所内 Ibaraki (JP).

(74) 代理人: 松沼 泰史, 外 (MATSUNUMA Yasushi et al.); 〒1006620 東京都千代田区丸の内一丁目9番2号 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,

(54) Title: METHOD OF MANUFACTURING THERMISTOR

(54) 発明の名称: サーミスタの製造方法



S01 Base electrode layer formation step
S02 Chipping step
S03 Chamfering process step
S04 Protective film formation step
S05 Cover electrode layer formation step
S06 Conductive heat treatment formation step
S07 Plating step
AA Thermistor

(57) Abstract: This method comprises: a base electrode layer formation step (S01) for forming base electrode layers on both sides of a thermistor wafer made of a thermistor material; a chipping step (S02) for cutting the thermistor wafer into chips to obtain a base electrode layer-attached thermistor chip; a protective film formation step (S03) for forming a protective film made of an oxide on the entire surface of the base electrode layer-attached thermistor chip; a cover electrode layer formation step (S04) for forming a cover electrode layer by applying and firing a conductive paste on an

CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

end surface of the base electrode layer-attached thermistor chip; and a conductive heat treatment step (S05) for performing heat treatment such that the base electrode layer and the cover electrode layer are electrically connected to each other, wherein the electrode part having a base electrode and a cover electrode is formed.

(57) 要約: サーミスタ材料からなるサーミスタウェハの両面に下地電極層を形成する下地電極層形成工程 (S 0 1) と、前記サーミスタウェハを切断してチップ化し、下地電極層付きサーミスタチップを得るチップ化工程 (S 0 2) と、前記下地電極層付きサーミスタチップの全面に、酸化物からなる保護膜を形成する保護膜形成工程 (S 0 3) と、前記下地電極層付きサーミスタチップの端面に導電性ペーストを塗布して焼成し、カバー電極層を形成するカバー電極層形成工程 (S 0 4) と、前記下地電極層と前記カバー電極層とが電氣的に導通するように熱処理を行う導通熱処理工程 (S 0 5) と、を有し、前記下地電極と前記カバー電極とを有する前記電極部を形成する。

明 細 書

発明の名称：サーミスタの製造方法

技術分野

[0001] この発明は、サーミスタ材料からなるサーミスタチップと、前記サーミスタチップの表面に形成された保護膜と、前記サーミスタチップの両端部にそれぞれ形成された電極部と、を備えたサーミスタを製造するサーミスタの製造方法に関するものである。

本願は、2019年2月22日に日本に出願された、特願2019-030527号に基づき優先権主張し、その内容をここに援用する。

背景技術

[0002] 上述のサーミスタ（サーミスタ材料）においては、温度に応じて電気抵抗が変化する特性を有しており、各種電子機器の温度補償や温度センサ等に適用されている。特に、最近では、回路基板に実装されるチップ型サーミスタが広く使用されている。

上述のサーミスタは、サーミスタチップと、このサーミスタチップの両端に一对の電極部を形成した構造としている。

[0003] サーミスタチップは、酸やアルカリに弱く、かつ、還元しやすい性質を有しており、これらの反応によって組成が変化すると、特性が変動してしまうおそれがあった。このため、例えば特許文献1に示すように、サーミスタチップの表面に保護膜を成膜する技術が提案されている。なお、保護膜には、その後の工程や使用時におけるサーミスタチップの劣化を抑制するために、めっき液への耐性、耐環境性、絶縁性、等が要求される。

[0004] この特許文献1においては、サーミスタチップの表面にガラスペーストを塗布して焼成することにより、ガラスからなる保護膜を成膜している。

また、サーミスタチップの両端には電極部を形成することになるため、電極部が形成されるサーミスタの端面には保護膜が形成されてない。

ここで、電極部は、サーミスタチップの両端に、例えばAg等の導電性材

料を含む導電性ペーストを塗布して焼成することによって形成される。また、焼成体からなる電極部の表面には、Niめっき層やSnめっき層が形成される。

[0005] 従来、上述のサーミスタを製造する場合には、通常、サーミスタ材料からなるサーミスタウェハの両面に保護膜を形成し、これを短冊状に切断した後、切断面に保護膜をさらに形成し、これを切断してチップ化した後、サーミスタチップの両端面（チップ化の際の切断面）に電極部を形成し、この電極部の表面にめっき層を形成していた。

先行技術文献

特許文献

[0006] 特許文献1：特開平03-250603号公報

発明の概要

発明が解決しようとする課題

[0007] ところで、従来のように、サーミスタウェハを短冊状に切断した場合、短冊状のサーミスタ材料は取り扱い時に折損しやすく、効率良くサーミスタを製造することは困難であった。特に、最近では、サーミスタの小型化が求められており、短冊の断面積が小さくなり、さらに折損しやすい傾向にある。

また、チップ化した後に、導電性ペーストを塗布して焼成し、焼成体からなる電極部を形成する際に、導電性ペーストの塗布ムラや導電性ペーストへの異物の混入により、電極部に空孔が生じてポーラスな構造となることがあった。このような電極部に対してめっき層を形成した場合には、電極部の内部にめっき液が侵入し、サーミスタチップとめっき液とが接触して、サーミスタチップが劣化するおそれがあった。また、サーミスタチップと電極部の界面にめっき金属が析出し、めっきの前後で抵抗値が大きく変化してしまうおそれがあった。

[0008] この発明は、前述した事情に鑑みてなされたものであって、製造時における折損等の発生を抑制し、安定してサーミスタを製造することができるとと

もに、電極部の表面にめっき層を形成した場合であっても、電極部内部へのめっき液の侵入を抑制でき、特性が安定したサーミスタを製造することが可能なサーミスタの製造方法を提供することを目的とする。

課題を解決するための手段

[0009] 上記課題を解決するために、本発明のサーミスタの製造方法は、柱状をなすサーミスタチップと、前記サーミスタチップの表面に形成された保護膜と、前記サーミスタチップの両端部にそれぞれ形成された電極部と、を備えたサーミスタを製造するサーミスタの製造方法であって、サーミスタ材料からなるサーミスタウェハの両面に導電性ペーストを塗布して焼成し、下地電極層を形成する下地電極層形成工程と、下地電極層を形成した前記サーミスタウェハを切断してチップ化し、下地電極層付きサーミスタチップを得るチップ化工程と、前記下地電極層付きサーミスタチップの全面に、酸化物からなる保護膜を形成する保護膜形成工程と、前記下地電極層付きサーミスタチップの端面に形成された前記保護膜の表面に導電性ペーストを塗布して焼成し、カバー電極層を形成するカバー電極層形成工程と、前記下地電極層と前記カバー電極層とが電氣的に導通するように熱処理を行う導通熱処理工程と、を有し、前記下地電極層と前記カバー電極層とを有する前記電極部を形成することを特徴としている。

[0010] 本発明のサーミスタの製造方法によれば、上述のように、サーミスタ材料からなるサーミスタウェハの表面に下地電極層を形成した後、これを切断してチップ化しているので、サーミスタ材料を短冊状の状態で取り扱うことがなく、折損等の発生を抑制できる。よって、製造時の取り扱い性が向上し、サーミスタを効率良く、かつ、歩留まり良く製造することが可能となる。

また、本発明のサーミスタの製造方法では、保護膜形成工程において、前記下地電極層付きサーミスタチップの全面に、酸化物からなる保護膜を形成しているので、保護膜によってサーミスタチップを確実に保護することができる。

[0011] さらに、本発明のサーミスタの製造方法では、カバー電極層形成工程と、

導通熱処理工程と、を備えているので、電極部が下地電極層とカバー電極層の2層構造となり、下地電極層内の空孔とカバー電極層の空孔とが連通することなく、その後のめっき工程において、めっき液の侵入がカバー電極層と下地電極層との界面において阻止されることになり、サーミスタチップとめっき液との接触を抑制することが可能となる。また、サーミスタチップと電極部の界面にめっき金属が析出することを抑制できる。

また、前記下地電極層と前記カバー電極層とが電氣的に導通するように熱処理を行う導通熱処理工程を備えているので、下地電極層とカバー電極層との間に保護膜を形成しても、下地電極層とカバー電極層とを電氣的に導通させることができ、電極部としての機能を確保することが可能となる。

[0012] ここで、本発明のサーミスタの製造方法においては、前記保護膜は、シリコン酸化物で構成されていることが好ましい。

この場合、保護膜がシリコン酸化物で構成されているので、耐環境性に優れており、この保護膜の表面に確実にカバー電極層を形成することができ、下地電極層とカバー電極層の2層構造電極部を安定して形成することができる。

[0013] また、本発明のサーミスタの製造方法においては、前記保護膜形成工程は、シリコンアルコキシドと水と有機溶媒とアルカリを含む反応液に、前記下地電極層付きサーミスタチップを浸漬し、前記シリコンアルコキシドの加水分解及び重縮合反応によって前記下地電極層付きサーミスタチップの表面にシリコン酸化物を析出させることにより、前記保護膜を成膜することが好ましい。

この場合、サーミスタチップ表面の終端酸素や水酸基を起点としてシリコンアルコキシドの加水分解体が重合することで、シリコン酸化物が析出するため、サーミスタチップと保護膜との密着性に優れている。また、サーミスタチップの表面からシリコン酸化物が析出するため、角部や凹凸部の被覆性に優れている。よって、前記サーミスタチップの特性の劣化がなく、安定して使用可能なサーミスタを製造することができる。

[0014] さらに、本発明のサーミスタの製造方法においては、前記下地電極層形成工程は、前記サーミスタウェハの表面に導電性酸化物層を形成し、その後、金属粉を有する導電性ペーストを塗布して焼成する構成としてもよい。

この場合、前記サーミスタウェハの表面に導電性酸化物層を形成することにより、サーミスタチップと下地電極層との接合信頼性を向上させることができる。

[0015] また、本発明のサーミスタの製造方法においては、前記下地電極層形成工程は、金属粉とガラス粉とを含有するガラス入り金属ペーストを塗布して焼成することにより、前記下地電極層を形成する構成としてもよい。

この場合、ガラス入り金属ペーストを焼成することによって下地電極層を形成しているので、下地電極層の密着性を向上させることができる。

[0016] さらに、本発明のサーミスタの製造方法においては、前記カバー電極層形成工程は、金属粉とガラス粉とを含有するガラス入り金属ペーストを塗布して焼成することにより、前記カバー電極層を形成する構成としてもよい。

この場合、ガラス入り金属ペーストを焼成することによってカバー電極層を形成しているので、導通熱処理工程において、ガラスと保護膜とが反応することで、保護膜の少なくとも一部を効率良く消滅させることができ、下地電極層とカバー電極層とを十分に導通させることが可能となる。

[0017] さらに、本発明のサーミスタの製造方法においては、前記チップ化工程の後に、前記下地電極層付きサーミスタチップの面取りを行う面取り加工工程を有し、この面取り加工工程の後に、前記保護膜形成工程を実施する構成としてもよい。

この場合、前記チップ化工程の後に、前記下地電極層付きサーミスタチップの面取りを行う面取り加工工程を有しているので、サーミスタチップの角部における割れや欠けの発生を抑制でき、さらに効率良く、かつ、さらに歩留まり良く、サーミスタを製造することが可能となる。

発明の効果

[0018] 本発明によれば、製造時における折損等の発生を抑制し、安定してサーミ

スタを製造することができるとともに、電極部の表面にめっき層を形成した場合であっても、電極部内部へのめっき液の侵入を抑制でき、特性が安定したサーミスタを製造することが可能なサーミスタの製造方法を提供することができる。

図面の簡単な説明

[0019] [図1]本実施形態に係るサーミスタの製造方法によって製造されたサーミスタの概略断面説明図である。

[図2]図1に示すサーミスタの電極部近傍の拡大説明図である。

[図3]本実施形態に係るサーミスタの製造方法を示すフロー図である。

[図4]実施例において製造されたサーミスタの電極部近傍の観察写真である。

[図5]実施例において製造されたサーミスタのサーミスタチップと保護膜の界面の観察写真である。

発明を実施するための形態

[0020] 以下に、本発明の実施形態について添付した図面を参照して説明する。なお、以下に示す各実施形態は、発明の趣旨をより良く理解させるために具体的に説明するものであり、特に指定のない限り、本発明を限定するものではない。また、以下の説明で用いる図面は、本発明の特徴をわかりやすくするために、便宜上、要部となる部分を拡大して示している場合があり、各構成要素の寸法比率などが実際と同じであるとは限らない。

[0021] 本実施形態に係るサーミスタ10は、図1に示すように、例えば、角柱状をなしており、サーミスタチップ11と、このサーミスタチップ11の表面に形成された保護膜15と、サーミスタチップ11の両端部にそれぞれ形成された電極部20と、を備えている。

ここで、図1に示すように、電極部20は、サーミスタチップ11に直接接触するように構成されている。

[0022] サーミスタチップ11は、温度に応じて電気抵抗が変化する特性を有している。このサーミスタチップ11は、酸やアルカリに対する耐性が低く、還元反応等によって組成が変化し、特性が大きく変動してしまうおそれがある

。よって、本実施形態では、サーミスタチップ11を保護するために保護膜15が形成されている。

[0023] この保護膜15には、めっき液に対する耐性、耐環境性、絶縁性が求められる。そこで、本実施形態では、保護膜15は、シリコン酸化物、具体的には、 SiO_2 で構成されていてもよい。

また、本実施形態においては、保護膜15の厚さは、50nm以上とされていてもよい。なお、保護膜15の厚さの下限は、保護膜が不連続となるおそれがあるため50nm以上とすることが好ましく、100nm以上とすることがさらに好ましい。一方、保護膜15の厚さの上限は、電極部20に含まれるガラスフリットによる保護膜15の浸食効果の限界である3 μm 以下であることが好ましく、上述の浸食効果を安定化させ電気抵抗のばらつきを抑える観点から2 μm 以下であることがさらに好ましい。

[0024] 電極部20は、図2に示すように、サーミスタチップ11の端面に形成された下地電極層21と、この下地電極層21に積層配置されたカバー電極層22と、を備えた2層構造とされている。

下地電極層21は、後述するように、導電性ペーストを焼成して形成されており、本実施形態では、Agの焼成体で構成されていてもよい。この場合、下地電極層21の内部には、空孔が存在することになる。

また、カバー電極層22も、後述するように、導電性ペーストを焼成して形成されており、本実施形態では、Agの焼成体で構成されていてもよい。この場合、カバー電極層22の内部にも、空孔が存在することになる。

[0025] ここで、下地電極層21の厚さ t_1 は、2 μm 以上20 μm 以下の範囲内とされている。2 μm 未満ではガラス量が足りず保護膜15の浸食が不十分になりやすく、保護膜15の浸食を担保するためペースト中のガラス量を増やすと導電性粒子のパーコレーションが不十分となり抵抗値が上昇してしまうおそれがある。一方、20 μm を超えると、ガラスによる保護膜15の浸食効果が飽和し、材料のロスになる。なお、下地電極層21の厚さ t_1 の下限は、3 μm 以上とすることが好ましく、5 μm 以上とすることがさらに好

ましい。一方、下地電極層 21 厚さ t_1 の上限は、 $15\ \mu\text{m}$ 以下とすることが好ましく、 $10\ \mu\text{m}$ 以下とすることがさらに好ましい。

[0026] また、カバー電極層 22 の厚さ t_2 は、 $3\ \mu\text{m}$ 以上 $20\ \mu\text{m}$ 以下の範囲内とされている。 $3\ \mu\text{m}$ 未満ではガラス量が足りず保護膜 15 の浸食が不十分になりやすく、保護膜 15 の浸食を担保するためペースト中のガラス量を増やすと導電性粒子のパーコレーションが不十分となり抵抗値が上昇してしまう、一方で、 $20\ \mu\text{m}$ を超えると、ガラスによる保護膜 15 の浸食効果が飽和し、材料のロスになることに加え、サーミスタ 10 の形状が電極部分のみ大きく膨らみ、形状不良となってしまう。なお、カバー電極層 22 の厚さ t_2 の下限は、 $4\ \mu\text{m}$ 以上とすることが好ましく、 $5\ \mu\text{m}$ 以上とすることがさらに好ましい。一方、カバー電極層 22 の厚さ t_2 の上限は、 $15\ \mu\text{m}$ 以下とすることが好ましく、 $10\ \mu\text{m}$ 以下とすることがさらに好ましい。

[0027] また、電極部 20 の表面には、Niめっき層 31 が形成され、このNiめっき層 31 に積層するようにSnめっき層 32 が形成されている。

ここで、Niめっき層 31 のNiが電極部 20 へ侵入していることがある。このNiは、下地電極層 21 とカバー電極層 22 との界面にまで侵入しているが、サーミスタチップ 11 と電極部 20（下地電極層 21）との接合界面にまでは達していない。

[0028] 次に、上述した本実施形態であるサーミスタ 10 の製造方法について、図 3 のフロー図を用いて説明する。

[0029] （下地電極層形成工程 S01）

まず、サーミスタ材料からなるサーミスタウェハの両面に下地電極層 21 を形成する。

本実施形態では、まず、サーミスタウェハの両面に、導電性酸化物（本実施形態では、ルテニウム酸化物）からなる導電性酸化物層を形成している。そして、この導電性酸化物層の上に、Ag粉とガラス粉を含む導電性ペーストを塗布して焼成することにより、下地電極層 21 を形成している。これにより、下地電極層 21 の表層はAgの焼成体で構成されることになる。

[0030] (チップ化工程S02)

次に、下地電極層21を形成したサーミスタウェハを切断してチップ化し、下地電極層21が形成されたサーミスタチップ11（以下、下地電極層付きサーミスタチップと称す）を得る。すなわち、サーミスタウェハの厚さ方向が、サーミスタチップ11の厚さ方向となり、このサーミスタチップ11の厚さ方向の両端面に下地電極層21がそれぞれ形成されていることになる。

[0031] (面取り加工工程S03)

次に、下地電極層付きサーミスタチップの面取り加工を実施する。

[0032] (保護膜形成工程S04)

次に、下地電極層付きサーミスタチップの表面に保護膜15を成膜する。本実施形態では、下地電極層付きサーミスタチップを、シリコンアルコキシドと水と有機溶媒とアルカリを含む反応液に浸漬し、サーミスタチップ11の表面にシリコン酸化物(SiO_2)を析出させることにより、保護膜15を成膜してもよい。なお、このとき、下地電極層21の表面にも、保護膜15が形成されることになる。

ここで、形成される保護膜15の厚さは、50nm以上とすることが好ましい。なお、100 μm 以上であることがさらに好ましい。

シリコンアルコキシドとしては、例えば、正珪酸エチルや正珪酸エチルのオリゴマー体（多摩化学製シリケート40など）、正珪酸メチルや正珪酸メチルのオリゴマー体（多摩化学製MS51など）を用いることができる。

有機溶媒としては、メタノール、エタノールやイソプロパノール等の水溶性アルコールやこれらと相溶するケトンなどの有機溶媒およびその混合物を用いることができる。

アルカリとしては、水酸化ナトリウムや水酸化カリウム、アンモニアなどの無機アルカリ、エタノールアミンやエチレンジアミンなどのアミン等を用いることができる。

[0033] (カバー電極層形成工程S05)

次に、下地電極層 2 1 の表面に形成された保護膜 1 5 の上に、カバー電極層 2 2 を形成する。

本実施形態では、A g 粉とガラス粉を含む導電性ペーストを保護膜 1 5 の表面に塗布して焼成することにより、カバー電極層 2 2 を形成しており、カバー電極層 2 2 は、A g の焼成体で構成されることになる。

[0034] (導通熱処理工程 S 0 6)

次に、下地電極層 2 1 とカバー電極層 2 2 とが電氣的に導通するように熱処理を実施する。この導通熱処理工程 S 0 6 においては、下地電極層 2 1 とカバー電極層 2 2 との間に介在する保護膜 1 5 の少なくとも一部が消失することにより、下地電極層 2 1 とカバー電極層 2 2 とが導通することになる。

ここで、導通熱処理工程 S 0 6 においては、加熱温度が下地電極層 2 1 中のガラスフリットとカバー電極層 2 2 中のガラスフリット両方の融点以上であることが必要である。つまり、使用するガラスフリットによって最適温度は変化することになるが、カバー電極層 2 2 中のガラスフリットの融点より 5 0 °C 以上高いことが好ましく、カバー電極層 2 2 中の A g 粉の焼結の観点から 7 0 0 °C 以上であることがさらに好ましい。加熱温度の上限はカバー電極層 2 2 の表面へのガラスの浮きの観点から 9 0 0 °C 以下であることが好ましい。また、下地電極層 2 1 中のガラスフリットの融点よりも、カバー電極層 2 2 中のガラスフリットの融点が高いことが好ましい。

加熱温度での保持時間を 5 分以上 6 0 分以下の範囲内とすることが好ましい。また、雰囲気を大気雰囲気とすることが好ましい。

[0035] これら下地電極層形成工程 S 0 1、保護膜形成工程 S 0 4、カバー電極層形成工程 S 0 5、導通熱処理工程 S 0 6 により、下地電極層 2 1 とカバー電極層 2 2 とを備えた 2 層構造の電極部 2 0 が形成されることになる。

[0036] (めっき工程 S 0 7)

次に、電極部 2 0 の表面に金属めっき層を形成する。本実施形態では、電極部 2 0 の表面に N i めっき層 3 1 を形成し、その後、N i めっき層 3 1 に積層するように S n めっき層 3 2 を形成する。なお、本実施形態では、湿式

のバレルめっきによって、上述のNiめっき層31及びSnめっき層32を形成している。

[0037] ここで、Niめっき層31を形成する際に、電極部20の内部にめっき液が侵入することになる。本実施形態では、下地電極層21内部の空孔とカバー電極層22の内部の空孔とが連通していないため、下地電極層21とカバー電極層22の接合界面において、めっき液の侵入が抑制されることになる。

[0038] 以上の工程により、本実施形態であるサーミスタ10が製造されることになる。

[0039] 以上のような構成とされた本実施形態であるサーミスタ10の製造方法によれば、サーミスタ材料からなるサーミスタウェハの表面に下地電極層21を形成した後、これを切断してチップ化しているので、短冊状のサーミスタ材料を取り扱うことがなくなり、折損等の発生を抑制できる。よって、製造時の取り扱い性が向上し、サーミスタ10を効率良く、かつ、歩留まり良く製造することが可能となる。

また、本実施形態では、保護膜形成工程S04において、下地電極層21が形成されたサーミスタチップ11の全面に、酸化物からなる保護膜15を形成しているので、保護膜15によってサーミスタチップ11を確実に保護することができる。

[0040] さらに、本実施形態においては、カバー電極層形成工程S05と、導通熱処理工程S06と、を備えているので、電極部20が下地電極層21とカバー電極層22の2層構造となり、下地電極層21内の空孔とカバー電極層22内の空孔とが連通することなく、めっき工程S07において、めっき液の侵入がカバー電極層22と下地電極層21との界面において阻止されることになり、サーミスタチップ11とめっき液との接触を抑制することが可能となる。また、サーミスタチップ11と電極部20の界面にめっき金属が析出することを抑制できる。

また、本実施形態においては、下地電極層21とカバー電極層22とが電

氣的に導通するように熱処理を行う導通熱処理工程 S 0 6 を備えているので、下地電極層 2 1 とカバー電極層 2 2 との間に保護膜 1 5 を形成しても、下地電極層 2 1 とカバー電極層 2 2 とを電氣的に導通させることができ、電極部 2 0 としての機能を確保することが可能となる。

[0041] また、本実施形態においては、保護膜 1 5 をシリコン酸化物で構成しているので、耐環境性に優れており、この保護膜 1 5 の表面に確実にカバー電極層 2 2 を形成することができ、下地電極層 2 1 とカバー電極層 2 2 の 2 層構造の電極部 2 0 を安定して形成することができる。

[0042] さらに、本実施形態においては、保護膜形成工程 S 0 4 は、シリコンアルコキシドと水と有機溶媒とアルカリを含む反応液に、下地電極層 2 1 が形成されたサーミスタチップ 1 1 を浸漬し、シリコンアルコキシドの加水分解及び重縮合反応によって、サーミスタチップ 1 1 の表面にシリコン酸化物を析出させることにより、保護膜 1 5 を形成しているので、サーミスタチップ 1 1 表面の終端酸素や水酸基を起点としてシリコンアルコキシドの加水分解体が重合することで、シリコン酸化物が析出するため、サーミスタチップ 1 1 と保護膜 1 5 との密着性に優れている。また、サーミスタチップ 1 1 の表面からシリコン酸化物が析出するため、角部や凹凸部の被覆性に優れている。よって、サーミスタチップ 1 1 の特性の劣化がなく、安定して使用可能なサーミスタ 1 0 を製造することができる。

[0043] また、本実施形態においては、下地電極層形成工程 S 0 1 は、サーミスタウェハの表面に導電性酸化物（ルテニウム酸化物）からなる導電性酸化物層を形成し、この導電性酸化物層の上に、導電性ペーストを塗布して焼成することにより、下地電極層 2 1 を形成しているので、サーミスタチップ 1 1 と下地電極層 2 1 との接合信頼性を向上させることができる。

さらに、導電性ペーストとして、A g 粉とガラス粉を含む導電性ペーストを用いているので、下地電極層 2 1 の密着性を向上させることができるとともに、下地電極層 2 1 の表層を A g の焼成体で構成することができる。

[0044] さらに、本実施形態においては、カバー電極層形成工程 S 0 5 では、A g

粉とガラス粉を含む導電性ペーストを塗布して焼成することにより、カバー電極層 22 を形成しているので、導通熱処理工程 S 0 6 において、ガラスと保護膜 15 とが反応することで、保護膜の 15 少なくとも一部を効率良く消滅させることができ、下地電極層 21 とカバー電極層 22 とを十分に導通させることが可能となる。

[0045] また、本実施形態においては、チップ化工程 S 0 2 の後に、下地電極層 21 が形成されたサーミスタチップ 11 の面取りを行う面取り加工工程 S 0 3 を有しているので、サーミスタチップ 11 の角部における割れや欠けの発生を抑制でき、さらに効率良く、かつ、さらに歩留まり良く、サーミスタ 10 を製造することが可能となる。

[0046] 以上、本発明の一実施形態について説明したが、本発明はこれに限定されることはなく、その発明の技術的思想を逸脱しない範囲で適宜変更可能である。

例えば、本実施形態では、サーミスタチップを反応液に浸漬して保護膜を成膜するものとして説明したが、これに限定されることはなく、その他の手段によって保護膜を成膜してもよい。例えばガラスペーストを塗布して焼成して保護膜を成膜してもよい。

[0047] さらに、本実施形態では、下地電極層及びカバー電極層を A g の焼成体で構成したものとして説明したが、これに限定されることはなく、例えば、A g - P d 合金等の A g 合金や、A u, P t, R h, I r, R u 酸化物、及び、これらの混合物からなる焼成体で構成したものであってもよい。また、下地電極層とカバー電極層とを、異なる材質で構成してもよい。

[0048] また、本実施形態では、保護膜をシリコン酸化物で構成したものとして説明したが、これに限定されることはなく、アルミニウム酸化物、チタン酸化物等の他の酸化物で構成したものであってもよい。

実施例

[0049] 本発明の有効性を確認するために行った確認実験について説明する。

[0050] 38×55mm、厚さ0.36mmのサーミスタウェハ両面に、RuO₂粉

末のエタノール分散液をスピコートし、250℃でベーキングした後、導電性酸化物層を形成した。

[0051] 次に、導電性酸化物層の表面に、スクリーン印刷により、Ag粉及びガラス粉を含む（重量比でAg：ガラス＝9：1）導電性ペーストを印刷、焼き付けることにより、下地電極層を形成した。

上述のようにして、下地電極層を形成したサーミスタウェハをダイシングによって0.18mm角に切断し、チップ化した。

チップ化後に、バレル処理によって面取り加工を実施した。

[0052] 面取り加工後に、サーミスタチップを、水－エタノール混合溶媒に入れ、攪拌しながら正珪酸エチル5.2gとNaOH水溶液（0.2mol/L）16.6gとを加えて、サーミスタチップの全面にシリコン酸化物からなる保護膜を形成した。

保護膜の強度及び密着性を向上させるために、成膜後に700℃で焼き付けを行い、成膜と焼き付けを繰り返し実施し、保護膜の膜厚を1μmとした。

[0053] 保護膜を形成したサーミスタチップの両端面（下地電極層が形成された面）に、Ag粉及びガラス粉を含む（重量比でAg：ガラス＝97：3）導電性ペーストを塗布し、雰囲気：大気、加熱温度：750℃、加熱温度での保持時間：10分の条件で焼き付けを行うことにより、カバー電極層を形成した。なお、この焼付処理は導通熱処理も兼ねている。

その後、湿式のバレルめっきによってNiめっき層及びSnめっき層を形成した。

[0054] 以上の工程によって得られたサーミスタの電極部の観察結果を図4に、サーミスタチップと保護膜との界面の観察結果を図5に示す。

図4（a）のSEM像に示すように、下地電極層とカバー電極層の間に形成された保護膜の一部が消滅しており、下地電極層とカバー電極層とが導通していることが確認される。また、図4（b）のNiマッピング図に示すように、Niの侵入が止められており、サーミスタチップとめっき液とが接触

していないことが確認される。

図5において、倍率は（a）が20000倍、（b）が50000倍である。図5に示すように、サーミスタチップの電極部以外の領域では、保護膜が密着して形成されていることが確認される。

[0055] 以上のように、本発明によれば、製造時における折損等の発生を抑制し、安定してサーミスタを製造することができるとともに、電極部の表面にめっき層を形成した場合であっても、電極部内部へのめっき液の侵入を抑制でき、特性が安定したサーミスタを製造することが可能なサーミスタの製造方法を提供可能であることが確認された。

符号の説明

[0056] 10 サーミスタ
11 サーミスタチップ
15 保護膜
20 電極部
21 下地電極層
22 カバー電極層

請求の範囲

[請求項1] 柱状をなすサーミスタチップと、前記サーミスタチップの表面に形成された保護膜と、前記サーミスタチップの両端部にそれぞれ形成された電極部と、を備えたサーミスタを製造するサーミスタの製造方法であって、

サーミスタ材料からなるサーミスタウェハの両面に導電性ペーストを塗布して焼成し、下地電極層を形成する下地電極層形成工程と、

下地電極層を形成した前記サーミスタウェハを切断してチップ化し、下地電極層付きサーミスタチップを得るチップ化工程と、

前記下地電極層付きサーミスタチップの全面に、酸化物からなる保護膜を形成する保護膜形成工程と、

前記下地電極層付きサーミスタチップの端面に形成された前記保護膜の表面に導電性ペーストを塗布して焼成し、カバー電極層を形成するカバー電極層形成工程と、

前記下地電極層と前記カバー電極層とが電氣的に導通するように熱処理を行う導通熱処理工程と、

を有し、前記下地電極層と前記カバー電極層とを有する前記電極部を形成することを特徴とするサーミスタの製造方法。

[請求項2] 前記保護膜は、シリコン酸化物で構成されていることを特徴とする請求項1に記載のサーミスタの製造方法。

[請求項3] 前記保護膜形成工程は、シリコンアルコキシドと水と有機溶媒とアルカリを含む反応液に、前記下地電極層付きサーミスタチップを浸漬し、前記シリコンアルコキシドの加水分解及び重縮合反応によって前記下地電極層付きサーミスタチップの表面にシリコン酸化物を析出させることにより、前記保護膜を成膜することを特徴とする請求項2に記載のサーミスタの製造方法。

[請求項4] 前記下地電極層形成工程は、前記サーミスタウェハの表面に導電性酸化物層を形成し、その後、金属粉を有する導電性ペーストを塗布し

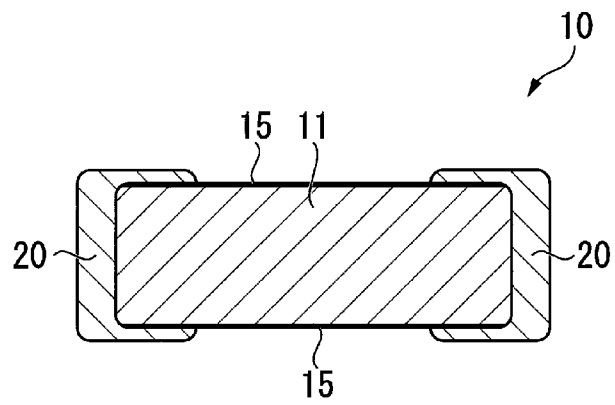
て焼成することを特徴とする請求項 1 から請求項 3 のいずれか一項に記載のサーミスタの製造方法。

[請求項5] 前記下地電極層形成工程は、前記導電性ペーストとして、金属粉とガラス粉とを含有するガラス入り金属ペーストを用いることを特徴とする請求項 1 から請求項 4 のいずれか一項に記載のサーミスタの製造方法。

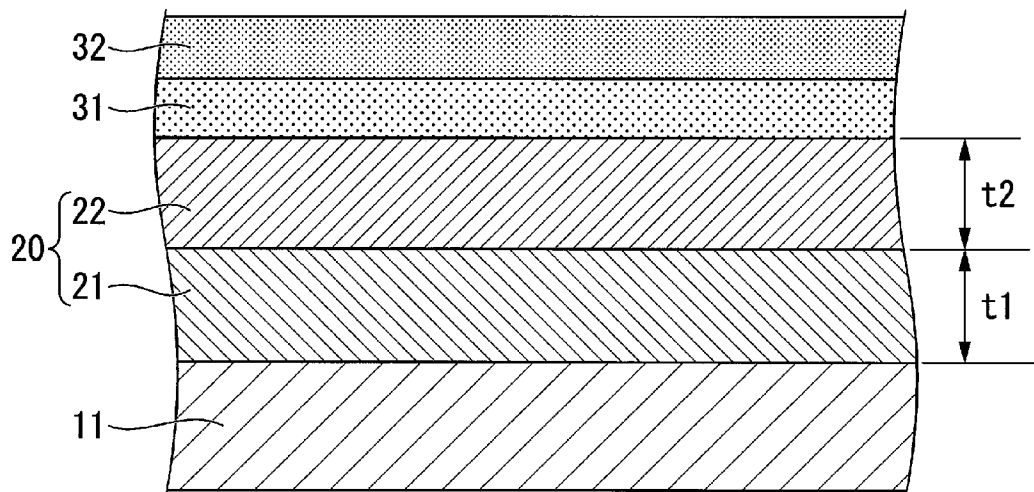
[請求項6] 前記カバー電極層形成工程は、前記導電性ペーストとして、金属粉とガラス粉とを含有するガラス入り金属ペーストを用いることを特徴とする請求項 1 から請求項 5 のいずれか一項に記載のサーミスタの製造方法。

[請求項7] 前記チップ化工程の後に、前記下地電極層付きサーミスタチップの面取りを行う面取り加工工程を有し、この面取り加工工程の後に、前記保護膜形成工程を実施することを特徴とする請求項 1 から請求項 6 のいずれか一項に記載のサーミスタの製造方法。

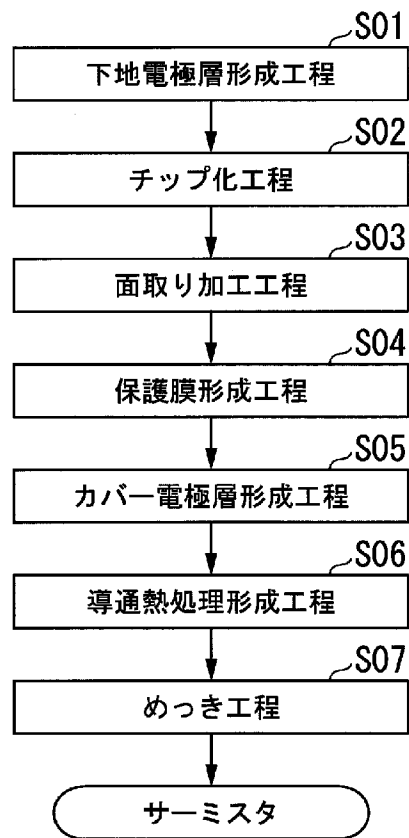
[図1]



[図2]

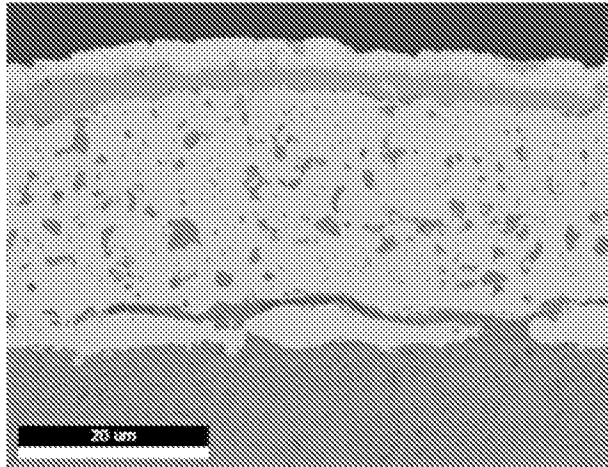


[図3]

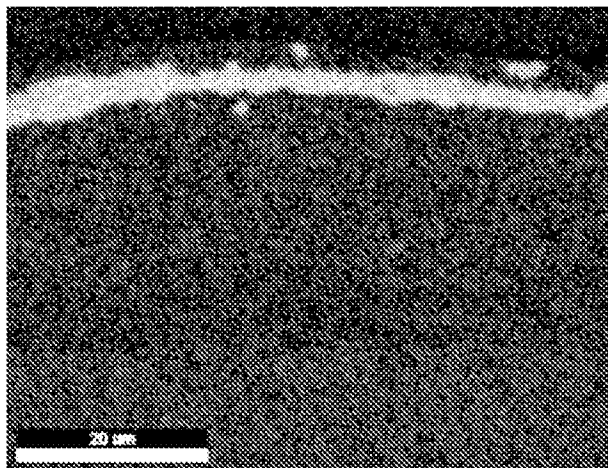


[図4]

(a)

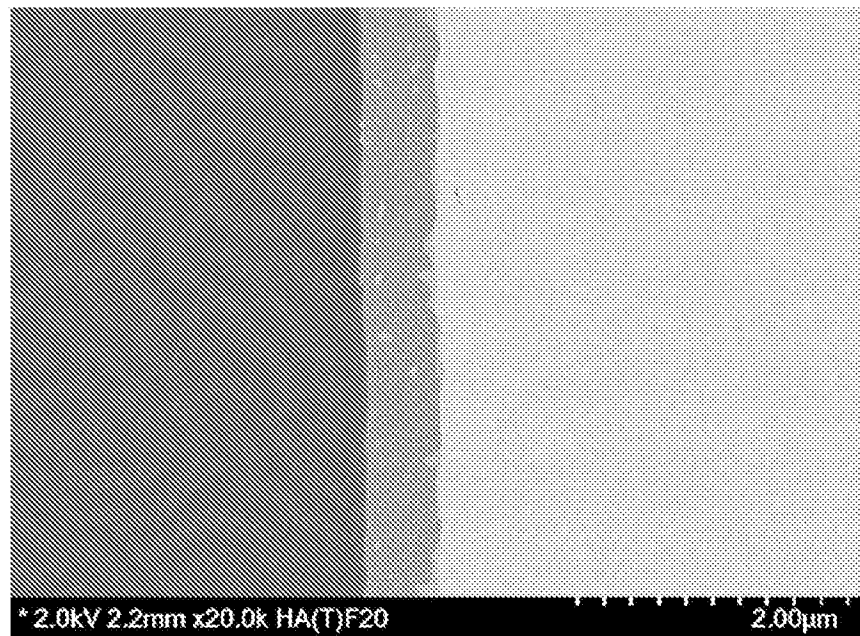


(b)

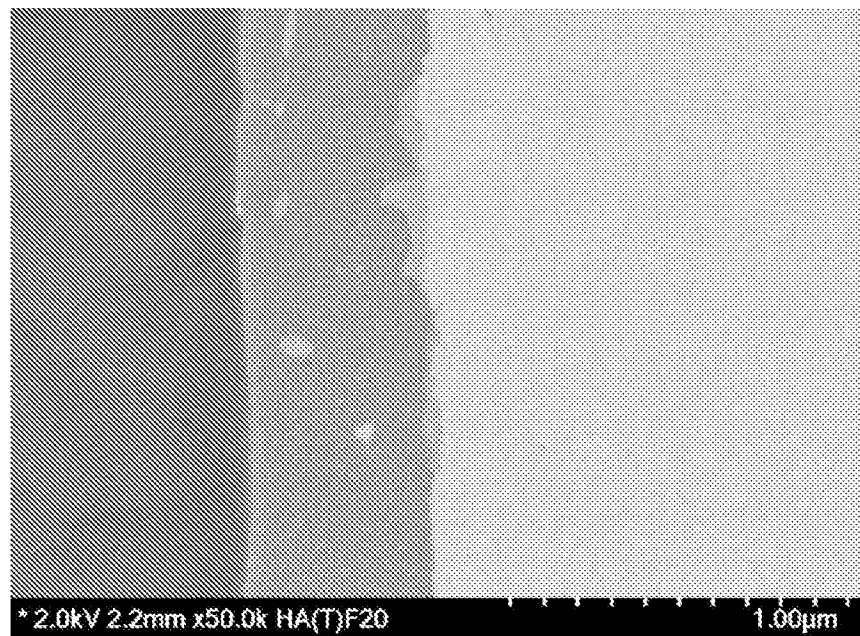


[図5]

(a)



(b)



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/003618

A. CLASSIFICATION OF SUBJECT MATTER

H01C 1/148 (2006.01)i; H01C 7/04 (2006.01)i; H01C 17/28 (2006.01)i
FI: H01C7/04; H01C1/148 Z; H01C17/28

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01C1/148; H01C7/04; H01C17/28

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 6-295803 A (MITSUBISHI MATERIALS CORP.) 21.10.1994 (1994-10-21) paragraphs [0003]-[0020], fig. 1-6	1-7
Y	JP 2001-44006 A (MURATA MANUFACTURING CO., LTD.) 16.02.2001 (2001-02-16) paragraphs [0016]-[0023], fig. 2	1-7
Y	Microfilm of the specification and drawings annexed to the request of Japanese Utility Model Application No. 139435/1984 (Laid-open No. 55303/1986) (OHIZUMI MFG. CO., LTD.) 14.04.1986 (1986-04-14) page 1, lines 4-8	3
Y	JP 2018-53292 A (TOYOTA CENTRAL R&D LABS., INC.) 05.04.2018 (2018-04-05) paragraphs [0041]-[0043]	3
Y	JP 2018-14413 A (MITSUBISHI MATERIALS CORP.) 25.01.2018 (2018-01-25) paragraph [0003]	4
Y	JP 2017-199797 A (TDK CORPORATION) 02.11.2017 (2017-11-02) paragraphs [0004]-[0005], [0013]- [0040], fig. 1-6	5, 7

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
08 April 2020 (08.04.2020)

Date of mailing of the international search report
21 April 2020 (21.04.2020)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2020/003618

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 6-295803 A	21 Oct. 1994	US 5339068 A column 1, line 34 to column 8, line 36, fig. 1-6 (Family: none)	
JP 2001-44006 A	16 Feb. 2001	(Family: none)	
JP 61-55303 U1	14 Apr. 1986	(Family: none)	
JP 2018-53292 A	05 Apr. 2018	(Family: none)	
JP 2018-14413 A	25 Jan. 2018	(Family: none)	
JP 2017-199797 A	02 Nov. 2017	US 2017/0309389 A1 paragraphs [0025]- [0054], fig. 1-5, 14 CN 107331508 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01C 1/148(2006.01)i; H01C 7/04(2006.01)i; H01C 17/28(2006.01)i FI: H01C7/04; H01C1/148 Z; H01C17/28		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H01C1/148; H01C7/04; H01C17/28		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922 - 1996年 日本国公開実用新案公報 1971 - 2020年 日本国実用新案登録公報 1996 - 2020年 日本国登録実用新案公報 1994 - 2020年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 6-295803 A（三菱マテリアル株式会社）21.10.1994（1994 - 10 - 21） 段落 [0003] - [0020], 図1-6	1-7
Y	JP 2001-44006 A（株式会社村田製作所）16.02.2001（2001 - 02 - 16） 段落 [0016] - [0023], 図2	1-7
Y	日本国実用新案登録出願59-139435号（日本国実用新案登録出願公開61-55303号）の願書に添付した明細書及び図面の内容を撮影したマイクロフィルム（株式会社大泉製作所）14.04.1986（1986-04-14）第1頁第4-8行	3
Y	JP 2018-53292 A（株式会社豊田中央研究所）05.04.2018（2018 - 04 - 05） 段落 [0041] - [0043]	3
Y	JP 2018-14413 A（三菱マテリアル株式会社）25.01.2018（2018 - 01 - 25） 段落 [0003]	4
Y	JP 2017-199797 A（TDK株式会社）02.11.2017（2017 - 11 - 02） 段落 [0004] - [0005], [0013] - [0040], 図1-6	5, 7
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 08.04.2020		国際調査報告の発送日 21.04.2020
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 上谷 奈那 5D 6298 電話番号 03-3581-1101 内線 3551

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2020/003618

引用文献			公表日	パテントファミリー文献	公表日
JP	6-295803	A	21.10.1994	US 5339068 A 第1欄第34行 - 第8欄第36 行, 図1-6	
JP	2001-44006	A	16.02.2001	(ファミリーなし)	
JP	61-55303	U1	14.04.1986	(ファミリーなし)	
JP	2018-53292	A	05.04.2018	(ファミリーなし)	
JP	2018-14413	A	25.01.2018	(ファミリーなし)	
JP	2017-199797	A	02.11.2017	US 2017/0309389 A1 段落 [0025] - [0054], 図 1-5, 14	
				CN 107331508 A	