

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-287634

(P2010-287634A)

(43) 公開日 平成22年12月24日(2010.12.24)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 29/786 (2006.01)	H O 1 L 29/78 6 1 6 S	3 K 1 0 7
H O 1 L 21/336 (2006.01)	H O 1 L 29/78 6 1 8 E	4 M 1 0 4
H O 1 L 29/417 (2006.01)	H O 1 L 29/78 6 1 6 K	5 F 1 1 0
H O 1 L 29/423 (2006.01)	H O 1 L 29/50 M	
H O 1 L 29/49 (2006.01)	H O 1 L 29/58 G	
審査請求 未請求 請求項の数 8 O L (全 15 頁) 最終頁に続く		

(21) 出願番号 特願2009-138696 (P2009-138696)
 (22) 出願日 平成21年6月9日 (2009.6.9)

(71) 出願人 000001443
 カシオ計算機株式会社
 東京都渋谷区本町 1 丁目 6 番 2 号
 (74) 代理人 100095407
 弁理士 木村 満
 (72) 発明者 松田 邦宏
 東京都八王子市石川町 2 9 5 1 番地の 5
 カシオ計算機株式会社八王子技術センター
 内
 Fターム(参考) 3K107 AA01 BB01 CC21 EE03 EE04
 4M104 AA01 AA08 AA09 BB02 BB13
 BB16 BB39 CC05 DD34 DD37
 FF13 GG09 GG10 GG14

最終頁に続く

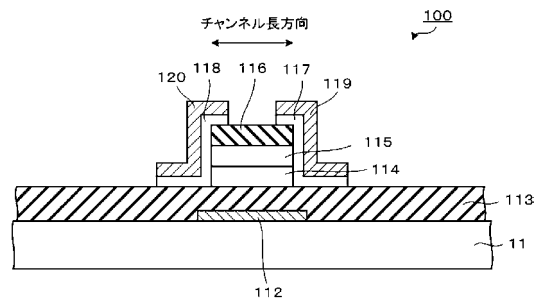
(54) 【発明の名称】 トランジスタを有するトランジスタ基板及びトランジスタを有するトランジスタ基板の製造方法

(57) 【要約】

【課題】微結晶シリコンをチャンネル領域として用い、コンタクト歩留まりを向上させ、良好な特性を備えるトランジスタを有するトランジスタ基板及びその製造方法を提供する。

【解決手段】トランジスタ 100 は、基板 11 と、ゲート電極 112 と、ゲート絶縁膜 113 と、第 1 の半導体層 114 と、第 2 の半導体層 115 と、ストッパ膜 116 と、オーミックコンタクト層 117、118 と、ドレイン電極 119 と、ソース電極 120 と、を備える。微結晶シリコンを用いた第 1 の半導体層 114 上に第 2 の半導体層 115 を積層させた上で、第 1 の半導体層 114 及び第 2 の半導体層 115 の側面でオーミックコンタクト層 117、118 とコンタクトを取ることにより、コンタクト歩留まりを向上させ、良好な特性を備えるトランジスタを有するトランジスタ基板及びその製造方法を提供することができる。

【選択図】図 1



【特許請求の範囲】**【請求項 1】**

チャンネル領域として機能する第 1 の半導体層と、
前記第 1 の半導体層の上に形成された第 2 の半導体層と、
前記第 1 の半導体層と前記第 2 の半導体層のチャンネル長方向の側面を覆うように設けられたオーミックコンタクト層と、を備え、
前記第 1 の半導体層及び前記第 2 の半導体層と、前記オーミックコンタクト層と、は前記第 1 の半導体層及び前記第 2 の半導体層のチャンネル長方向の側面のみでコンタクトすることを特徴とするトランジスタを有するトランジスタ基板。

【請求項 2】

10

前記第 2 の半導体層上に設けられた絶縁膜を備え、
前記絶縁膜は、前記第 2 の半導体層の上面全面を覆うように形成されており、
前記第 1 の半導体層と、前記第 2 の半導体層と、前記絶縁膜とのチャンネル長方向の側面がほぼ面一であることを特徴とする請求項 1 に記載のトランジスタを有するトランジスタ基板。

【請求項 3】

前記第 1 の半導体層は、微結晶シリコンから形成され、前記第 2 の半導体層は、アモルファスシリコンから形成されることを特徴とする請求項 1 又は 2 に記載のトランジスタを有するトランジスタ基板。

【請求項 4】

20

前記トランジスタと接続された第 1 の電極と、
前記第 1 の電極と対向して設けられた第 2 の電極と、
前記第 1 の電極と前記第 2 の電極との間に設けられた発光層と、を備えることを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載のトランジスタを有するトランジスタ基板。

【請求項 5】

チャンネル領域として機能する第 1 の半導体層と、
前記第 1 の半導体層の上に形成された第 2 の半導体層と、
前記第 1 の半導体層と前記第 2 の半導体層のチャンネル長方向の側面を覆うように設けられたオーミックコンタクト層と、を備えたトランジスタを有するトランジスタ基板の製造方法であって、
前記オーミックコンタクト層を、前記第 1 の半導体層及び前記第 2 の半導体層のチャンネル長方向の側面のみでコンタクトするよう形成することを特徴とするトランジスタを有するトランジスタ基板の製造方法。

30

【請求項 6】

前記第 2 の半導体層の上面全面を覆うように形成された絶縁膜を形成する工程を更に備え、
前記第 1 の半導体層と、前記第 2 の半導体層と、前記絶縁膜とはチャンネル長方向の側面がほぼ面一に形成されることを特徴とする請求項 5 に記載のトランジスタを有するトランジスタ基板の製造方法。

【請求項 7】

40

前記第 1 の半導体層は、微結晶シリコンから形成されることを特徴とする請求項 5 又は 6 に記載のトランジスタを有するトランジスタ基板の製造方法。

【請求項 8】

前記第 2 の半導体層は、アモルファスシリコンから形成されることを特徴とする請求項 5 乃至 7 のいずれか 1 項に記載のトランジスタを有するトランジスタ基板の製造方法。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、トランジスタを有するトランジスタ基板及びトランジスタを有するトランジスタ基板の製造方法に関する。

50

【背景技術】

【0002】

従来、液晶表示パネル、有機EL (electroluminescence) 素子を用いた表示パネル等の駆動素子として、薄膜トランジスタ (Thin Film Transistor, 以下、TFT) が用いられている。また、従来のTFT構造としては、例えば特許文献1に開示されているチャンネルエッチ構造、特許文献2に開示されているチャンネルストッパ構造、等が挙げられる。

【0003】

これらの構造のTFTを作成するプロセスとしては、まずPVD (Physical Vapor Deposition) 法等により、ゲート金属膜を形成した後、フォトリソグラフィによりレジストパターンを形成し、ウエットエッチング又はドライエッチングによりゲート電極を形成する。次に、ゲート絶縁膜をCVD (Chemical Vapor Deposition) 法等により成膜する。チャンネルエッチ構造では、その後、半導体層、高ドープ半導体層、ソース・ドレイン金属膜を成膜し、エッチングにより、高ドープ半導体層、ソース電極及びドレイン電極を形成した上で、同様に半導体層にエッチングを施す。チャンネルストッパ構造では、ゲート絶縁膜を成膜後、連続して半導体層とチャンネルストッパ層とを成膜し、チャンネルストッパ膜をパターン形成した後、高ドープ半導体層、ソース・ドレイン金属膜を連続成膜し、ソース電極及びドレイン電極のパターンで、ソース電極及びドレイン電極、高ドープ半導体層、半導体層を加工形成する。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開平5 - 335580号公報

【特許文献2】特開平5 - 335579号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

ところで、従来の薄膜トランジスタの構造では、チャンネル領域として機能する半導体層の表面が平滑ではなく、凹凸が大きい場合、ソース電極及びドレイン電極と、高ドープ半導体層、半導体層との間で層構造が崩れることにより、これらの層の接触状態が悪く、良好なオーミックコンタクトが得られず、例えば、図7に示すように、オン電流が著しく小さくなるという問題がある。

【0006】

半導体層の表面の凹凸を緩和する方法としては、半導体層の厚さを薄くし凹凸が大きくなるのを防ぐ、成膜条件を調整する等の手法もある。しかし、半導体層として、オン電流の増加が可能であり、物性的に優れている微結晶シリコンを用いる場合、微結晶シリコンは表面の凹凸が比較的大きいため、従来の方法では半導体層の表面の凹凸を緩和することが難しいという問題がある。

【0007】

このため、チャンネル領域として機能する半導体層として、微結晶シリコンを用いた上で、コンタクト歩留まりを向上させ、良好な特性を備えるトランジスタが求められている。

【0008】

本発明は、上述した実情を鑑みてなされたものであり、微結晶シリコンをチャンネル領域として用い、コンタクト歩留まりを向上させ、良好な特性を備えるトランジスタを有するトランジスタ基板及びその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0009】

上記目的を達成するため、本発明の第1の観点に係るトランジスタを有するトランジスタ基板は、

10

20

30

40

50

チャンネル領域として機能する第 1 の半導体層と、
前記第 1 の半導体層の上に形成された第 2 の半導体層と、
前記第 1 の半導体層と前記第 2 の半導体層のチャンネル長方向の側面を覆うように設けられたオーミックコンタクト層と、を備え、

前記第 1 の半導体層及び前記第 2 の半導体層と、前記オーミックコンタクト層と、は前記第 1 の半導体層及び前記第 2 の半導体層のチャンネル長方向の側面のみでコンタクトすることを特徴とする。

【0010】

前記第 2 の半導体層上に設けられた絶縁膜を備え、
前記絶縁膜は、前記第 2 の半導体層の上面全面を覆うように形成されており、
前記第 1 の半導体層と、前記第 2 の半導体層と、前記絶縁膜とのチャンネル長方向の側面がほぼ面一であってもよい。

10

【0011】

前記第 1 の半導体層は、微結晶シリコンから形成され、前記第 2 の半導体層は、アモルファスシリコンから形成されていてもよい。

【0012】

前記トランジスタと接続された第 1 の電極と、前記第 1 の電極と対向して設けられた第 2 の電極と、前記第 1 の電極と前記第 2 の電極との間に設けられた発光層と、を備えていてもよい。

【0013】

上記目的を達成するため、本発明の第 2 の観点に係るトランジスタを有するトランジスタ基板の製造方法は、

20

チャンネル領域として機能する第 1 の半導体層と、
前記第 1 の半導体層の上に形成された第 2 の半導体層と、
前記第 1 の半導体層と前記第 2 の半導体層のチャンネル長方向の側面を覆うように設けられたオーミックコンタクト層と、を備えたトランジスタを有するトランジスタ基板の製造方法であって、

前記オーミックコンタクト層を、前記第 1 の半導体層及び前記第 2 の半導体層のチャンネル長方向の側面のみでコンタクトするよう形成することを特徴とする。

【0014】

前記第 2 の半導体層の上面全面を覆うように形成された絶縁膜を形成する工程を更に備え、

30

前記第 1 の半導体層と、前記第 2 の半導体層と、前記絶縁膜とはチャンネル長方向の側面がほぼ面一に形成されてもよい。

【0015】

前記第 1 の半導体層は、微結晶シリコンから形成されてもよい。

【0016】

前記第 2 の半導体層は、アモルファスシリコンから形成されてもよい。

【発明の効果】

【0017】

本発明では、微結晶シリコンを用いた第 1 の半導体層上に第 2 の半導体層を積層させた上で、第 1 の半導体層及び第 2 の半導体層の側面でコンタクトを取ることで、コンタクト歩留まりを向上させ、良好な特性を備えるトランジスタを有するトランジスタ基板及びその製造方法を提供することができる。

40

【図面の簡単な説明】

【0018】

【図 1】実施形態に係るトランジスタの断面図である。

【図 2】本実施形態のトランジスタを用いたトランジスタ基板の構成例を示す図である。

【図 3】画素の駆動回路の等価回路図である。

【図 4】有機 EL 素子の構成例を示す平面図である。

50

【図 5】図 4 に示す V - V 線断面図である。

【図 6 A】本実施形態のトランジスタと、これを用いたトランジスタ基板の製造方法を説明する図である。

【図 6 B】本実施形態のトランジスタと、これを用いたトランジスタ基板の製造方法を説明する図である。

【図 6 C】本実施形態のトランジスタと、これを用いたトランジスタ基板の製造方法を説明する図である。

【図 6 D】本実施形態のトランジスタと、これを用いたトランジスタ基板の製造方法を説明する図である。

【図 6 E】本実施形態のトランジスタと、これを用いたトランジスタ基板の製造方法を説明する図である。

10

【図 7】電流電圧特性を示す図である。

【発明を実施するための形態】

【0019】

本発明の実施形態に係るトランジスタを有するトランジスタ基板及びトランジスタを有するトランジスタ基板の製造方法について、図を用いて説明する。本実施形態では、トランジスタとして薄膜トランジスタ (Thin Film Transistor; TFT) を例に挙げて説明し、更に薄膜トランジスタをボトムエミッション型の有機 EL (electroluminescence) 素子を駆動するための素子として利用する構成を例に挙げて説明する。

【0020】

20

なお、本実施形態中で、微結晶シリコン ($\mu c - Si$) とは、結晶粒径が、概ね 50 ~ 100 nm の結晶性シリコンである。

【0021】

本実施形態に係るトランジスタ 100 の断面図を図 1 に示す。トランジスタ 100 は、基板 11 と、ゲート電極 112 と、ゲート絶縁膜 113 と、第 1 の半導体層 114 と、第 2 の半導体層 115 と、ストッパ膜 116 と、オーミックコンタクト層 117、118 と、ドレイン電極 119 と、ソース電極 120 と、を備える。

【0022】

基板 11 は、絶縁性を備える材料から形成され、例えばガラス基板等が用いられる。

【0023】

30

ゲート電極 112 は、導電性を有する材料、例えば、Mo 膜、Cr 膜、Al 膜、Cr / Al 積層膜、AlTi 合金膜又は AlNdTi 合金膜、MoNb 合金膜等から形成され、基板 11 上に形成される。

【0024】

ゲート絶縁膜 113 は、絶縁性を有する材料、例えば SiN から形成され、基板 11 及びゲート電極 112 を覆うように形成される。

【0025】

第 1 の半導体層 114 は、微結晶シリコンから形成される。第 1 の半導体層 114 は、ゲート絶縁膜 113 上に形成され、第 1 の半導体層 114 上には第 2 の半導体層 115 が形成される。また、第 1 の半導体層 114 は、電子移動度が高い微結晶シリコンから形成されるが、微結晶シリコンは成膜速度が遅いため、微結晶シリコンを第 1 の半導体層 114 として用いる場合、第 1 の半導体層 114 は、必要なオン電流が得られる必要最低限の膜厚とすると成膜プロセスをスピードアップさせることができ、好ましい。例えば、第 1 の半導体層 114 は、250 ~ 500 の厚みに形成される。また、第 1 の半導体層 114 の側面のドレイン端、ソース端に対応する領域にはそれぞれオーミックコンタクト層 117、118 が形成される。

40

【0026】

第 2 の半導体層 115 は、第 1 の半導体層 114 上に形成される。第 2 の半導体層 115 としては、第 1 の半導体層 114 の表面の凹凸を緩和し、第 1 の半導体層 114 との密着性が強く、厚く成膜しても剥がれないものが好ましく、非ドーパモルファスシリコン

50

が好適である。第2の半導体層115の上には、ストッパ膜116が形成されている。例えば、第2の半導体層115は、250～500の厚みに形成される。また、第2の半導体層115の側面のドレイン端、ソース端に対応する領域にはそれぞれオーミックコンタクト層117、118が形成される。

【0027】

ストッパ膜116は、第2の半導体層115の上面に形成される。ストッパ膜116は、絶縁性を有する材料から形成され、例えばSiNから形成される。本実施形態では、第1の半導体層114及び第2の半導体層115はドレイン端、ソース端の側面のみでオーミックコンタクト層117、118とコンタクトを取るため、ストッパ膜116は、第2の半導体層115の上面全体を覆うように形成されている。

10

【0028】

本実施形態では、第1の半導体層114上に第2の半導体層115を形成し、更に第2の半導体層115の上面全面を覆うようにストッパ膜116を形成する。チャンネル長方向の側面は、第1の半導体層114と、第2の半導体層115と、ストッパ膜116とがほぼ面一になっている。これにより、本実施形態のトランジスタ100は、第1の半導体層114及び第2の半導体層115のチャンネル長方向の側面でのみ、オーミックコンタクト層117、118とコンタクトする。これにより、半導体層を上面の凹凸が比較的多く生ずる微結晶シリコンを用いた場合であっても、コンタクトを取る部分が半導体層の上面ではなく、側面であるため、半導体層の上面の凹凸によるコンタクトへの影響を抑制し、コンタクト歩留まりを向上させることができる。また、オン電流の低下を抑制することができる。また、特に、本実施形態では、第1の半導体層114の上に第2の半導体層115を積層させることにより、第1の半導体層114のみから形成される場合と比較し、オーミックコンタクト層117、118とコンタクトする面積を増加させることが可能となり、更に歩留まりを向上させることが可能となる。また、遮断領域でのリーク電流も小さくすることが可能となる。尚、チャンネル長とは、オーミックコンタクト層117と第1の半導体層114の接する部分からオーミックコンタクト層118と第1の半導体層114の接する部分までの最短距離である。

20

【0029】

オーミックコンタクト層117、118は、例えばドーブされたアモルファスシリコンから形成される。オーミックコンタクト層117は、第1の半導体層114の側面と、第2の半導体層115の側面とを覆うように形成されており、オーミックコンタクト層117の上面にはドレイン電極119が設けられる。オーミックコンタクト層118も、第1の半導体層114の側面と、第2の半導体層115の側面とを覆うように形成されており、オーミックコンタクト層118の上面にはソース電極120が設けられる。

30

【0030】

ドレイン電極119は、ドレイン端のオーミックコンタクト層117上に形成され、例えばアルミニウム-チタン(AlTi)/Cr、AlNdTi/CrまたはCr等のソース-ドレイン導電層から形成されている。

【0031】

ソース電極120は、ソース端のオーミックコンタクト層118上に形成され、例えばアルミニウム-チタン(AlTi)/Cr、AlNdTi/CrまたはCr等のソース-ドレイン導電層から形成されている。

40

【0032】

なお、図1に示すトランジスタ100は、第1の半導体層114、第2の半導体層115、ストッパ膜116を形成した上で、オーミックコンタクト層、ソース/ドレイン金属膜を形成し、エッチングを施すため、オーミックコンタクト層117、118と、ドレイン電極119、ソース電極120の外形がほぼ同じ形状に形成される。しかし、これに限られず、オーミックコンタクト層117、118とドレイン電極119とソース電極120とは別々にエッチングを施してもよい。

【0033】

50

本実施形態では、第1の半導体層114及び第2の半導体層115の側面でのみ、オーミックコンタクト層117、118とコンタクトする。これにより、半導体層上面の凹凸によるコンタクトへの影響を抑制し、コンタクト歩留まりを向上させることができる。また、半導体層上面の凹凸に起因するオン電流の低下を抑制することができ、トランジスタ100は良好な特性を備える。更に、本実施形態では、第2の半導体層115を積層させることにより、第1の半導体層114のみから形成される場合と比較し、オーミックコンタクト層117、118とコンタクトする面積を増加させることが可能となり、更に歩留まりを向上させることが可能となる。また、遮断領域でのリーク電流も小さくすることが可能となる。

【0034】

次に、本実施形態のトランジスタ100が用いられるトランジスタ基板10について説明する。

【0035】

トランジスタ基板10は、発光画素基板(画素基板)31と、発光画素基板31上にマトリクス状に配置された発光画素(有機EL素子)30と、発光画素30を封止する封止基板と、を備える。トランジスタ基板10では、画素基板31上に、図2に示すように、それぞれ赤(R)、緑(G)、青(B)の3色に発する3つの発光画素30を一組として、この組が行方向に繰り返し複数個、例えばm個配列されるとともに、列方向に同一色の画素が複数個、例えばn個配列されている。このようにRGBの各色を発する画素がマトリクス状に、m×n個配列される。なお、赤(R)、緑(G)、青(B)の3つの発光画素30はデルタ配列であってもよい。また、発光画素30は単色であってもよい。

【0036】

発光画素回路DSは、図3に示すように、選択トランジスタTr11、発光駆動トランジスタTr12、キャパシタCs、有機EL素子30と、を備える。選択トランジスタTr11、発光駆動トランジスタTr12は、上述した本実施形態のTFTである。

【0037】

発光画素基板31上には、行方向に配列された複数の発光画素回路DSに接続されたアノードラインLaと、行方向に配列された複数の発光画素回路DSにそれぞれ接続された複数のデータラインLdと、行方向に配列された複数の発光画素回路DSのトランジスタTr11を選択する走査ラインLsと、が形成されている。

【0038】

図3に示すように選択トランジスタTr11は、ゲート端子が走査ラインLsに、ドレイン端子がデータラインLdに、ソース端子が接点N11にそれぞれ接続される。また、発光駆動トランジスタTr12は、ゲート端子が接点N11に接続されており、ドレイン端子がアノードラインLaに、ソース端子が接点N12にそれぞれ接続されている。キャパシタCsは、発光駆動トランジスタTr12のゲート端子及びソース端子に接続されている。なお、キャパシタCsは、発光駆動トランジスタTr12のゲート-ソース間に付加的に設けられた補助容量、もしくは発光駆動トランジスタTr12のゲート-ソース間の寄生容量と補助容量からなる容量成分である。また、有機EL素子30は、アノード端子(画素電極42)が接点N12に接続され、カソード端子(対向電極46)に基準電圧Vssが印加されている。

【0039】

走査ラインLsは、発光画素基板の周縁部に配置された走査ドライバ(図示せず)に接続されており、所定タイミングで行方向に配列された複数の発光画素30を選択状態に設定するための選択電圧信号(走査信号)が印加される。また、データラインLdは、発光画素基板の周縁部に配置されたデータドライバ(図示せず)に接続され、上記発光画素30の選択状態に同期するタイミングで発光データに応じたデータ電圧(階調信号)が印加される。行方向に配列された複数の発光駆動トランジスタTr12が、当該発光駆動トランジスタTr12に接続された有機EL素子30の画素電極(例えばアノード電極)42に発光データに応じた発光駆動電流を流す状態に設定するように、アノードラインLa(

10

20

30

40

50

供給電圧ライン)は、所定の高電位電源に直接又は間接的に接続されている。つまり、アノードラインLaは、有機EL素子30の対向電極46に印加される基準電圧Vssより十分電位の高い所定の高電位(供給電圧Vdd)が印加される。また、対向電極46は、例えば、所定の低電位電源に直接又は間接的に接続され、発光画素基板31上にアレイ状に配列された全ての発光画素(有機EL素子)30に対して単一の電極層により形成されており、所定の低電圧(基準電圧Vss、例えば接地電位GND)が共通に印加されるように設定されている。

【0040】

また、アノードラインLaと走査ラインLsとは、各トランジスタTr11、Tr12のソース電極、ドレイン電極とを形成するソース・ドレイン導電層を用いてこれらソース電極、ドレイン電極とともに形成される。データラインLdは、各トランジスタTr11、Tr12のゲート電極となるゲート導電層を用いてゲート電極とともに形成される。データラインLdとドレイン電極Tr11dとの間の絶縁膜41には、図4に示すように、コンタクトホール61が形成され、データラインLdとドレイン電極Tr11dとはコンタクトホール61を介して導通している。走査ラインLsとゲート電極Tr11gの両端との間の絶縁膜41には、それぞれコンタクトホール62、63が形成され、走査ラインLsとゲート電極Tr11gとはコンタクトホール62、63を介して導通している。ソース電極Tr11sとゲート電極Tr12gとの間の絶縁膜41には、コンタクトホール64が形成され、ソース電極Tr11sとゲート電極Tr12gとはコンタクトホール64を介して導通している。なお、絶縁膜41は、絶縁性材料、例えばシリコン酸化膜、シリコン窒化膜等から形成され、データラインLd、ゲート電極Tr11g及びゲート電極Tr12gを覆うように発光画素基板31上に形成される。

【0041】

次に、有機EL素子30は、図5に示すように、画素電極42と、正孔注入層43と、インターレイヤ44と、発光層45と、対向電極46と、を備える。正孔注入層43と、インターレイヤ44と、発光層45とが、電子や正孔がキャリアとなって輸送されるキャリア輸送層となる。キャリア輸送層は、列方向に配列された層間絶縁膜47、隔壁48の間に配置されている。

【0042】

各発光画素30の発光画素基板31上には、ゲート導電層をパターンニングしてなる選択トランジスタTr11、発光駆動トランジスタTr12のゲート電極Tr11g、Tr12gが形成されている。各発光画素に隣接した発光画素基板31上には、ゲート導電層をパターンニングしてなり、列方向に沿って延びるデータラインLdが形成されている。

【0043】

画素電極(アノード電極)42は、透光性を備える導電材料、例えばITO(Indium Tin Oxide)、ZnO等から構成される。各画素電極42は隣接する他の発光画素30の画素電極42と層間絶縁膜47によって絶縁されている。

【0044】

層間絶縁膜47は、絶縁性材料、例えばシリコン窒化膜から形成され、画素電極42間に形成され、トランジスタTr11、Tr12や走査ラインLs、アノードラインLaを絶縁保護する。層間絶縁膜47には略方形の開口部47aが形成されており、この開口部47aによって発光画素30の発光領域が画される。更に層間絶縁膜47上の隔壁48には列方向(図4の上下方向)に延びる溝状の開口部48aが複数の発光画素30にわたって形成されている。

【0045】

隔壁48は、絶縁材料、例えばポリイミド等の感光性樹脂を硬化してなり、層間絶縁膜47上に形成される。隔壁48は、図4に示すように列方向に沿った複数の発光画素30の画素電極42をまとめて開口するようにストライプ状に形成されている。なお、隔壁48の平面形状は、これに限られず各画素電極42毎に開口部をもった格子状であってもよい。

10

20

30

40

50

【 0 0 4 6 】

正孔注入層 4 3 は、画素電極 4 2 上に形成され、発光層 4 5 に正孔を供給する機能を有する。正孔注入層 4 3 は正孔（ホール）注入、輸送が可能な有機高分子系の材料から構成される。また、有機高分子系のホール注入・輸送材料を含む有機化合物含有液としては、例えば導電性ポリマーであるポリエチレンジオキシチオフェン（PEDOT）とドーパントであるポリスチレンスルホン酸（PSS）を水系溶媒に分散させた分散液である PEDOT/PSS 水溶液を用いる。

【 0 0 4 7 】

インターレイヤ 4 4 は正孔注入層 4 3 上に形成される。インターレイヤ 4 4 は、正孔注入層 4 3 の正孔注入性を抑制して発光層 4 5 内において電子と正孔とを再結合させやすくする機能を有し、発光層 4 5 の発光効率を高めるために設けられている。

【 0 0 4 8 】

発光層 4 5 は、インターレイヤ 4 4 上に形成されている。発光層 4 5 は、アノード電極 4 2 とカソード電極 4 6 との間に電圧を印加することにより光を発生する機能を有する。発光層 4 5 は、蛍光あるいは燐光を発光することが可能な公知の高分子発光材料、例えばポリパラフェニレンビニレン系やポリフルオレン系等の共役二重結合ポリマーを含む発光材料から構成される。また、これらの発光材料は、適宜水系溶媒あるいはテトラリン、テトラメチルベンゼン、メシチレン、キシレン等の有機溶媒に溶解（又は分散）した溶液（分散液）をノズルコート法やインクジェット法等により塗布し、溶媒を揮発させることによって形成する。

【 0 0 4 9 】

また、対向電極（カソード電極）4 6 は、ボトムエミッション型の場合、発光層 4 5 側に設けられ、導電材料、例えば Li、Mg、Ca、Ba 等の仕事関数の低い材料からなる電子注入性の下層と、Al 等の光反射性導電金属からなる上層を有する積層構造である。なお、有機 EL 素子 3 0 が、トップエミッション型の場合、対向電極 4 6 は、発光層 4 5 側に設けられ、10 nm 程度の膜厚の極薄い例えば Li、Mg、Ca、Ba 等の仕事関数の低い材料からなる光透過性低仕事関数層と、100 nm ~ 200 nm 程度の膜厚のITO 等の光反射性導電層を有する透明積層構造である。本実施形態では、対向電極 4 6 は複数の発光画素 3 0 に跨って形成される単一の電極層から構成され、例えば接地電位である共通電圧 V_{ss} が印加されている。

【 0 0 5 0 】

次に、本実施形態のトランジスタと、このトランジスタを用いたトランジスタ基板 1 0 の製造方法について図 6 A ~ 図 6 E を用いて説明する。ここでは、選択トランジスタ Tr 1 1 は発光駆動トランジスタ Tr 1 2 と同一工程によって形成されるので、選択トランジスタ Tr 1 1 の形成の説明を一部省略する。

【 0 0 5 1 】

まず、ガラス基板等からなる発光画素基板 3 1（図 1 に示す基板 1 1 に相当）を用意する。次に、この発光画素基板 3 1 上に、スパッタ法、真空蒸着法等により例えば、Mo 膜、Cr 膜、Al 膜、Cr/Al 積層膜、AlTi 合金膜又は AlNdTi 合金膜、MoNb 合金膜等からなるゲート導電膜を形成し、これを図 6 A に示すように発光駆動トランジスタ Tr 1 2 のゲート電極 1 1 2（Tr 1 2 g）の形状にパターンニングする。この際、図示はしていないが、選択トランジスタ Tr 1 1 のゲート電極 Tr 1 1 g、及びデータライン Ld も形成する。続いて、CVD（Chemical Vapor Deposition）法等によりゲート電極 Tr 1 2 g 及びデータライン Ld 上に絶縁膜 4 1 を形成する。

【 0 0 5 2 】

次に、絶縁膜 4 1（図 1 に示すゲート絶縁膜 1 1 3 に相当）上に、CVD 法等により第 1 のシリコン層 8 1 を形成する。この際、第 1 のシリコン層 8 1 として微結晶シリコンを用いる場合、成膜時に多結晶化する、いわゆる a s d e p o s i t i o n - S i でも良いし、アモルファスシリコンを成膜した後にアニール処理を施して多結晶化させ、形成してもよい。次に、第 1 のシリコン層 8 1 上に、非ドーパアモルファスシリコンから形成された第

10

20

30

40

50

2のシリコン層82をCVD法等により形成する。この際、界面に不要な準位を形成しないよう、第1のシリコン層81をa s d e p o μ c - S iとし、第2のシリコン層82は、微結晶シリコンと同一の装置を用いて連続成膜することが好ましい。

【0053】

次に、第2のシリコン層82上に、CVD法等により、図6Bに示すように窒化シリコン層83を形成する。続いて、窒化シリコン層83上に、レジストを成膜した上で、ストッパ膜の形状に対応するパターンを有するマスクを介して、レジストを露光し、レジストを現像するとストッパ膜の形状に対応するレジストパターンが残存する。このレジストパターンを介し、ドライエッチングまたはウェットエッチングで加工した後 レジストを剥離することで、ストッパ膜116が形成される。

10

【0054】

ついで、図6Cに示すように、ストッパ膜116を介し、第1のシリコン層81及び第2のシリコン層82をドライエッチングにより、ストッパ膜116の形状に対応しエッチングすることにより、第1の半導体層114及び第2の半導体層115を形成する。

【0055】

次に、n型不純物が含まれたアモルファスシリコン層を堆積後、フォトリソグラフィによってエッチングしてオーミックコンタクト層117、118を形成する。

【0056】

次に、スパッタ法、真空蒸着法等により絶縁膜41上に、ITO等の透明導電膜、或いは光反射性導電膜及びITO等の透明導電膜を被膜後、フォトリソグラフィによってパターンニングして画素電極42を形成する。

20

【0057】

続いて、絶縁膜41に貫通孔であるコンタクトホール61～64を形成してから、例えば、Mo膜、Cr膜、Al膜、Cr/Al積層膜、AlTi合金膜又はAlNdTi合金膜、MoNb合金膜等からなるソース・ドレイン導電膜をスパッタ法、真空蒸着法等により被膜して、フォトリソグラフィによってパターンニングして図6Dに示すようにドレイン電極Tr12d及びソース電極Tr12sを形成する。これと同時に、アノードラインLaを形成する。このとき、発光駆動トランジスタTr12のソース電極Tr12sはそれぞれ画素電極42の一部と重なるように形成される。

【0058】

30

なお、上述した製造方法では、ソース電極Tr12sを画素電極42の一部を覆うように形成するため、一旦、第1の半導体層114、第2の半導体層115及びストッパ膜116を形成し、オーミックコンタクト層117、118を形成した上で、ソース・ドレイン導電膜を形成し、ドレイン電極119、ソース電極120を形成する構成を例に挙げて説明したが、これに限られない。例えば、オーミックコンタクト層117、118となるシリコン層を形成した上で、ソース・ドレイン導電膜を形成し、シリコン層とソースドレイン導電膜とを一括してエッチングすることも可能である。

【0059】

続いて、図6Eに示すように発光駆動トランジスタTr12等を覆うようにシリコン窒化膜からなる層間絶縁膜47をCVD法等により形成後、フォトリソグラフィにより、開口部47aを形成する。次に、感光性ポリイミドを層間絶縁膜47を覆うように塗布し、隔壁48の形状に対応するマスクを介して露光、現像することによってパターンニングし、図6Eに示すように開口部48aを有する隔壁48を形成する。

40

【0060】

続いて、正孔注入材料を含む有機化合物含有液を、連続して流すノズルプリンティング装置あるいは個々に独立した複数の液滴として吐出するインクジェット装置によって開口部47aで囲まれた画素電極42上に選択的に塗布する。続いて、発光画素基板31を大気雰囲気下で加熱し有機化合物含有液の溶媒を揮発させて、正孔注入層43を形成する。有機化合物含有液は加熱雰囲気です塗布されてもよい。

【0061】

50

続いて、ノズルプリンティング装置またはインクジェット装置を用いてインターレイヤ 44 となる材料を含有する有機化合物含有液を正孔注入層 43 上に塗布する。窒素雰囲気中の加熱乾燥、或いは真空中での加熱乾燥を行い、残留溶媒の除去を行ってインターレイヤ 44 を形成する。有機化合物含有液は加熱窒素雰囲気中で塗布されてもよい。

【0062】

次に、発光ポリマー材料 (R, G, B) を含有する有機化合物含有液を、同様にノズルプリンティング装置またはインクジェット装置により塗布して窒素雰囲気中で加熱して残留溶媒の除去を行い、発光層 45 を形成する。有機化合物含有液は加熱窒素雰囲気中で塗布されてもよい。

【0063】

続いて、図 6 E に示すように、発光層 45 まで形成した発光画素基板 31 に真空蒸着やスパッタリングで、Li, Mg, Ca, Ba 等の仕事関数の低い材料からなる層と、Al 等の光反射性導電層からなる 2 層構造の対向電極 46 を形成する。

【0064】

次に、複数の発光画素 30 が形成された発光領域の外側において、発光画素基板 31 上に紫外線硬化樹脂、又は熱硬化樹脂からなる封止樹脂を塗布し、図示しない封止基板と発光画素基板 31 と貼り合わせる。次に紫外線もしくは熱によって封止樹脂を硬化させて、発光画素基板 31 と封止基板とを接合する。

以上から、トランジスタ基板 10 が製造される。

【0065】

このように本実施形態のトランジスタ及びこれを用いたトランジスタ基板の製造方法では、第 1 の半導体層 114 上に第 2 の半導体層 115 を形成し、更に第 2 の半導体層 115 の上面全面を覆うようにストッパ膜 116 を形成する。チャンネル長方向の側面は、第 1 の半導体層 114 と、第 2 の半導体層 115 と、ストッパ膜 116 とがほぼ面一になっている。これにより、本実施形態のトランジスタ 100 は、第 1 の半導体層 114 及び第 2 の半導体層 115 のチャンネル長方向の側面でのみ、オーミックコンタクト層 117、118 とコンタクトする。これにより、半導体層として上面の凹凸が比較的多く生ずる微結晶シリコンを用いた場合であっても、コンタクトを取る部分が半導体層の上面ではなく、側面であるため、半導体層の表面の凹凸によるコンタクトへの影響を抑制し、ソース/ドレイン電極の歩留まりを向上させることができる。また、半導体層上面の凹凸に起因するオン電流の低下を抑制することができ、トランジスタ 100 は良好な特性を備える。

【0066】

また、特に、本実施形態では、第 1 の半導体層 114 の上に第 2 の半導体層 115 を積層させることにより、第 1 の半導体層 114 のみから形成される場合と比較し、オーミックコンタクト層 117、118 とコンタクトする面積を増加させることが可能となり、更に歩留まりを向上させることが可能となる。特に、微結晶シリコンは、成膜速度が遅いため、微結晶シリコンからなる第 1 の半導体層 114 の膜厚を必要なオン電流が得られる最低限の膜厚とし、成膜速度の速い非ドーパモルファスからなる第 2 の半導体層 115 を積層させることにより、半導体層を微結晶シリコンのみから形成する場合と比較し、成膜プロセスをスピードアップさせることが可能となる。

【0067】

本発明は、上述した実施形態に限られず、様々な変形、及び応用が可能である。

【0068】

例えば、上述した実施形態では、ソース電極 Tr12s を画素電極 42 の一部を覆うように形成するため、一旦、第 1 の半導体層 114、第 2 の半導体層 115 及びストッパ膜 116 を形成し、オーミックコンタクト層 117、118 を形成した上で、ソース・ドレイン導電膜を形成し、ドレイン電極 119、ソース電極 120 を形成する構成を例に挙げて説明したが、これに限られない。例えば、オーミックコンタクト層 117、118 となるシリコン層を形成した上で、ソース・ドレイン導電膜を形成し、シリコン層とソースドレイン導電膜とを一括してエッチングすることも可能である。

10

20

30

40

50

【 0 0 6 9 】

また、上述した実施形態では、トランジスタ基板 1 0 の発光画素 3 0 は R G B の各色を有する構成を例に挙げて説明したが、これに限られず単色の発光画素から構成されてもよい。この場合、隔壁 4 8 を省略してもよい。

【 0 0 7 0 】

上述した実施形態では、有機 E L 素子の駆動に用いる構成を例に挙げて説明したが、液晶表示装置等に用いてもよい。

【 0 0 7 1 】

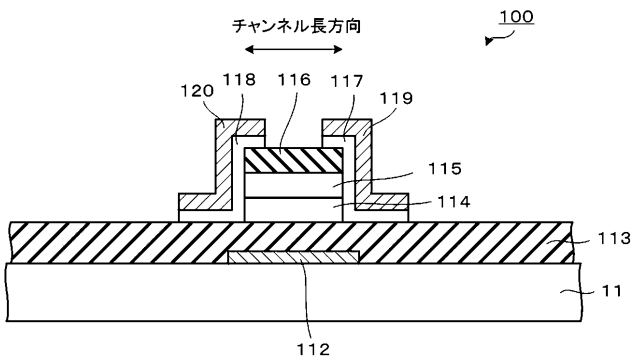
また、上述した各実施形態では、有機 E L 素子 3 0 を発光させる点灯回路は 2 つのトランジスタを備える例を挙げて説明したが、これに限られず、3 つ以上のトランジスタを備えるものであってもよい。

【 符号の説明 】

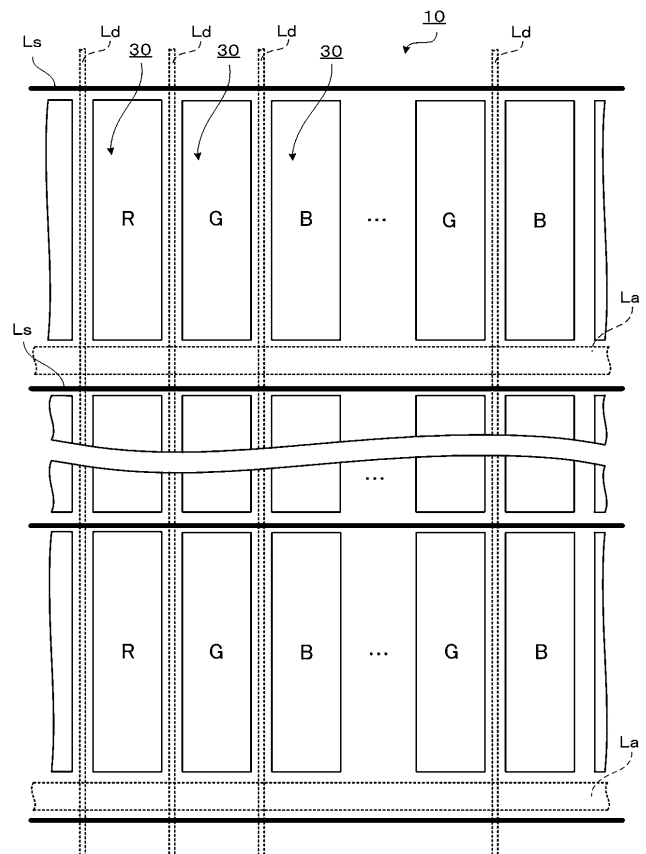
【 0 0 7 2 】

1 0 . . . トランジスタ基板、1 1 . . . 基板、3 0 . . . 発光画素（有機 E L 素子）、3 1 . . . 発光画素基板（画素基板）、4 1 . . . 絶縁膜、4 2 . . . 画素電極（アノード電極）、4 3 . . . 正孔注入層、4 4 . . . インターレイヤ、4 5 . . . 発光層、4 6 . . . 対向電極（カソード電極）、4 7 . . . 層間絶縁膜、4 8 . . . 隔壁、1 0 0 . . . トランジスタ、1 1 2 . . . ゲート電極、1 1 3 . . . ゲート絶縁膜、1 1 4 . . . 第 1 の半導体層、1 1 5 . . . 第 2 の半導体層、1 1 6 . . . ストップ膜、1 1 7、1 1 8 . . . オーミックコンタクト層、1 1 9 . . . ドレイン電極、1 2 0 . . . ソース電極、L a . . . アノードライン、L s . . . 走査ライン、L d . . . データライン、T r 1 1 . . . 選択トランジスタ、T r 1 2 . . . 発光駆動トランジスタ

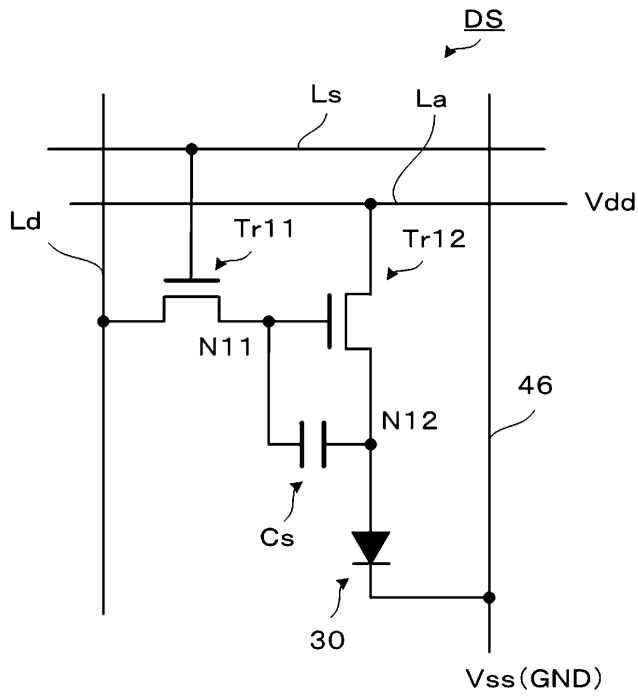
【 図 1 】



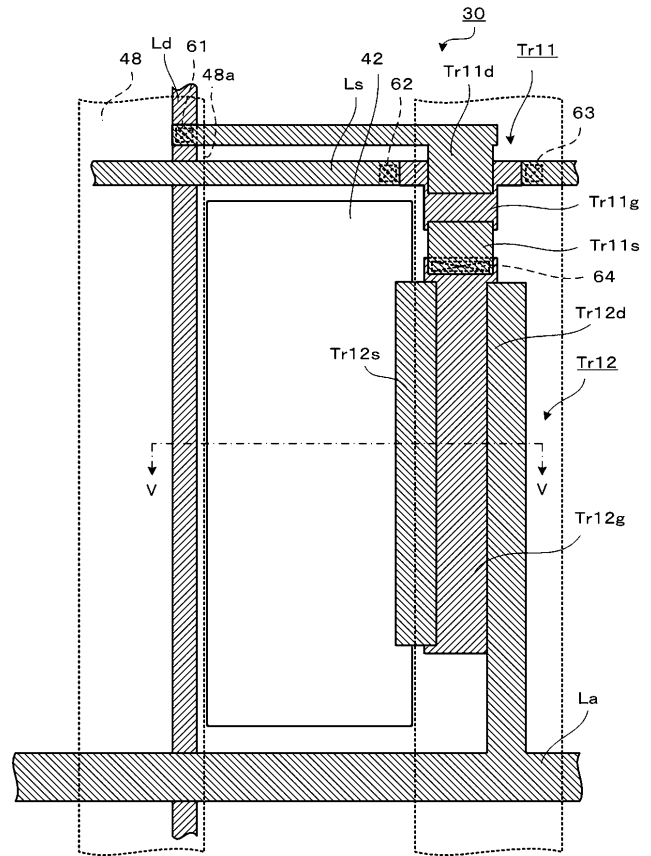
【 図 2 】



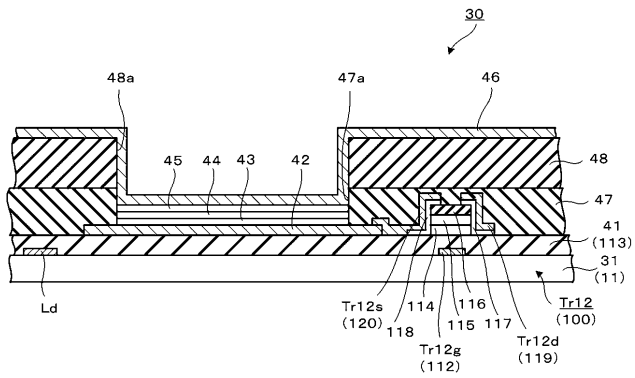
【図 3】



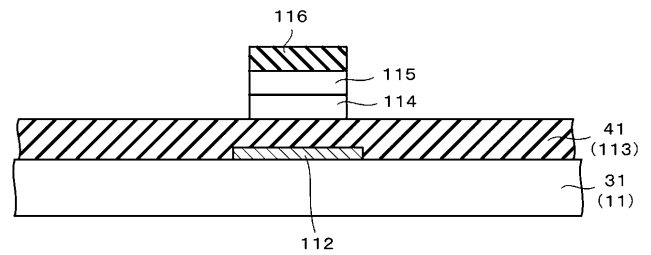
【図 4】



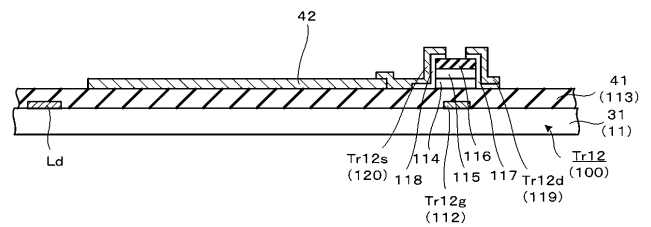
【図 5】



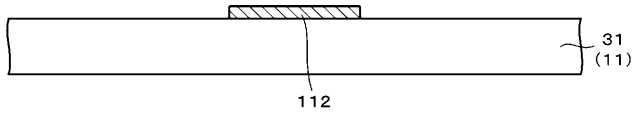
【図 6 C】



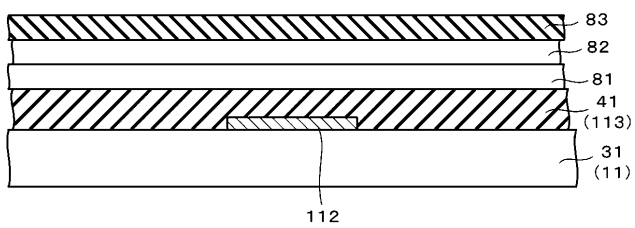
【図 6 D】



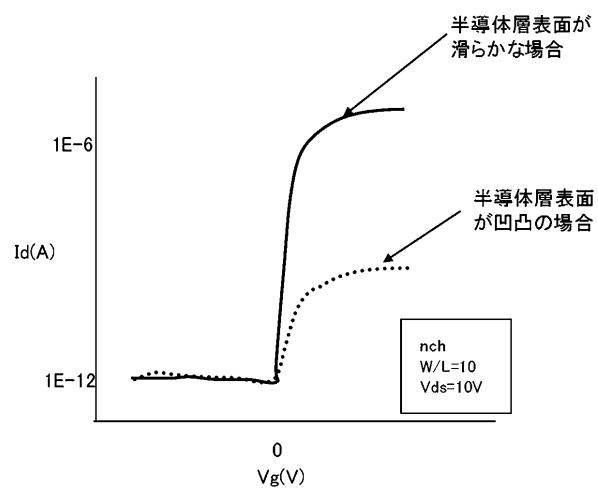
【図 6 A】



【図 6 B】



【圖 7】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
H 0 1 L 51/50 (2006.01) H 0 5 B 33/14 A

F ターム(参考) 5F110 AA03 AA07 BB01 CC07 DD02 EE03 EE04 EE06 EE14 EE43
EE44 FF03 FF29 GG02 GG14 GG15 GG16 GG19 GG25 GG35
GG44 HK03 HK04 HK06 HK09 HK16 HK21 HK22 HK32 HK33
NN03 NN14 NN16 NN24 NN27 NN35 NN71 NN73 PP01 QQ09