

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第2区分

【発行日】平成19年10月11日(2007.10.11)

【公開番号】特開2006-285118(P2006-285118A)

【公開日】平成18年10月19日(2006.10.19)

【年通号数】公開・登録公報2006-041

【出願番号】特願2005-108329(P2005-108329)

【国際特許分類】

G 09 G 3/36 (2006.01)

G 02 F 1/133 (2006.01)

G 09 G 3/20 (2006.01)

【F I】

G 09 G 3/36

G 02 F 1/133 5 5 0

G 09 G 3/20 6 1 1 A

G 09 G 3/20 6 2 1 M

G 09 G 3/20 6 2 2 K

G 09 G 3/20 6 2 3 H

G 09 G 3/20 6 2 3 X

G 09 G 3/20 6 2 4 B

G 09 G 3/20 6 2 4 D

G 09 G 3/20 6 4 1 G

G 09 G 3/20 6 8 0 G

【手続補正書】

【提出日】平成19年8月23日(2007.8.23)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

複数の表示画素と、

前記表示画素に映像データを印加する映像線と、

前記表示画素に走査電圧を印加する走査線とを有する表示パネルを備える表示装置であつて、

前記表示画素は、前記映像データを記憶するメモリ部と、

画素電極と、

前記メモリ部に記憶された前記映像データに応じて、前記画素電極に、第1の映像電圧または前記第1の映像電圧とは異なる第2の映像電圧を選択して印加するスイッチ部とを有することを特徴とする表示装置。

【請求項2】

前記画素電極と対向する共通電極を有し、

前記共通電極には前記第1の映像電圧が印加されることを特徴とする請求項1に記載の表示装置。

【請求項3】

前記第1の映像電圧の大きさと前記第2の映像電圧の大きさとが所定の周期で互いに入れ替わることを特徴とする請求項2に記載の表示装置。

【請求項 4】

前記メモリ部に記憶された前記映像データの保持状態において、前記メモリ部は、入力端子が第1のノードに接続され、出力端子が第2のノードに接続される第1のインバータ回路と、

入力端子が前記第2のノードに接続され、出力端子が前記第1のノードに接続される第2のインバータ回路とで構成されていることを特徴とする請求項1から請求項3のいずれか1項に記載の表示装置。

【請求項 5】

前記走査線に非選択走査電圧が印加された時にオフ、選択走査電圧が印加された時にオンとなり、前記映像線に印加される前記映像データを前記第1のノードに印加する第1のスイッチング素子と、

前記第1のノードと前記第2のインバータ回路の前記出力端子との間に接続され、前記走査線に前記選択走査電圧が印加された時にオフ、前記非選択走査電圧が印加された時にオンとなる第2のスイッチング素子とを有することを特徴とする請求項4に記載の表示装置。

【請求項 6】

前記スイッチ部は、前記第1のノードの電圧が第2の状態の時にオフ、第1の状態の時にオンとなり、前記画素電極に前記第1の映像電圧を印加する第3のスイッチング素子と、

前記第2のノードの電圧が前記第2の状態の時にオフ、前記第2のノードの電圧が前記第1の状態の時にオンとなり、前記画素電極に前記第2の映像電圧を印加する第4のスイッチング素子とで構成されていることを特徴とする請求項4または請求項5に記載の表示装置。

【請求項 7】

前記スイッチ部は、ゲートが前記第1のノードに接続され、第1の端子に前記第1の映像電圧が供給され、第2の端子が前記画素電極に接続された第3のスイッチング素子と、

ゲートが前記第2のノードに接続され、第1の端子に前記第2の映像電圧が供給され、第2の端子が前記画素電極に接続された第4のスイッチング素子とを有し、

前記第3のスイッチング素子の導電型と前記第4のスイッチング素子の導電型とが同じであることを特徴とする請求項4または請求項5に記載の表示装置。

【請求項 8】

前記映像データを供給すべき前記映像線を選択する映像線シフトレジスタ回路と、

前記走査電圧を供給すべき前記走査線を選択する走査線シフトレジスタ回路とを有することを特徴とする請求項1から請求項7のいずれか1項に記載の表示装置。

【請求項 9】

前記映像線シフトレジスタ回路および前記走査線シフトレジスタ回路は、前記表示パネルの前記メモリ部が形成されている基板と同一の基板に一体に形成されていることを特徴とする請求項8に記載の表示装置。

【請求項 10】

前記映像データを書き込むべき前記表示画素を選択する映像線アドレス回路と、

前記走査電圧を供給すべき前記走査線を選択する走査線アドレス回路とを有することを特徴とする請求項1から請求項7のいずれか1項に記載の表示装置。

【請求項 11】

前記映像線アドレス回路および前記走査線アドレス回路は、前記表示パネルの前記メモリ部が形成されている基板と同一の基板に一体に形成されていることを特徴とする請求項10に記載の表示装置。

【請求項 12】

前記第1の映像電圧を反転して前記第2の映像電圧を生成するインバータを有することを特徴とする請求項1から請求項11のいずれか1項に記載の表示装置。

【請求項 13】

M個の前記表示画素で、1つのサブピクセルを構成することを特徴とする請求項1から請求項12のいずれか1項に記載の表示装置。

【請求項14】

前記1つのサブピクセルを構成する前記M個の前記表示画素のそれぞれの前記画素電極の面積が互いに異なることを特徴とする請求項13に記載の表示装置。

【請求項15】

前記映像データが、 $m (m - 2)$ ビットの映像データであり、

前記Mは、前記mであり、

前記1つのサブピクセルを構成する前記M個の前記表示画素のそれぞれの前記画素電極の前記面積は、実質的に $1 : 2 : \dots : 2^{(m-1)}$ の比率で重み付けされていることを特徴とする請求項14に記載の表示装置。

【請求項16】

前記1つのサブピクセルに前記映像データを印加する前記映像線は、 $j (j - 2)$ 分割され、

前記j分割された前記映像線により、前記1つのサブピクセルの中のj個の前記表示画素毎に、時分割で前記映像データが印加されることを特徴とする請求項13から請求項15のいずれか1項に記載の表示装置。

【請求項17】

前記1つのサブピクセルに前記走査電圧を印加する前記走査線は、 $k (k - 2)$ 分割され、

前記k分割された前記走査線により、前記1つのサブピクセルの中の (M / k) 個の前記表示画素毎に、時分割で前記走査電圧が印加されることを特徴とする請求項13から請求項16のいずれか1項に記載の表示装置。

【請求項18】

前記表示装置は液晶表示装置であることを特徴とする請求項1から請求項17のいずれか1項に記載の表示装置。