

(19) 日本国特許庁(JP)

(12) 登録実用新案公報(U)

(11) 実用新案登録番号

実用新案登録第3112223号
(U3112223)

(45) 発行日 平成17年8月4日(2005.8.4)

(24) 登録日 平成17年6月22日(2005.6.22)

(51) Int. Cl.⁷

A63F 7/02

F I

A63F 7/02 325A
A63F 7/02 304Z
A63F 7/02 326Z
A63F 7/02 334

評価書の請求 未請求 請求項の数 4 O L (全 25 頁)

(21) 出願番号 実願2005-2731 (U2005-2731)
(22) 出願日 平成17年4月27日(2005.4.27)
(31) 優先権主張番号 特願2004-131219 (P2004-131219)
(32) 優先日 平成16年4月27日(2004.4.27)
(33) 優先権主張国 日本国(JP)

(73) 実用新案権者 395018239
株式会社高尾
愛知県名古屋市中川区太平通1丁目3番地
(74) 代理人 100103207
弁理士 尾崎 隆弘
(72) 考案者 内ヶ島 敏博
名古屋市中川区太平通1丁目3番地 株式
会社高尾内
(72) 考案者 内ヶ島 隆寛
名古屋市中川区太平通1丁目3番地 株式
会社高尾内
(72) 考案者 巽 正吾
名古屋市中川区太平通1丁目3番地 株式
会社高尾内

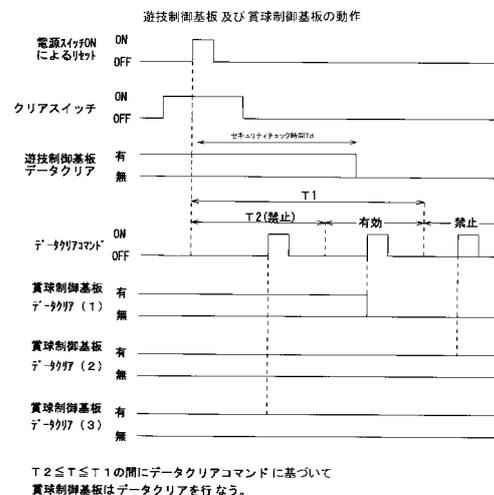
(54) 【考案の名称】 弾球遊技機

(57) 【要約】 (修正有)

【課題】 ノイズや不正行為による賞球制御基板のデータクリアを防止する。

【解決手段】 賞球制御基板は、電源基板の電源スイッチをオンすることによるリセットから予め定められた設定時間T1内に、データクリアコマンドを入力した場合には記憶保持手段により記憶されたデータをクリアし、予め定められた設定時間T1経過後にデータクリアコマンドを入力してもデータをクリアすることを禁止する。電源基板の電源スイッチをオンすることによりリセットされたときから予め定められた設定時間T2経過後から設定時間T1が経過するまでの間に、データクリアコマンドを入力した場合のみバックアップRAM69に記憶保持により記憶されたデータをクリアする。

【選択図】 図22



【実用新案登録請求の範囲】

【請求項 1】

遊技の進行を司り、電源投入時にROMに記憶されたプログラムが正規なプログラムであるか否かをチェックするセキュリティチェック手段を設けた遊技制御基板と、

遊技者に賞球を払い出す賞球制御基板と、

前記遊技制御基板及び賞球制御基板に電源を供給するCPUを搭載しない電源基板と、

前記遊技制御基板及び賞球制御基板に記憶されるデータを停電時に記憶保持する記憶保持手段と、

該記憶保持手段により記憶保持されるデータをクリアするためのクリアスイッチと、を備え、前記電源基板に設けられた電源スイッチをオンするときに、前記クリアスイッチがオン状態であれば前記記憶保持されたデータをクリアする弾球遊技機において、

10

前記クリアスイッチを前記遊技制御基板に設け、

前記遊技制御基板は、前記電源基板の電源スイッチをオンすることによりリセットされる場合に前記クリアスイッチがオン状態であれば前記セキュリティチェック手段によるチェック後に前記記憶保持手段により前記遊技制御基板に記憶保持されたデータをクリアすると共に、前記賞球制御基板に記憶保持されたデータをクリアするためのデータクリアコマンドを出力し、

前記賞球制御基板は、前記電源基板の電源スイッチをオンすることによりリセットされたときから予め定められた設定時間T1内に、前記データクリアコマンドを入力した場合には前記記憶保持手段により記憶保持されたデータをクリアし、前記予め定められた設定時間T1経過後に前記データクリアコマンドが出力されてもクリアすることを禁止する、

20

よう構成したことを特徴とする弾球遊技機。

【請求項 2】

請求項 1 に記載の弾球遊技機において、

前記賞球制御基板は、前記電源基板の電源スイッチをオンすることによるリセットから予め定められた設定時間T2経過後、前記設定時間T1が経過するまでの間に、前記データクリアコマンドを入力した場合には前記記憶保持手段により記憶されたデータをクリアし、前記設定時間T2を経過しない間に前記データクリアコマンドが出力されてもクリアすることを禁止する、

よう構成したことを特徴とする弾球遊技機。

30

【請求項 3】

請求項 2 に記載の弾球遊技機において、

前記設定時間T2を、前記セキュリティチェック手段によるチェック時間に対応させたことを特徴とする弾球遊技機。

【請求項 4】

遊技の進行を司り、電源投入時にROMに記憶されたプログラムが正規なプログラムであるか否かをチェックするセキュリティチェック手段を設けた遊技制御基板と、

遊技者に賞球を払い出し、電源投入時にROMに記憶されたプログラムが正規なプログラムであるか否かをチェックするセキュリティチェック手段を設けた賞球制御基板と、

40

前記遊技制御基板及び賞球制御基板に電源を供給する電源基板と、

前記遊技制御基板及び賞球制御基板に記憶されるデータを停電時に記憶保持する記憶保持手段と、

該記憶保持手段により記憶保持されるデータをクリアするためのクリアスイッチと、

を備え、前記電源基板に設けられた電源スイッチをオンするときに、前記クリアスイッチがオン状態であれば前記記憶保持されたデータをクリアする弾球遊技機において、

前記クリアスイッチを前記遊技制御基板に設け、

電源投入時に行われる前記遊技制御基板のセキュリティチェック手段によるチェックが前記前記賞球制御基板のセキュリティチェック手段によるチェックより早く終了するよう構成し、

前記遊技制御基板は、前記セキュリティチェック手段によるチェック終了後に前記クリ

50

アスイッチがオン状態であれば、前記電源基板の電源スイッチをオンすることによりリセットされたときから予め定められた設定時間 T 3 が経過するまで待機した後に前記記憶保持手段により前記遊技制御基板に記憶保持されたデータをクリアすると共に、前記賞球制御基板に記憶保持されたデータをクリアするためのデータクリアコマンドを出力し、

前記賞球制御基板は、前記電源基板の電源スイッチをオンすることによりリセットされたときから予め定められた設定時間 T 3 を経過するまで待機した後から予め定められた設定時間 T 1 迄に、前記データクリアコマンドを入力した場合には、前記記憶保持手段により記憶されたデータをクリアし、前記設定時間 T 3 が経過する迄、及び、前記予め定められた設定時間 T 1 経過後は、前記データクリアコマンドが出力されても前記記憶保持手段により記憶保持されたデータをクリアすることを禁止する、

10

よう構成したことを特徴とする弾球遊技機。

【考案の詳細な説明】

【技術分野】

【0001】

本考案は弾球遊技機に関し、特に賞球制御基板の電源投入時の賞球に係るデータのクリアに関する。

【背景技術】

【0002】

近年の弾球遊技機は、停電時にも遊技状態及び賞球データ等の遊技データを記憶保持し、停電復帰後には停電発生時のゲームから再開することが行われている。停電時に記憶保持された遊技データは、製造メーカから出荷時やパチンコホールでの営業開始時にはクリアする必要が生じる場合もあり、遊技データをクリアするデータクリアスイッチも備えられている。

20

【0003】

この遊技データは、パチンコ店の営業中はクリアされるべきデータではなく、また誤操作によりクリアされるべきデータでもない。

このための発明が種々が為されている。例えば、特許文献 1 と特許文献 2 に開示される発明では、電源基板にクリアスイッチが設けられているが、遊技データをクリアするという観点にたてば、遊技制御基板にデータクリアスイッチを設けるのが好適である。また、電源基板からのノイズや不正防止の観点からも遊技制御基板にデータクリアスイッチを設けるのが好適である。遊技制御基板にデータクリアスイッチを設けた発明は、特許文献 1

30

【0004】

ここで、遊技データは 1 回の操作で遊技制御基板及び賞球制御基板に記憶保持されたデータをクリアするほうが操作性の面で好適である（同文献 1 の図 1 4、図 2 3 (a) 及び (b) ）。

【0005】

電源投入時に遊技制御基板のデータクリアスイッチを押下し、遊技制御基板及び賞球制御基板に記憶保持されたデータを共にクリアする場合には、データクリアスイッチが押下されると遊技制御基板から賞球制御基板にデータクリアコマンドを出力する必要がある（同文献 1 の図 2 3 (a) ）。

40

【0006】

一方、データクリアスイッチと、電源スイッチの誤操作防止の観点から、特許文献 2 に開示される発明がなされている。即ち、この発明は、弾球遊技機において、制御基板の R A M をクリアする R A M クリアスイッチの誤操作による不用意な R A M クリアを防止するため、クリア許容スイッチ 6 7 1 と、クリア許容スイッチ 6 7 1 のオンに応じて出力され、当該出力時期に予め R A M クリアスイッチ 6 6 6 がオン状態のとき R A M をクリアすることを許容するクリア許容信号を一時的に出力するクリア許容信号出力手段 6 7 4 とを備えることで、R A M クリアスイッチ 6 6 1 が有効に働く時期がクリア許容スイッチ 6 7 1 をオンする際に制限するものである。

50

【特許文献1】特開2001-232002号公報

【特許文献2】特開2001-346945号公報

【考案の開示】

【考案が解決しようとする課題】

【0007】

ここで、特許文献2に開示される考案を利用して、遊技制御基板のデータクリアスイッチを押下した状態で電源基板の電源スイッチをオンさせることによりデータをクリアする構成が望まれる。しかしながら、こうした構成を採用したとしても、ノイズや不正行為により賞球制御基板にデータクリアコマンドに対応したデータが入力されれば、賞球制御基板に記憶保持されたデータがクリアされてしまう可能性が残り不都合である。また、特許文献1、2では、1つの基板からデータクリアコマンドとリセットコマンドを入力する構成であるので、不正がされ易いおそれがある。

10

【課題を解決するための手段】

【0008】

請求項1記載の弾球遊技機では、図1を参照すると、遊技の進行を司り、電源投入時にROMに記憶されたプログラムが正規なプログラムであるか否かをチェックするセキュリティチェック手段を設けた遊技制御基板と、遊技者に賞球を払い出す賞球制御基板と、前記遊技制御基板及び賞球制御基板に電源を供給するCPUを搭載しない電源基板と、前記遊技制御基板及び賞球制御基板に記憶されるデータを停電時に記憶保持する記憶保持手段と、該記憶保持手段により記憶保持されるデータをクリアするためのクリアスイッチと、を備え、前記電源基板に設けられた電源スイッチをオンするときに、前記クリアスイッチがオン状態であれば前記記憶保持されたデータをクリアする弾球遊技機において、前記クリアスイッチを前記遊技制御基板に設け、前記遊技制御基板は、前記電源基板の電源スイッチをオンすることによりリセットされる場合に前記クリアスイッチがオン状態であれば前記セキュリティチェック手段によるチェック後に前記記憶保持により記憶保持されたデータをクリアすると共に、前記賞球制御基板に記憶保持されたデータをクリアするためのデータクリアコマンドを出力し、前記賞球制御基板は、前記電源基板の電源スイッチをオンすることによりリセットされたときから予め定められた設定時間T1内に、前記データクリアコマンドを入力した場合には前記記憶保持手段により記憶されたデータをクリアし、前記予め定められた設定時間T1経過後に前記データクリアコマンドが出力されてもクリアすることを禁止する、よう構成したことを特徴とする(図22参照)。

20

30

【0009】

請求項2記載の弾球遊技機では、請求項1に記載の弾球遊技機において、前記賞球制御基板は、前記電源基板の電源スイッチをオンすることによるリセットから予め定められた設定時間T2経過後、前記設定時間T1が経過するまでの間に、前記データクリアコマンドを入力した場合には前記記憶保持手段により記憶されたデータをクリアし、前記設定時間T2を経過しない間に前記データクリアコマンドが出力されてもクリアすることを禁止する、よう構成したことを特徴とする(図22参照)。ここで、設定時間T2が経過しない間にデータクリアコマンドが出力されてもクリアすることを禁止するとは、賞球制御基板がデータクリアコマンドを入力してもクリアすることを禁止することは言うに及ばず、設定時間T2が経過する迄は入力できない、又は入力しない状態とすることも含む。

40

【0010】

請求項3記載の弾球遊技機では、請求項2に記載の弾球遊技機において、前記設定時間T2を、前記セキュリティチェック手段によるチェック時間に対応させたことを特徴とする。

【0011】

請求項2及び3において、設定時間T2以内に賞球制御基板がセキュリティチェックを終了する構成を付加しても何ら問題ない。

【0012】

請求項4記載の弾球遊技機では、遊技の進行を司り、電源投入時にROMに記憶されたプ

50

プログラムが正規なプログラムであるか否かをチェックするセキュリティチェック手段を設けた遊技制御基板と、遊技者に賞球を払い出し、電源投入時にROMに記憶されたプログラムが正規なプログラムであるか否かをチェックするセキュリティチェック手段を設けた賞球制御基板と、前記遊技制御基板及び賞球制御基板に電源を供給する電源基板と、前記遊技制御基板及び賞球制御基板に記憶されるデータを停電時に記憶保持する記憶保持手段と、該記憶保持手段により記憶保持されるデータをクリアするためのクリアスイッチと、を備え、前記電源基板に設けられた電源スイッチをオンするときに、前記クリアスイッチがオン状態であれば前記記憶保持されたデータをクリアする弾球遊技機において、前記クリアスイッチを前記遊技制御基板に設け、電源投入時に行われる前記遊技制御基板のセキュリティチェック手段によるチェックが前記前記賞球制御基板のセキュリティチェック手段によるチェックより早く終了するよう構成し、前記遊技制御基板は、前記セキュリティチェック手段によるチェック終了後に前記クリアスイッチがオン状態であれば、前記電源基板の電源スイッチをオンすることによりリセットされたときから予め定められた設定時間T3が経過するまで待機した後に前記記憶保持手段により記憶保持されたデータをクリアすると共に、前記賞球制御基板に記憶保持されたデータをクリアするためのデータクリアコマンドを出力し、前記賞球制御基板は、前記電源基板の電源スイッチをオンすることによりリセットされたときから予め定められた設定時間T3を経過するまで待機した後から予め定められた設定時間T1迄に、前記データクリアコマンドを入力した場合には、前記記憶保持手段により記憶されたデータをクリアし、前記設定時間T3が経過する迄、及び、前記予め定められた設定時間T1経過後は、前記データクリアコマンドが出力されても前記記憶保持手段により記憶保持されたデータをクリアすることを禁止する、よう構成したことを特徴とする(図1、図26参照)。

10

20

【0013】

請求項4において、設定時間T3以内に、賞球制御基板のセキュリティチェック手段によるチェック時間Teを設定することが好ましい。例えば、設定時間T3をチェック時間Teと同じ時間に設定する、或いは、所定時間を加えた時間に設定することが挙げられる。

【0014】

尚、賞球制御基板は、セキュリティチェックを行っても良いし、行わない構成でも良い。但し、賞球制御基板も電源投入時にセキュリティチェックを行う構成では、設定時間T2が経過する以前にセキュリティチェックを終了させる構成とすることが好ましい。

30

【考案の効果】**【0015】**

請求項1の弾球遊技機によれば、賞球制御基板は、電源基板の電源スイッチをオンすることによりリセットされたときから予め定められた設定時間T1内に、データクリアコマンドを入力した場合には記憶保持手段により記憶されたデータをクリアし、予め定められた設定時間T1経過後に前記データクリアコマンドを入力してもクリアすることを禁止するので、設定時間T1経過後には記憶保持されたデータはクリアされることなく好適に保護される。しかも、設定時間T1は、電源基板の電源スイッチをオンすることによるリセット時に基づき計測され、データクリアコマンドは遊技制御基板から入力する構成なので、換言すれば異なる基板からの信号によりデータクリアコマンドの有効無効を判断するのでノイズや不正防止の対策に効果を発揮する。

40

また、電源基板はCPUを搭載しないので、電源基板からの不正防止対策に効果的である。何故ならば、電源基板にCPUを搭載しないので、電源基板を介しての不正行為は発覚し易いからである。

さらに、別々の基板からデータクリアコマンドとリセットコマンドを入力する構成であるので、不正がされ難い。

【0016】

請求項2の弾球遊技機によれば、賞球制御基板は、電源基板の電源スイッチをオンすることによりリセットされたときから予め定められた設定時間T2経過後から設定時間T1

50

が経過するまでの間に、データクリアコマンドを入力した場合のみ記憶保持手段により記憶されたデータをクリアする構成なので、ノイズや不正防止対策の効果が一層顕著である。即ち、電源投入直後などに不正行為により賞球制御基板にデータクリアコマンドを入力させても、賞球制御基板は記憶保持されたデータをクリアしないので、記憶保持されたデータは好適に保護される。

【0017】

請求項3の弾球遊技機によれば、設定時間T2を、遊技制御基板のセキュリティチェック手段によるチェック時間Tdに対応させたので、請求項2に記載の効果が一層顕著である。即ち、遊技制御基板がセキュリティチェックを行っている間は、遊技制御基板からデータクリアコマンドが送信されることはないので、この期間に入力されたデータクリアコマンドは正規のデータでないと判断することができるからである。

10

【0018】

請求項4の弾球遊技機によれば、請求項1~2と同様の効果を奏する弾球遊技機を提供できる上に、遊技制御基板において設定時間T3経過後までデータクリアを待機するので、一層効果がある。さらに遊技制御基板のセキュリティチェック手段によるセキュリティチェックを賞球制御基板のセキュリティチェック手段によるセキュリティチェックより早く終了させることができるので、性能のよいCPU、例えばクロック時間の短いものを搭載した遊技制御基板を採用した弾球遊技機にも適用することができる。

【考案を実施するための最良の形態】**【0019】**

20

以下に、本考案の好適な実施形態1を図面に基づいて説明する。

図2に示すように、本実施形態1のパチンコ機10は、大きくは長方形の外枠11と前面枠12とからなり、外枠11の左隣に公知のカードリーダー(プリペイドカードユニット)13が設けられている。前面枠12は、左端上下のヒンジ14により外枠11に対し回動可能に取り付けられている。

前面枠12の下方には上皿15が設けられ、この上皿15に貸出釘16、精算釘17及び残高表示部18が設けられている。カードリーダー13のカード口19にプリペイドカードを挿入すると、記憶された残高が残高表示部18に表示され、貸出釘16を押下すると遊技球の貸出しが実行され上皿15の払い出し口より遊技球が排出される。

【0020】

30

前面枠12には、窓状の金枠20が前面枠12に対して解放可能に取り付けられている。この金枠20には板ガラス21が二重にはめ込まれている。板ガラス21の奥には遊技盤22が収納されている。

上皿15の前面枠12下部には、下皿23が設けられ、下皿23の右側には発射ハンドル24が取り付けられている。この発射ハンドル24の外周には、図示しない回動リングが擁され、時計方向に回動すれば遊技球を遊技盤22上に発射することができる。

上皿15と下皿23とは連結されていて、上皿15が遊技球で満杯状態になれば下皿23に遊技球を誘導するよう構成されている。

【0021】

図3はパチンコ機10の裏面図である。図示するように、前述した遊技盤22を脱着可能に取り付ける機構盤26が前述した外枠11に収納されている。この機構盤26には、上方から、球タンク27、誘導樋28及び賞球払出装置29が設けられている。この構成により、遊技盤22上の入賞口に遊技球の入賞があれば球タンク27から誘導樋28を介して所定個数の遊技球を賞球払出装置29により前述した上皿15に排出することができる。

40

また、機構盤26には遊技制御基板30及び賞球制御基板31が脱着可能に、遊技盤22には特別図柄表示装置32が、前面枠左下部には発射制御基板33が、特別図柄表示装置32の左側に外部接続端子基板50が、各々取り付けられている。

【0022】

次に図4を用いて遊技盤22について説明する。

50

図4に示すように遊技盤22には、中央に特別図柄表示装置32を構成するLCDパネルユニット(以下、「LCD」という。)32a、その下部に第1種始動口としての普通電動役物36、LCD32a上部の普通図柄表示装置37、普通図柄表示装置37に表示される図柄の変動開始に用いられるLCD32aの左右の普通図柄作動ゲート38及び39、普通電動役物36下部の大入賞口40、盤面最下部のアウト口41、その他の各種入賞口、風車及び図示しない遊技釘等が備えられている。

この構成により、前述した発射ハンドル24を回動すれば発射制御基板33により駆動される発射モータ33aが駆動されて上皿15上の遊技球がガイドレールを介して遊技盤22上に発射される。発射された遊技球が各入賞口に入賞すれば遊技球は盤面裏面にセーフ球として取り込まれ、入賞しなければアウト口41を介してアウト球として同様に盤面裏面に取り込まれる。

10

【0023】

続いて前述したパチンコ機10の電氣的構成を図5のブロック図を用いて説明する。

パチンコ機10の電気回路は、図示するように、前述した遊技制御基板30、賞球制御基板31、特別図柄表示装置32、発射制御基板33、ランプ制御基板34及び音制御基板35等から構成されている。尚、この回路図には、信号の受け渡しを行うために所謂中継基板等は記載していない。

【0024】

遊技制御基板30は、遊技制御プログラムを記憶したROM及び演算等の作業領域として働くRAM68,69を内蔵した8ビットワンチップマイコンを中心とした論理演算回路として構成され、この他各基板又は各種スイッチ類及び各種アクチュエータ類との入出力を行うための外部入出力回路も設けられている。

20

遊技制御基板30の入力側には、第1種始動口スイッチ36a、普通図柄作動スイッチ38a及び39a、役物連続作動スイッチ(以下、単に「Vスイッチ」と呼ぶ)40a、カウントスイッチ40b、満タンスイッチ43、補給スイッチ44、複数のその他入賞口スイッチ45、玉抜スイッチ46等が接続されている。また、出力側には、大入賞口ソレノイド40c、Vソレノイド40b、普通役物ソレノイド36b及び外部接続端子基板50等が接続されている。

【0025】

第1種始動スイッチ36aは前述した遊技盤22上の普通電動役物36内、普通図柄作動スイッチ38a及び39aは各々普通図柄作動ゲート38及び39内、Vスイッチ40aは大入賞口40内の特定領域内、同じくカウントスイッチ40bは大入賞口40内、満タンスイッチ43は下皿16内、補給スイッチ44は球タンク27内、その他入賞口スイッチ45は普通電動役物36及び大入賞口40以外の盤面上の各々の入賞口、玉抜スイッチ46は賞球払出装置29の近傍に各々取り付けられている。ここで、Vスイッチ40aは大入賞口40内に入賞した遊技球が特別装置作動領域(以下、「特別領域」という。)を通過したことを、カウントスイッチ40bは大入賞口40内に入賞する全ての遊技球を、満タンスイッチ43は下皿16内に遊技球が満タン状態になったことを、補給スイッチ44は球タンク27内に遊技球が存在することを、その他入賞口スイッチ45は普通電動役物36及び大入賞口40以外の盤面上の各々の入賞口に遊技球が入賞したことを、玉抜スイッチ46は玉抜操作ボタンが押下されたことを各々検出するものである。

30

40

また、出力側に接続された大入賞口ソレノイド40cは大入賞口40、Vソレノイドは大入賞口40内の特別領域、普通役物ソレノイド36bは普通電動役物36の開閉に各々使用されるものである。

【0026】

特別図柄表示装置32は、前述したLCD32aと、このLCD32aを駆動制御する図柄表示装置制御基板(以下、単に「図柄制御基板」(「画像制御基板」ともいう。))と32b及びバックライト及びインバータ基板等の付属ユニットから構成されている。図柄制御基板32bは、前述した遊技制御基板30と同様8ビットワンチップマイコンを中心とした論理演算回路として構成されている。

50

【0027】

賞球制御基板31は、遊技制御基板30と同様マイクロコンピュータを用いた論理演算回路として構成され、その入力回路には賞球払出スイッチ31a及び貸玉払出スイッチ31bが接続され、出力回路には玉切モータ31c及び玉貸モータ31dが接続されている。また、賞球制御基板31には、前述したカードリーダー13が双方向に接続され、カードリーダー13にはCR精算表示基板47が接続されている。賞球払出スイッチ31aは、遊技制御基板30にも接続されている。

玉切モータ31c及び玉貸モータ31dは、前述した賞球払出装置29に設けられ、誘導樋28から供給される遊技球を下方に所定個数流下させるものである。玉切モータ31cから払い出される遊技球は賞球払出スイッチ31aにより検出され、玉貸モータ31dから払い出される遊技球は貸玉払出スイッチ31bにより検出される。

CR精算表示基板47は、前述した上皿15の貸出釘16、精算釘17及び残高表示部18等から構成されている。尚、CR精算表示基板47を賞球制御基板31に直接に接続する構成としても良い。

【0028】

前記構成により遊技制御基板30から賞球払い出し指令のデータが送信されると、このデータを受信した賞球制御基板31は、未払の賞球データに送信されたデータが示す賞球個数を加算して新たな賞球データとして記憶し、所定個数の遊技球を賞球として払い出した後に賞球払出スイッチ31aにより検出された遊技球を記憶した賞球データから減算処理を実行して新たな賞球データとし、この賞球データの値が零になるまで払い出し処理を実行する。

一方、CR精算表示基板47の貸出釘16を押下すると、100円の場合はカードリーダー13から賞球制御基板31に1パルスの信号が送信され、500円の場合には5パルスの信号が送信される。賞球制御基板31は、1パルスの信号に対して25個の遊技球が貸玉払出スイッチ31bにより検出されるまで玉貸モータ31dを駆動制御して貸し玉を払い出す処理を実行する。

【0029】

発射制御基板33は、遊技者が操作する発射ハンドル24の回動量に応じて発射モータ33aを駆動制御するものであり、その他遊技者が発射停止スイッチ24bを押下したとき発射を停止させたり、発射ハンドル24に内蔵された前記タッチスイッチ24aがオン状態のときタッチランプ48を点灯させるものである。

タッチスイッチ24aは発射ハンドル24に内蔵され遊技者が発射ハンドル24に触れていることを検出する。

【0030】

ランプ制御基板34は主としてトランジスタ等の駆動素子から構成されており、遊技制御基板30からの指令を受けて普通図柄表示装置37、大当たりランプやエラーランプ等のランプ類及びLED等の各種ランプ類を点灯表示させるものである。

【0031】

音制御基板35は音源IC及びアンプ等から構成されており、遊技制御基板30の指令を受けてスピーカ49を駆動制御するものである。

【0032】

前述した特別図柄表示装置32、賞球制御基板31、発射制御基板33、ランプ制御基板34及び音制御基板35への送信は、遊技制御基板30からのみ送信することができるよう一方向通信の回路として構成されている。この一方向通信の回路は、インバータ回路又はラッチ回路を用いて具現化することができる。一方向通信の回路に代えて、双方向通信の回路としてもよい。

【0033】

前記遊技制御基板30、賞球制御基板31、図柄制御基板32b、発射制御基板33、ランプ制御基板34及び音制御基板35等へは、図6に示すように、電源基板51から各種電源が供給されている。

10

20

30

40

50

電源基板 5 1 は、24 V 交流電源から DC 3.2 V、DC 1.2 V、DC 5 V、更にコンデンサにより DC 5 V のバックアップ電源を生成し、各制御基に必要な電源を供給するように構成されている。

DC 5 V のバックアップ電源は、遊技制御基板 3 0 と賞球制御基板 3 1 に供給されている。

【0034】

図 7 に示す通り、電源基板 5 1 と、遊技制御基板 3 0、賞球払出制御基板 3 1 を含む遊技機各部との間の給電および信号系を示す。各パチンコ遊技機 1 0 の電源基板 5 1 は、パチンコ店側に設けられた AC 24 V 電源を電源スイッチ 5 2 を介して電源生成回路 5 3 が受けており、電源生成回路 5 3 が、図示の遊技制御基板 3 0、賞球払出制御基板 3 1 を含む遊技機各部に給電する。電源スイッチ 5 2 はオンまたはオフの操作をするとその状態を保持するタイプが用いられる。

10

【0035】

電源生成回路 5 3 における全波 24 V 出力は電源電圧監視回路 5 4 に入力し、電源電圧監視回路 5 4 による全波 24 V 出力の有無の検出結果に基づいてリセット信号発生回路 5 5 がリセット信号を出力もしくは解除する。すなわち、電源電圧監視回路 5 4 は所定の基準電圧以上の非出力状態が所定の時間、維持すれば全波 24 V 出力停止と判断し、リセット信号発生回路 5 5 は全波 24 V 出力停止との判断に応じてリセット信号を出力する。一方、全波 24 V 出力が開始されるとリセット信号は解除される。ここで、リセット信号の出力とはロウレベルの信号を出力することであり、解除とはロウレベルからハイレベルに変化することをいう。なお、リセット信号の解除は、全波 24 V 出力の検出時点から遅延時間 T_a の後になされる（図 13 参照）。

20

【0036】

リセット信号発生回路 5 5 の出力は遊技制御基板 3 0、賞球払出制御基板 3 1 それぞれの遅延回路 5 6、5 7 を介して各制御基板 3 0、3 1 の CPU 6 0、6 1 のリセット端子に出力される。遊技制御基板 3 0 の遅延回路 5 6 ではリセット信号の解除に所定の遅延時間 T_c が与えられ、賞球払出制御基板 3 1 の遅延回路 5 7 ではリセット信号の解除に所定の遅延時間 T_b が与えられる（図 13 参照）。図 8 に示す通り、図柄制御基板 3 2 b の CPU についても同様である。

【0037】

電源電圧監視回路 5 4 の出力と接続する入力を備える停電信号発生回路 6 4 が設けてあり、停電等の電源遮断時に停電信号を各制御基板 CPU 6 0、6 1 の NMI 端子に出力するようになっている。停電信号は電源遮断に伴ってハイレベルからロウレベルに変化する信号であり、リセット信号が出力するに先立って出力するように出力タイミングが設定されている。

30

【0038】

また、電源基板 5 1 は、コンデンサを含み構成されたバックアップ電源生成回路 6 5 により DC 5 V のバックアップ電源 (VBB) を生成する構成となっており、バックアップ電源 (VBB) 出力は各制御基板 CPU 6 0、6 1 のバックアップ端子 (VBB) に出力され、停電時には後述するように各制御基板 3 0、3 1 のバッテリーバックアップ RAM 6 8、6 9 の記憶内容をそれぞれ保持する。

40

【0039】

遊技制御基板 3 0 は、RAM クリアスイッチ 6 6 を備えている。RAM クリアスイッチ 6 6 は制御基板 CPU 6 0、6 1 のバッテリーバックアップ RAM 6 8、6 9 に記憶されている内容をクリアするために設けられる。RAM クリアスイッチ 6 6 の出力信号は RAM クリア信号発生回路 6 7 に入力される。またリセット信号発生回路 5 5 のリセット出力は、RAM クリア信号発生回路 6 7 に入力される。

【0040】

RAM クリアスイッチ 6 6 には押下時のみオンする押し釦タイプのものが用いられ、上記リセット信号の立ち上がり時に RAM クリアスイッチ 6 6 がオンであれば、遊技制御基

50

板 30 に設けた R A M クリア信号発生回路 67 が、ハイレベルの信号である R A M クリア信号を遊技制御基板 30、賞球制御基板 31 それぞれの入力ポート 71、72 に一定時間 Tg の間、出力する (図 13 参照)。すなわち、R A M クリア信号はリセット信号が解除される電源投入時のみ出力される。ここで電源スイッチ 52 のオンからリセット信号立ち上がりまでの遅延時間 Ta は例えば 100 ms に設定され、R A M クリア信号を発生させるには R A M クリアスイッチ 66 を押下しながら電源スイッチ 52 をオンすることになる。なお、各制御基板 C P U 60、61 は入力ポート 71、72 における R A M クリア信号の有無をデータバスを介して監視する。

【0041】

次に、図 8 に示すように、電源基板 51 の電源電圧監視回路 54 には、リセット 1 回路 74 及びリセット 2 回路 75、バックアップ 1 電圧監視回路 76 およびバックアップ 2 電圧監視回路 77 が備えられている。

10

リセット 1 回路 74 は、遊技制御基板 30 の C P U 60 のリセット端子 R E S に接続されている。

リセット 2 回路 75 は、賞球制御基板 31 の C P U 61 のリセット端子 R E S、図柄制御基板 32 b の C P U 62 のリセット端子 R E S 等に接続されている。

バックアップ 1 電圧監視回路 76 は、遊技制御基板 30 の C P U 60 の強制割り込み端子 N M I に接続されている。

バックアップ 2 電圧監視回路 77 は、賞球制御基板 31 の C P U 61 の強制割り込み端子 N M I に接続されている。

20

尚、前述したように、5V バックアップ電源は、遊技制御基板 30 の C P U 60 のバックアップ端子 V B B、及び賞球制御基板 31 の C P U 61 のバックアップ端子 V B B に接続されている。

【0042】

リセット 1 回路 74 は、図 9 に示すように、電圧監視 I C 11、抵抗器 R 17、R 18 及び R 19、バイパスコンデンサ C 10 等から構成されている。電圧監視 I C 11 の入力端子である V S B 端子には、抵抗器 R 17 と R 18 とで分圧した D C 12 V の電源が供給され、出力端子である R E S E T 端子は、抵抗器 R 19 で D C 5 V にプルアップされている。

前記構成により電圧監視 I C 11 の出力端子である R E S E T 端子は、D C 12 V 電源の電圧が 9.39 ~ 10.21 V 以下に低下すると、出力するリセット信号 1 を、ハイレベルからロウレベルに変化させる。

30

【0043】

リセット 2 回路 75 は、図 10 に示すように、電圧監視 I C 8、抵抗器 R 38、R 39 及び 40、バイパスコンデンサ C 22 及び C 23 等から構成されている。電圧監視 I C 8 の入力端子である V S 端子には、抵抗器 R 39 と R 40 とで分圧した D C 12 V の電源が供給され、出力端子である R E S E T 端子は、抵抗器 R 38 で D C 5 V にプルアップされている。

前記構成により電圧監視 I C 8 の出力端子である R E S E T 端子は、D C 12 V 電源の電圧が 7.20 ~ 7.75 V 以下に低下すると、出力するリセット信号 2 を、ハイレベルからロウレベルに変化させる。

40

【0044】

バックアップ 1 電圧監視回路 76 は、図 11 に示すように、コンパレータ I C 1 A、抵抗器 R 41 ~ 45 等から構成されている。コンパレータ I C 1 A のマイナス入力端子には、抵抗器 R 43 と R 44 とで分圧した D C 5 V の電源が供給され、プラス入力端子には、抵抗器 R 41 と R 42 とで分圧した D C 12 V の電源が供給され、出力端子は抵抗器 R 45 で D C 5 V にプルアップされている。

前記構成によりコンパレータ I C 1 A の出力端子は、D C 12 V 電源の電圧が 10.25 ~ 10.70 V 以下に低下すると、出力するバックアップ信号 1 を、ハイレベルからロウレベルに変化させる。

50

【0045】

バックアップ2電圧監視回路77は、図12に示すように、コンパレータIC2A、抵抗器R51～R55等から構成されている。コンパレータIC2Aのマイナス入力端子には、抵抗器R53とR54とで分圧したDC5Vの電源が供給され、プラス入力端子には、抵抗器R51とR52とで分圧したDC12Vの電源が供給され、出力端子は抵抗器R55でDC5Vにプルアップされている。

前記構成によりコンパレータIC2Aの出力端子は、DC12V電源の電圧が8.00～9.23V以下に低下すると、出力するバックアップ信号2を、ハイレベルからロウレベルに変化させる。

【0046】

本パチンコ遊技機10の電源投入時の処理の流れについて図13を参照して説明する。RAMクリアスイッチ66を押下しながら電源スイッチ52をオンし電源基板51から給電を開始した時の電源基板51、遊技制御基板30および賞球制御基板31各部の作動状態を示す。

【0047】

電源スイッチ52のオンから時間Ta経過後にリセット信号が解除され、このリセット信号解除が遊技制御基板CPU60においては時間Tc経過後に、賞球制御基板CPU61においては時間Tb経過後に有効になると、有効になった時点から各制御基板CPU60、61がセキュリティチェックを開始する。ここで、遊技制御基板CPU60の遅延時間Tcが賞球制御基板CPU61の遅延時間Tbよりも長く設定されている。セキュリティチェック時間Td, TeはCPUの種類、システムクロック周波数等にもよるが、本具体例において遊技制御基板CPU60、賞球制御基板CPU61両方に使用したLE2080A-PA(システムクロック周波数6MHz)では、それぞれ、439ms、200msとした。Td, Teは同一値(例えば、185ms)でもよい。なお、セキュリティチェックとは、周知のごとくワンチップマイコンである各CPU60、61等が遊技の進行内容を書き込んだROMの内容が正規の内容であるか否かをチェックすることである。

【0048】

遊技制御基板CPU60のセキュリティチェック時間Tdが賞球制御基板CPU61のセキュリティチェック時間Teと同等以上で、かつ、遊技制御基板CPU60のセキュリティチェック開始時期が賞球制御基板CPU61のセキュリティチェック開始時期よりも遅く実行されるようになっていれば($T_b < T_c$)、遊技制御基板CPU60のセキュリティチェック完了時には賞球制御基板CPU61はセキュリティチェックが完了し、遊技制御基板CPU60がROMに書き込まれたプログラムにしたがって遊技の制御を開始する時には、賞球制御基板CPU61は既に遊技の制御を実行している。この結果、電源投入後、遊技制御基板CPU60が直ちに賞球制御基板CPU61にデータを送信しても、賞球制御基板CPU61はセキュリティチェックを終え自身の制御を実行しているので確実にデータを受信することができる。なお、遊技制御基板CPU60のセキュリティチェック時間Tdが賞球制御基板CPU61のセキュリティチェック時間Teと同一或いは短くてもよい。

【0049】

一方、RAMクリアスイッチ66を押しながら電源スイッチ52をオンしているので、遊技制御基板30からは、リセット信号が立ち上がった時点からRAMクリア信号が時間Tgの間、各基板60, 61の入力ポート71, 72に出力されることになる。ここで、RAMクリア信号の出力時間Tgを、セキュリティチェックの遅く完了する遊技制御基板CPU60についてのリセット信号解除からセキュリティチェック完了までの時間(リセット信号遅延時間Tc+セキュリティチェック時間Td)を考慮して、賞球制御基板CPU61がセキュリティチェック完了後にRAMクリア信号を確実に受信できるようにする。

【0050】

パチンコ機10に電源が投入されたときの遊技制御基板30と、遊技制御基板30以外のサブ制御基板である、賞球制御基板31及び図柄制御基板32b等との各々のCPUの

10

20

30

40

50

動作又は制御動作の立ち上がり状態を、図 1 4 に示すタイミングチャートに従って説明する。

パチンコ機 1 0 に電源が投入されると、電源基板 5 1 により DC 3 2 V、DC 1 2 V、バッテリーバックアップ電源 (V B B) である DC 5 V が生成される。この生成された各電源は各制御基板に供給されるが、リセット 1 回路 7 4 及びリセット 2 回路 7 5 の働きにより賞球制御基板 3 1 等の各サブ制御基板及び遊技制御基板 3 0 は次のように動作の立ち上げ処理を行う。

【 0 0 5 1 】

図 1 4 に示すように、電源基板 5 1 に電源が投入されると (ポイント P 1)、DC 1 2 V 電源の電圧は放物線を描いて漸次 0 V から 1 2 V に立ち上がる。この漸次立ち上がる DC 1 2 V 電源の電圧が、基準値 LV 2 (本具体例では、7 . 2 0 ~ 7 . 7 5 V) になるとリセット 2 回路 6 0 の出力信号であるリセット信号 2 がロウレベルからハイレベルとなる。これにより、サブ制御基板の各 CPU のリセットが解除され、賞球制御基板 3 1 の CPU 6 1 がセキュリティチェック動作を開始する (ポイント P 2)。このとき、本具体例では、賞球制御基板 3 1 を除く図柄制御基板 3 2 b 等の各サブ制御基板は、セキュリティチェック動作は実行せずに本来の制御を実行するよう構成されている。

DC 1 2 V の電源電圧が基準値 LV 2 のときには、リセット 1 回路 7 4 の出力信号であるリセット信号 1 は、まだロウレベルの状態を維持している。従って、遊技制御基板 3 0 の CPU 6 0 は、まだ立ち上がっていない。

【 0 0 5 2 】

DC 1 2 V の電源電圧が基準値 LV 2 から基準値 LV 1 (本具体例では、9 . 3 9 ~ 1 0 . 2 1 V) に上昇すると、リセット 1 回路 7 4 のリセット信号 1 は、ロウレベルからハイレベルとなる。これにより、遊技制御基板 3 0 の CPU 6 0 のリセットが解除され、CPU 6 0 がセキュリティチェック動作を開始する (ポイント P 3)。

遊技制御基板 3 0 の CPU 6 0 のセキュリティチェック設定時間 T d は、賞球制御基板 3 1 の CPU 6 1 のセキュリティチェック設定時間 T e と同等かそれ以上長くなるように設計されている。

尚、セキュリティチェックとは、周知の如く、ワンチップマイコンである CPU 6 3 及び 6 4 が遊技の進行内容を書き込んだ ROM の内容が正規の内容であるか否かをチェックする機能のことである。

【 0 0 5 3 】

遊技制御基板 3 0 のセキュリティチェック設定時間 T d が賞球制御基板 3 1 のセキュリティチェック設定時間 T e 以上であり、且つ遊技制御基板 3 0 の CPU 6 0 のリセット解除時点が各サブ制御基板の CPU のリセット解除時点より遅い。これにより、遊技制御基板 3 0 の CPU 6 0 が ROM に書き込まれたプログラムに従って遊技の制御を実行開始するときには、各サブ制御基板は既に遊技の制御を実行している。この結果、電源投入後直ちに、遊技制御基板 3 0 の CPU 6 0 が各サブ制御基板にデータを送信しても、各サブ制御基板は本来の制御を実行しているので確実にデータを受信することができる。

尚、本具体例では、セキュリティチェック設定時間 T d は約 4 3 9 ms であり、遊技制御基板 3 0 の CPU 6 0 が電源の投入から遊技の制御を実行するまでの時間は、約 5 2 9 ms ~ 5 4 9 ms である。また、セキュリティチェック設定時間 T e は約 2 0 0 ms であり、サブ制御基板の 1 つである賞球制御基板 3 1 の CPU 6 1 が電源の投入から遊技の制御を実行するまでの時間は、約 2 0 2 ms ~ 2 0 3 ms である。

【 0 0 5 4 】

なお、パチンコ遊技機 1 0 への電源投入が遮断されるとき動作については、説明は省略する。これについては特許第 3 4 4 4 4 8 5 号の段落第 0 0 4 1 ~ 0 0 4 4 及び図 1 2、図 1 3 を参照されたい。バックアップ RAM 6 8、6 9 に記憶されるデータは電源遮断時の賞球払い出し状態及び / 又は玉貸しの貸し出し状態を示すデータである (以下、単にデータという)。なお、ステップを単に S と略記する。

【 0 0 5 5 】

図15に主制御基板CPU60の電源投入時処理のフローチャートを示す。セキュリティチェックが完了しバッテリーバックアップRAM68へのアクセスが許可されると(S101)、RAMクリア信号がオンか否か(S102)、バックアップフラグ(非停電復旧時又は停電復旧時かのいずれかを「0」「1」で示す)がオンか否か(S103)に基づいてパチンコ遊技機10を初期状態から起動する(S104~S109)か、パチンコ遊技機10を電源遮断前の状態から起動する(S110~S111)かを判断する。

【0056】

S102が肯定判断された場合、S103が否定判断された場合には、スタックの設定処理(S104)、RAM68の作業領域のクリア処理(S105)を実行し、作業領域を初期化する(S106)。次いで、特別図柄表示装置32へ、初期画面を表示する旨の
10
コマンドデータを送信し(S107)、ランプ制御基板34へ、初期装飾を表示すべき旨
のコマンドデータを送信する(S108)。以降、通常時の処理となる(S109)。

【0057】

S103が否定判断された場合には、電源遮断前の記憶内容をRAM68が保持している
ということであり、電源復帰時処理が実行され(S110)、バックアップされたパチ
ンコ遊技機10の状態を示す情報に基づいて停電発生により中断された遊技進行プログラ
ムが再開される(S111)。電源復帰時処理では各サブ制御基板31~35に停電から
復旧したことを報知するコマンドコードを送信する。このコマンドコードを受信した特別
図柄表示装置32はLCD32aの画面上に「停電復旧処理中」、「停電前のゲーム内容
から続行しています」等のメッセージを表示する処理を行う。あるいは音制御基板35が
20
音声により上記メッセージと同等の内容で停電があったことを報知する。

【0058】

このルーチンにより、停電復旧時か否か判断されるが、本具体例では、DC5Vのバッ
クアップ電源は、前述したように、コンデンサにより約1時間20分~約3時間30分間
CPU60及びCPU61のRAM68,69に記憶されたデータを記憶保持するよう構
成されている。このため、停電ではなく、営業が終了してから翌朝に電源を投入する通常
状態では、RAM68,69のデータは記憶保持されていない。これにより、停電時にR
AM68,69の所定領域に書き込まれた所定値は、記憶保持されることなく所定値とは
異なった値となっている。一方、瞬停を含む一般的な停電は、1時間もあれば復旧する。
斯かる停電時には、RAM68,69の所定領域に書き込まれた所定値は、変化すること
30
なく記憶保持されている。従って、RAM68,69の所定領域に書き込まれた値を比較
することにより、停電復旧時か否かが判定される。

【0059】

また、RAMクリア信号がオンの時にパチンコ遊技機10を初期状態に戻すことができ
るが、RAMクリア信号は上記のごとくRAMクリアスイッチ66を押下しながら電源ス
イッチ52をオンした時にのみ生成されるから、RAMクリアスイッチ66を電源ス
イッチ52をオンする時以外で押下してもRAMクリアがなされることがなく不用意にパチ
ンコ遊技機10が初期状態に戻されることを防止できる。

【0060】

本パチンコ遊技機10は、電源スイッチ52と、電源スイッチ52のオンに応じてリセ
ット信号は出力するリセット信号発生回路55と、RAMクリアスイッチ66と、RAM
クリア信号発生回路67と、を具備している。ここで電源スイッチ52の投入に伴うリセ
ット信号はロウレベルからハイレベルへの変化であり、この変化は、電源スイッチ52の
オンに際して一度だけ生じる。そして、遊技の進行を制御する遊技制御基板CPU60、
賞球・貸球の制御を行う賞球制御基板CPU61は、電源スイッチ52の投入によるリセ
ット信号の出力時期に予めクリアスイッチがオン状態のとき、メモリであるRAM68,
69をクリアする構成として、クリアスイッチのオン時期を、電源スイッチ52をオンす
る際に制限したから、誤操作を防止することができる。

【0061】

従って、クリア許容信号が電源投入の際以外では生成されず、メモリクリアの機会がさ
40
50

らに限定され、誤操作の回避を図ることができる。

【0062】

また、電源スイッチ52とRAMクリアスイッチ66とを別基板に形成しているので、RAMクリアが不用意になされない。しかも、電源制御基板51及び遊技制御基板30において、それぞれ、電源スイッチ52およびRAMクリアスイッチ66を脱着可能なカバー（図示略）で覆い、RAMクリア時にはスイッチ52、66操作に先立ってカバー（図示略）を外すことを作業者に要求することになるので、より、誤操作の回避を図ることができる。

【0063】

次に遊技制御基板CPU60は、バックアップRAM68のデータクリア及び賞球制御基板31へ送信するデータクリアコマンドの発生について、図16のデータクリア制限1の処理を行う。不正防止及びノイズによる賞球制御基板31側でのデータの変化による弊害を防止するためである。電源スイッチ52によるリセットか否かを判定し（S210）、肯定判定ならクリアスイッチ67がオンか否かを判定し（S220）、肯定判定ならセキュリティチェックを行い（S230）、バックアップ（記憶保持）されたデータをクリアし（S240）、データクリアコマンドを賞球制御基板31に送信し（S250）、リターンに抜ける。S210及びS220で否定判定なら、リターンに抜ける。

【0064】

図17に示す通り、遊技制御基板30は、電源基板51の電源スイッチ52をオンすることによりリセットされる場合、クリアスイッチ67がオン状態であればセキュリティチェックによるチェック時間Tdの経過後に、バックアップRAM68に記憶保持により記憶保持されたデータをクリアすると共に、賞球制御基板31に記憶保持されたデータをクリアするためのデータクリアコマンドを出力する。

【0065】

図15及び図16の処理の後、CPU60は、図18に示す周知の「通常処理」を2ms毎のハード割り込みにより定期的に行う。即ち、このメインルーチンは、本処理と残余処理とからなり、詳細は略すが、正常割り込みか否かの判定（S300）、初期設定処理（S310）、乱数更新処理（S320）、各入力処理（S330）、当否判定処理（S340）、画像出力処理（S350）、各出力処理（S360）、外れ図柄更新処理（S370）の各処理を行う。これにより、遊技制御基板30のCPU60は、停電発生時には、停電前のゲームの進行状態から続行してゲームの制御を司ることができ、遊技者に不測の不利益や違和感を与えることがない。

【0066】

図19に賞球制御基板31の電源投入時処理のフローチャートを示す。電源が投入され、セキュリティチェックが終了すると、賞球制御基板31は、図19に示す「電源投入時ルーチン」を実行する。このルーチンは、リセット端子RESがローレベルからハイレベルに変化する信号の立ち上げ時に1回だけ実行される。まず、セキュリティチェックが完了しRAM69へのアクセスが許可されると（S401）、S402、S403でRAM69をクリアすべきか否かを判断し、RAM69をクリアすべきであればS404以降の手順を実行してパチンコ遊技機10を初期状態から起動せしめ、クリアすべきでなければS408以降の手順を実行し、電源遮断前の状態から各部の作動を開始する。

【0067】

S402ではRAMクリア信号がオンか否かを判断し、肯定判断されるとS404に進み、スタックの設定処理（S404）、RAM69の作業領域のクリア処理（S405）を実行し、作業領域を初期化する（S406）。以降、通常時の処理となる（S407）。

【0068】

S402が否定判断された場合にはS403でバックアップフラグがオンか否かを判断し、否定判断されると、RAMクリア信号入力の場合と同様にS404以降の手順を実行する。

【0069】

S403が肯定判断されると、電源遮断前の記憶内容をRAM69が保持しているということであり、電源復帰時処理が実行され(S408)、バックアップされたパチンコ遊技機10の状態を示す情報に基づいて停電発生により中断された遊技進行プログラムが再開される(S409)。

【0070】

図20に示す通り、バックアップRAM69のデータクリアに関連して、賞球制御基板31はデータクリア制限2の処理を行う。まず、電源スイッチ52をオンすることによりリセットされたときから予め定められた設定時間T1が経過したか否かを判定し(S510)、否定判定、即ち設定時間T1が経過しないと判定した場合、遊技制御基板30からデータクリアコマンドを入力したか否かを判定し、肯定判定の場合には、バッテリバックアップRAM69に記憶されたデータをクリアし(S530)、リターンに抜ける。S510で肯定判定の場合、即ち、予め定められた設定時間T1経過後に前記データクリアコマンドを入力したか否かを判定し(S540)、肯定判定の場合、前記データをクリアすることを禁止し(S550)、リターンに抜ける。

【0071】

これにより、賞球制御基板31は、電源基板51の電源スイッチ52をオンすることによりリセットされたときから予め定められた設定時間T1内に、遊技制御基板30からデータクリアコマンドを入力した場合にはバッテリバックアップRAM69により記憶されたデータをクリアし(図22のデータクリア(1)参照)、予め定められた設定時間T1経過後にデータクリアコマンドを入力してもクリアすることを禁止する(図22のデータクリア(2)参照)。

【0072】

図20に追加して、図21に示す通り、賞球制御基板31はデータクリア制限3を行うこともある。即ち、設定時間T2(ここでは、設定時間T1より小さく設定されている。)を経過したか否かを判定し(S610)、肯定判定なら設定時間T1が経過したか否かを判定し(S620)、否定判定ならデータクリアコマンドが入力されたか否かを判定し(S630)、肯定判定なら、バックアップRAM69に記憶されたデータをクリアし、リターンに抜ける。S610で否定判定なら、遊技制御基板30からデータクリアコマンドを入力したか否かを判定し(S650)、肯定判定なら前記データのクリアを禁止し(S660)、リターンに抜ける。S620で肯定判定、S630で否定判定、S650で否定判定ならリターンに抜ける。

【0073】

これにより、賞球制御基板31は、電源基板51の電源スイッチ52をオンすることによりリセットされたときから予め定められた設定時間T2経過後から設定時間T1が経過するまでの間に、データクリアコマンドを入力した場合にはバッテリバックアップRAM69により記憶されたデータをクリアし(図22のデータクリア(1)参照)、設定時間T2経過しない間にデータクリアコマンドを入力してもクリアすることを禁止する(図22のデータクリア(3)参照)。

【0074】

図19~図22の動作が終了すると、賞球制御基板31のCPU61は、図23に示す「通常処理」を実行する。このルーチンでは、初期化されたデータ又は記憶保持されたデータに基づき玉切モータ31cを駆動制御して賞球の払い出しを実行し(S710)、玉貸モータ31dを駆動制御して貸し玉の払い出しを実行する(S720)。これにより、停電発生時に未払の賞球データがあれば、停電復旧後に記憶保持されたデータに基づき賞球の払い出しが実行される。同様に、停電発生時に未払の玉貸データがあれば、停電復旧後に記憶保持されたデータに基づき玉貸しの払い出しが実行される。これにより、停電が発生しても遊技者に不利益を与えることはない。

【0075】

以上、詳細に説明した本実施形態1による効果を説明する。まず、図19及び図20に

10

20

30

40

50

よれば、賞球制御基板 3 1 は、電源基板 5 1 の電源スイッチ 5 2 をオンすることによるリセットから予め定められた設定時間 T 1 内に、データクリアコマンドを入力した場合には記憶保持手段により記憶されたデータをクリアし、予め定められた設定時間 T 1 経過後にデータクリアコマンドを入力してもデータをクリアすることを禁止するので、設定時間 T 1 経過後には記憶保持されたデータはクリアされることなく好適に保護される。しかも、設定時間 T 1 は、電源基板 5 1 の電源スイッチ 5 2 をオンすることによるリセット時に基づき計測され、データクリアコマンドは遊技制御基板 3 0 から入力する構成である。換言すれば、賞球制御基板 3 1 は、異なる基板である遊技制御基板 3 0 からの信号によりデータクリアコマンドの有効無効を判断するのでノイズや不正防止の対策に効果を発揮する。

10

また、電源基板 5 1 は CPU を搭載しないので、電源基板 5 1 からの不正防止対策に効果的である。電源基板 5 1 に CPU を搭載しないので、電源基板 5 1 を介しての不正行為は発覚し易いからである。

【0076】

また、図 2 1 によれば、賞球制御基板 3 1 は、電源基板 5 1 の電源スイッチ 5 2 をオンすることによりリセットされたときから予め定められた設定時間 T 2 経過後から設定時間 T 1 が経過するまでの間に、データクリアコマンドを入力した場合のみバックアップ RAM 6 9 に記憶保持により記憶されたデータをクリアする構成なので、ノイズや不正防止対策の効果が一層顕著である。即ち、電源スイッチ 5 2 による電源投入直後に不正行為により賞球制御基板 3 1 にデータクリアコマンドを入力させデータをクリアしようとしても、賞球制御基板 3 1 は記憶保持されたデータをクリアしないので、記憶保持されたデータは好適に保護される。

20

【0077】

さらに、別々の基板である遊技制御基板 3 0、電源基板 5 1 から、それぞれ、データクリアコマンドとリセットコマンドを賞球制御基板 3 1 に入力する構成であるので、賞球制御基板 3 1 への不正がされ難い効果がある。

【0078】

遊技制御基板 3 0 及び賞球制御基板 3 1 も電源投入時にセキュリティチェックを行う構成である場合、設定時間 T 2 が経過する以前に該セキュリティチェックを終了させる構成とすることが好ましい。また、設定時間 T 2 を、遊技制御基板 3 0 のセキュリティチェックによるチェック時間 T d に対応させることにすれば、データの保護効果が一層顕著である。即ち、遊技制御基板 3 0 がセキュリティチェックを行っている間は、遊技制御基板 3 0 からデータクリアコマンドが送信されることはないので、この期間 T 2 に入力されたデータクリアコマンドは正規のデータでないと判断することができる効果がある。なお、賞球制御基板 3 1 は、セキュリティチェックを行う構成を例示したが、行わない構成でも良い。

30

【0079】

次に実施形態 2 の弾球遊技機を説明すると、電源投入時に行われる遊技制御基板 3 0 のセキュリティチェック手段によるチェック時間 T d が賞球制御基板 3 1 のセキュリティチェック手段によるチェック時間 T e より早く終了するよう構成した実施形態である。遊技制御基板 3 0 は、セキュリティチェック手段によるチェック時間 T d が終了後にクリアスイッチ 6 6 がオン状態であれば、電源基板 5 1 の電源スイッチ 5 2 をオンすることによりリセットされたときから予め定められた設定時間 T 3 が経過するまで待機した後に記憶保持手段により RAM 6 8 に記憶保持されたデータをクリアすると共に、賞球制御基板 3 1 の RAM 6 9 に記憶保持されたデータをクリアするためのデータクリアコマンドを出力する。賞球制御基板 3 1 は、電源基板 5 1 の電源スイッチ 5 2 をオンすることによりリセットされたときから予め定められた設定時間 T 3 を経過するまで待機した後から予め定められた設定時間 T 1 迄に、データクリアコマンドを入力した場合には、記憶保持手段により RAM 6 9 に記憶されたデータをクリアし、設定時間 T 3 が経過する迄、及び、予め定められた設定時間 T 1 経過後は、データクリアコマンドが出力されても記憶保持手段により

40

50

R A M 6 9 に記憶保持されたデータをクリアすることを禁止するよう構成したものである。実施形態 1 の説明を援用し、図 2 0 ~ 図 2 2 に代えて、図 2 4 ~ 図 2 6 を採用する。

【 0 0 8 0 】

実施形態 2 では図 2 4 のデータクリア制限 4 の処理を行う。遊技制御基板 C P U 6 0 は、バックアップ R A M 6 8 のデータクリア及び賞球制御基板 3 1 へ送信するデータクリアコマンドの発生に処理を行い、不正防止及びノイズによる賞球制御基板 3 1 側でのデータの変化による弊害を防止する。電源スイッチ 5 2 によるリセットか否かを判定し (S 8 1 0)、肯定判定ならクリアスイッチ 6 7 がオンか否かを判定し (S 8 2 0)、肯定判定ならセキュリティチェックを行い (S 8 3 0)、設定時間 T 3 が経過したか否かを判定する (S 8 4 0)。ここで否定判定なら処理を S 8 4 0 の処理を繰り返し、ここで肯定判定ならバックアップ (記憶保持) されたデータをクリアし (S 8 5 0)、データクリアコマンドを賞球制御基板 3 1 に送信し (S 8 6 0)、リターンに抜ける。S 8 1 0 及び S 8 2 0 で否定判定なら、リターンに抜ける。

10

【 0 0 8 1 】

これにより遊技制御基板 3 0 は、クリアスイッチ 6 6 がオンでも、設定時間 T 3 経過後まで待機した後、R A M 6 8 に記憶されたデータをクリアする (図 2 6 データクリア (1) (2) 参照)。これによりデータクリア時期が遅延されデータの保護が確実になる。

【 0 0 8 2 】

図 2 5 に示す通り、賞球制御基板 3 1 はデータクリア制限 5 を行う。即ち、設定時間 T 3 (設定時間 T 1 より小さく設定され、チェック時間 T e と同等な時間に設定される。) を経過したか否かを判定し (S 9 1 0)、肯定判定なら設定時間 T 1 が経過したか否かを判定し (S 9 2 0)、否定判定ならデータクリアコマンドが入力されたか否かを判定し (S 9 3 0)、肯定判定なら、バックアップ R A M 6 9 に記憶されたデータをクリアし、リターンに抜ける。S 9 1 0 で否定判定なら、遊技制御基板 3 0 からデータクリアコマンドを入力したか否かを判定し (S 9 5 0)、肯定判定なら前記データのクリアを禁止し (S 9 6 0)、リターンに抜ける。S 9 2 0 で肯定判定、S 9 3 0 で否定判定、S 9 5 0 で否定判定ならリターンに抜ける。賞球制御基板 3 1 は、電源基板 5 1 の電源スイッチ 5 2 をオンすることによりリセットされたときから予め定められた設定時間 T 1 が経過するまでの間に、データクリアコマンドを入力した場合にはバッテリバックアップ R A M 6 9 により記憶されたデータをクリアする (図 2 6 のデータクリア (3) 参照)。設定時間 T 1 を経過した後にデータクリアコマンドを入力してもクリアすることを禁止する (図 2 6 のデータクリア (4) 参照)。設定時間 T 3 経過しない間にデータクリアコマンドを入力してもクリアすることを禁止する (図 2 6 のデータクリア (5) 参照)。

20

30

【 0 0 8 3 】

これにより実施形態 1 と同様の効果を奏する。即ち、賞球制御基板 3 1 は、異なる基板である遊技制御基板 3 0 からの信号によりデータクリアコマンドの有効無効を判断するのでノイズや不正防止の対策に効果を発揮する。賞球制御基板 3 1 は、電源基板 5 1 の電源スイッチ 5 2 をオンすることによりリセットされたときから予め定められた設定時間 T 3 経過後から設定時間 T 1 が経過するまでの間に、データクリアコマンドを入力した場合のみバックアップ R A M 6 9 に記憶保持により記憶されたデータをクリアする構成なので、ノイズや不正防止対策の効果が一層顕著である。即ち、電源スイッチ 5 2 による電源投入直後に不正行為により賞球制御基板 3 1 にデータクリアコマンドを入力させデータをクリアしようとしても、賞球制御基板 3 1 は記憶保持されたデータをクリアしないので、記憶保持されたデータは好適に保護される。別々の基板である遊技制御基板 3 0、電源基板 5 1 から、それぞれ、データクリアコマンドとリセットコマンドを賞球制御基板 3 1 に入力する構成であるので、賞球制御基板 3 1 への不正がされ難い効果がある。遊技制御基板 3 0 及び賞球制御基板 3 1 も電源投入時にセキュリティチェックを行う構成であるので、設定時間 T 3 が経過する以前にセキュリティチェック時間 T e を終了させる構成である。賞球制御基板 3 1 がセキュリティチェックを行っている間は、遊技制御基板 3 0 からデータクリアコマンドが送信されることはないので、この設定期間 T 3 内に入力されたデータク

40

50

リアコマンドは正規のデータでないとは判断することができる効果がある。

【0084】

さらに、遊技制御基板30のセキュリティチェック手段によるセキュリティチェック時間Tdを賞球制御基板31のセキュリティチェック手段によるセキュリティチェックTeより早く終了させることができるので、性能の高いCPU（クロック時間が短い）を搭載した遊技制御基板30を採用する弾球遊技機に適用することができ、遊技制御基板30に幅広い制御を行わせることができ、実用性が極めて高い。なお、電源基板51はCPUの搭載の有無は問わない。

【0085】

尚、本考案の実施の形態は、下記の実施形態に何ら限定されるものではなく、本考案の技術的範囲に属する限り種々の形態を採り得ることはいうまでもない。 10

【0086】

また、本具体例では、プリペードカードを使用して遊技球の貸し出しを行うパチンコ遊技機10について説明したが、本考案は現金の投入により遊技球の貸し出しを行うパチンコ遊技機についても適用することができる。

【図面の簡単な説明】

【0087】

【図1】本考案のクレーム対応図である。

【図2】本考案実施形態1を採用した遊技機10を示す外観斜視図である。

【図3】遊技機10の裏面図である。 20

【図4】遊技機10の遊技盤22の構成を示す正面図である。

【図5】遊技機10の電氣的構成を示すブロック図である。

【図6】電源基板51から各基板へ電源を供給する構成を示すブロック図である。

【図7】電源基板51と、遊技制御基板30、賞球制御基板31との信号授受等を示すブロック図である。

【図8】電源基板51と遊技制御基板30及び各サブ制御基板との関係を示すブロック図である。

【図9】リセット1回路74の構成を示す回路図である。

【図10】リセット2回路75の構成を示す回路図である。

【図11】バックアップ1電圧監視回路76の構成を示す回路図である。 30

【図12】バックアップ2電圧監視回路77の構成を示す回路図である。

【図13】遊技機10の電源投入時の状態を示すタイミングチャートである。

【図14】遊技制御基板CPUとサブCPUの電源投入時の状態を示すタイミングチャートである。

【図15】遊技制御基板30の電源投入時処理を示すフローチャートである。

【図16】遊技制御基板30のデータクリア制限1の処理を示すフローチャートである。

【図17】遊技制御基板30のデータクリア動作及びデータクリアコマンド出力処理を示すタイミングチャートである。

【図18】遊技制御基板30の通常処理を示すフローチャートである。

【図19】賞球制御基板31の電源投入時処理のフローチャートである。 40

【図20】賞球制御基板31のデータクリア制限2の処理を示すフローチャートである。

【図21】賞球制御基板31のデータクリア制限3の処理を示すフローチャートである。

【図22】賞球制御基板31のデータクリア動作(1)～(3)を示すタイミングチャートである。

【図23】賞球制御基板31の通常処理で行われる処理を示すフローチャートである。

【図24】実施形態2の遊技制御基板30のデータクリア制限4の処理を示すフローチャートである。

【図25】実施形態2の賞球制御基板31のデータクリア制限5の処理を示すフローチャートである。

【図26】実施形態2の遊技制御基板30のデータクリア動作(1)～(2)及び賞球制 50

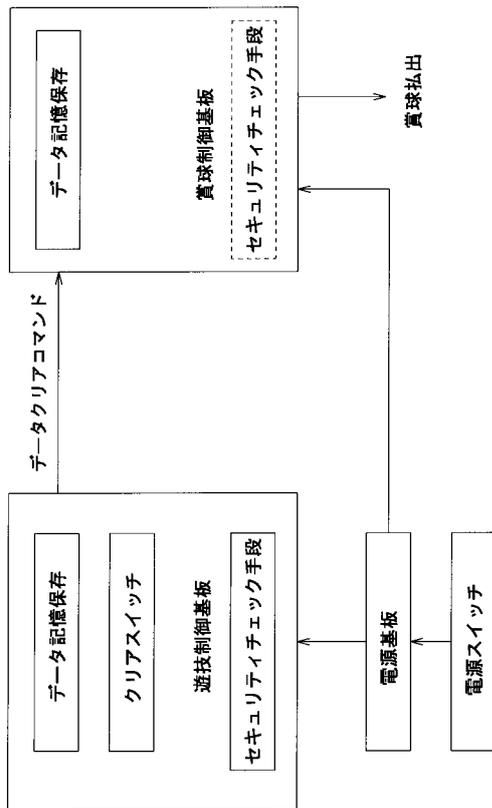
御基板 31 のデータクリア動作 (3) ~ (5) を示すタイミングチャートである。

【符号の説明】

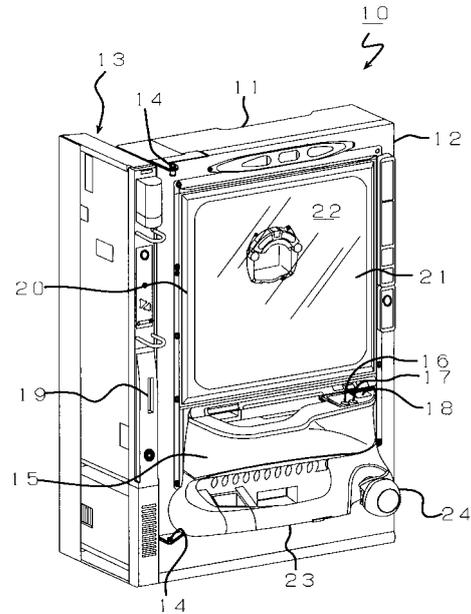
【0088】

- 10・・・パチンコ機 29・・・賞球払出装置 30・・・主制御基板
- 31・・・賞球制御基板 32・・・特別図柄表示装置 33・・・発射制御基板
- 50・・・外部接続端子基板 32a・・・LCDパネルユニット(以下、「LCD」という。)
- 36・・・普通電動役物 37・・・普通図柄表示装置
- 38及び39・・・普通図柄作動ゲート 40・・・大入賞口
- 34・・・ランプ制御基板 35・・・音制御基板
- 32b・・・図柄表示装置制御基板(以下、単に「図柄制御基板」(「画像制御基板」ともいう。))
- 51・・・電源基板 52・・・電源スイッチ 53・・・電源生成回路
- 54・・・電源電圧監視回路 55・・・リセット信号発生回路
- 56, 57・・・遅延回路 60, 61, 62・・・CPU
- 64・・・停電信号発生回路 65・・・バックアップ電源生成回路
- 66・・・クリアスイッチ 67・・・RAMクリア信号発生回路
- 71, 72・・・入力ポート 74・・・リセット1回路 75・・・リセット2回路
- 76・・・バックアップ1電圧監視回路 77・・・バックアップ2電圧監視回路
- NMI・・・強制割り込み端子 Td, Te・・・セキュリティチェック時間
- T1, T2・・・設定時間

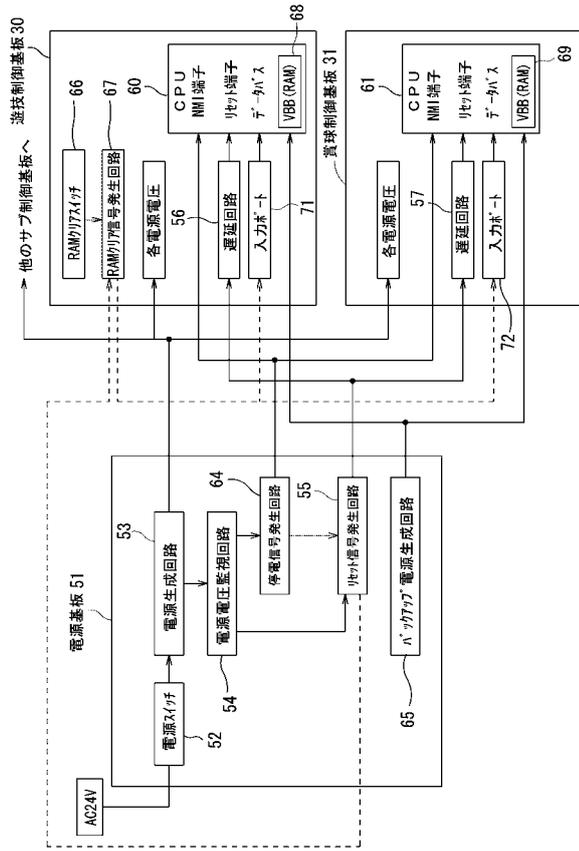
【図1】



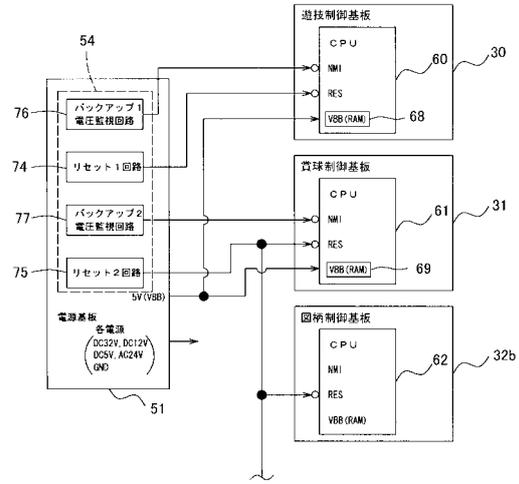
【図2】



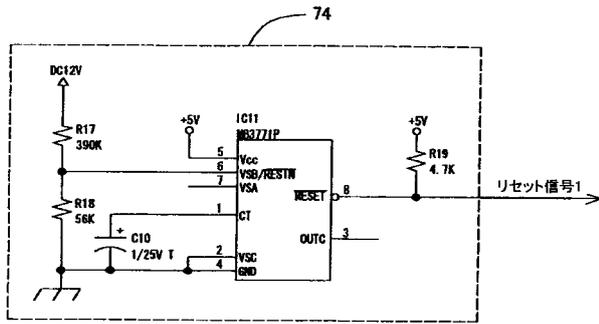
【図7】



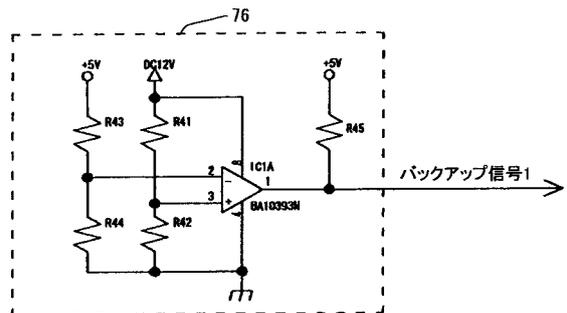
【図8】



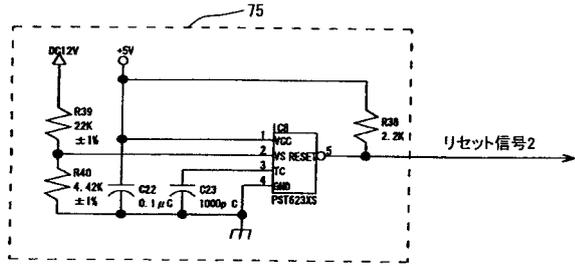
【図9】



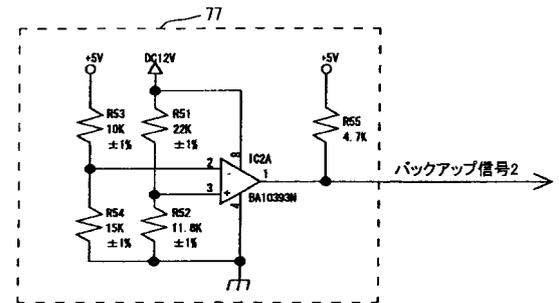
【図11】



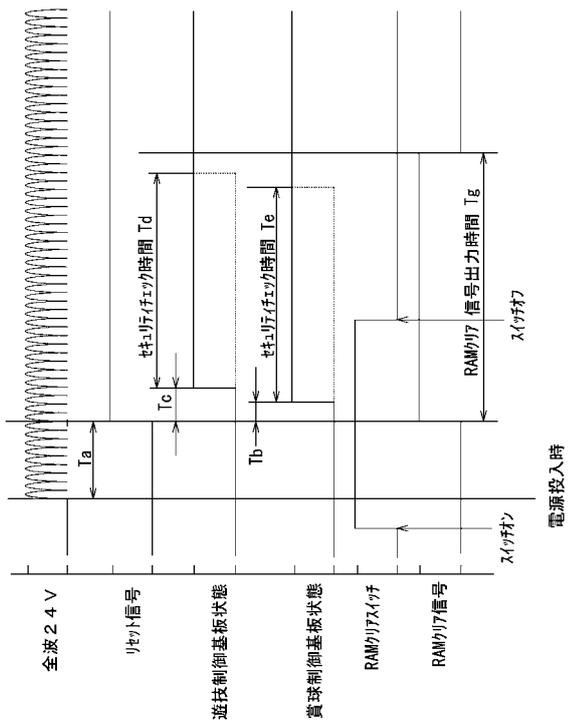
【図10】



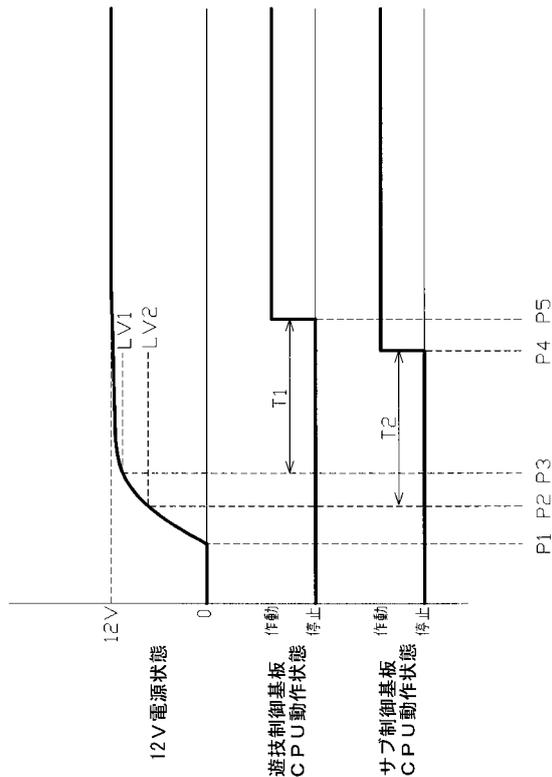
【図12】



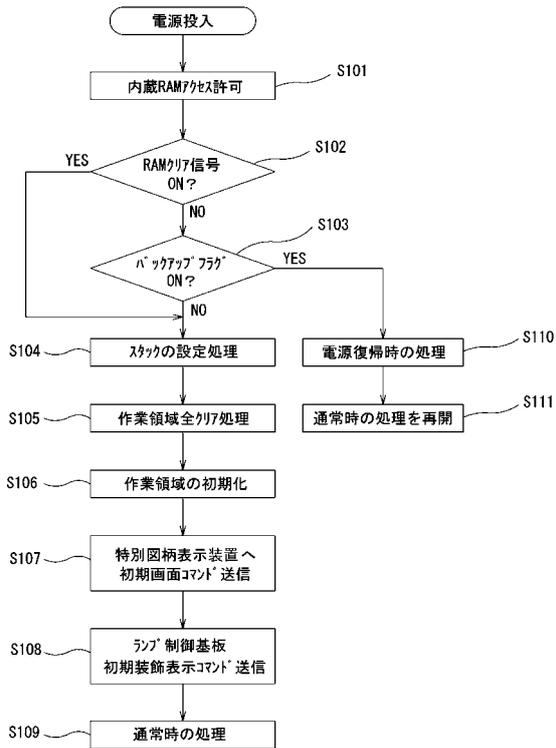
【 図 1 3 】



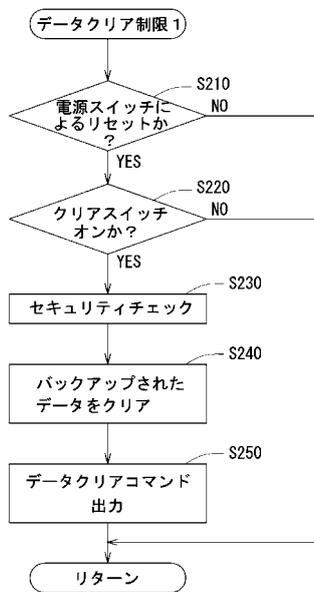
【 図 1 4 】



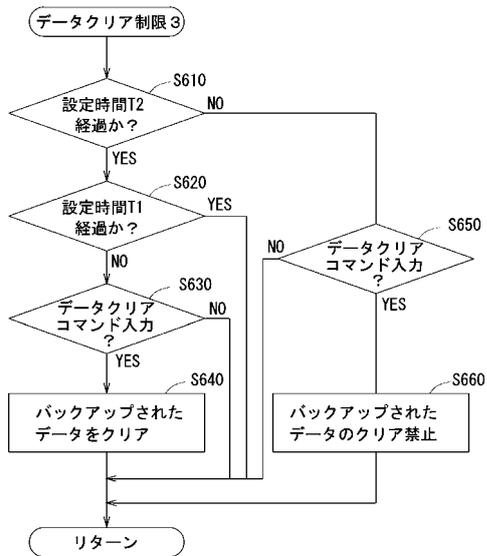
【 図 1 5 】



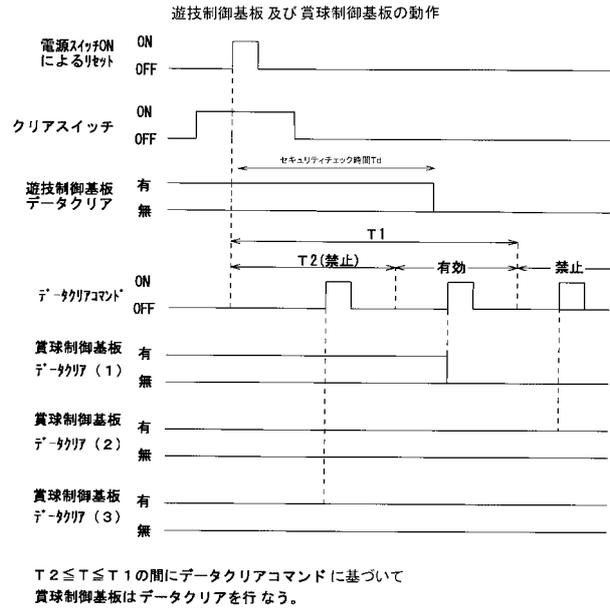
【 図 1 6 】



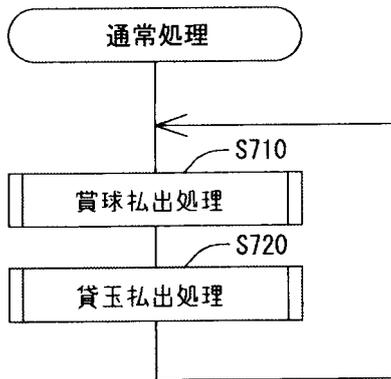
【 図 2 1 】



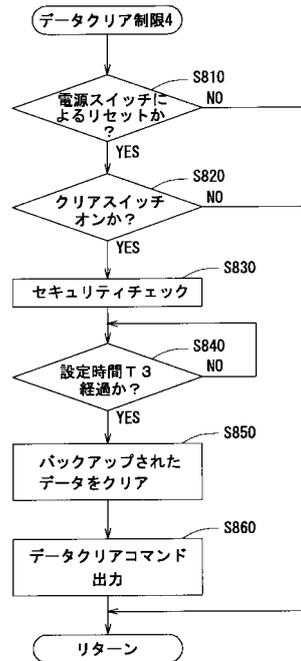
【 図 2 2 】



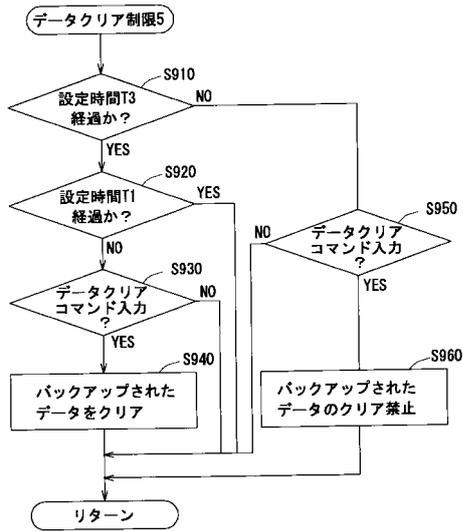
【 図 2 3 】



【 図 2 4 】



【 図 2 5 】



【 図 2 6 】

