



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0101242
(43) 공개일자 2017년09월05일

- (51) 국제특허분류(Int. Cl.)
H01L 33/00 (2010.01) *H01L 31/18* (2006.01)
H01L 33/08 (2010.01) *H01L 33/18* (2010.01)
H01L 33/24 (2010.01) *H01L 33/46* (2010.01)
- (52) CPC특허분류
H01L 33/005 (2013.01)
H01L 31/18 (2013.01)
- (21) 출원번호 10-2017-7019191
- (22) 출원일자(국제) 2015년12월24일
 심사청구일자 없음
- (85) 번역문제출일자 2017년07월11일
- (86) 국제출원번호 PCT/FR2015/053758
- (87) 국제공개번호 WO 2016/108023
 국제공개일자 2016년07월07일
- (30) 우선권주장
 1463372 2014년12월29일 프랑스(FR)

- (71) 출원인
알레디아
 프랑스, 에프-38040 그르노블 비피50, 7 피알브이 루이 네엘
- (72) 발명자
뿌르쥘에 에릭
 프랑스 38000 그르노블 뒤 뒤 베르코르 35
- 지베르 필리프**
 프랑스 38960 세인트 에티엔 드 크로시 르 페랑 슈망 드 베를랑 46
- 마틴 브리지트**
 프랑스 38120 세인트 이그레베 뒤 카시미르 브레 니에르 9
- (74) 대리인
이준성

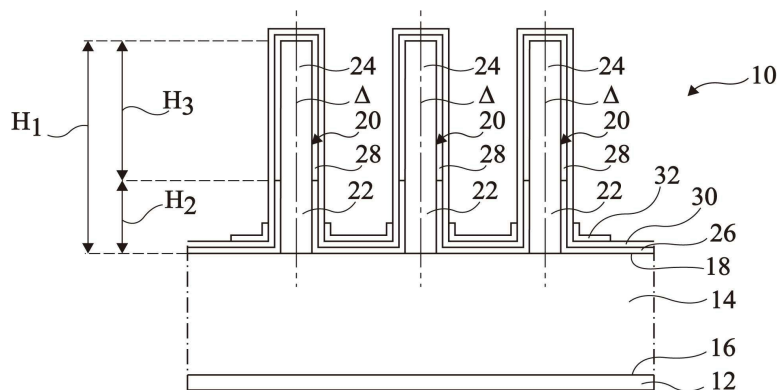
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 **절연된 하부를 가지는 반도체 나노와이어 또는 마이크로와이어의 제조방법**

(57) 요약

본 발명은 기판(14)과 기판 상에 지지되는 마이크로와이어 또는 나노와이어(20)들을 구비하는 전자기기(10)를 제조하는 방법으로, 이 방법이 마이크로와이어 또는 나노와이어들을 절연층으로 덮는 단계와, 절연층을 불투명층으로 덮는 단계와, 와이어들 사이의 기판 상에 연장되는 제1 레지스트 층을 적층시키는 단계와, 제1 레지스트 층을 사진식각에 의해 제1 두께만큼 식각하는 단계와, 앞 단계의 결과로 남은 제1 레지스트 층을 플라즈마 식각에 의해 제2 두께만큼 식각하는 단계와, 앞 단계의 결과로 남은 제1 레지스트 층에 덮이지 않은 불투명층의 부분을 식각하는 단계와, 불투명층으로 덮이지 않은 절연층의 부분을 식각하는 단계와, 앞 단계의 결과로 남은 제1 레지스트 층을 제거하는 단계와, 그리고 불투명층을 제거하는 단계의 순차적인 단계들을 구비하는 전자기기의 제조 방법에 관한 것이다.

대표도



(52) CPC특허분류

H01L 33/08 (2013.01)

H01L 33/18 (2013.01)

H01L 33/24 (2013.01)

H01L 33/46 (2013.01)

명세서

청구범위

청구항 1

기관(14)과 기관 상에 지지되는 마이크로와이어 또는 나노와이어(20)들을 구비하는 전자광전자 기기(10)를 제조하는 방법으로, 이 방법이:

- a) 마이크로와이어 또는 나노와이어들을 절연층(26)으로 덮는 단계와;
- b) 절연층을 불투명층(40)으로 덮는 단계와;
- c) 와이어들 사이의 기관 상에 연장되는 제1 레지스트 층(42)을 적층시키는 단계와;
- d) 제1 레지스트 층을 사진식각에 의해 제1 두께만큼 식각하는 단계와;
- e) 단계 d)의 결과 남은 제1 레지스트 층을 플라즈마 식각에 의해 제2 두께만큼 식각하는 단계와;
- f) 단계 e)의 결과 남은 제1 레지스트 층에 덮이지 않은 불투명층의 부분을 식각하는 단계와;
- g) 불투명층으로 덮이지 않은 절연층의 부분을 식각하는 단계와;
- h) 단계 e)의 결과 남은 제1 레지스트 층을 제거하는 단계와; 그리고
- i) 불투명층을 제거하는 단계

들의 순차적인 단계들을 구비하는 전자기기의 제조방법.

청구항 2

청구항 1에서,

마이크로와이어 또는 나노와이어(20)들의 높이가 250 nm 내지 50 μm 의 범위에 있는 전자기기의 제조방법.

청구항 3

청구항 1또는 2에서,

단계 c)에서의 제1 레지스트 층(42)의 최대 두께가 마이크로와이어 또는 나노와이어(20)들의 높이보다 더 큰 전자기기의 제조방법.

청구항 4

청구항 1 내지 3 중의 어느 한 항에서,

절연층(26)의 두께가 5 nm 내지 1 μm 의 범위에 있는 전자기기의 제조방법.

청구항 5

청구항 1 내지 4 중의 어느 한 항에서,

플라즈마 식각이 산소 플라즈마 식각인 전자기기의 제조방법.

청구항 6

청구항 1 내지 5 중의 어느 한 항에서,

불투명층(40)이 금속 또는 금속 합금으로 구성되는 전자기기의 제조방법.

청구항 7

청구항 1 내지 6 중의 어느 한 항에서,
불투명층(40)의 두께가 5 nm 내지 1 μm의 범위에 있는 전자기기의 제조방법.

청구항 8

청구항 1 내지 7 중의 어느 한 항에서, 단계 i) 이후에:

j) 각 마이크로와이어 또는 나노와이어(20)들의 절연층(26)으로 덮이지 않은 부분 상에 셸(28)을 형성하는 단계로, 셸이 전자기기에서 공급되거나 포착되는 복사의 대부분을 포착하거나 방출할 수 있는 활성 영역을 구비하는 단계와;

k) 셸 상과 절연층 상에 전극층(30)을 형성하는 단계와;

l) 전극층을 도전층(44)으로 덮는 단계와;

m) 와이어들 사이의 도전층 상에 연장되는 제2 레지스트 층(46)을 적층시키는 단계와;

n) 제2 레지스트 층을 사진식각에 의해 구획하여 마이크로와이어 또는 나노와이어(20)들 상에 연장되는 레지스트 블록(48)을 형성하는 단계와;

o) 레지스트 블록을 플라즈마 식각에 의해 제3 두께만큼 식각하는 단계와;

p) 단계 o)의 결과로 남은 레지스트 블록으로 덮이지 않은 제2 반사성 도전층의 일부를 식각하는 단계와; 그리고

q) 단계 o)의 결과로 남은 제2 레지스트 층을 제거하는 단계의 순차적인 단계들을 더 구비하는 전자기기의 제조방법.

청구항 9

청구항 8에서, 단계 n)이:

r) 제2 레지스트 층(46)을 제4 두께만큼 부분적으로 노광시키는 단계와;

s) 마스크 스크린을 사용하여 제2 레지스트 층의 부분을 전체 두께만큼 노광시키는 단계와; 그리고

t) 단계 r)과 s)에서 노광된 제2 레지스트 층의 부분들을 식각하는 단계들을 포함하는 전자기기의 제조방법.

청구항 10

청구항 8 또는 9에서,
도전층(44)이 반사성인 전자기기의 제조방법.

발명의 설명

기술 분야

[0001] 본원은 본 발명에 참고로 포함된 프랑스특허출원 제FR14/63372호에 대한 우선권을 주장한다.

[0002] 본 발명은 일반적으로, 반도체 재질로 구성된 마이크로와이어(microwire) 또는 나노와이어(nanowire)를 구비하는 전자기기의 제조방법에 관한 것이다.

배경 기술

- [0003] 반도체 재질로 구성되는 마이크로와이어 또는 나노와이어는 특히 광전자 기기를 제조할 수 있다. "광전자 기기(optoelectronic device)"라는 용어는 전기 신호를 전자기 복사(electromagnetic radiation)로 또는 그 역으로 변환할 수 있는 기기, 특히 전자기 복사를 검출, 측정, 방출하는 데 사용되는 기기 또는 광전지(photovoltaic) 분야에 사용되는 기기를 지칭하는 데 사용된다.
- [0004] 나노와이어 또는 마이크로와이어가 지지층 상에 형성된 어떤 구조들에서는, 각 나노와이어 또는 마이크로와이어의 하부(lower portion)를 나노와이어 또는 마이크로와이어들 사이의 지지층과 함께 절연층으로 덮는 한편, 나노와이어와 마이크로와이어의 상부(upper portion)는 이 절연층으로 덮이지 않도록 할 필요가 있다. 그러나 나노와이어 또는 마이크로와이어들의 조립체의 하부(feet)의 균일한 절연, 특히 모든 마이크로와이어 또는 나노와이어들에 대해 각 나노와이어 또는 마이크로와이어의 하부의 거의 동일한 높이까지의 절연을 달성하기는 어렵다.

발명의 내용

해결하려는 과제

- [0005] 이에 따라, 본 발명의 목적은 마이크로와이어 또는 나노와이어를 구비하는 전술한 광전자 기기의 문제점을 적어도 부분적으로 극복하는 것이다.
- [0006] 본 발명의 다른 목적은 나노와이어 또는 마이크로와이어들의 조립체의 나노와이어 또는 마이크로와이어들의 하부의 절연층의 높이를 거의 동일하게 하는 것이다.
- [0007] 본 발명의 또 다른 목적은 이 광전자 기기를 산업적 규모 및 낮은 원가로 제조할 수 있도록 하는 것이다.

과제의 해결 수단

- [0008] 이에 따라 본 발명은 기판과 기판 상에 지지되는 마이크로와이어 또는 나노와이어들을 구비하는 전자기기를 제조하는 방법으로, 이 방법이:
 - [0009] a) 마이크로와이어 또는 나노와이어들을 절연층(insulating layer)으로 덮는 단계와;
 - [0010] b) 절연층을 불투명층(opaque layer)으로 덮는 단계와;
 - [0011] c) 와이어들 사이의 기판 상에 연장되는 제1 레지스트(resist) 층을 적층(deposit)시키는 단계와;
 - [0012] d) 제1 레지스트 층을 사진식각(photolithography)에 의해 제1 두께만큼 식각(etching)하는 단계와;
 - [0013] e) 단계 d)의 결과로 남은 제1 레지스트 층을 플라즈마 식각에 의해 제2 두께만큼 식각하는 단계와;
 - [0014] f) 단계 e)의 결과로 남은 제1 레지스트 층에 덮이지 않은 불투명층의 부분을 식각하는 단계와;
 - [0015] g) 불투명층으로 덮이지 않은 절연층의 부분을 식각하는 단계와;
 - [0016] h) 단계 e)의 결과로 남은 제1 레지스트 층을 제거하는 단계와; 그리고
 - [0017] i) 불투명층을 제거하는 단계
- [0018] 들의 순차적인 단계들을 구비하는 제조 방법을 제공한다.
- [0019] 한 실시예에 의하면, 마이크로와이어 또는 나노와이어들의 높이는 250 nm 내지 50 μm 의 범위에 있다.
- [0020] 한 실시예에 의하면, 단계 c)에서의 제1 레지스트 층의 최대 두께는 마이크로와이어 또는 나노와이어들의 높이보다 더 크다.
- [0021] 한 실시예에 의하면, 절연층의 두께는 5 nm 내지 1 μm 의 범위에 있다.
- [0022] 한 실시예에 의하면, 플라즈마 식각은 산소 플라즈마 식각이다.
- [0023] 한 실시예에 의하면, 불투명층은 금속 또는 금속 합금으로 구성된다.
- [0024] 한 실시예에 의하면, 불투명층의 두께는 5 nm 내지 1 μm 의 범위에 있다.

- [0025] 한 실시예에 의하면, 본 발명 방법은 단계 i) 이후에:
- [0026] j) 각 마이크로와이어 또는 나노와이어의 절연층으로 덮이지 않은 부분 상에 셸(shell)을 형성하는 단계로, 셸이 전자기지에서 공급되거나 포착(capture)되는 복사의 대부분을 포착하거나 방출할 수 있는 활성 영역(active region)을 구비하는 단계와;
- [0027] k) 셸 상과 절연층 상에 전극층(electrode layer)을 형성하는 단계와;
- [0028] l) 전극층을 도전층(conductive layer)으로 덮는 단계와;
- [0029] m) 와이어들 사이의 도전층 상에 연장되는 제2 레지스트 층을 적층시키는 단계와;
- [0030] n) 제2 레지스트 층을 사진식각에 의해 구획(delimit)하여 마이크로와이어 또는 나노와이어들 상에 연장되는 레지스트 블록을 형성하는 단계와;
- [0031] o) 레지스트 블록을 플라즈마 식각에 의해 제3 두께만큼 식각하는 단계와;
- [0032] p) 단계 o)의 결과로 남은 레지스트 블록으로 덮이지 않은 제2 반사성(reflective) 도전층의 일부를 식각하는 단계와; 그리고
- [0033] q) 단계 o)의 결과로 남은 제2 레지스트 층을 제거하는 단계
- [0034] 의 순차적인 단계들을 더 구비한다.
- [0035] 한 실시예에 의하면, 단계 n)은
- [0036] r) 제2 레지스트 층을 제4 두께만큼 부분적으로 노광(illuminate)시키는 단계와;
- [0037] s) 마스크 스크린(masking screen)을 사용하여 제2 레지스트 층의 부분을 전체 두께만큼 노광시키는 단계와; 그리고
- [0038] t) 단계 r)과 s)에서 노광된 제2 레지스트 층의 부분들을 식각하는 단계
- [0039] 들을 포함한다.
- [0040] 한 실시예에 의하면, 도전층은 반사성이다.

도면의 간단한 설명

- [0041] 전술한 것 및 다른 특징과 이점들을 첨부된 도면을 참조한 실시예들의 비제한적인 설명들로 상세히 설명할 것인데, 도면에서:
 도 1은 마이크로와이어 또는 나노와이어를 구비하는 광전자 기기광전자 기기를 보이는 부분 개략 단면도; 그리고
 도 2a 내지 2p는 도 1의 광전자 기기를 제조하는 방법의 본 발명에 의한 실시예의 순차적인 단계들에서 얻어지는 구조들의 부분 개략 단면도들이다.

발명을 실시하기 위한 구체적인 내용

- [0042] 명료성을 위해 동일한 요소들은 여러 도면들에서 동일한 참조번호로 지시되었으며, 또한 전자 회로의 표현에서 일반적이다시피 여러 도면들은 축척대로 도시된 것이 아니다. 뿐만 아니라, 본 발명의 이해에 유용한 요소들만이 도시되고 설명될 것이다. 특히 광전자 기기의 전원 공급 및 제어 수단은 주지이므로 설명하지 않을 것이다. 이하의 설명에서 별도로 지적하지 않는 한 "거의(substantially)", "약(approximately)", 그리고 "정도의(in the order of)"라는 용어들은 "10% 이내", 바람직하기로 5% 이내를 의미한다.
- [0043] 본 발명은 특히, 예를 들어 마이크로와이어, 나노와이어, 원추형(conical) 요소, 또는 원뿔대형(frustoconical) 요소 등의 3차원 요소들을 가지는 3차원 구조를 구비하는 전자광전자 기기에 관련된다. 특히 원추형 또는 절두 원추형 요소들은 원추형(circular conical) 또는 원뿔대형 또는 사각추형(pyramidal conical) 또는 사각뿔대형이 될 수 있다. 이하의 설명에서, 실시예들은 특히 마이크로와이어 또는 나노와이어를 가지는 3차원 구조를 포함하는 전자광전자 기기에 대해 설명하고 있다. 그러나 이 실시예들은 마이크로와이어 또는 나노와이어 이외의 3차원 요소, 예를 들어 원추형 또는 원뿔대형 3차원 요소들에도 구현될 수 있다.

- [0044] "마이크로와이어", "나노와이어", "원추형 요소", 또는 "원뿔대형 요소"라는 용어들은 5 nm 내지 2.5 μm , 바람직하기로 50 nm 내지 2.5 μm 범위의 부 크기(minor dimension)로 불리는 적어도 두 크기들과, 최대 부 크기의 1배 이상, 바람직하기로 5배 이상, 더 바람직하기로 10배 이상 큰 주 크기(major dimension)로 불리는 제3의 차원을 가지는 기본 방향(preferred direction)으로 연장되는 형상을 가지는 3차원 구조를 지칭한다. 어떤 실시예들에서는, 부 크기가 약 1 μm 이하, 바람직하기로 100 nm 내지 1 μm , 더 바람직하기로 100 nm 내지 800 nm의 범위이다. 어떤 실시예들에서는 각 마이크로와이어 또는 나노와이어의 높이가 500 nm 이상, 바람직하기로 1 μm 내지 50 μm 의 범위이다.
- [0045] 이하의 설명에서, "와이어(wire)"라는 용어는 "마이크로와이어" 또는 "나노와이어"를 의미하는 데 사용되었다. 와이어의 기본 방향에 직교하는 평면에서 단면의 무게 중심을 통과하여 연장되는 와이어의 중간선(median line)은 바람직하기로 거의 직선이며 이하 와이어의 "축(axis)"으로 호칭된다.
- [0046] 이하의 설명에서, 실시예들은 발광다이오드(light-emitting diode)를 구비하는 광전자 기기의 경우로 설명될 것이다. 그러나 이 실시예들은 다른 응용분야, 특히 전자기 복사(electromagnetic radiation)를 검출 또는 측정하는 광전자 기기나 광전지 분야에 사용되는 광전자 기기에도 관련된다.
- [0047] 도 1은 전술한 바와 같은 와이어들로 구성되어 전자기 복사를 방출할 수 있는 광전자 기기의 부분 개략 단면도이다.
- [0048] 광전자 기기(10)는 도 1의 밑에서 위로:
- [0049] 제1 바이어싱 전극(biasing electrode)(12)과;
- [0050] 예를 들어 반도체의 기판(14)으로, 평행한 표면(16, 18)들을 포함하며, 한 표면(16)은 전극(12)과 접촉하고, 다른 표면(18)은 와이어들을 조직된 형태로 성장시키도록 처리되며, 이 처리는 기판(14)의 표면에 층(layer)(도시 안 됨)의 형성을 포함하는 기판(14)과;
- [0051] 축 Δ 와 높이 H1을 가지는 와이어(20)들(세 와이어들이 도시됨)로, 각 와이어는 표면(18)에 접촉하는 높이 H2의 하부(lower portion; 22)와 높이 H3의 상부(upper portion; 24)를 포함하는 와이어(20)들과;
- [0052] 각 하부(22)의 일부의 둘레(periphery)를 덮고(covering) 와이어(20)들 사이의 기판(14)을 덮는 절연층(insulating layer: 26)과;
- [0053] 각 상부(24)를 덮는 셸(shell; 28)과;
- [0054] 셸(28)과 절연층(26)을 덮는 제2 전극층(30)과; 그리고
- [0055] 와이어(2)들 사이의 제2 전극층(30)을 덮으며, 가능하기로 각 와이어(20)의 상부(24)로 연장됨이 없이 각 와이어(20)의 하부(22) 상으로 연장되는 도전부(conductive portion; 32)를
- [0056] 구비한다.
- [0057] 각 와이어(20)는 적어도 부분적으로 반도체 재질로 구성된다. 한 실시예에 의하면, 이 반도체 재질은 III-V족 화합물, II-VI족 화합물을 포함하는 그룹, 또는 IV족 반도체 또는 화합물 그룹으로부터 선택된다.
- [0058] 각 와이어(20)와 관련 셸(28)에 의해 형성되는 조립체는 발광다이오드를 구성한다. 셸(28)은 특히 발광다이오드에 의해 발생하는 전자기 복사의 대부분이 방출되는 층인 활성 영역(active area)을 구비한다. 한 예에 의하면, 활성 영역은 복수의 양자우물(quantum well) 등의 격리 수단(confinement means)을 구비한다. 이 실시예에서, 적어도 어떤 발광다이오드들은 공통 전극들을 가져 전압이 전극(12, 30)들 간에 인가되었을 때 이 발광다이오드들의 활성 영역으로부터 광 복사가 방출된다.
- [0059] 광전자 기기(10)의 발광다이오드들은 발광다이오드들의 한 조립체, 두 조립체, 둘보다 많은 조립체들에 분포될 수 있다. 각 조립체는 소수의 발광다이오드로부터 수백만 개의 발광다이오드까지 구비할 수 있다.
- [0060] 이 실시예에서, 절연층(26)은 각 와이어(20)들에 대한 셸(28)을 구획(delimit)하고 전극층(30)과 기판(14) 사이에 전기적 절연을 제공한다.
- [0061] 이 실시예에서, 도전부(32)는 전극층(30)의 저항을 감소시킬 수 있어 유용하다. 바람직하기로 도전부(32)는 반사성(reflective)이어서, 발광다이오드에 의해 방출되어 광전자 기기(10)로부터 탈출하는 복사의 비율을 증가시킬 수 있어 유용하다.

- [0062] 도 2a 내지 2p는 도 1에 도시된 광전자 기기를 제조하는 방법의 다른 실시예의 순차적인 단계들에서 얻어진 구조들의 부분 개략 단면도들이다.
- [0063] 도 2a는 기판(14) 상에 와이어(20)들의 성장의 결과로 얻어진 구조를 도시한다.
- [0064] 기판(14)은 단일 블록 구조이거나 다른 재질로 구성된 지지부를 덮는 층에 해당할 수 있다. 기판(14)은 바람직하기로, 예를 들어 실리콘, 게르마늄, 탄화규소(Silicone Carbide), GaN 또는 GaAs 등의 III-V족 화합물로 구성된 반도체 기판, 또는 ZnO 기판, 또는 예를 들어 금속 또는 금속 화합물, 특히 구리, 티타늄, 몰리브덴, 그리고 철로 구성된 도전성 기판이다. 바람직하기로 기판(14)은 단결정(single-crystal) 실리콘 기판이다. 바람직하기로, 이는 마이크로일렉트로닉스(microelectronics)에서 구현되는 제조방법에 적합한 반도체 기판이다. 기판(14)은 SOI로도 불리는 절연층 상 실리콘(silicon-on-insulator) 방식의 다층 구조가 될 수도 있다. 이 경우, 전극(12)은 기판(14)의 표면(18) 측 상에 형성될 수 있다. 기판(14)은 중하게 도핑되거나(doped), 경하게 도핑되거나, 도핑되지 않을 수 있다.
- [0065] 원하는 위치에 와이어(20)들의 성장을 촉진하는 기판(14)의 전처리(previous treatment)가 제공될 수 있다. 와이어 성장을 촉진하도록 기판에 적용되는 처리는 문헌 US 7829443, FR 2995729, 또는 FR 2997558A에 기재된 처리방법들 중의 하나가 될 수 있다.
- [0066] 와이어(20)는 적어도 부분적으로, 예를 들어 III-N 화합물 등의 III-V족 화합물을 주로 포함하는 반도체 재질로 구성될 수 있다. III 족 원소의 예들은 갈륨(Ga), 인듐(In), 또는 알루미늄(Al)을 포함한다. III-N 화합물의 예들은 GaN, AlN, InN, InGaN, AlGaN, 또는 AlInGaN을 포함한다. 다른 V족 원소들도 역시 사용될 수 있는데, 예를 들어 인 또는 비소이다. 일반적으로, III-V족 화합물들이 다른 몰분율(molar fraction)들로 조합될 수 있다.
- [0067] 와이어(20)는 적어도 부분적으로, II-VI족 화합물을 주로 포함하는 반도체 재질에 기반하여 구성된다. II족 원소들의 예는 특히 베릴륨(Be)과 마그네슘(Mg) 등의 IIA족 원소, 특히 아연(Zn), 카드뮴(Cd), 및 수은(Hg) 등의 IIB족 원소들을 포함한다. VI족 원소들의 예는 특히 산소(O)와 텔루륨(Te) 등의 VIA족 원소들을 포함한다. I-VI족 화합물의 예들은 ZnO, ZnMgO, CdZnO, CdZnMgO, CdHgTe, CdTe, 또는 HgTe이다. 일반적으로, II-VI족 화합물 내의 원소들이 다른 몰분율로 조합될 수 있다.
- [0068] 와이어(20)는 적어도 부분적으로, 적어도 하나의 IV족 화합물을 주로 포함하는 반도체 재질로 구성될 수 있다. IV족 반도체 재질의 예는 실리콘(Si), 탄소(C), 게르마늄(Ge), 탄화규소 합금(SiC), 실리콘-게르마늄 합금(SiGe), 또는 탄화게르마늄 합금(GeC)이다.
- [0069] 각 와이어(20)의 높이 H1은 250 nm 내지 50 μ m, 바람직하기로 1 μ m 내지 20 μ m의 범위가 될 수 있다. 각 와이어(20)는 표면(18)에 거의 직교하는 축을 따라 연장되는 반도체 구조를 가질 수 있다. 각 와이어(20)는 일반적으로 원통형의 형상을 가질 수 있다. 두 인접 와이어(20)들의 축들은 0.5 μ m 내지 20 μ m, 바람직하기로 3 μ m 내지 20 μ m만큼 이격될 수 있다. 일례로서, 와이어(20)들은 규칙적으로, 특히 육각형 또는 정사각형 망(network)으로 분포될 수 있다.
- [0070] 와이어(20)들의 단면은 예를 들어 타원형, 원형, 또는 특히 삼각형, 사각형, 또는 육각형 등의 다각형 등의 다른 형상들을 가질 수 있다. 그러므로 "직경" 또는 "평균직경"이라는 용어는 와이어 또는 이 와이어 상에 적층된 층의 단면에 있어서, 예를 들어 와이어의 단면적과 동일한 표면적을 가지는 원판(disk)의 직경에 해당되는 등이 단면 내의 목표 구조의 표면에 관련된 양(quantity)을 지칭하는 것으로 이해되어야 할 것이다. 각 와이어(20)의 평균직경은 50 nm 내지 10 μ m, 바람직하기로 200 nm 내지 10 μ m의 범위가 될 수 있다.
- [0071] 와이어 성장 방법은 화학적 기상증착(chemical vapor deposition; CVD) 또는 금속-유기 기상 에피택시(metal-organic vapor phase epitaxy; MOVPE)로도 불리는 금속-유기 화학적 기상증착(metal-organic chemical vapor deposition; MOCVD) 등의 방법이 될 수 있다. 그러나 분자선 에피택시(molecular-beam epitaxy; MBE), 가스원 MBE(gas-source MBE; GSMBE), 금속-유기 MBE(metal-organic MBE; MOMBE), 플라즈마 보조 MBE(plasma-assisted MBE; PAMBE), 원자층 에피택시(atomic layer epitaxy; ALE), 또는 증기액상증착법(hydride vapor phase epitaxy; HVPE) 등의 방법들도 사용될 수 있다. 또한 예를 들어 화학조 증착(chemical bath deposition; CBD), 열수 공정(hydrothermal process)들, 액체 연무 열분해(liquid aerosol pyrolysis), 또는 전착(electrodeposition) 등의 전기화학적 공정(electrochemical process)들 역시 사용될 수 있다.
- [0072] 일례로서, 방법은 III족 원소의 전구물질(precursor)과 V족 원소의 전구물질을 반응조 내에 분사하는 단계를 포함한다. III족 원소의 전구물질의 예들은 트리메틸갈륨(trimethylgallium; TMGa), 트리에틸갈륨

(triethylgallium; TEGa), 트리메틸인듐(trimethylindium; TMIn), 또는 트리메틸알루미늄(trimethylaluminum; TMAI)이다. V족 원소의 전구물질의 예들은 암모니아(NH₃), 3부틸포스핀(tertiarybutylphosphine; TBP), 아르신(arsine; AsH₃), 또는 디메틸하이드라진(dimethylhydrazine; UDMH)이다.

- [0073] 도 2b는 모든 와이어(20) 상과 와이어(20)들 사이의 표면(18) 상에 절연층(26)을 적층한 결과로 얻어진 구조를 도시한다. 절연층(26)은 예를 들어, 산화규소(SiO₂), 질화규소(Si_xN_y, 예를 들어 x가 대략 3이고 y가 대략 4일 때 Si₃N₄), 산화질화규소(silicon oxynitride)(예를 들어 Si₂ON₂ 등 특히 일반식 SiO_xN_y), 산화하프늄(HfO₂), 산화알루미늄(Al₂O₃), 또는 다이아몬드 등의 유전 재질(dielectric material)로 구성된다. 일례로서, 절연층(16)의 두께는 5 nm 내지 1 μm, 바람직하기로 10 nm 내지 500 nm의 범위로, 예를 들어 약 300 nm이다. 절연층(26)은 예를 들어 플라즈마 강화 화학적 기상증착(plasma-enhanced chemical vapor deposition; PECVD), 저압 화학적 기상증착(low-pressure chemical vapor deposition; LPCVD), 부압 화학적 기상증착(sub-atmospheric chemical vapor deposition; SACVD), CVD, 물리적 기상증착(physical vapor deposition; PVD), 또는 원자층 증착(atomic layer deposition; ALD)에 의해 적층될 수 있다.
- [0074] 도 2c는 절연층(26) 상에 불투명층(40)을 적층한 결과로 얻어진 구조를 도시한다. 불투명층(40)은 예를 들어 알루미늄(Al), 티타늄(Ti), 구리(Cu), 규소 또는 중석(W)과 알루미늄의 합금 등 금속 또는 금속 합금으로 구성된다. 불투명층(40)의 두께는 50 nm 내지 1 μm, 바람직하기로 100 nm 내지 200 nm의 범위로, 예를 들어 150 nm이다. 불투명층(40)은 예를 들어 PVD, CVD, 또는 ALD에 의해 적층된다.
- [0075] 도 2d는 전체 구조 위에 레지스트(resist)의 층을 적층한 다음 얻어진 구조를 도시한다. 레지스트 층(42)은 특히 와이어(20)들 사이에 존재한다. 레지스트 층(42)의 최대 두께는 와이어(20)의 높이 H1보다 더 크다. 레지스트 층(42)의 최대 두께는 250 nm 내지 50 μm의 범위이다.
- [0076] 도 2e는 레지스트 층(42)의 상부만이 제거되는 레지스트 층(42)의 부분적 식각(etching)의 제1 단계의 결과로 얻어진 구조를 도시한다. 제1 식각 단계 이후 레지스트 층(42)에서 제거되는 두께는 수 마이크로미터이다. 제1 식각 단계는 바람직하기로, 예를 들어 레지스트 층(42)을 자외선 복사에 노출시킴으로써 레지스트 층(42)을 노광(illuminating)시키는 단계와, 그리고 예를 들어 레지스트를 현상액(developer)과 접촉하도록 위치시키는 액상 식각(liquid etching)에 의해 레지스트 층의 일부를 제거하는 레지스트 층의 현상(developing) 단계를 포함하는 사진식각(photolithography) 단계이다. 레지스트는 양의(positive) 레지스트, 즉 적용된 복사에 노출된 부분이 현상액에 용해성이고 노출되지 않은 부분이 비용해성으로 남게 될 수 있다. 그러면 특히 노광 에너지 및/또는 노광 시간의 조정에 의한 수지(resin)의 부분적 노광 및 현상이 구현될 수 있다. 복사 에너지는 예를 들어 20 내지 100 mW/cm²의 범위가 될 수 있다. 노광 시간은 예를 들어 수 초 내지 수백 초의 범위가 될 수 있다. 레지스트는 음의(negative) 레지스트, 즉 적용된 복사에 노출된 부분이 현상액에 비용해성이고 노출되지 않은 부분이 용해성으로 남게 될 수 있다. 이 경우, 레지스트의 노광이 없거나 현상에 이은 노광과 함께 노광 시간의 조정에 의한 레지스트의 부분적 현상이 구현될 수 있다.
- [0077] 한 실시예에 의하면, 와이어(20)들은 적어도 부분적으로 투명할 수 있다. 그러면 불투명층(40)의 존재는, 레지스트 층(42)의 와이어(20) 주변 부분의 원치 않는 과다노출을 야기할 수 있는 와이어(20)들에 의한 노광 복사의 유도를 감소시키거나 심지어 억제할 수 있다.
- [0078] 도 2f는 이전 단계의 결과로 얻어진 레지스트 층(42)의 상부만이 제거되는 레지스트 층(42)을 다시 부분적 식각하는 레지스트 층(42)의 식각의 제2 단계의 결과로 얻어진 구조를 도시한다. 제2 식각 단계 이후 레지스트 층(42)에서 제거되는 두께는 수백 나노미터 내지 수 마이크로미터의 범위이다. 제2 식각 단계는 바람직하기로 산소 기반 플라즈마를 사용하는 식각 단계이다.
- [0079] 한 실시예에 의하면, RIE(reactive ion etching; 반응성 이온 식각)과 고밀도 플라즈마 소스(source) 등의 임의의 종래의 식각 소스, 특히 유기 재질의 식각에 사용되는 임의의 종류의 식각 소스가 본 발명에 의한 플라즈마 식각 방법에 사용될 수 있다. 여기 전력(excitation power)은 10 W 내지 1 kW의 범위가 될 수 있다. 기판은 예를 들어 20°C의 실온(room temperature)에 유지될 수 있다.
- [0080] 플라즈마 식각의 사용은 레지스트 층(42)의 바람직한 높이에 정확하고 반복적으로 도달할 수 있게 하여 유용하다. 또한 플라즈마의 사용은 특히 원치 않는 유기 잔류물을 제거함으로써 노출된 표면을 후속 단계들을 위해 청소한다. 이는 또한 사진식각의 노출 동안 기존의 와이어들과 층들의 형성에 기인하여 특히 레지스트 띠의 협소

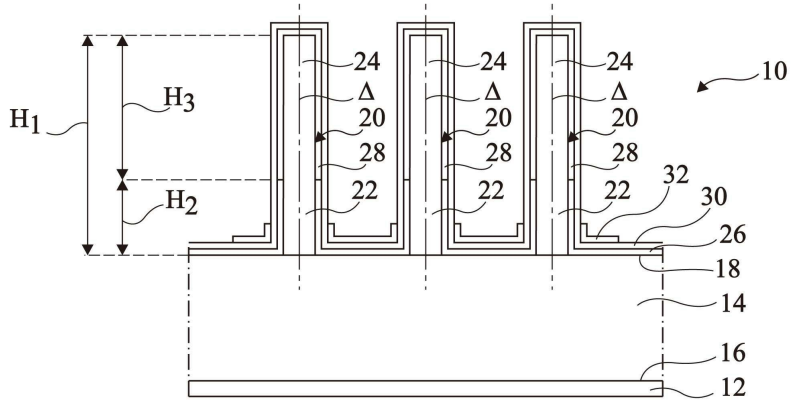
화(노칭; notching)를 야기하는 기생 효과(parasitic effect)들을 방지할 수 있다.

- [0081] 도 2g는 레지스트 층(42)에 덮이지 않은 불투명층(40)의 부분을 식각하는 단계와 더 이상 불투명층(40)으로 덮이지 못하는 절연층(26)의 부분을 식각하는 단계의 결과로 얻어진 구조를 도시한다. 불투명층(40)의 식각은 습식 또는 건식 식각(플라즈마 식각)이 될 수 있다. 절연층(26)의 식각은 습식 또는 건식 식각(플라즈마 식각)이 될 수 있다. 바람직하기로 식각들은 레지스트에 대해 선택적이다.
- [0082] 도 2h는 남은 레지스트 층을 제거하는 단계의 결과로 얻어진 구조를 도시한다. 남은 레지스트 층의 제거는 도 2g의 구조를 레지스트 층(42)을 용해할 수 있는 용제가 담긴 처리조(bath)에 침지(dipping)함으로써 수행될 수 있다.
- [0083] 도 2i는 불투명층(40)의 식각 단계의 결과로 얻어진 구조를 도시한다. 식각은 와이어(20)들 상과 절연층(26) 상에 선택적인 습식 또는 건식 식각(플라즈마 식각)이 될 수 있다.
- [0084] 이하 설명될 단계 2J 내지 2P는 도 1에 도시된 구조를 형성할 수 있다. 일반적으로, 방법의 후속 단계들은 예상되는 응용분야에 따라 달라진다.
- [0085] 도 2j는:
- [0086] 예를 들어 MOCVD에 의해 각 와이어(20)에 셀(28)을 형성하는 단계와;
- [0087] 예를 들어 MOCVD, ALD, PVD, CVD, 또는 PECVD에 의해 제1 전극(30)을 형성하는 단계와; 그리고
- [0088] 예를 들어 PVD, ALD, CVD, 또는 진공증착(vacuum evaporation)에 의해 제1 전극(30)을 덮는 도전층(conductive layer; 44)을 형성하는 단계
- [0089] 의 단계들을 거쳐 얻어진 구조를 도시한다.
- [0090] 전극(30)은 각 와이어(20)를 덮는 셀(28)의 활성 영역에 전역을 공급(biasing)하여 발광다이오드에 의해 전자기 복사를 방출하도록 할 수 있다. 전극(30)을 구성하는 재료는 알루미늄 또는 갈륨 또는 붕소, 또는 그래핀(graphene)으로 도핑되거나 도핑되지 않은 산화인듐주석(indium tin oxide; ITO), 산화아연 등의 투명하고 도전성인 재질이 될 수 있다. 일례로서, 전극층(30)은 20 nm 내지 500 nm, 바람직하기로 100 nm 내지 200 nm 범위의 두께를 가진다.
- [0091] 도전층(44)은 예를 들어 알루미늄, 은, 구리, 금, 또는 루테튬이나 적어도 두 이들 화합물의 합금 등의 금속층이 될 수 있다. 일례로서, 도전층(44)은 100 내지 2,000 nm의 두께를 가진다. 바람직하기로 도전층(44)은 반사성(reflective)이다.
- [0092] 도 2k는 전체 구조 상에 레지스트의 층(46)이 적층된 결과로 얻어진 구조를 도시한다. 레지스트 층(46)은 특히 와이어(20)들 사이에 존재한다. 레지스트 층(46)의 최대 두께는 바람직하기로 셀(28)과 전극(30)과 도전층(44)으로 덮인 와이어(20)들의 높이보다 더 크다. 레지스트 층(46)의 최대 두께는 250 nm 내지 50 μm의 범위이다. 레지스트 층(46)은 레지스트 층(42)과 동일한 조성을 가질 수 있다.
- [0093] 도 2l은 레지스트 층(46)의 상부만이 노출되는 제1 부분적 노광과 특히 마스크 스크린(masking screen)의 사용에 의한 제2 부분적 노광의 결과로 얻어진 구조를 도시한다. 두 노광 단계들은 결과적으로 와이어(20)들의 높이까지의 부분만으로 와이어(20)들 사이의 도전층(44) 상에 연장되는 레지스트 블록(48)을 제외하고 전체 레지스트 층(46)을 노광시키게 된다. 도 2l에서, 빔 영역(47₁)은 제1 노광 단계 동안 노출되는 레지스트 층(46)의 상부를 지시하며, 빔 영역(47₂)은 제2 노광 단계 동안 노출되는 레지스트 층(46)의 추가 영역을 지시한다.
- [0094] 도 2m은 레지스트 블록(48)을 연게 된 식각 단계의 결과로 얻어진 구조를 도시한다. 식각은 바람직하기로 사직 식각의 레지스트 층(46)을 현상(developing)하는 단계이다.
- [0095] 도 2n은 레지스트 블록(48)의 상부만이 제거되는 레지스트 블록(48)의 제2 식각 단계의 결과로 얻어진 구조를 도시한다. 이 단계는 도 2f에서 레지스트 층(42)의 제2 식각 단계에 관련하여 전술한 바와 같이 플라즈마 식각으로 수행될 수 있다.
- [0096] 도 2o는 도전층(44)의 레지스트 블록(48)로 덮이지 않은 부분을 식각하는 단계의 결과로 얻어진 구조를 도시한다. 도전부(32)는 이와 같이 형성된다. 도전층(44)의 식각은 습식 또는 건식 식각(플라즈마 식각)일 수 있다. 바람직하기로 이 식각은 레지스트와 전극층(30)에 대해 선택적이다.

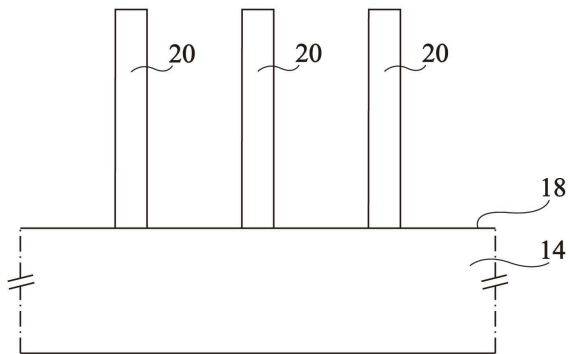
[0097] 도 2p는 레지스트 블록(48)의 제거 단계로 얻어진 구조를 도시한다.

도면

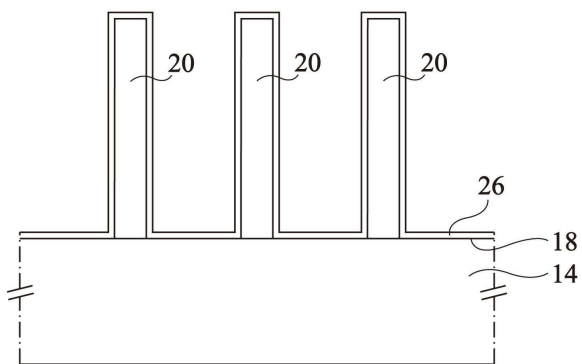
도면1



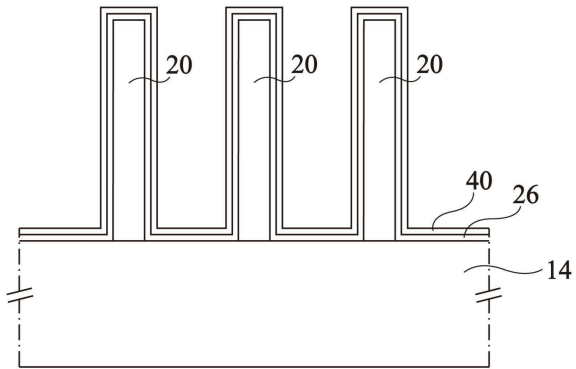
도면2a



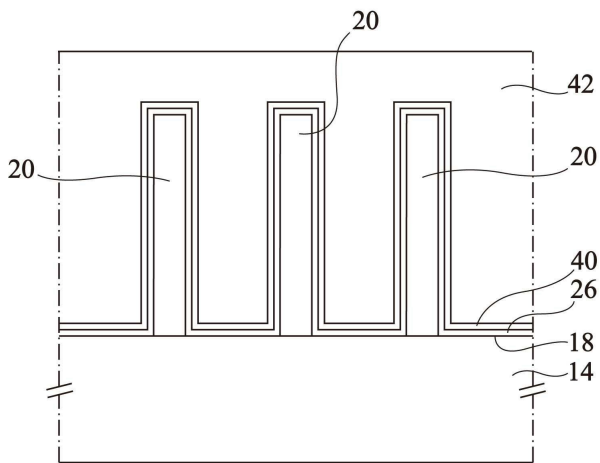
도면2b



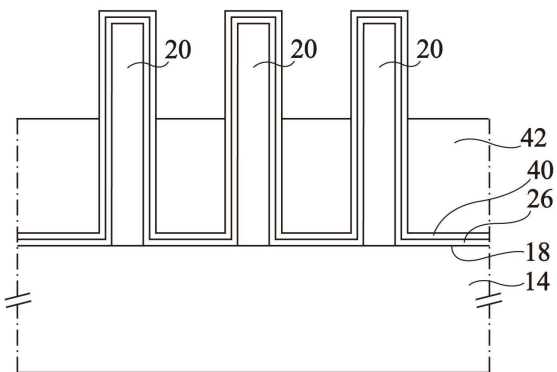
도면2c



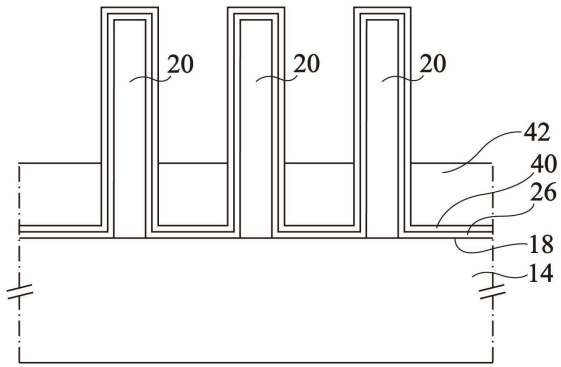
도면2d



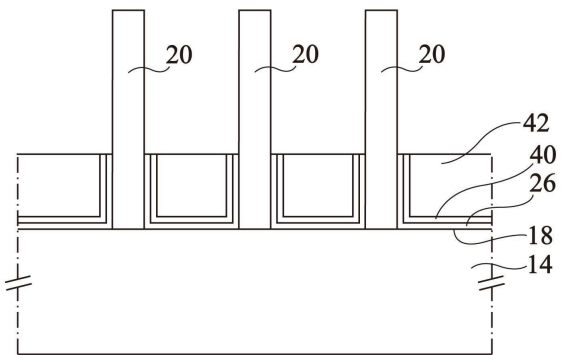
도면2e



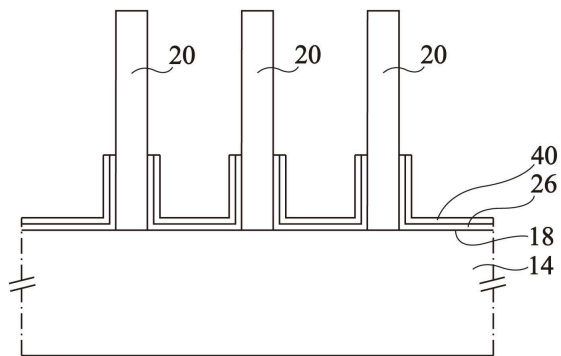
도면2f



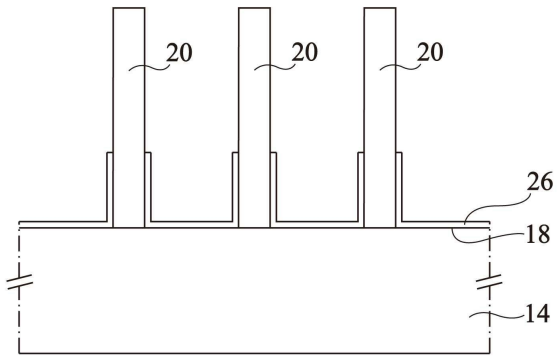
도면2g



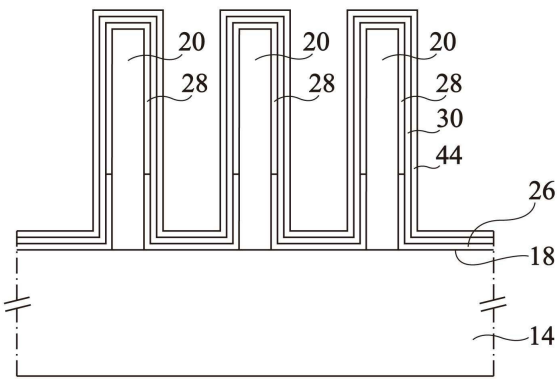
도면2h



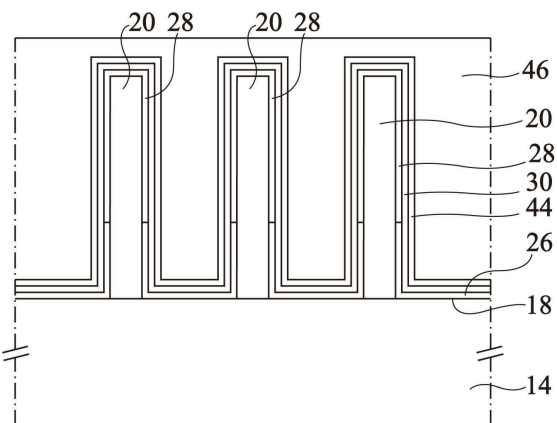
도면2i



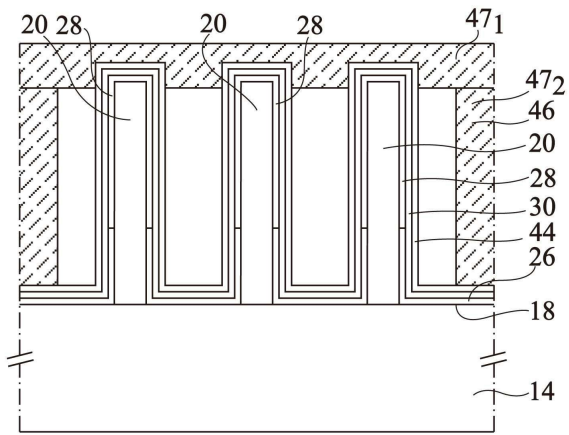
도면2j



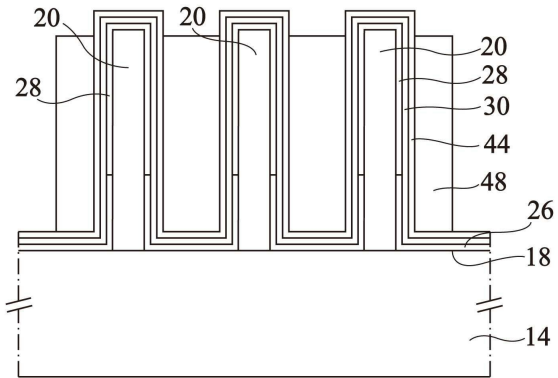
도면2k



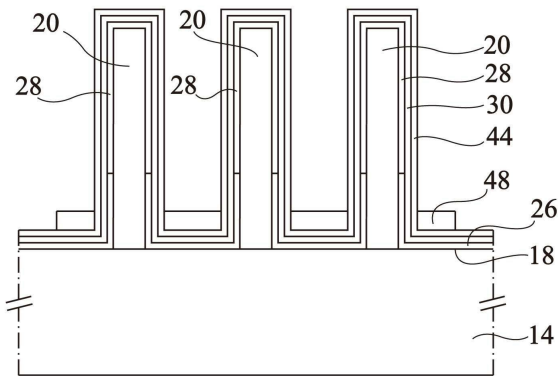
도면21



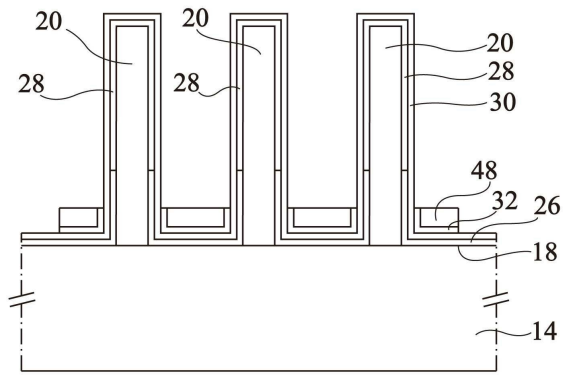
도면2m



도면2n



도면2o



도면2p

