(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 10 月 16 日(16.10.2014)

WIPO | PCT

(10) 国際公開番号
WO 2014/167867 A1

(51) 国際特許分類:
H01L 25/065 (2006.01) *H01L 25/18* (2006.01)
H01L 25/07 (2006.01)

(21) 国際出願番号: PCT/JP2014/002091

(22) 国際出願日: 2014 年 4 月 11 日(11.04.2014)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2013-083045 2013 年 4 月 11 日(11.04.2013) JP
特願 2013-110647 2013 年 5 月 27 日(27.05.2013) JP
特願 2013-124625 2013 年 6 月 13 日(13.06.2013) JP

(71) 出願人: 株式会社ニコン(NIKON CORPORATION) [JP/JP]; 〒1008331 東京都千代田区有楽町一丁目１２番１号 Tokyo (JP).

(72) 発明者: 菅谷 功(SUGAYA, Isao); 〒1008331 東京都千代田区有楽町一丁目１２番１号 株式会社ニコン内 Tokyo (JP).

(74) 代理人: 龍華国際特許業務法人(RYUKA IP LAW FIRM); 〒1631522 東京都新宿区西新宿１－６－１ 新宿エルタワー２２階 Tokyo (JP).

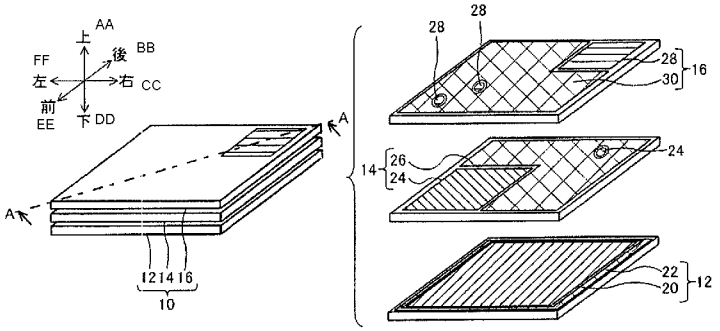
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告（条約第 21 条(3)）

(54) **Title**: LAMINATED SEMICONDUCTOR DEVICE AND LAMINATED SEMICONDUCTOR MANUFACTURING METHOD

(54) 発明の名称 : 積層半導体装置および積層半導体製造方法



AA Top
BB Rear
CC Right
DD Bottom
EE Front
FF Left

(57) **Abstract**: In this laminated semiconductor manufacturing method that includes a lamination step, a first wafer and a second wafer are laminated to each other such that a plurality of first circuits formed on the first wafer and a plurality of second circuits at least partially overlap each other, said second circuits being formed on the second wafer at positions corresponding to respective first circuits, and having an outer shape different from that of the first circuits. In the lamination step of the method, lamination may be performed such that first connecting sections formed in the first circuits, respectively, and second connecting sections formed in the second circuits, respectively, at the positions corresponding to the first connecting sections at least partially face each other.

(57) 要約:

[続葉有]

WO 2014/167867 A1

積層ステップを含む積層半導体製造方法であって、第１ウエハに形成された複数の第１回路と、前記複数の第１回路のそれぞれに対応する位置で第２ウエハに形成され、前記複数の第１回路のそれぞれとは異なる外形を有する複数の第２回路とがそれぞれ少なくとも部分的に重なり合うように前記第１ウエハと前記第２ウエハとを積層する。上記方法において、積層ステップは、複数の第１回路のそれぞれに形成された第１接続部と、複数の第２回路のそれぞれに第１接続部に対応する位置で形成された第２接続部とが、それぞれ少なくとも部分的に対向するように積層してもよい。

明　細　書

発明の名称 ： 積層半導体装置および積層半導体製造方法

技術分野

[0001] 本発明は、積層半導体装置および積層半導体製造方法に関する。

背景技術

[0002] 積層半導体装置の製造方法として、二つ以上の外形の異なる半導体チップを積層して半導体チップ積層体を製造する製造方法が知られている。（例えば、特許文献１参照）。

［特許文献１］特開２００８－４２２１０号公報

発明の概要

発明が解決しようとする課題

[0003] 上記製造方法は、半導体チップに個片化してから積層しているので、積層半導体装置の生産効率が悪い。

課題を解決するための手段

[0004] 本発明の第一態様として、第１ウエハに形成された複数の第１回路と、前記複数の第１回路のそれぞれに対応する位置で第２ウエハに形成され、前記複数の第１回路のそれぞれとは異なる外形を有する複数の第２回路とがそれぞれ少なくとも部分的に重なり合うように前記第１ウエハと前記第２ウエハとを積層する積層ステップを含む積層半導体製造方法が提供される。

[0005] 本発明の第二態様として、第１回路領域が形成された第１チップと、前記第１チップに積層され、前記第１回路領域の外形と異なる外形を有する第２回路領域が形成された第２チップと、を備え、少なくとも前記第１チップおよび前記第２チップのいずれか一方は、前記第１チップおよび前記第２チップの他方に積層された状態で、前記第１チップおよび前記第２チップの他方と大きさが揃うように、前記第１回路領域および前記第２回路領域のいずれか一方の外に余白領域を有する積層半導体装置が提供される。

[0006] 本発明の第三態様として、複数の第１回路が周期的に配された第１ウエハ

を準備するステップと、複数の第２回路が周期的に配された第２ウエハを準備するステップと、前記複数の第１回路の少なくとも一つと前記複数の第２回路の少なくとも一つとが少なくとも部分的に重なり合うように前記第１ウエハと前記第２ウエハとを積層するステップと、互いに重なり合った第１回路および第２回路を有する積層半導体装置を複数形成すべく、積層された前記第１ウエハおよび前記第２ウエハをそれぞれ切断するステップとを有し、前記切断するステップにおいて、複数の前記積層半導体装置の少なくともいずれかに、前記第１ウエハを切断せずに前記第２ウエハを切断した切断箇所が残るように切断する積層半導体製造方法が提供される。

[0007] 上記の発明の概要は、本発明の必要な特徴の全てを列挙したものではない。これら特徴群のサブコンビネーションもまた発明となり得る。

図面の簡単な説明

[0008] [図1]積層半導体装置の一例を模式的に示した図である。

[図2]図１に示した積層半導体装置を模式的に示した断面図である。

[図3]積層半導体措置を製造する工程の一部を説明する斜視図である。

[図4]図３に続き、積層半導体措置を製造する工程の一部を説明する斜視図である。

[図5]接合装置の構造を模式的に示した断面図である。

[図6]図４に続き、積層半導体装置を製造する工程の一部を説明する斜視図である。

[図7]他の積層半導体装置の一例を模式的に示した図である。

[図8]図７に示した積層半導体装置を模式的に示した断面図である。

[図9]他の積層半導体装置の一例を模式的に示した図である。

[図10]他の積層半導体装置を模式的に示した断面図である。

[図11]他の積層半導体装置を模式的に示した図である。

[図12]図１１の積層半導体装置を製造する工程の一部を説明する斜視図である。

[図13]図１２に続き、積層半導体装置を製造する工程の一部を説明する斜視

図である。

[図14]図１３における重ね合わせウエハの断面図を示す。

[図15]図１３に続き、他の積層半導体装置を製造する工程の一部を説明する断面図である。

[図16]他の積層半導体装置を模式的に示した図である。

[図17]図１６の積層半導体装置を製造する工程の一部を説明する斜視図である。

[図18]図１７に続き、積層半導体装置を製造する工程の一部を説明する斜視図である。

[図19]図１８における重ね合わせウエハの断面図を示す。

[図20]図１８に続き、他の積層半導体装置を製造する工程の一部を説明する断面図である。

[図21]他の積層半導体装置を模式的に示した図である。

[図22]他の積層半導体装置が搬送される状態を示した側面図である。

[図23]他の積層半導体装置を模式的に示した図である。

[図24]他の積層半導体装置を製造する工程の一部を説明する模式図である。

[図25]積層半導体装置の一例を模式的に示した図である。

[図26]第1ウエハの一例を模式的に示した斜視図である。

[図27]第２ウエハの一例を模式的に示した斜視図である。

[図28]接合装置の構造を模式的に示した図である。

[図29]重ね合わせウエハの一例を模式的に示した斜視図である。

[図30]積層半導体装置を製造する工程の一部を説明する断面図である。

[図31]図３０に続き、積層半導体装置を製造する工程の一部を説明する断面図である。

[図32]他の積層半導体装置の例を模式的に示した図である。

[図33]他の第２ウエハを模式的に示した斜視図である。

[図34]図３３に示した第２ウエハのＡ－Ａ断面図を示す。

[図35]積層半導体装置を製造する工程の一部を説明する断面図である。

[図36]図３５に続き、積層半導体装置を製造する工程の一部を説明する断面図である。

[図37]第３ウエハの一例を模式的に示した斜視図である。

[図38]他の重ね合わせウエハの例を模式的に示した斜視図である。

[図39]積層半導体装置を製造する工程の一部を説明する断面図である。

[図40]図３９に続き、積層半導体装置を製造する工程の一部を説明する断面図である。

[図41]図４０に続き、積層半導体装置を製造する工程の一部を説明する断面図である。

[図42]他の半導体装置を製造する工程の一部を説明する断面図である。

[図43]図４２に続き、他の積層半導体装置を製造する工程の一部を説明する断面図である。

[図44]図４３に続き、他の積層半導体装置を製造する工程の一部を説明する断面図である。

[図45]図４４に続き、他の積層半導体装置を製造する工程の一部を説明する断面図である。

[図46]他の第1ウエハの例を模式的に示した斜視図である。

[図47]他の第２ウエハの例を模式的に示した斜視図である。

[図48]他の重ね合わせウエハの例を模式的に示した斜視図である。

[図49]積層半導体装置を製造する工程の一部を説明する断面図である。

[図50]図４９に続き、積層半導体装置を製造する工程の一部を説明する断面図である。

[図51]他の積層半導体装置の例を模式的に示した図である。

[図52]積層半導体装置を製造する工程の一部を説明する断面図である。

[図53]図５２に続き、積層半導体装置を製造する工程の一部を説明する断面図である。

発明を実施するための形態

[0009] 以下、発明の実施の形態を通じて本発明を説明するが、以下の実施形態は

請求の範囲に係る発明を限定するものではない。また、実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。

[0010] 図１は、積層半導体装置１０の一例を模式的に示した図である。図１において、矢印で示す前後左右上下を積層半導体装置１０における前後左右上下方向とする。積層半導体装置１０は、下から順に、チップ１２、チップ１４およびチップ１６の順で積層されている。

[0011] チップ１２の一例は、チップ１４を他の基板に接続するためにチップ１４の再配線のためにチップ１４と他の基板との間に介在されるインターポーザチップである。チップ１２の外形は、数ｍｍ角の正方形の板状である。チップ１２は、自身の機能を発揮する回路領域２０と、その周囲に余白領域２２とを有する。回路領域２０には、例えばチップ１２がインターポーザチップである場合に、当該インターポーザとして機能する回路を構成する素子および配線等がＳｉ基板上に配置される。余白領域２２は、チップ１２における、上記回路領域２０、および、存在する場合には他の素子、配線、回路等を含む領域以外の領域であって、ダイシング時に切断される切り代となる。

[0012] チップ１４の一例は、演算処理チップであり、演算処理チップとして、例えばＭＰＵ（Ｍｉｃｒｏ－Ｐｒｏｃｅｓｓｉｎｇ　Ｕｎｉｔ）チップがある。チップ１４も、自身の機能を発揮する回路領域２４と、その周囲に余白領域２６とを有する。回路領域２４には、例えばチップ１４がＭＰＵである場合に、当該ＭＰＵとして機能する回路を構成する素子および配線等がＳｉ基板上に配置される。回路領域２４は、チップ１４における左前側に片寄って配される。余白領域２６は、チップ１４における、上記回路領域２４、および、存在する場合には他の素子、配線、回路等を含む領域以外の領域であって、チップ１４の右前、右後および左後に延在している。これにより、チップ１４の外形は、チップ１２の外形に合せて、正方形の板状になっている。余白領域２６の一部をダイシング後に削除してもよい。この場合、余白領域２６の縁部がチップ１２の内側に位置するように削除することが好ましい。

これにより、チップ１４のチッピングが防止される。

[0013] チップ１６の一例は、メモリチップである。チップ１６も、自身の機能を発揮する回路領域２８と、その周囲に余白領域３０とを有する。回路領域２８には、例えばチップ１６がメモリである場合に、当該メモリとして機能する回路を構成する素子および配線等がＳｉ基板上に配置される。回路領域２８は、チップ１６における右後側に片寄って配される。さらに、余白領域３０は、チップ１６における、上記回路領域２８、および、存在する場合には他の素子、配線、回路等を含む領域以外の領域であって、チップ１６の右前、左前および左後に延在している。これにより、チップ１６の外形は、チップ１２の外形に合せて、正方形の板状になっている。余白領域３０の一部をダイシング後に削除してもよい。この場合、余白領域３０の縁部がチップ１４の内側に位置するように削除することが好ましい。これにより、チップ１６のチッピングが防止される。

[0014] 回路領域２０と、回路領域２４と、回路領域２８は、互いに種類、機能および外形がそれぞれ異なる。回路領域２０，２４，２８は、電気的に閉じた回路の外周を結ぶ線で囲まれた領域であり、外形とは、その線で囲まれた領域の形状である。従って、一つのチップに複数の回路が形成されている場合、それらが個別に電気的に閉じた回路である場合には、そのチップには複数の回路領域が存在し、それら全てが互いに電気的につながっている場合には、そのチップには一つの回路領域が存在している。図１に示す例において回路領域２０が最も大きく、回路領域２４、回路領域２８の順に小さくなる。チップ１２、１４、１６の外形は、余白領域の面積を回路領域２０、２４、２８の順に大きくすることで揃えられ、それぞれの外周が揃うように積層されている。すなわち、余白領域２２、２６、３０は、チップの外形の大きさを揃える役割を担う。

[0015] 積層半導体装置１０において、チップ１４における回路領域２４の片寄りの方向と、チップ１６における回路領域２８の片寄りの方向は異なっている。チップ１４は、回路領域２４が回路領域２８と上下方向において重ならな

い程度まで、広い余白領域２６を有している。同様に、チップ１６は、回路領域２８が回路領域２４と上下方向において重ならない程度まで広い余白領域３０を有している。

[0016] 図２は、図１に示した積層半導体装置を模式的に示したＡ－Ａ断面図である。図２において同一の構成については同一の参照番号を付して説明を省略する。

[0017] チップ１２の回路領域２０は、Ｓｉ基板に設けられた導通ＴＳＶ３２と、配線４４と、接続バンプ４０とを有する。導通ＴＳＶ３２は、ＲＩＥ（Ｒｅａｃｔｉｖｅ－ｉｏｎ－Ｅｔｉｎｇ）により開けられた穴に導電体、例えばＣｕを充填して形成する。導通ＴＳＶ３２は、周囲にSiO_2からなる絶縁膜、ＴｉＮ等からなるバリヤメタルを有しており、Ｓｉ基板と電気的に絶縁している。導通ＴＳＶ３２は、貫通電極の一例である。

[0018] 接続バンプ４０は、導通ＴＳＶ３２の下方端部に設けられている。接続バンプ４０は、積層半導体装置１０が実装される他の基板と電気的に接続される。接続バンプ４０は、積層半導体装置１０がモールド化された後に設けられてもよい。接続バンプ４０は、Ｓｎ、Ａｇ、Ｃｕ等の導電材料から形成される。

[0019] 配線４４は、例えば、Ｃｕ薄膜で形成される。配線４４と導通ＴＳＶ３２は、回路領域２４の導通バンプ３５に接続して、導通バンプ３５と接続バンプ４０とを電気的に接続している。図２の例において、チップ１２は、配線４４と導通ＴＳＶ３２により、チップ１４等の導通バンプ３５のピッチを接続バンプ４０のピッチに広げるインターポーザとしての役割を担う。導通バンプ３５は、例えば、Ｓｎ、ＡｇおよびＣｕ等の同一材料から形成されるが、配線４４がＣｕで形成される場合においては、同じ材料のＣｕが好ましい。

[0020] チップ１４の回路領域２４は、Ｓｉ基板上に設けられたトランジスタ等の複数の素子４２と、当該素子４２に電気的に接続されている配線４４と、当該配線４４と電気的に接続する導通バンプ３５とを有する。チップ１４の回

路領域２４の外側には、導通ＴＳＶ３２と、当該導通ＴＳＶ３２に電気的に接続されている導通バンプ３６を有する。なお、導通バンプ３５および３６は接続部の一例である。

[0021] チップ１４の回路領域２４がＭＰＵである場合には、メモリ等と比較して素子密度が高く、値段も高価である。よって回路領域２４には、導通ＴＳＶ３２をなるべく設けないことが好ましい。そこで、図２に示す例において、チップ１４の導通ＴＳＶ３２は、回路領域２４ではなく、回路領域２４の外側に設けられている。導通ＴＳＶ３２は、当該導通ＴＳＶ３２が設けられている余白領域２６と同一の層の回路領域２４から電気的に絶縁されている。

[0022] 導通バンプ３５は、回路領域２４におけるチップ１２側の面に設けられている。導通バンプ３５は、素子４２とチップ１２の配線４４とを電気的に接続する。導通バンプ３６は、余白領域２６の導通ＴＳＶ３２上であってチップ１２側の面に設けられている。導通バンプ３６は、チップ１４の導通ＴＳＶ３２とチップ１２の導通ＴＳＶ３２とを電気的に接続する。これら導通バンプ３５と導通バンプ３６は、チップ１２との接合における機械的な接合にも寄与する。なお、図２に示した例において、導通バンプ３５は配線４４と接続する例を示したが、チップ１２側の面に加え、チップ１４側の面にも同様の導通バンプ３５が設けられていて、当該導通バンプ３５同士が接合するとしてもよい。

[0023] チップ１６の回路領域２８は、導通ＴＳＶ３２と導通バンプ３６とを有する。回路領域２８の導通バンプ３６は、導通ＴＳＶ３２の下方端部に設けられ、チップ１４の導通ＴＳＶ３２と電気的に接続している。

[0024] 回路領域２８は、右後側に片寄って配されている。一方、チップ１４の回路領域２４は、左前側に片寄って配されている。したがって、チップ１４の余白領域２６は回路領域２８の下側に位置する。チップ１４の導通ＴＳＶ３２は回路領域２４の外側に配されているので、回路領域２８は、チップ１４の回路領域２４を貫通することなく、当該導通ＴＳＶ３２により、チップ１２に電気的に接続されている。

[0025] チップ１６の回路領域２８の外側には、さらに、ダミーバンプ３８と放熱ＴＳＶ３４とを有する。放熱ＴＳＶ３４は、放熱回路の一例である。放熱ＴＳＶ３４は、導通ＴＳＶ３２同様に、絶縁膜等で囲まれた穴にＣｕ等の導電体が充填されて形成される。

[0026] ダミーバンプ３８は、放熱ＴＳＶ３４におけるチップ１４の側の端部に設けられる。ダミーバンプ３８は、Ｓｎ、ＡｇおよびＣｕ等の同一材料から形成されてよいが、導通バンプ３６と同じ材料とすることが好ましい。ダミーバンプ３８とチップ１４の回路領域２４との間には絶縁膜が設けられている。したがって、ダミーバンプ３８は回路領域２４と機械的に接合しているが、電気的には接続していない。つまり、ダミーバンプ３８は、チップ１４およびチップ１６を互いに電気的には接続せず機械的に結合する結合部材の一例である。

[0027] ダミーバンプ３８および放熱ＴＳＶ３４の内部に充填される金属の熱伝導性は、基板の材料であるＳｉと比較して高い。したがって、チップ１４の回路領域２４で発生した熱は、ダミーバンプ３８および放熱ＴＳＶ３４を通じて効率的に放熱される。なお、チップ１６の上に、放熱ＴＳＶ３４と接続する金属製のヒートスプレッタを設けてもよい。また、チップ１４の余白領域２６とチップ１２の回路領域２０との間にダミーバンプを配置してもよい。これにより、チップ１２とチップ１４との間の機械的な結合強度を向上させることができる。

[0028] 図３は、積層半導体装置１０を製造する工程の一部を説明する斜視図である。ウエハ５０は、例えばＳｉ基板に二次元的に繰り返し配された複数の単位領域１３を有する。当該複数の単位領域１３は、導通バンプ３５および３６とともに、リソグラフィ、エッチング等の半導体処理方法を用いて形成される。各単位領域１３は、図１の各チップ１２に対応する。すなわち、ウエハ５０の各単位領域１３が個片化されて、チップ１２となる。同様に、ウエハ５２は、例えばＳｉ基板に二次元的に繰り返し配された複数の単位領域１５を有する。なお、ウエハ５２にも導通バンプ３５が設けられる場合には、

複数の単位領域１５は、導通バンプ３５とともに、リソグラフィ、エッチング等の半導体処理方法を用いて形成される。各単位領域１５は、図１の各チップ１４に対応する。

[0029] なお、ウエハ５０に設けられた導通バンプ３５と、ウエハ５２に設けられた導通バンプ３５とが接合して電気的に接続される場合においては、ウエハ５０に設けられた導通バンプ３５は、ウエハ５２に設けられた導通バンプ３５の位置を基準にして、当該位置に対応した位置に形成するとしてもよい。そして、ウエハ５２に設けられた導通バンプ３５の位置を参照するため、ウエハ５２に設けられた導通バンプ３５の位置情報が取得される。なお、ウエハ５２に設けられた導通バンプ３５の位置情報は、ウエハ５２に設けられた導通バンプの位置を観察することによって取得してもよく、ウエハ５２の導通バンプ３５を形成するときに用いた露光装置から取得してもよい。

[0030] さらに、ウエハ５０に設けられた回路領域２０は、ウエハ５２に設けられた回路領域２４の位置を規準として、当該位置に対応した位置に形成するとしてもよい。そして、ウエハ５２に設けられた回路領域２４の位置を参照するため、ウエハ５２に設けられた回路領域２４の位置の位置情報が取得される。ウエハ５２に設けられた導通バンプ３５の位置情報は、ウエハ５２に設けられた導通バンプの位置を観察することによって取得してもよく、ウエハ５２の回路領域２４を形成するときに用いた露光装置から取得してもよい。

[0031] 回路領域２４の外形は、回路領域２０の外形と異なる。図１から図３の例において、回路領域２０の方が回路領域２４よりも大きい。本実施形態においては、ウエハ５２上の回路領域２４のピッチは、ウエハ５０上の回路領域２０のピッチに揃えて形成される。これにより、単位領域１５は、回路領域２０と回路領域２４の外形差分の余白領域２６を含み、単位領域１５の外形は、単位領域１３の外形と同じになる。また、ウエハ５２に導通バンプ３５が形成される場合においては、ウエハ５０に形成された導通バンプ３５の間隔は、ウエハ５２に形成された導通バンプ３５の間隔に等しくなるように、回路領域２０のピッチと同じピッチで形成される。

[0032] ウエハ５０とウエハ５２は、エンハンスト・グローバルアライメント法等の位置決め方法によって、対応する単位領域１３、１５を重ね合せて、単位領域１３、１５の外周が揃うように位置決めされた後に、接合される。このように、ウエハ５０に形成された回路領域２０のそれぞれと、回路領域２０と異なる外形を有する回路領域２４が重なり合うように積層される。なお、回路領域２０と回路領域２４とは部分的に重なり合うように積層してもよい。また、チップ１４側にも導通バンプ３５が設けられている場合においては、ウエハ５０とウエハ５２は、回路領域２０と回路領域２４にそれぞれに形成された導通バンプ３５が、それぞれ少なくとも部分的に対向するように位置決めされ積層されてもよい。なお、以後の説明において、ウエハの位置決めについての説明は省略するが、上記のようにウエハ同士を位置決めされた後に接合される。

[0033] 図４は、図３に続き、積層半導体装置１０を製造する工程の一部を説明する斜視図である。図３で示したウエハ５０、５２が接合された後に、さらにウエハ５４が上述した位置決め方法によって、単位領域１３、１５、１７の外周が揃うように位置決めされた後に接合される。

[0034] ウエハ５４は、例えばＳｉ基板に二次元的に繰り返し配された複数の単位領域１７を有する。各単位領域１７は、図１の各チップ１６に対応する。回路領域２８の外形は、回路領域２０、２４と異なる。ウエハ５４上の回路領域２８のピッチは、ウエハ５０上の回路領域２０のピッチに揃えて形成される。これにより、単位領域１７は、回路領域２０と回路領域２８との外形差分の余白領域３０を含み、単位領域１７の外形は、単位領域１３、１５の外形と同じになる。

[0035] 図５は、接合装置１００の構造を模式的に示した断面図である。接合装置１００は、枠体１０８の内側に配置された、加圧部１０９、加圧ステージ１１８、受圧ステージ１２０、圧力検知部１３２を備える。

[0036] 枠体１０８は、互いに平行で水平な天板１０４および底板１０２と、天板１０４および底板１０２を結合する複数の支柱１０６とを備える。天板１０

４、支柱１０６および底板１０２は、それぞれ剛性が高い材料により形成され、応力が作用した場合も変形が生じない。

[0037] 枠体１０８の内側において、底板１０２の上には、加圧部１０９が配置される。加圧部１０９は、底板１０２の上面に固定されたシリンダ１１０と、シリンダ１１０の内側に配置されたプランジャ１１２とを有する。プランジャ１１２は、流体回路、カム、輪列等により駆動されて、図中に矢印Ｚにより示す、底板１０２に対して直角な方向に昇降する。

[0038] プランジャ１１２の上端には、加圧ステージ１１８が搭載される。加圧ステージ１１８は、プランジャ１１２の上端に結合された水平な板状の支持部１１４と、支持部１１４に平行な板状の基板保持部１１６とを有する。支持部１１４は、上方に開口して形成された球面座１１５を上面中央に有する。一方、基板保持部１１６は、下方に向かって突出した球面部１１７を、下面中央に有する。

[0039] 球面座１１５および球面部１１７は互いに相補的な形状および寸法を有して嵌合する。これにより、基板保持部１１６は、支持部１１４の上で傾斜角度を変えることができる。また、支持部１１４の上で基板保持部１１６の傾斜角度が変わった場合も、プランジャ１１２が支持部１１４を押上げ力が基板保持部１１６に伝達される。更に、支持部１１４は、基板保持部１１６の変位を下方から規制して、基板保持部１１６が過剰に傾斜することを防止する。

[0040] 基板保持部１１６は、上面にウエハ５０を静電吸着、負圧吸着等により吸着して保持する。これにより基板保持部１１６に吸着されたウエハ５０は、基板保持部１１６と共に揺動する一方、基板保持部１１６からの移動あるいは脱落が抑制される。

[0041] 受圧ステージ１２０は、基板保持部１２２および複数の懸架部１２４を有する。懸架部１２４は、天板１０４の下面から垂下される。基板保持部１２２は、懸架部１２４の下端近傍において下方から支持され、加圧ステージ１１８に対向して配置される。

[0042] 基板保持部１２２も、静電吸着、負圧吸着等による吸着機構を有し、下面にウエハ５２を吸着して保持する。基板保持部１２２は、下方から懸架部１２４により支持される一方、上方への移動は規制されない。ただし、天板１０４および基板保持部１２２の間には、複数のロードセル１２６、１２８、１３０が挟まれる。複数のロードセル１２６、１２８、１３０は、基板保持部１２２の上方移動を規制すると共に、基板保持部１２２に対して上方に印加された圧力を検出する。

[0043] 接合装置１００にセットされたウエハ５０を上方に移動させて、ウエハ５２と密着させる。この状態で、更に高い圧力を印加して、両者を接合する。この場合に、ウエハ５０、５２が加熱されてもよい。同様に、ウエハ５０、５２の積層体を基板保持部１１６に保持し、基板保持部１２２にウエハ５４を保持して、両者を接合する。

[0044] 図６は、図４に続き、積層半導体装置１０を製造する工程の一部を説明する斜視図である。接合装置１００により接合されたウエハ５０、５２、５４の積層体は、ダイシング工程で個々の単位領域で個片化され、積層半導体装置１０が製造される。

[0045] なお、ウエハ５２等を保持するホルダを用いてもよい。当該ホルダは静電吸着等によりウエハ５２等を保持した状態で接合装置１００に搬送される。接合装置１００はウエハ５２等をホルダを介して押圧することによりウエハ５２等を接合する。

[0046] 本実施形態において、接合装置１００を用いて、導通バンプ３６とダミーバンプ３８に熱および圧力かけることでウエハ同士を接合した。これに加えて、ウエハ５０と５２の接合部およびウエハ５２と５４の接合部にエポキシ系の絶縁性樹脂を注入してもよい。これにより、ウエハ同士の接着強度を高めることができる。

[0047] また、導通バンプ３６およびダミーバンプ３８を設けず、導通ＴＳＶ３２に充填したＣｕを突出させ、Ｃｕ同士の接触による固相拡散によってウエハ５０、５２、５４を接合してもよい。また、ウエハ５２等の貼り合わせ面を

グラインドまたはＣＭＰ等により平滑化して、貼り合わせ面側に露出させた配線４４を用いてウエハ５０、５２、５４を接合してもよい。また、ウエハ５０、５２、５４を接合する前に、ウエハ５２等の貼り合わせ面を活性化させてもよい。これにより、固相拡散が促進され、配線４４同士の接続の信頼性を向上できる。

[0048] このように、ウエハ５０、５２、５４を接合した後に個片化することで積層半導体装置１０を製造する。これにより、積層半導体装置１０の生産効率を向上できる。

[0049] 積層半導体装置１０の回路領域２４の外側には、導通ＴＳＶ３２を有する。これにより、積層半導体装置１０は、回路領域に設けられる素子を増やすことができるとともに、ワイヤボンディング等を用いずにチップ間を電気的に接続できる。

[0050] 積層半導体装置１０の導通ＴＳＶ３２は、余白領域２６と同一の層の回路領域２４から電気的に絶縁されており、チップ１６の回路領域２８と電気的に接続されている。これにより、積層半導体装置１０は、迂回用ワイヤボンディング等を使用せずにチップ１４の回路領域２４を迂回させて、チップ１６とチップ１２を、直接電気的に接続できる。

[0051] 積層半導体装置１０の回路領域２８の外側には、放熱ＴＳＶ３４を有する。これにより、回路領域２８の素子数を減ずることなく、積層半導体装置１０から発生した熱を効率的に放熱できる。

[0052] 積層半導体装置１０の回路領域２４の片寄りの方向は、回路領域２８の片寄りの方向と異ならせている。これにより、チップ１６の回路領域２８とチップ１２の回路領域２０とを直接電気的に接続でき、チップ１２、１４、１６間の電気的な導通の設計自由度を向上できる。

[0053] 積層半導体装置１０の回路領域２４の片寄りの方向は、回路領域２８の片寄りの方向と異ならせて配するとともに、回路領域２４と回路領域２８とが上下方向に重ならないように配置されている。これにより、チップ１２、１４、１６間の電気的な導通の設計自由度を更に向上できる。

[0054] チップ１４がＭＰＵチップであり、チップ１６がメモリチップであり、チップ１２がインターポーザチップである場合には、回路領域の外形が互いに異なる蓋然性が高いチップをウエハ状態で積層することによってＭＰＵとメモリとインターポーザを含む積層半導体装置の生産効率を向上させることができる。また、チップ１２がフォトダイオードが設けられたチップであり、チップ１４がＡＤコンバータなどの信号処理回路が設けられたチップであり、チップ１６がメモリチップであってもよい。このように、各チップで異なる機能を有する回路領域を有していてもよい。

[0055] 回路領域２４と電気的に接続する導通バンプ３５は、チップ１４のチップ１２側の面に形成される。これにより、回路領域２４には、導通ＴＳＶ３２を設ける必要がなくなり、ＭＰＵの回路領域の素子密度を向上させることができる。

[0056] 回路領域２４から電気的に絶縁されたダミーバンプ３８は、チップ１４のチップ１６側の面に形成される。ダミーバンプ３８は、チップ１４とチップ１６との間に隙間を形成する。これにより、当該隙間を空気が通ることができ、積層半導体装置１０の放熱効果を高められる。

[0057] 積層半導体装置１０のチップ１４の他方の面に設けられたダミーバンプ３８の密度は、チップ１４の一方の面に設けられた導通バンプ３５の密度よりも小さい。これにより、ダミーバンプ３８により作成されるチップ１４とチップ１６との間の隙間はさらに広くなり、積層半導体装置１０の放熱効果を更に高められる。

[0058] 図７は、他の積層半導体装置６０の一例を模式的に示した図である。積層半導体装置６０は、下から順に、チップ６２、チップ６４、およびチップ６６の順で積層されている。

[0059] チップ６２の外形は、正方形の板状である。チップ６２は、自身の機能を発揮する回路領域５５と、その周囲に余白領域６１とを有する。回路領域５５の外形は、正方形状である。余白領域６１は、ダイシング時に切断される切り代となる。

[0060] チップ６４の外形は、正方形の板状である。チップ６４は、自身の機能を発揮する回路領域５７と、その周囲に余白領域６３とを有する。回路領域５７の外形は、回路領域５５よりも小さい正方形状である。余白領域６３は回路領域５５を囲うように配される。これにより、チップ６４の外形は、チップ６２の外形に揃えられている。

[0061] 同様に、チップ６６の外形は、正方形の板状部材である。チップ６６は、自身の機能を発揮する回路領域５７と、その周囲に余白領域６５とを有する。回路領域５９の外形は、回路領域５７よりも小さい正方形状である。余白領域６５は回路領域５５を囲うように配される。これにより、チップ６６の外形は、チップ６２、６４の外形に揃えられている。

[0062] 回路領域５５、５７、５９は、互いに上下方向で重なっている。なお、回路領域５９は、回路領域５７に完全に重ならなくてもよく、回路領域５９の一部が回路領域５７に重なっていてもよい。

[0063] 上のチップほど回路領域の面積が小さくなっている。ここで、各チップの大きさは同じであるから、各チップの余白領域の大きさは、下のチップが上のチップより小さくなるように各チップが積層されている。

[0064] 図８は、図７に示した積層半導体装置６０を模式的に示したＢ－Ｂ断面図である。なお、図８において、図２と共通の要素には同じ参照番号を付して重複する説明を省く。チップ６６の回路領域５９の外側には、回路領域５９と配線４４により電気的に接続されている導通ＴＳＶ３２を有する。

[0065] 余白領域６５における回路領域５５と回路領域５７との差分の領域４６に、導通ＴＳＶ３２と導通バンプ３６が設けられている。さらに、回路領域５９と領域４６に設けた導通ＴＳＶ３２とが配線４４で接続されている。さらに、回路領域５７の外側における領域４６に導通ＴＳＶ３２と導通バンプ３６が設けられており、回路領域５９の外側に設けた導通バンプ３６と接続されている。これにより、回路領域５７を貫通することなく、回路領域５９と回路領域５５とを電気的に接続することができる。

[0066] 回路領域５９の外側における回路領域５７と回路領域５９との差分の領域

４８に、導通ＴＳＶ３２と導通バンプ３６が設けられている。さらに回路領域５９と領域４８に設けた導通ＴＳＶ３２とが配線４４で接続されている。これにより、回路領域５９内にＴＳＶを設けることなく、回路領域５９と回路領域５７とを電気的に接続することができる。

[0067] 上記チップ６２、６４、６６は同一の外形を有する。よって図１の場合と同様に、ウエハの状態で積層してそれぞれが結合された後に、個片化することで積層半導体装置６０を製造することができる。

[0068] 積層半導体装置６０の各チップの余白領域の面積は、上のチップ６６の余白領域６５の大きさは、下のチップ６４の余白領域６３よりも大きく、上のチップ６４の余白領域６３の大きさは、下のチップ６２の余白領域６１よりも大きい。これにより、積層するチップ間の電気的接続の設計自由度を向上できる。

[0069] 図９は、他の積層半導体装置７０の一例を模式的に示した図である。積層半導体装置７０は、下から順に、チップ７２、チップ７４、およびチップ７６の順で積層されている。チップ７２は図１のチップ１２と同様の外形および構成を有する。

[0070] チップ７４は、図１のチップ１４と同様の外形および構成を有する。チップ７４はさらに、チップ７４自身の機能を発揮する回路領域２４とは別個の回路領域７８を有する。回路領域７８はチップ７４における回路領域２４の外側であって右前側に配される。回路領域７８の一例は、冗長回路である。冗長回路は、他の回路領域２０、２４または２８の機能の一部が欠陥したとき、当該欠陥した機能を補う。

[0071] チップ７６は、図１のチップ１６と同様の外形および構成を有する。チップ７６はさらに、チップ７６自身の機能を発揮する回路領域２８とは別個の回路領域７９を有する。回路領域７９は、チップ７６における回路領域２８の外側であって左後側に配される。回路領域７９の一例は、試験回路である。試験回路は、チップ７６の機能、または、積層半導体装置７０の機能を試験する。また、回路領域７９の試験回路には、導通検査におけるプローブを

当てる端子が形成されていてもよい。

[0072] 上記チップ７２、７４、７６は同一の外形を有する。よって、図１の場合と同様に、ウエハの状態で積層してそれぞれが接合された後に、個片化することで積層半導体装置７０を製造することができる。

[0073] チップ７４は、回路領域２４の外側に冗長回路を有する。したがって、チップ７４は、仮に、回路領域２０、２４または２８の機能の一部が欠陥となった場合であっても、当該冗長回路により欠陥した一部の機能を補うことができる。これにより、積層半導体装置７０の良品率を向上させることができる。また、当該冗長回路は、回路領域２４の外側に設けられているので、積層半導体装置７０の回路領域の素子数を減ずることなく、冗長回路を設けることができる。

[0074] また、チップ７６は、回路領域２８の外側に試験回路を有する。したがって、チップ７６は、当該試験回路を用いてチップ７６の個別機能試験および積層半導体装置７０の機能試験ができる。試験回路を用いて試験を行い、不良の回路領域を予め特定しておくことで、不良の積層半導体装置の生産は抑制される。これにより、個片化された積層半導体装置の良品率を向上させることができる。また、当該試験回路は、回路領域２８の外側に設けられているので、積層半導体装置７０の回路領域の素子数を減ずることなく、試験回路を設けることができる。また、回路領域７９の試験回路には、導通検査におけるプローブを当てる端子が形成されている場合には、当該プローブを当てる端子を用いて、容易に導通検査を行うことができる。

[0075] 図１０は、他の積層半導体装置８０の断面図を模式的に示した断面図である。図１０において、他の図と共通の要素には同じ参照番号を付して重複する説明を省く。

[0076] 積層半導体装置８０は、下から順に、チップ８１、チップ８２、チップ８３およびチップ８４の順で積層されている。チップ８１は、回路領域８５とともに余白領域８９を設けて、チップ８１の外形を他のチップの外形と同じにしている。同様に、チップ８２は、回路領域８６と余白領域９０とを有し

ており、チップ８３は、回路領域８７と余白領域９１とを有しており、チップ８４は、回路領域８８と余白領域９２とを有しており、チップ８２、８３、８４の外形は、チップ８１の外形と同じである。

[0077] 積層半導体装置８０において、最も下層に積層されるチップ８１の回路領域８５は、積層半導体装置８０の中で最も小さく、上に行くほど回路領域８６、８７、８８の順に回路領域は大きくなっている。本実施形態におけるチップは、回路領域と余白領域から構成されるので、回路領域の面積が広くなると、余白領域の面積は狭くなる。したがって、余白領域の面積は、チップ８１の余白領域８９がもっとも大きく、上方向に向かって余白領域９０、９１、９２の順に小さくなる。

[0078] 積層半導体装置８０の各チップの余白領域の大きさは、上のチップが下のチップより小さくなるように各チップが積層されている。チップ８４からチップ８１、チップ８２、チップ８３へ直接電気的に接続する場合、回路領域８７と回路領域８８との差分の領域９５に導通ＴＳＶ３２を設けて、接続するチップまで導通ＴＳＶ３２と導通バンプ３６を介して接続させる。そして、配線４４を用いて、導通バンプ３６と各回路領域とを接続することで直接電気的に接続できる。

[0079] 同様に、チップ８３からチップ８１、チップ８２へ直接電気的に接続する場合、回路領域８６と回路領域８７との差分の領域９６に導通ＴＳＶを設けて、接続するチップまで導通ＴＳＶ３２と導通バンプ３６を介して接続させる。そして、配線４４を用いて、導通バンプ３６と各回路領域とを接続することで、直接電気的に接続できる。

[0080] 同様に、チップ８２からチップ８１へ直接電気的に接続する場合、回路領域８５と回路領域８６との差分の領域９７に導通ＴＳＶを設けて、接続するチップ８１まで導通ＴＳＶ３２と導通バンプ３６を介して接続させる。そして、配線４４を用いて、導通バンプ３６と回路領域８５とを接続することで、直接電気的に接続できる。

[0081] このように、積層半導体装置８０は、上のチップの余白領域の大きさが、

下のチップの余白領域より小さくなる順序でチップが積層されている。これにより、回路領域の差分の領域を用いて、各チップとの電気的に接続でき、チップ間の導通の設計自由度を向上できる。

[0082] 図１１は、他の積層半導体装置１５０を模式的に示した図である。図１１において、矢印で示す前後左右上下を積層半導体装置１５０における前後左右上下方向とする。積層半導体装置１５０は、下から順に、チップ１５２、チップ１６２の順で積層されている。

[0083] チップ１５２の外形は、正方形の板状である。チップ１５２は、自身の機能を発揮する回路領域１５４と、その周囲に余白領域１５６とを有する。回路領域１５４の外形は、正方形状である。余白領域１５６は、ダイシング時に切断される切り代となる。

[0084] チップ１６２の外形は、長方形の板状である。チップ１６２も、自身の機能を発揮する回路領域１６４と、その周囲に余白領域１６６とを有する。回路領域１６４の外形は、長方形状である。回路領域１６４は、チップ１６２における中央に配される。回路領域１６４は、回路領域１５４に対して前後方向の長さは等しいが、左右方向の長さが短い。したがって、回路領域１６４は回路領域１５４に対して小さく、回路領域１６４の外形は、回路領域１５４の外形と異なる。余白領域１６６は、ダイシング時に切断される切り代となる。

[0085] チップ１６２は、チップ１５２に対して前後方向の長さは等しいが、左右方向の長さは短い。チップ１６２の外形は、チップ１５２に対して小さく、チップ１５２とチップ１６２の外形は、揃っていない。

[0086] 図１２は、図１１の積層半導体装置１５０を製造する工程の一部を説明する斜視図である。ウエハ１６０は、例えばＳｉ基板に二次元的に繰り返し配された複数の単位領域１５８を有する。各単位領域１５８は、図１１の各チップ１５２に対応する。すなわち、ウエハ１６０の各単位領域１５８が個片化されて、チップ１５２となる。

[0087] ウエハ１７０は、Ｓｉ基板に二次元的に繰り返し配された複数の単位領域

１６８を有する。各単位領域１６８は、回路領域１５４とは異なる外形の回路領域１６４を含む。各単位領域１６８の一部は、図１１のチップ１６２に対応する。

[0088] 図１１に示した積層半導体装置１５０の例においては、チップ１５２の外形の方がチップ１６２の外形よりも大きい。本実施形態において、ウエハ１７０上の回路領域１６４のピッチは、ウエハ１６０上の回路領域１５４のピッチに揃えて形成される。これにより、単位領域１６８は、余白領域１６６に加えて、チップ１６２とチップ１５２の外形差分の余白領域１６７を含み、単位領域１６８の外形は、単位領域１５８と同じになる。

[0089] ウエハ１６０とウエハ１７０は、エンハンスト・グローバルアライメント法等の位置決め方法によって、対応する単位領域１５８、１６８が重なり合うように位置決めされた後に接合される。なお、ウエハ１６０の単位領域１５８の外周と、ウエハ１７０の単位領域１６８の外周は、揃えられて位置決めされる。

[0090] 図１３は、図１２に続き、積層半導体装置を製造する工程の一部を説明する斜視図である。図１１で示したウエハ１６０、１７０がそれぞれ準備されて、位置決めされた後に接合されて、重ね合わせウエハ１８０が製造される。

[0091] 図１４は、図１３における重ね合わせウエハ１８０のＣ－Ｃ断面図を示す。図１４において、図２と共通の要素には同じ参照番号を付して、重複する説明を省略する。ウエハ１６０とウエハ１７０は、導通バンプ３５により、機械的に接合される。また、回路領域１６４に設けられた導通バンプ３５のピッチは、ウエハ１６０に設けられた配線４４と導通ＴＳＶ３２により接続バンプ４０のピッチに広げられている。なお、図１４に示した例において、導通バンプ３５は、ウエハ１７０側に設けられ、ウエハ１７０が準備される段階であって、ウエハ１７０上に回路領域１６４とともに形成される。

[0092] 複数のダミーバンプ１６９は、ウエハ１６０とウエハ１７０との間であって、余白領域１６７の下面に設けられている。ダミーバンプ１６９は、ウエ

ハ１６０とウエハ１７０の積層時に、ウエハ１６０とウエハ１７０とを機械的に接続せずに、接合装置１００から印加される押圧力を受けるスペーサとして機能する。これにより、接合時に受ける押圧力により、ウエハ１７０およびウエハ１６０が変形することが抑制され、ウエハ１７０およびウエハ１６０の破損を抑制できる。なお、図１４に示した例において、ダミーバンプ１６９は、ウエハ１７０側に設けられ、ウエハ１７０が準備される段階であって、回路領域１６４とともに形成される。

[0093] 例えば、ダミーバンプ１６９は、導通バンプ３５が接合される圧力条件および温度条件であっても接合しない材料から構成されてもよい。この場合に、導通バンプ３５が接合装置１００により印加された押圧力によりウエハ１６０とウエハ１７０とが電気的および機械的に接合した場合であっても、ダミーバンプ１６９は、ウエハ１６０とウエハ１７０とを機械的に接合しない。なお、図１４に示した例において、ウエハ１７０側にダミーバンプ１６９を設けた例を示したが、ダミーバンプ１６９は、ウエハ１６０側に設けてもよい。しかし、ウエハ１６０にダミーバンプ１６９を設けた場合、積層半導体装置１５０にダミーバンプ１６９が残るので、ダミーバンプ１６９は、ウエハ１７０に設けることが好ましい。

[0094] 図１５は、図１３に続き、他の積層半導体装置１５０を製造する工程の一部を説明する断面図である。ダイシング装置１８２は、余白領域１５６の中間を、ウエハ１７０を切断せずにウエハ１６０を切断する。ここで、ウエハ１７０を切断せずにウエハ１６０を切断するとは、ウエハ１６０を切断し、さらにウエハ１７０にダイシング装置の刃が接触してウエハ１７０の一部が削れることを含む。ダイシング装置１８４は、余白領域１６６と余白領域１６７の境界を、ウエハ１６０を切断せずにウエハ１７０を切断する。なお、同様に、ウエハ１６０を切断せずにウエハ１７０を切断するとは、ウエハ１７０を切断し、さらにウエハ１６０にダイシング装置の刃が接触してウエハ１６０の一部が削れることを含む。二つの余白領域１６７には、導通バンプ３５が設けられておらず、ウエハ１６０と機械的に接合していない。このた

め、二つの余白領域１６７は、ダイシング装置１８４が、ウエハ１７０を切断することによって削除される。これにより、チップ１５２にチップ１６２が積層した積層半導体装置１５０が製造される。

[0095] このように、ウエハ１６０、１７０を接合した後に個片化することで、積層半導体装置１５０が製造できる。これにより積層半導体装置１５０の生産効率を向上できる。

[0096] また、回路領域１６４と対向しない回路領域１５４が露出したウエハ１６０側の面に、当該面を保護する保護膜を形成してもよい。形成される保護膜の一例は、ＳｉＮ膜であり、ＣＶＤにより形成される。このように保護膜を形成することによって、ダイシング装置１８４の切断から、回路領域１５４を保護できる。

[0097] また、ダイシング装置１８２を用いて重ね合わせウエハ１８０を個片化する場合において、重ね合わせウエハ１８０の表面を保護するテープを貼ってもよい。この場合において、重ね合わせウエハ１８０の一方の面にテープを貼った後に、ダイシング装置１８２は、テープが貼られていない他方の面から重ね合わせウエハ１８０を切断する。その後、他方の面にテープを貼るとともに、一方の面に貼ったテープを剥がす。そして、ダイシング装置１８２は、テープが貼られていない一方の面から重ね合わせウエハ１８０を切断して、他方の面に貼ったテープを剥がしてもよい。

[0098] ダイシング装置１８２を用いて重ね合わせウエハ１８０を切断する場合に、重ね合わせウエハ１８０におけるダイシング装置１８２の刃が当たる面の反対側の面は、ダイシング装置１８２が重ね合わせウエハ１８０を切断する場合に発生する負荷がかかる。上述のように、重ね合わせウエハ１８０、ダイシング装置１８２を用いて重ね合わせウエハ１８０の表面を保護するテープを貼ることで、ダイシング装置１８２による切断時の負荷から、積層半導体装置を保護できる。

[0099] また、ウエハ１７０において、余白領域１６７には回路領域を有さない例で説明した。しかし、余白領域１６７または、二つの余白領域１６７にまた

がる領域に、機能を発揮するための回路領域を設け、上記個片化された当該余白領域自体を、単層の半導体装置として利用してもよい。

[0100] 図１５に示した例において、回路領域１５４がインターポーザであって、回路領域１６４がＭＰＵである場合に、余白領域１６７を除去して露出した領域に、メモリチップをチップＴｏチップで積層してもよい。メモリチップを積層する場合において、ダイシング装置１８４を用いて、余白領域１６７を除去した後に、メモリチップをチップＴｏウエハで積層し、その後、ダイシング装置１８２で、積層半導体装置を個片化するとしてもよい。

[0101] 図１５に示した例において、回路領域１５４がインターポーザであって、回路領域１６４が、メモリチップのように、歩留りが比較的良い種類のチップとしてもよい。そして、余白領域１６７を除去して露出した領域に、比較的に歩留りが悪いＭＰＵのようなロジックチップをチップＴｏチップまたはチップＴｏウエハで積層してもよい。これにより、歩留りが悪いＭＰＵのようなロジックチップを良品であることを確認してから積層できるので、積層半導体装置の良品率を向上できる。また、余白領域１６７を除去して露出した領域にコンデンサチップを積層してもよい。

[0102] 図１５に示した例において、余白領域１６７を除去してチップ１５２の上面が露出した領域に、ワイヤボンディング用のパッドを形成してもよい。これにより、チップＴｏチップ接続におけるチップ間の電気的な接続が容易にできる。

[0103] 図１５に示した例において、余白領域１６７を除去してチップ１５２の上面が露出した領域に、電磁気をシールドする金属膜を形成してもよい。これにより、電磁気から回路領域を保護できる。

[0104] 図１５に示した例において、余白領域１６７を除去してチップ１５２の上面が露出した領域に、静電気を逃がすパターンを形成してもよい。これにより、静電気により回路領域が破壊されることを防止できる。

[0105] 図１５に示した例において、余白領域１６７を除去した領域に、剛性の高い材料で形成された応力相殺チップを積層してもよい。これにより、積層半

導体装置１５０が熱等が与えられたことにより、積層半導体装置１５０が反ろうとした場合に、応力相殺チップにより、当該反りを抑制できる。さらに、同じ目的で、余白領域１６７を除去した領域に金属膜や絶縁膜を設けてもよい。

[0106] 図１６は、他の積層半導体装置２００を模式的に示した図である。図１６において、矢印で示す前後左右上下を積層半導体装置２００における前後左右上下方向とする。積層半導体装置２００は、下から順に、チップ２１２、チップ２３２の順で積層されている。

[0107] チップ２１２の外形は、正方形の板状である。チップ２１２は、自身の機能を発揮する回路領域２１４と、その周囲に余白領域２１６とを有する。回路領域２１４の外形は、正方形状である。余白領域２１６は、ダイシング時に切断される切り代となる。

[0108] チップ２３２の外形は、長方形の板状である。チップ２３２も、自身の機能を発揮する回路領域２３４と、その周囲に余白領域２３６とを有する。回路領域２３４の外形は、長方形状である。回路領域２３４は、チップ２３２における中央に配される。回路領域２３４は、回路領域２１４に対して前後方向の長さは等しいが、左右方向の長さが短い。したがって、回路領域２３４は回路領域２１４に対して小さく、回路領域２３４の外形は、回路領域２１４の外形と異なる。余白領域２３６は、ダイシング時に切断される切り代となる。

[0109] チップ２３２は、チップ２１２に対して前後方向の長さは等しいが、左右方向の長さは短い。チップ２３２の外形の大きさは、チップ２１２の外形に対して小さく、チップ２３２とチップ２１２の外形の大きさは、揃っていない。また、チップ２３２の左側端は、チップ２１２の左側端より左側となるように積層され、チップ２３２の右側端は、チップ２１２の右側端よりも左側となるように積層されている。したがって、チップ２１２とチップ２３２との左側端および右側端はそれぞれ揃っていなく、積層半導体装置２００において、チップ２３２とチップ２１２の外周は揃っていない。

[0110] 図１７は、図１６の積層半導体装置２００を製造する工程の一部を説明する斜視図である。ウエハ２４０は、例えばＳｉ基板に二次元的に繰り返し配された複数の単位領域２１８を有する。各単位領域２１８は、図１６の各チップ２１２に対応する。すなわち、ウエハ２４０の各単位領域２１８が個片化されて、チップ２１２となる。

[0111] ウエハ２５０は、Ｓｉ基板に二次元的に繰り返し配された複数の単位領域２３８を有する。各単位領域２３８は、回路領域２１４とは異なる外形の回路領域２３４を含む。各単位領域２３８の一部は、図１６のチップ２３２に対応する。

[0112] 図１６に示した積層半導体装置２００の例においては、チップ２１２の外形の方がチップ２３２の外形よりも大きい。本実施形態において、ウエハ２５０上の回路領域２３４のピッチは、ウエハ２４０上の回路領域２１４のピッチに揃えて形成される。これにより、単位領域２３８は、余白領域２３６に加えて、チップ２３２とチップ２１２の外形差分の余白領域２３７を含み、単位領域２３８の外形は、単位領域２１８と同じになる。

[0113] ウエハ２４０とウエハ２５０は、エンハンスト・グローバルアライメント法等の位置決め方法によって、対応する単位領域２１８、２３８が重なり合うように位置決めされた後に接合される。なお、ウエハ２４０の単位領域２１８の外周と、ウエハ２５０の単位領域２３８の外周は、揃えられていない。すなわち、ウエハ２４０の単位領域２１８の外周と、ウエハ２５０の単位領域２３８の外周は、ずらして位置決めされる。

[0114] 図１８は、図１７に続き、積層半導体装置２００を製造する工程の一部を説明する斜視図である。図１７で示したウエハ２４０、２５０は、位置決めされた後に接合されて、重ね合わせウエハ２６０が製造される。

[0115] 図１９は、図１８における重ね合わせウエハ２６０のＤ－Ｄ断面図を示す。図１９において、図２と共通の要素には同じ参照番号を付して、重複する説明を省略する。ウエハ２４０とウエハ２５０は、導通バンプ３５により、機械的に接合される。また、回路領域２３４に設けられた導通バンプ３５の

ピッチは、配線４４と導通ＴＳＶ３２により接続バンプ４０のピッチに広げられている。

[0116] 図２０は、図１８に続き、他の積層半導体装置２００を製造する工程の一部を説明する断面図である。ダイシング装置１８２は、余白領域２１６の中間を、ウエハ２５０を切断せずにウエハ２４０を切断する。ダイシング装置１８４は、余白領域２３６と余白領域２３７の境界を、ウエハ２４０を切断せずにウエハ２５０を切断する。余白領域２３７には、導通バンプ３５が設けられておらず、ウエハ２４０と機械的に接合していない。このため、余白領域２３７は、ダイシング装置１８４がウエハ２５０を切断することによって削除される。これにより、チップ２１２にチップ２３２が積層した積層半導体装置２００が製造される。

[0117] このように、ウエハ２４０、２５０を接合した後に個片化することにで、積層半導体装置２００が製造できる。これにより積層半導体装置２００の生産効率を向上できる。また、本実施形態においても、余白領域２３７に機能を発揮するための回路領域を設け、上記個片化された余白領域自体を、単層の半導体装置として利用してもよい。

[0118] 図１６に示した積層半導体装置２００において、チップ２３２の外形は、チップ２１２の外形に対して小さくしたが、チップ２３２の外形は、チップ２１２の外形と同じにしてもよい。この場合、チップ２３２とチップ２１２の外形が同じで、外周が揃えられていなく、外周がずれている積層半導体装置が製造される。

[0119] 図２１は、他の積層半導体装置を模式的に示した図である。図２１において、矢印で示す前後左右上下を積層半導体装置３００における前後左右上下方向とする。積層半導体装置３００は、下から順に、チップ３１２、チップ３２２の順で積層されている。

[0120] チップ３１２の外形は、正方形の板状である。チップ３１２は、自身の機能を発揮する回路領域３１４と、その周囲に余白領域３１６とを有する。回路領域３１４の外形は、正方形状である。余白領域３１６は、ダイシング時

に切断される切り代となる。

[0121] チップ３２２の外形は、長方形の板状である。チップ３２２も、自身の機能を発揮する回路領域３２４と、その周囲に余白領域３２６とを有する。回路領域３２４の外形は、長方形である。回路領域３２４は、チップ３２２の右側に寄って配される。したがって、余白領域３２６は、チップ２３２の左側に大きく設けられている。そして、チップ３２２の左側端は、チップ３１２の左側端より左となるように積層されており、チップ３２２におけるチップ３１２の左側端よりも左側にある領域は、全て余白領域３２６となっている。

[0122] 図２２は、他の積層半導体装置が搬送される状態を示した側面図である。図２２に示すように、積層半導体装置３００が搬送される場合において、搬送部材３３０は、積層半導体装置３００の余白領域３２６を把持して、積層半導体装置３００を搬送する。すなわち、余白領域３２６は、積層半導体装置３００を搬送する場合における掴み代となる。このように余白領域からなる掴み代を設けることによって、搬送部材３３０は、積層半導体装置３００における回路領域を把持することを避けることができ、積層半導体装置３００の回路領域を傷つけることなく積層半導体装置３００を把持して搬送できる。なお、図２２に示した例においては、積層半導体装置３００を把持する搬送部材３３０の例を示したが、積層半導体装置３００を吸着することによって持ち上げて搬送してもよい。この場合に、搬送部材３３０は、積層半導体装置３００の余白領域３２６を吸着して積層半導体装置３００を搬送する。

[0123] 図２３は、他の積層半導体装置を模式的に示した図である。図２３において、矢印で示す前後左右上下を積層半導体装置３５０における前後左右上下方向とする。積層半導体装置３５０は、チップ３５２上の左側にチップ３６２が積層されており、チップ３５２上の右側にチップ３７２が積層されており、下側のチップ３５２の外周と、上側に積層された二つのチップ３６２と３７２とから形成される外周が揃っている。

[0124] 図２４は、他の積層半導体装置を製造する工程の一部を説明する模式図である。図２４（ａ）は、チップ３５２上にチップ３６２が積層されている状態を示している。チップ３６２の外形は、長方形の板状である。チップ３６２は、自身の機能を発揮する回路領域３６４と、その周囲に余白領域３６６とを有する。チップ３５２の外形は同じく長方形の板状である。チップ３５２は、自身の機能を発揮する回路領域３５４、３５６と、その周囲に余白領域３５８とを有する。回路領域３５６は、回路領域３５４の機能の一部を機能とする回路を含む。

[0125] 図２４（ｂ）は、チップ３５２からチップ３７２が個片化された状態を示している。チップ３７２は、チップ３５２における回路領域３５４と３５６との境界における余白領域３５８をダイシング装置にて切断することにより切り出され、チップ３７２が個片化される。チップ３７２は、回路領域３５６と余白領域３５８とを有する。

[0126] チップ３７２が切り出された残りのチップ３５２の外形は、正方形の板状となる。チップ３７２の左右方向の長さは、チップ３７２が切り出され、残ったチップ３５２の左右方向の長さと、チップ３６２の左右方向の長さとの差よりもわずかに短い。なお、説明の便宜から図２４（ａ）と、図２４（ｂ）とを分けて示したが、ダイシング装置を用いて、重ね合わせウエハから図２４（ａ）に示した積層半導体装置の個片化と、図２４（ｂ）に示したチップ３７２の個片化とを同じタイミングで行ってもよい。

[0127] 図２４（ｃ）は、チップ３５２とチップ３６２とが重ね合わされた積層半導体装置に、チップオンチップ実装によりチップ３７２を積層して積層半導体装置３５０とした状態を示している。図２４（ｃ）に示したように、チップ３７２は、チップ３６２に隣接して積層されることによって、積層半導体装置３５０の下側チップの外周と、上側に積層された二つのチップ３６２と３７２とから形成される外周とが揃えられている。大きなチップの上に、小さなチップを積層して構成される積層半導体装置において、その大きさの差分となる空間は無駄な空間となる。図２３に示した積層半導体装置３５０は

、当該無駄な空間に、チップ３７２が積層され、さらにチップ３７２は、チップ３５２が有する回路領域３５４の機能の一部を機能とする回路を含む。これにより、積層半導体装置３５０は、同等の機能を有しながら、その面積を小さくできる。

[0128] 図２３に示した例において、チップ３７２の回路領域３５６は、チップ３５２が有する回路領域３５４の機能の一部を有する例を示したが、チップ３７２の回路領域３５６は、チップ３６２の回路領域３６４と同じ機能を有する回路であってもよい。この場合に、回路領域３６４と、回路領域３５６は、互いに接続されずに個別に閉じた回路を形成させて、回路領域３６４と３５６とを良否判定して、良と判定された回路領域を回路領域３５４に接合するとしてもよい。この場合に、回路領域の良否判定は、チップ３７２を積層する前に行い、チップ３６２の回路領域３６４が良と判断された場合には、チップ３７２を積層せず、チップ３６２が不良と判断された場合には、チップ３７２を積層するとしてもよい。

[0129] また、図２３において、チップ３７２の回路領域３５６は、チップ３５２が有する回路領域３５４の機能の一部を有する例を示したが、チップ３７２は、回路領域３５６を有さないチップであってもよい。チップ３５２にチップ３６２が積層された積層半導体装置において、チップ３６２の左右方向の幅がチップ３５２より狭いことで、積層半導体装置の上下で熱膨張率が異なる場合には、チップ３６２の隣に、回路領域を有さないチップ３７２を積層させて、積層半導体装置３５０における上下の熱膨張率を合せてもよい。これにより、積層半導体装置３５０における上下の熱膨張率を合せることができるので、熱による反りの発生を防止できる。

[0130] さらに、回路領域を有さないチップ３７２に溝またはスリットを設け、チップ３７２を積極的に変形させる構成としてもよい。チップ３５２が熱等により変形した場合にも、チップ３７２が変形することにより、チップ３６２の変形が抑制される。これにより、熱変形時にチップ３６２の破損を防止できる。

[0131] 本実施形態において、回路領域の外形は、正方形状、または長方形状としたが、これらに限らず、種々の形状を取り得る。また、チップの外形は、正方形状、または長方形状としたが、これらに限らず、種々の形状を取り得る。

[0132] また、チップの一例として、インターポーザ、ＭＰＵおよびメモリを用いて説明したが、チップの他の例として、ＦＰＧＡ、ＲＦ回路、種々のセンサー回路でもよい。さらに、同種類のチップを複数枚積層してもよく、全てのチップを異なる機能を有するチップとしてもよい。

[0133] 図２５は、積層半導体装置４６０の一例を模式的に示した図である。図２５において、矢印で示す前後左右上下を積層半導体装置４６０における前後左右上下方向とする。積層半導体装置４６０は、下から順に、チップ４１６、チップ４３０の順で積層されている。チップ４１６の一例は、インターポーザチップである。チップ４１６は、自身の機能を発揮する回路領域４１２と、その周囲にスクライブ領域４１４とを有する。回路領域４１２には、例えばチップ４１６がインターポーザチップである場合に、当該インターポーザとして機能する回路を構成する素子および配線等がＳｉ基板上に配置される。スクライブ領域４１４は、ダイシング時に切断される切り代となる。

[0134] チップ４３０は例えば、ＭＰＵ（Ｍｉｃｒｏ－Ｐｒｏｃｅｓｓｉｎｇ Ｕｎｉｔ）チップ、または、メモリチップである。チップ４３０も、自身の機能を発揮する回路領域４２２と、その周囲にスクライブ領域４２４とを有する。回路領域４２２には、例えばチップ４３０がメモリである場合に、当該メモリとして機能する回路を構成する素子および配線等がＳｉ基板上に配置される。スクライブ領域４２４は、ダイシング時に切断される切り代となる。

[0135] チップ４１６とチップ４３０とは、前後方向の長さが同じである。一方、左右方向の長さは、チップ４１６はチップ４３０の２倍である。

[0136] 図２６は、回路領域４１２が設けられた第１ウエハ４１０の一例を模式的に示した斜視図である。第１ウエハ４１０は、例えばＳｉ基板に二次元的に

周期的に隣接して配された複数の単位領域４１５を有する。複数の単位領域４１５は、リソグラフィ、エッチング等の半導体処理方法を用いて形成される。各単位領域４１５は、回路領域４１２およびスクライブ領域４１４を有し、図２５の各チップ４１６に対応する。すなわち、第１ウエハ４１０の各単位領域４１５が個片化されて、チップ４１６となる。

[0137] 図２７は、回路領域４２２が設けられた第２ウエハ４２０の一例を模式的に示した斜視図である。第２ウエハ４２０は、Ｓｉ基板に二次元的に周期的に配された複数の単位領域４２９を有する。第２ウエハ４２０には、単位領域４２９が前後方向には隣接して配されるが、左右方向には単位領域４２９と余白領域４２３が交互に配される。各単位領域４２９も、リソグラフィ、エッチング等の半導体処理方法を用いて形成される。各単位領域４２９は、回路領域４２２およびスクライブ領域４２４を有し、図２５の各チップ４３０に対応する。すなわち、第２ウエハ４２０の各単位領域４２９が個片化されて、チップ４３０となる。

[0138] 第１ウエハ４１０と第２ウエハ４２０とが準備される。第２ウエハ４２０を裏返しにした状態で、第２ウエハ４２０は、第１ウエハ４１０の上に積層されて接合される。第１ウエハ４１０と第２ウエハ４２０は、単位領域４１５に設けられた回路領域４１２のそれぞれが、単位領域４２９に設けられた回路領域４２２と余白領域４２３のそれぞれに重なり合うように位置決めされる。さらに、回路領域４１２の境界が、回路領域４２２と余白領域４２３との境界に揃うように、エンハンスト・グローバルアライメント法等の位置決め方法により第１ウエハ４１０と第２ウエハ４２０とが位置決めされ、積層された後に接合される。

[0139] 図２８は、接合装置１００の構造を模式的に示した断面図である。接合装置１００は、枠体１０８の内側に配置された、加圧部１０９、加圧ステージ１１８、受圧ステージ１２０、圧力検知部１３２を備える。

[0140] 枠体１０８は、互いに平行で水平な天板１０４および底板１０２と、天板１０４および底板１０２を結合する複数の支柱１０６とを備える。天板１０

４、支柱１０６および底板１０２は、それぞれ剛性が高い材料により形成され、応力が作用した場合も変形が生じない。

[0141] 枠体１０８の内側において、底板１０２の上には、加圧部１０９が配置される。加圧部１０９は、底板１０２の上面に固定されたシリンダ１１０と、シリンダ１１０の内側に配置されたプランジャ１１２とを有する。プランジャ１１２は、流体回路、カム、輪列等により駆動されて、図中に矢印Ｚにより示す、底板１０２に対して直角な方向に昇降する。

[0142] プランジャ１１２の上端には、加圧ステージ１１８が搭載される。加圧ステージ１１８は、プランジャ１１２の上端に結合された水平な板状の支持部１１４と、支持部１１４に平行な板状の基板保持部１１６とを有する。支持部１１４は、上方に開口して形成された球面座１１５を上面中央に有する。一方、基板保持部１１６は、下方に向かって突出した球面部１１７を、下面中央に有する。

[0143] 球面座１１５および球面部１１７は互いに相補的な形状および寸法を有して嵌合する。これにより、基板保持部１１６は、支持部１１４の上で傾斜角度を変えることができる。また、支持部１１４の上で基板保持部１１６の傾斜角度が変わった場合も、プランジャ１１２が支持部１１４を押上げ力が基板保持部１１６に伝達される。更に、支持部１１４は、基板保持部１１６の変位を下方から規制して、基板保持部１１６が過剰に傾斜することを防止する。

[0144] 基板保持部１１６は、上面に第１ウエハ４１０を静電吸着、負圧吸着等により吸着して保持する。これにより基板保持部１１６に吸着された第１ウエハ４１０は、基板保持部１１６と共に揺動する一方、基板保持部１１６からの移動あるいは脱落が抑制される。

[0145] 受圧ステージ１２０は、基板保持部１２２および複数の懸架部１２４を有する。懸架部１２４は、天板１０４の下面から垂下される。基板保持部１２２は、懸架部１２４の下端近傍において下方から支持され、加圧ステージ１１８に対向して配置される。

[0146] 基板保持部１２２も、静電吸着、負圧吸着等による吸着機構を有し、下面に第２ウエハ４２０を吸着して保持する。基板保持部１２２は、下方から懸架部１２４により支持される一方、上方への移動は規制されない。ただし、天板１０４および基板保持部１２２の間には、複数のロードセル１２６、１２８、１３０が挟まれる。複数のロードセル１２６、１２８、１３０は、基板保持部１２２の上方移動を規制すると共に、基板保持部１２２に対して上方に印加された圧力を検出する。

[0147] 接合装置１００にセットされた第１ウエハ４１０を上方に移動させて、第２ウエハ４２０と密着させる。この状態で、更に高い圧力を印加して両者を接合する。この場合に、第１ウエハ４１０、第２ウエハ４２０が加熱されてもよい。

[0148] 図２９は、重ね合わせウエハ４３６の一例を模式的に示した斜視図である。重ね合わせウエハ４３６は、第１ウエハ４１０と、第２ウエハ４２０とが積層されて製造される。

[0149] 図３０は、積層半導体装置４６０を製造する工程の一部を説明する断面図である。重ね合わせウエハ４３６は、複数の導通バンプ４５２と複数のダミーバンプ４５４とを介して第１ウエハ４１０と第２ウエハ４２０とを接合することによって製造される。なお、複数の導通バンプ４５２と複数のダミーバンプ４５４は、接合前に第２ウエハ４２０に設けられる。導通バンプ４５２は、第１ウエハ４１０の回路領域４１２と第２ウエハ４２０の回路領域４２２とを電気的に接続するとともに機械的にも接合する。導通バンプ４５２は、Ｓｎ、Ａｇ、Ｃｕ等の導電材料から形成される。

[0150] ダミーバンプ４５４は、第２ウエハ４２０の回路領域が配されていない領域と回路領域４１２とが対向する領域に設けられる。また、保護膜４５８は、回路領域４１２の上面であって、第２ウエハ４２０の回路領域が設けられていない領域に対向する面に設けられる。なお、保護膜４５８の一例は、SiO_2またはＳｉＮから構成される膜である。保護膜４５８を設けることによって、ダミーバンプ４５４と回路領域４１２とを電気的に絶縁させてもよい

。なお、保護膜４５８は、単位領域を形成する段階に設けてもよく、または第１ウエハ４１０を準備した後であって、第１ウエハ４１０と第２ウエハ４２０とが積層される前に設けてもよい。ダミーバンプ４５４は、第２ウエハ４２０と機械的に接続しているが、単位領域４１５とは、機械的に接続しない。ダミーバンプ４５４は、第１ウエハ４１０と第２ウエハ４２０の積層時に押圧力を受け、第１ウエハ４１０および第２ウエハ４２０が撓むことを抑制する。これにより、第１ウエハ４１０および第２ウエハ４２０の変形および破損を防止できる。なお、ダミーバンプ４５４は、導通バンプ４５２と同じくＳｎ、Ａｇ、Ｃｕ等の導電材料から形成されてよい。これにより、導通バンプ４５２を設ける装置をもちいて、第２ウエハ４２０にダミーバンプ４５４を設けることができる。

[0151] 図３１は、図３０に続き、積層半導体装置４６０を製造する工程の一部を説明する断面図である。ダイシング装置４６６は、積層された第１ウエハ４１０、第２ウエハ４２０において、回路領域４２２と余白領域４２３との境界を、第１ウエハ４１０を切断せずに第２ウエハ４２０を切断する。ここで、第１ウエハ４１０を切断せずに第２ウエハ４２０まで切断するとは、第２ウエハ４２０を切断し、さらに第１ウエハ４１０にダイシング装置の刃が接触して第１ウエハ４１０の一部が削れることを含む。ダイシング装置４６４は、積層された第１ウエハ４１０、第２ウエハ４２０において、回路領域４１２と余白領域４２３とがそろえられた境界を、第１ウエハ４１０および第２ウエハ４２０まで切断する。

[0152] ダミーバンプ４５４は、単位領域４１５に機械的に接合していない。このため、余白領域４２３は取り除かれ、第２ウエハ４２０の回路領域４２２に隣接した領域が開放される。これにより、チップ４１６にチップ４３０が積層した積層半導体装置４６０を製造できる。積層半導体装置４６０には、第１ウエハ４１０を切断せずに第２ウエハ４２０を切断した切断箇所が残る。また、解放された領域に対向する第１ウエハ４１０の面には、保護膜４５８が設けられる。保護膜４５８が、ＳｉＮからなる高剛性の膜である場合に、

保護膜４５８は、ダイシング装置４６６が第１ウエハ４１０を切断しないように第１ウエハ４１０を保護する。

[0153] 第１ウエハ４１０および第２ウエハ４２０を準備して、第１ウエハ４１０と第２ウエハ４２０とを位置決めして積層した重ね合わせウエハ４３６を、ダイシング装置４６４、６６を用いて切断することによって積層半導体装置４６０を製造する。これにより、積層半導体装置４６０の製造効率を向上できる。

[0154] 本実施形態において、第１ウエハ４１０、第２ウエハ４２０は１枚のウエハである例で説明した。しかし、第１ウエハ４１０、第２ウエハ４２０のすくなくとも一方は、複数のウエハが積層されたものであってもよい。これにより、積層半導体の製造効率を向上できる。

[0155] また、第１ウエハ４１０等を保持するホルダが用いられてもよい。当該ホルダは静電吸着等により第１ウエハ４１０を保持した状態で接合装置１００に搬送される。接合装置１００は第１ウエハ４１０等をホルダを介して押圧することにより第１ウエハ４１０等を接合する。

[0156] また、第２ウエハ４２０において、余白領域４２３に回路領域が設けられていない例で説明した。しかし、余白領域４２３に機能を発揮するための回路領域を設け、上記個片化された余白領域４２３自体を、単層の半導体装置として利用してもよい。

[0157] また、ダイシング装置４６４および６６を用いて重ね合わせウエハ４３６を個片化する場合において、重ね合わせウエハ４３６の上下の表面を保護するテープを貼ってもよい。この場合において、重ね合わせウエハ４３６の下方の面にテープを貼った後に、ダイシング装置４６６は、テープが貼られていない上方の面から重ね合わせウエハ４３６を切断する。その後、上方の面にテープを貼るとともに、下方の面に貼ったテープを剥がす。そして、ダイシング装置４６４は、テープが貼られていない下方の面から重ね合わせウエハ４３６を切断する。その後、上方の面に貼ったテープを剥がすとしてもよい。

[0158] ダイシング装置４６４および６６を用いて重ね合わせウエハ４３６を切断する場合に、重ね合わせウエハ４３６におけるダイシング装置４６４および６６の刃が当たる面の反対側の面には、重ね合わせウエハ４３６を切断する場合に発生する負荷がかかる。上述のように、重ね合わせウエハ４３６の表面を保護するテープを貼ることで、ダイシング装置４６４および６６による切断時の負荷から、積層半導体装置の表面および積層半導体装置自身を保護できる。

[0159] なお、図３０に示した例においては、導通バンプ４５２およびダミーバンプ４５４を設けた例を示したが、導通バンプ４５２およびダミーバンプ４５４を設けず、第１ウエハ４１０および第２ウエハ４２０の貼り合わせ面をグラインドまたはＣＭＰ等により平滑化して、貼り合わせ面側に露出させた配線を用いて第１ウエハ４１０と第２ウエハ４２０とを接合させてもよい。また、第１ウエハ４１０と第２ウエハ４２０とを接合する前に、第１ウエハ４１０および第２ウエハ４２０の貼り合わせ面を活性化させてもよい。これにより、配線に生じた不純物等が除去され、固相拡散が促進して、配線同士の接続の信頼性が向上する。

[0160] また、図３０において、ダミーバンプ４５４が導通バンプ４５２と同じＳｎ、Ａｇ、Ｃｕ等の導電材料から構成される例を示したが、ダミーバンプ４５４は、導通バンプ４５２とは異なる材料から構成されてもよい。この場合、ダミーバンプ４５４は、導通バンプが接合される圧力条件および温度条件であっても接合しない材料から構成されてもよい。

[0161] 図３２は、他の積層半導体装置４６２の例を模式的に示した図である。積層半導体装置４６２は、下から順に、チップ４４６、チップ４３２の順で積層されている。チップ４４６は、自身の機能を発揮する回路領域４４２と、その周囲にスクライブ領域４４４とを有する。また、チップ４３２は、自身の機能を発揮する回路領域４２６と、その周囲にスクライブ領域４２８とを有する。

[0162] チップ４４６とチップ４３２とは、前後方向の長さが同じである。一方、

左右方向の長さは、チップ４４６はチップ４３２の２倍である。

[0163] 図３３は、回路領域４２２、４２６が設けられた他の第２ウエハ４２１の一例を模式的に示した斜視図である。第２ウエハ４２１は、Ｓｉ基板に二次元的に周期的に配された複数の隣接する単位領域４２９および４３１を有する。複数の単位領域４２９、４３１は、リソグラフィ、エッチング等の半導体処理方法を用いて形成される。各単位領域４２９は、回路領域４２２およびスクライブ領域４２４を有し、図２５の各チップ４３０に対応する。各単位領域４３１は、回路領域４２６およびスクライブ領域４２８を有し、図３２の各チップ４３２に対応する。すなわち、第２ウエハ４２１の各単位領域４２９、４３１が個片化されて、チップ４３０、４３２となる。なお、図３３に示した例において、回路領域４２２と回路領域４２６とは、同形である。

[0164] 図３４は、図３３に示した第２ウエハ４２１のＡ－Ａ断面図を示す。単位領域４２９には、回路領域４２２の接続面が上側となるように、回路領域４２２が形成されている。一方、単位領域４３１には、回路領域４２６の接続面が下側となるように、回路領域４２６を形成している。回路領域４２２の接合面は、上面側に露出しているが、回路領域４２６の接合面は、下面側に露出していない。回路領域４２６の上面には、保護膜４５８が設けられている。

[0165] 図３５は、積層半導体装置４６０、６２を製造する工程の一部を説明する断面図である。積層半導体装置４６０、６２を製造する場合に、まず、第１ウエハ４１０と第２ウエハ４２１とが準備される。第２ウエハ４２１の回路領域４２２の接合面が下側を向いた状態で、第２ウエハ４２１は、第１ウエハ４１０上に積層されて接合される。第１ウエハ４１０と第２ウエハ４２１は、単位領域４１５に設けられた回路領域４１２のそれぞれが、単位領域４２９に設けられた回路領域４２２および単位領域４３１に設けられた回路領域４２６の２つに重なり合うように位置決めされる。さらに、回路領域４１２の境界が、回路領域４２２と回路領域４２６との境界にそろうように、エ

ンハンスト・グローバルアライメント法等の位置決め方法により第１ウエハ４１０と第２ウエハ４２１とが位置決めされ、積層された後に接合される。

[0166] 重ね合わせウエハ４３４は、複数の導通バンプ４５２と複数のダミーバンプ４５４とを介して第１ウエハ４１０と第２ウエハ４２１とを接合することによって製造される。なお、複数の導通バンプ４５２と複数のダミーバンプ４５４は、接合前に第１ウエハ４１０に設けられる。導通バンプ４５２は、第１ウエハ４１０の回路領域４１２と第２ウエハ４２１の隣接する２つの回路領域４２２、４２６のうちの一方の回路領域４２２と電気的に接続するとともに機械的にも接合する。導通バンプ４５２は、Ｓｎ、Ａｇ、Ｃｕ等の導電材料から形成される。

[0167] ダミーバンプ４５４は、回路領域４２６と回路領域４１２とが対向する領域に設けられる。回路領域４２６の下面に保護膜４５８を設けてもよく、これにより、ダミーバンプ４５４と回路領域４２６とを電気的に絶縁させてもよい。回路領域４１２の上面であって、回路領域４２６に対向する面には、保護膜４５８を設け、ダミーバンプ４５４と回路領域４１２とを電気的に絶縁させている。ダミーバンプ４５４は、単位領域４１５と機械的に接続しているが、単位領域４２９とは、機械的に接続しない。ダミーバンプ４５４は、第１ウエハ４１０と第２ウエハ４２１の積層時に押圧力を受け、第１ウエハ４１０および第２ウエハ４２１が撓むことを抑制する。ダミーバンプ４５４も、Ｓｎ、Ａｇ、Ｃｕ等の導電材料から形成される。

[0168] 図３６は、図３５に続き、積層半導体装置４６０、６２を製造する工程の一部を説明する断面図である。第１ウエハ４１０と第２ウエハ４２１とを接合した後、第２ウエハ４２１の上面側からＣＭＰ等により薄化する。これにより、回路領域４２６の接合面が、第２ウエハ４２１の上面側に露出する。

[0169] 図３７は、回路領域４４２が設けられた第３ウエハ４４０の一例を模式的に示した斜視図である。第３ウエハ４４０は、Ｓｉ基板に二次元的に周期的に配された複数の単位領域４４５を有する。複数の単位領域４４５は、リソグラフィ、エッチング等の半導体処理方法を用いて形成される。各単位領域

４４５は、回路領域４４２およびスクライブ領域４４４を有し、図３２の各チップ４４６に対応する。すなわち、第３ウエハ４４０の各単位領域４４５が個片化されて、チップ４４６となる。単位領域４４５の大きさは、単位領域４１５と同形であり、単位領域４４５は、単位領域４１５と同じピッチで配されている。

[0170] 準備された第３ウエハ４４０は、接合面が下側を向いた状態で、第１ウエハ４１０との間で第２ウエハ４２１を挟むように、重ね合わせウエハ４３４と接合される。第３ウエハ４４０と重ね合わせウエハ４３４とは、単位領域４４５に設けられた回路領域４４２のそれぞれが、単位領域４２９に設けられた回路領域４２２および単位領域４３１に設けられた回路領域４２６の２つに重なり合うように、かつ、単位領域４１５に設けられた回路領域４１２とは、半ピッチずれるように、位置決めされる。さらに、回路領域４４２同士の境界が、回路領域４２２と回路領域４２６との境界に揃うように、エンハンスト・グローバルアライメント法等の位置決め方法により第１ウエハ４１０と第２ウエハとが位置決めされ、積層された後に接合される。

[0171] 図３８は、他の重ね合わせウエハ４５０の一例を模式的に示した斜視図である。重ね合わせウエハ４５０は、第１ウエハ４１０と、第２ウエハ４２１と、第３ウエハ４４０とが積層されて製造される。

[0172] 図３９は、積層半導体装置４６０、６２を製造する工程の一部を説明する断面図である。重ね合わせウエハ４５０は、複数の導通バンプ４５２と、複数のダミーバンプ４５４とを介して重ね合わせウエハ４３４と第３ウエハ４４０とを接合することによって製造される。なお、複数の導通バンプ４５２と複数のダミーバンプ４５４は、第３ウエハ４４０に設けられる。導通バンプ４５２は、第３ウエハ４４０の回路領域４４２と第２ウエハ４２１の隣接する２つの回路領域４２２、４２６のうちの一方の回路領域４２６と電気的に接続するとともに機械的にも接合する。

[0173] ダミーバンプ４５４は、回路領域４４２と回路領域４２２とが対向する領域に設けられる。保護膜４５８は、回路領域４４２の下面であって回路領域

４２２に対向する面に設けられる。これにより、ダミーバンプ４５４と回路領域４４２とは電気的に絶縁される。ダミーバンプ４５４は、単位領域４４５と機械的に接続しているが、単位領域４３１とは、機械的に接続しない。ダミーバンプ４５４は、重ね合わせウエハ４３４と第３ウエハ４４０の積層時に押圧力を受け、第１ウエハ４１０、第２ウエハ４２１、および第３ウエハ４４０が撓むことを抑制する。

[0174] 図４０は、図３９に続き、積層半導体装置４６０、６２を製造する工程の一部を説明する断面図である。重ね合わせウエハ４３４と第３ウエハ４４０とを接合した後、第１ウエハ４１０の下面側と、第３ウエハ４４０の上面側をＣＭＰ等により研磨して薄化する。これにより、重ね合わせウエハ４５０は薄化される。

[0175] 図４１は、図４０に続き、積層半導体装置４６０、６２を製造する工程の一部を説明する断面図である。ダイシング装置４６４は、積層された第１ウエハ４１０、第２ウエハ４２１および第３ウエハ４４０において、回路領域４１２と回路領域４２２とがそろえられた境界を、第３ウエハ４４０は切断せずに、第１ウエハ４１０および第２ウエハ４２１までを切断する。ここで、第３ウエハ４４０を切断せずに第１ウエハ４１０および第２ウエハ４２１を切断するとは、第１ウエハ４１０および第２ウエハ４２１を切断し、さらに第３ウエハ４４０の一部を切断することを含む。

[0176] ダイシング装置４６６は、積層された第１ウエハ４１０、第２ウエハ４２１および第３ウエハ４４０において、回路領域４４２と回路領域４２６とがそろえられた境界を、第１ウエハ４１０は切断せずに、第３ウエハ４４０および第２ウエハ４２１までを切断する。ここで、第１ウエハ４１０を切断せずに第３ウエハ４４０および第２ウエハ４２１を切断するとは、第３ウエハ４４０および第２ウエハ４２１を切断し、さらに第１ウエハ４１０にダイシング装置の刃が接触して第１ウエハ４１０の一部が削れることを含む。

[0177] ダミーバンプ４５４は、単位領域４２９に機械的に接合していない。これにより、チップ４１６にチップ４３０が積層した積層半導体装置４６０が製

造される。積層半導体装置４６０には、第１ウエハ４１０を切断せずに第２ウエハ４２１を切断した切断箇所が残る。

[0178] ダミーバンプ４５４は、単位領域４３１に機械的に接合していない。これにより、チップ４４６にチップ４３２が積層した積層半導体装置４６２が製造される。積層半導体装置４６２には、第３ウエハ４４０を切断せずに第２ウエハ４２１を切断した切断箇所が残る。

[0179] 複数の導通バンプ４５２と複数のダミーバンプ４５４は、第１ウエハ４１０および第３ウエハ４４０に設けたが、第２ウエハ４２１に設けてもよい。また、第２ウエハ４２１を準備する段階において、ＣＭＰ等によって薄化された後の互いに隣接する回路領域４２２と回路領域４２６の構造を、前後表裏対称となるように形成する。また、第１ウエハ４１０に形成された回路領域４１２と、第３ウエハ４４０に形成された回路領域４４２の構造を前後対称となるように形成する。さらに、図４０に示した研磨によって、第１ウエハ４１０と第３ウエハ４４０とを同じ厚さとなるように薄化する。これにより、積層半導体装置４６０と、積層半導体装置４６２とを同じ積層半導体装置とすることができる。

[0180] また、第１ウエハ４１０の形成された回路領域４１２と、第３ウエハ４４０に形成された回路領域４４２とを異なる機能を有する回路領域とし、第２ウエハ４２１に形成された回路領域４２２と回路領域４２６とを異なる機能を有する回路領域としてもよい。これにより、積層半導体装置４６０と、積層半導体装置４６２とを異なる積層半導体装置とすることができる。

[0181] 図２５および図３１に示した例において、チップ４１６とチップ４３０とは、前後方向の長さが同じであり、左右方向の長さは、チップ４１６はチップ４３０の２倍であるとしたが、チップ４３０の大きさは、前後方向はチップ４１６以下でよく、左右方向は、チップ４１６の２分の１以下であればよい。同様に、チップ４４６とチップ４３２とは、前後方向の長さが同じであり、左右方向の長さは、チップ４４６はチップ４３０の２倍であるとした。しかし、チップ４３０の大きさは、前後方向はチップ４４６以下でよく、左

右方向はチップ４４６の２分の１以下であればよい。

[0182] このように、第１ウエハ４１０と、第２ウエハ４２１と、第３ウエハ４４０を準備して、第１ウエハ４１０と、第２ウエハ４２０と、第３ウエハ４４０を位置決めして積層する。積層された重ね合わせウエハ４５０を、ダイシング装置４６４、６６を用いて切断して積層半導体装置４６０および６２を製造する。これにより、積層半導体装置４６０および６２の製造効率を向上できる。

[0183] また、第１ウエハ４１０に、回路領域４１２と回路領域４２６とを電気的に接続するとともに機械的に接合する導通バンプを設け、第１ウエハ４１０に、回路領域４１２と回路領域４２２とが対向する領域に、積層時の押圧力を受けるダミーバンプ４５４を設ける。これにより、積層時のウエハの撓みを抑制して、積層時における不良発生を防止でき、積層半導体装置４６０、６２の良品率を向上できる。

[0184] また、チップ４１６がＭＰＵチップであり、チップ４３０がメモリチップである場合には、回路領域の外形が異なる蓋然性が高いチップをウエハ状態で積層する。これにより、ＭＰＵとメモリを含む積層半導体装置の製造効率を向上できる。さらに、チップ４１６がインターポーザチップであり、チップ４３０がＭＰＵチップおよびメモリチップの何れか一方であってもよく、この場合においても、回路領域の外形が異なる蓋然性が高いチップをウエハ状態で積層できるので、この場合にも製造効率を向上できる。ここで、回路領域の外形とは、電気的に閉じた回路の外周を結ぶ線で囲まれた領域の形状である。従って、一つのチップに複数の回路が形成されている場合、それらが個別に電気的に閉じた回路である場合には、そのチップには複数の回路領域が存在し、それら全てが互いに電気的につながっている場合には、そのチップには一つの回路領域が存在している。

[0185] 図４２は、他の半導体装置を製造する工程の一部を説明する断面図である。図４２において、図３５と同じ要素には、同じ参照番号を付して重複する説明を省略する。図４２に示した第２ウエハ４２１には、回路領域４２６に

接続する二つの導通ＴＳＶ４２７が設けられている。第１ウエハ４１０と第２ウエハ４２１は、単位領域４１５に設けられた回路領域４１２のそれぞれが、単位領域４２９に設けられた回路領域４２２および単位領域４３１に設けられた回路領域４２６の２つに重なり合うように位置決めされて接合される。

[0186] 図４３は、図４２に続き、他の積層半導体装置を製造する工程の一部を説明する断面図である。第１ウエハ４１０と第２ウエハ４２１とを接合して重ね合わせウエハ４３４を製造した後、ＣＭＰ等により、第２ウエハ４２１の上面側から第２ウエハ４２１を研磨して、導通ＴＳＶ４２７を露出させる。

[0187] 図４４は、図４３に続き、他の積層半導体装置を製造する工程の一部を説明する断面図である。重ね合わせウエハ４５０は、複数の導通バンプ４５２と、複数のダミーバンプ４５４とを介して、重ね合わせウエハ４３４と第３ウエハ４４０とを接合することによって製造される。重ね合わせウエハ４５０において、導通バンプ４５２は、導通ＴＳＶ４２７と接合して、電気的に接続される。これにより、第３ウエハ４４０の回路領域４４２と、第２ウエハ４２１の回路領域４２６とが電気的に接続される。

[0188] 図４５は、図４４に続き、他の積層半導体装置を製造する工程の一部を説明する断面図である。重ね合わせウエハ４３４と第３ウエハ４４０とを接合した後、第１ウエハ４１０の下面側と、第３ウエハ４４０の上面側をＣＭＰ等により研磨して薄化する。そして、ダイシング装置４６４は、積層された第１ウエハ４１０、第２ウエハ４２１および第３ウエハ４４０において、回路領域４１２と回路領域４２２とが揃えられた境界を、第３ウエハ４４０は切断せずに、第１ウエハ４１０および第２ウエハ４２１までを切断する。さらに、ダイシング装置４６６は、積層された第１ウエハ４１０、第２ウエハ４２１および第３ウエハ４４０において、回路領域４４２と回路領域４２６とがそろえられた境界を、第１ウエハ４１０は切断せずに、第３ウエハ４４０および第２ウエハ４２１までを切断する。これにより積層半導体装置４６０および６２が製造される。

[0189] このように、第２ウエハ４２１において、回路領域４２２および２６の上下方向の長さを同じとして、回路領域４２６に導通ＴＳＶ４２７を設けてもよい。そして、第２ウエハ４２１を研磨して導通ＴＳＶ４２７を露出させ、露出させた導通ＴＳＶ４２７と導通バンプ４５２とを接合させて、回路領域４２６と回路領域４４２とを電気的に接続させてもよい。

[0190] また、ダイシング装置４６４および６６を用いて重ね合わせウエハ４５０を個片化する場合において、重ね合わせウエハ４５０の表面を保護するテープを貼ってもよい。この場合において、重ね合わせウエハ４５０の下方の面にテープを貼った後に、ダイシング装置４６６は、テープが貼られていない上方の面から重ね合わせウエハ４５０を切断する。その後、上方の面にテープを貼るとともに、下方の面に貼ったテープを剥がす。そして、ダイシング装置４６４は、テープが貼られていない下方の面から重ね合わせウエハ４５０を切断する。その後、上方の面に貼ったテープを剥がすとしてもよい。

[0191] ダイシング装置４６４および６６を用いて重ね合わせウエハ４５０を切断する場合に、重ね合わせウエハ４５０におけるダイシング装置４６４および６６の刃が当たる面の反対側の面には、ダイシング装置４６４および６６が重ね合わせウエハ４５０を切断する場合に発生する負荷がかかる。上述のように、重ね合わせウエハ１８０の表面を保護するテープを貼ることで、ダイシング装置４６４および６６による切断時の負荷から、積層半導体装置４６０および６２を保護できる。

[0192] 図４６は、回路領域４１２、２６が設けられた他の第１ウエハ４７０の例を模式的に示した斜視図である。第１ウエハ４７０は、Ｓｉ基板に二次元的に回路領域４１２を有する単位領域４１５および回路領域４２６を有する単位領域４３１の組が周期的に配されている。回路領域４１２と回路領域４２６は、互いに大きさが異なる。回路領域４１２を有する単位領域４１５と回路領域４２６を有する単位領域４３１とは、前後方向の大きさが同じである。一方、左右方向の大きさは、単位領域４１５は、単位領域４２９の２倍である。複数の単位領域４１５および３１は、リソグラフィ、エッチング等の

半導体処理方法を用いて形成される。各単位領域４１５および２９が個片化されて、チップ４１６およびチップ４３２となる。

[0193] 図４７は、回路領域４２２、４２が設けられた他の第２ウエハ４８０の例を模式的に示した斜視図である。第２ウエハ４８０は、Ｓｉ基板に二次元的に回路領域４４２を有する単位領域４４５および回路領域４２２を有する単位領域４２９の組が周期的に配されている。回路領域４４２と回路領域４２２は、互いに大きさが異なる。回路領域４４２を有する単位領域４４５と回路領域４２２を有する単位領域４２９は、前後方向の大きさは同じである。一方、左右方向の大きさは、単位領域４４５は、単位領域４２９の２倍である。複数の単位領域４４５および２９は、リソグラフィ、エッチング等の半導体処理方法を用いて形成される。各単位領域４４５および２９が個片化されて、チップ４４６およびチップ４３０となる。

[0194] 図４６、図４７に示した例において、回路領域４１２と回路領域４４２とは、同形である。また回路領域４２６と回路領域４２２とは、同形である。

[0195] 図４８は、他の重ね合わせウエハ４９０の例を模式的に示した斜視図である。第１ウエハ４７０と第２ウエハ４８０とが準備される。第２ウエハ４８０は、接合面を下側に向けた状態で、第１ウエハ４７０の上に第２ウエハ４８０が積層されて接合される。第１ウエハ４７０と第２ウエハ４８０は、単位領域４１５に設けられた回路領域４１２のそれぞれが、単位領域４２９に設けられた回路領域４２２に対向するように、また、単位領域４３１に設けられた回路領域４２６と単位領域４４５に設けられた回路領域４４２に対向するように位置決めされる。さらに、回路領域４１２と回路領域４２６との境界が、回路領域４２２と４２との境界に揃うように、エンハンスト・グローバルアライメント法等の位置決め方法により第１ウエハ４７０と第２ウエハ４８０とが位置決めされ、積層された後に接合されて、重ね合わせウエハ４９０が製造される。

[0196] 図４９は、積層半導体装置４６０、６２を製造する工程の一部を説明する断面図である。重ね合わせウエハ４９０は、複数の導通バンプ４５２と複数

のダミーバンプ４５４とを介して第１ウエハ４７０と第２ウエハ４８０とを接合することによって製造される。なお、複数の導通バンプ４５２と複数のダミーバンプ４５４は、接合前に第２ウエハ４８０に設けられる。導通バンプ４５２は、第１ウエハ４７０の回路領域４１２と第２ウエハ４８０の回路領域４２２とを電気的に接続するとともに機械的に接合する。また、導通バンプ４５２は、第１ウエハ４７０の回路領域４２６と、第２ウエハ４８０の回路領域４４２とを電気的に接続するとともに機械的に接合する。

[0197] ダミーバンプ４５４は、第１ウエハ４７０の回路領域４１２と第２ウエハ４８０の回路領域４４２とが対向する領域に設けられる。保護膜４５８は、第１ウエハ４７０の回路領域４１２と第２ウエハ４８０の回路領域４４２とが対向する回路領域４１２の上面および回路領域４４２の下面に設けられる。これにより、ダミーバンプ４５４と回路領域４１２、４２とが電気的に絶縁される。ダミーバンプ４５４は、第２ウエハ４８０の単位領域４４５と機械的に接続しているが、第１ウエハ４７０の単位領域４１５とは、機械的に接続しない。ダミーバンプ４５４は、第１ウエハ４７０と第２ウエハ４８０の積層時に押圧力を受け、第１ウエハ４７０および第２ウエハ４８０が撓むことを抑制する。

[0198] 図５０は、図４９に続き、積層半導体装置４６０、６２を製造する工程の一部を説明する断面図である。ダイシング装置４６７は、積層された第１ウエハ４７０、第２ウエハ４８０において、第１ウエハ４７０における左側が回路領域４２２、右側が回路領域４１２となる境界を第１ウエハ４７０を切断せずに、第２ウエハ４８０までを切断する。なお、図５０に示した例においても、第１ウエハ４７０を切断せずに、第１ウエハ４７０にダイシング装置の刃が接触して第１ウエハ４７０の一部が削れることを含む。

[0199] ダイシング装置４６８は、積層された第１ウエハ４７０、第２ウエハ４８０において、第２ウエハ４８０における左側が回路領域４１２、右側が回路領域４２２となる境界を第２ウエハ４８０を切断せずに、第１ウエハ４７０までを切断する。ダイシング装置４６９は、積層された第１ウエハ４７０、

第２ウエハ４８０において、左側が回路領域４１２と回路領域４２２とがそろえられ、右側が回路領域４４２と回路領域４２６とが揃えられた境界において、第１ウエハ４７０と第２ウエハ４８０の両方を切断する。

[0200] ここで、ダミーバンプ４５４は、第１ウエハ４７０の単位領域４１５とは、機械的に接続しない。これにより、チップ４１６にチップ４３０が積層した積層半導体装置４６０と、チップ４４６にチップ４３２が積層した積層半導体装置４６２とが製造される。積層半導体装置４６０には、第１ウエハ４７０を切断せずに第２ウエハ４８０を切断した切断箇所が残る。積層半導体装置４６２には、第２ウエハ４８０を切断せずに第１ウエハ４７０を切断した切断箇所が残る。

[0201] 第１ウエハ４７０および第２ウエハ４８０を準備して、第１ウエハ４７０と第２ウエハ４８０とを位置決めして積層した重ね合わせウエハ４９０を、ダイシング装置４６７、４６８、４６９を用いて切断することによって積層半導体装置４６０および４６２を製造する。これにより、積層半導体装置４６０および４６２の製造効率を向上できる。

[0202] また、ダイシング装置４６７、４６８、４６９を用いて重ね合わせウエハ４９０を個片化する場合において、重ね合わせウエハ４９０の表面を保護するテープを貼ってもよい。この場合において、重ね合わせウエハ４９０の上方の面にテープを貼った後に、ダイシング装置４６７は、テープが貼られていない下方の面から重ね合わせウエハ４９０を切断する。その後、下方の面にテープを貼るとともに、上方の面に貼ったテープを剥がす。そして、ダイシング装置４６８、４６９は、テープが貼られていない上方の面から重ね合わせウエハ４９０を切断する。その後、下方の面に貼ったテープを剥がすとしてもよい。

[0203] ダイシング装置４６７、４６８、４６９を用いて重ね合わせウエハ４９０を切断する場合に、重ね合わせウエハ４９０におけるダイシング装置４６７、４６８、４６９の刃が当たる面の反対側の面には、ダイシング装置４６７、４６８、４６９が重ね合わせウエハ４９０を切断する場合に発生する負荷

がかかる。上述のように、重ね合わせウエハ４９０の表面を保護するテープを貼ることで、ダイシング装置４６７、４６８、４６９による切断時の負荷から、積層半導体装置４６０および６２を保護できる。

[0204] 図４７に示した例において、第２ウエハ４８０は第１ウエハ４７０と別のウエハを用いて、それぞれ異なる回路領域を有する積層半導体装置４６０と積層半導体装置４６２とを製造する例を示したが、第２ウエハ４８０を第１ウエハ４７０と同じとしてもよい。これにより、積層半導体装置４６０と積層半導体装置４６２とを同じ積層半導体装置とすることができる。

[0205] なお、図４６および図４７に示した例において、回路領域４１２を有する単位領域４１５と回路領域４２６を有する単位領域４３１は、前後方向の大きさは同じであり、左右方向の大きさは、単位領域４１５は、単位領域４２９の２倍であるとした。しかし、単位領域４３１の大きさは、前後方向は、単位領域４１５以下でよく、左右方向も単位領域４１５以下であればよい。また、回路領域４４２を有する単位領域４４５と回路領域４２２を有する単位領域４２９の大きさの関係も、単位領域４１５と単位領域４２９との大きさの関係と同一であればよい。

[0206] 図５１は、他の積層半導体装置４９２の例を模式的に示した図である。積層半導体装置４９２は、下から順に、チップ４１６、チップ４４６の順で積層されている。チップ４１６とチップ４４６とは、前後方向、左右方向の長さが同じであり、チップ４１６の右半分が、チップ４４６の左半分に接合して、積層半導体装置４９２が形成される。

[0207] 図５２は、積層半導体装置４９２を製造する工程の一部を説明する断面図である。回路領域４１２を含む単位領域４１５が形成された第１ウエハ４９４と、回路領域４４２を含む単位領域４４５が形成された第２ウエハ４９６とが準備される。第２ウエハ４９６は、接合面を下側に向けた状態で位置決めされる。第２ウエハ４９６は、回路領域４１２の境界が、回路領域４４２の境界と揃わないように、かつ、回路領域４１２と回路領域４４２とが少なくとも部分的に重なりあうように、第２ウエハ４９６を第１ウエハ４９４に

対して半ピッチずらして位置決めされる。第１ウエハ４９４と第２ウエハ４９６とは、エンハンスト・グローバルアライメント法等の位置決め方法により位置決めされ、積層された後に接合される。

[0208] 重ね合わせウエハ４９８は、複数の導通バンプ４５２と複数のダミーバンプ４５４とを介して第１ウエハ４９４と第２ウエハ４９６とを接合することによって製造される。なお、複数の導通バンプ４５２と複数のダミーバンプ４５４は、接合前に第２ウエハ４９６に設けられる。導通バンプ４５２は、第１ウエハ４９４の回路領域４１２と第２ウエハ４９６の回路領域４４２と電気的に接続するとともに機械的にも接合する。

[0209] ダミーバンプ４５４は、第１ウエハ４９４の回路領域４１２の左側部分と第２ウエハ４９６の回路領域４４２の右側部分とが対向する領域に設けられる。保護膜４５８は、第１ウエハ４９４の回路領域４１２の左側部分と第２ウエハ４９６の回路領域４４２の右側部分に設けられる。これにより、回路領域４１２と回路領域４４２とダミーバンプ４５４とが電気的に絶縁される。ダミーバンプ４５４は、第２ウエハ４９６の単位領域４４５と機械的に接続しているが、第１ウエハ４９４の単位領域４１５とは、機械的に接続しない。ダミーバンプ４５４は、第１ウエハ４９４と第２ウエハ４９６の積層時に押圧力を受け、第１ウエハ４９４および第２ウエハ４９６が撓むことを抑制する。

[0210] 図５３は、図５２に続き、積層半導体装置４９２を製造する工程の一部を説明する断面図である。ダイシング装置４６７は、重ね合わせウエハ４９８において、回路領域４１２と回路領域４４２との境界が揃えられていない回路領域４１２の境界を、第２ウエハ４９６を切断せずに、第１ウエハ４９４までを切断する。ダイシング装置４６８は、重ね合わせウエハ４９８において、回路領域４１２と回路領域４４２との境界が揃えられていない回路領域４４２の境界を第１ウエハ４９４を切断せずに、第２ウエハ４９６までを切断する。ダミーバンプ４５４は、第１ウエハ４９４の単位領域４１５とは、機械的に接続しない。これにより、チップ４１６にチップ４４６が積層した

積層半導体装置４９２が製造される。積層半導体装置４９２には、第１ウエハ４９４を切断せずに第２ウエハ４９６を切断した切断箇所、および第２ウエハ４９６を切断せずに第１ウエハ４９４を切断した切断箇所が残る。

[0211] 第１ウエハ４９４および第２ウエハ４９６を準備して、第１ウエハ４９４と第２ウエハ４８０とを位置決めして積層した重ね合わせウエハ４９８を、ダイシング装置４６７、４６８を用いて切断することによって積層半導体装置４９２を製造する。これにより、積層半導体装置４９２の製造効率を向上できる。

[0212] 本実施形態において、回路領域４１２、４２２、４２６、４４２は、１つの回路を有する例で説明した。しかし、回路領域４１２、４２２、４２６、４４２は、複数の回路を有してもよい。また、チップの一例として、インターポーザ、ＭＰＵおよびメモリを用いて説明したが、チップの他の例として、ＦＰＧＡ、ＲＦ回路、種々のセンサー回路でもよい。さらに、同種類のチップを複数枚積層してもよい。

[0213] 以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。また、上記実施の形態に、多様な変更または改良を加え得ることが当業者に明らかである。更に、変更または改良を加えた形態も本発明の技術的範囲に含まれ得ることは、請求の範囲の記載から明らかである。

[0214] 請求の範囲、明細書、および図面中において示した装置、システム、プログラム、および方法における動作、手順、ステップ、および段階等の各処理の実行順序は、特段「より前に」、「先立って」等と明示しておらず、また、前の処理の出力を後の処理で用いるのでない限り、任意の順序で実現しうることに留意すべきである。請求の範囲、明細書、および図面中の動作フローに関して、便宜上「まず、」、「次に、」等を用いて説明したとしても、この順で実施することが必須であることを意味するものではない。

符号の説明

[0215] １０、６０、７０、８０、１５０、２００、３００、３５０、４６０、４６

２、４９２　積層半導体装置、１２、１４、１６、６２、６４、６６、７２、７４、７６、８１、８２、８３、８４、１５２、１６２、２１２、２３２、３１２、３２２、３５２、３６２、３７２、４１６、４３０、４３２、４４６　チップ、１３、１５、１７、１５８、１６８、２１８、２３８、４１５、４２９、４３１、４４５　単位領域、２０、２４、２８、５５、５７、５９、７８、７９、８５、８６、８７、８８、１５４、１６４、２１４、２３４、３１４、３２４、３５４、３５６、３６４、４１２、４２２、４２６、４４２　回路領域、２２、２６、３０、６１、６３、６５、８９、９０、９１、９２、１５６、１６６、１６７、２１６、２３６、２３７、３１６、３２６、３５８、３６６、４２３　余白領域、３２、４２７　導通ＴＳＶ、３４　放熱ＴＳＶ、３５、３６、４５２　導通バンプ、３８、１６９、４５４　ダミーバンプ、４０　接続バンプ、４２　素子、４４　配線、４６、４８、９５、９６、９７　領域、５０、５２、５４、１６０、１７０、２４０、２５０　ウエハ、１００　接合装置、１０２　底板、１０４　天板、１０６　支柱、１０８　枠体、１０９　加圧部、１１０　シリンダ、１１２　プランジャ、１１４　支持部、１１５　球面座、１１６　基板保持部、１１７　球面部、１１８　加圧ステージ、１２０　受圧ステージ、１２２　基板保持部、１２４　懸架部、１２６、１２８、１３０　ロードセル、１３２　圧力検知部、１８０、２６０、４３４、４３６、４５０、４９０、４９８　重ね合わせウエハ、１８２、１８４、４６４、４６６、４６７、４６８、４６９　ダイシング装置、３３０　搬送部材、４１０、４７０、４９４　第１ウエハ、４１４、４２４、４２８、４４４　スクライブ領域、４２０、４２１、４８０、４９６　第２ウエハ、４４０　第３ウエハ、４５８　保護膜

請求の範囲

[請求項1] 第１ウエハに形成された複数の第１回路と、前記複数の第１回路のそれぞれに対応する位置で第２ウエハに形成され、前記複数の第１回路のそれぞれとは異なる外形を有する複数の第２回路とがそれぞれ少なくとも部分的に重なり合うように前記第１ウエハと前記第２ウエハとを積層する積層ステップを含む積層半導体製造方法。

[請求項2] 前記積層ステップは、前記複数の第１回路のそれぞれに形成された第１接続部と、前記複数の第２回路のそれぞれに前記第１接続部に対応する位置で形成された第２接続部とが、それぞれ少なくとも部分的に対向するように積層する請求項１に記載の積層半導体製造方法。

[請求項3] 互いに隣り合う前記複数の第２回路間における前記第２接続部の間隔が、互いに隣り合う前記複数の第１回路間における前記第１接続部との間隔に等しい請求項２に記載の積層半導体製造方法。

[請求項4] 前記複数の第１回路のそれぞれと前記複数の第２回路のそれぞれとの機能が異なる請求項１から３の何れか１項に記載の積層半導体製造方法。

[請求項5] 第１回路を含む第１単位領域が二次元的に繰り返し複数形成された第１ウエハを準備するステップと、

前記第１ウエハの前記第１回路とは異なる外形の第２回路を含む第２単位領域が二次元的に繰り返し複数形成された第２ウエハを準備するステップと、

積層された前記第１単位領域および前記第２単位領域を個片化することにより、複数の積層半導体装置を形成するステップと

をさらに備える請求項１から４の何れか１項に記載の積層半導体製造方法。

[請求項6] 前記第１回路および前記第２回路の何れか一方の外に余白領域が設けられることにより、少なくとも前記積層するステップにおいて、前記第１単位領域と前記第２単位領域との間で大きさが揃えられている

請求項５に記載の積層半導体製造方法。

[請求項7] 前記第１の単位領域と前記第２の単位領域との間で外周が揃えられている請求項６に記載の積層半導体製造方法。

[請求項8] 前記積層するステップ後に、前記余白領域の少なくとも一部を削除するステップをさらに備える請求項６または７に記載の積層半導体製造方法。

[請求項9] 前記第１ウエハを準備するステップは、

前記第１ウエハに、第１接続部として、前記第１回路と前記第２回路とを電気的に接合する導通バンプを設けるステップと、

前記第１ウエハに、前記第１ウエハおよび前記第２ウエハを積層する場合の押圧力を受けるダミーバンプを設けるステップを含む請求項５から８の何れか１項に記載の積層半導体製造方法。

[請求項10] 前記第２ウエハを準備するステップは、

前記第２ウエハに、第１接続部として、前記第２回路と前記第１回路とを電気的に接合する導通バンプを設けるステップと、

前記第２ウエハに、前記第１ウエハおよび前記第２ウエハを積層する場合の押圧力を受けるダミーバンプを設けるステップを含む請求項５から９の何れか１項に記載の積層半導体製造方法。

[請求項11] 前記導通バンプは、前記第１回路と前記第２回路とを機械的に接合する請求項９または１０に記載の積層半導体製造方法。

[請求項12] 前記ダミーバンプは、前記導通バンプが接合する条件では接合しない請求項９から１１の何れか１項に記載の積層半導体製造方法。

[請求項13] 前記第１ウエハと前記第２ウエハとを積層するステップは、

前記第１ウエハと前記第２ウエハとの貼り合せ面を活性化するステップをさらに含む請求項５から８の何れか１項に記載の積層半導体製造方法。

[請求項14] 前記第１ウエハを準備するステップは、前記第１回路が、前記第２回路より広い場合に、前記第１回路における前記第２回路と対向する

側の面であって、接合される前記第２回路と対向しない前記第１回路が露出した面に、保護膜を設ける保護膜形成ステップを含む請求項５から１３の何れか１項に記載の積層半導体製造方法。

[請求項15] 前記個片化するステップは、

前記積層された前記第１ウエハおよび前記第２ウエハの一方の面に保護テープを貼るステップと、

ダイシング装置を用いて、前記積層された前記第１ウエハおよび前記第２ウエハの他方の面から切断するステップと、

前記他方の面に保護テープを貼るステップと、

前記一方の面から保護テープを剥がすステップと、

前記ダイシング装置を用いて、前記一方の面から切断するするステップと、

を含む請求項５から１４の何れか１項に記載の積層半導体製造方法。

[請求項16] 第１回路領域が形成された第１チップと、

前記第１チップに積層され、前記第１回路の外形と異なる外形を有する第２回路が形成された第２チップと、

を備え、

前記第１チップおよび前記第２チップのいずれか一方は、前記第１チップおよび前記第２チップの他方に積層された状態で、前記第１チップおよび前記第２チップの他方と大きさが揃うように、前記第１回路および前記第２回路のいずれか一方の外に余白領域を有する積層半導体装置。

[請求項17] 前記第１チップの外周と前記第２チップの外周とが揃えられている請求項１６に記載の積層半導体装置。

[請求項18] 前記第１回路および前記第２回路の少なくとも一方の外側には貫通電極が設けられる請求項１６または１７に記載の積層半導体装置。

[請求項19] 前記貫通電極は、前記余白領域と同一の層の回路領域と電気的に接続されている請求項１８に記載の積層半導体装置。

[請求項20] 前記貫通電極は、前記余白領域と同一の層の回路領域から電気的に絶縁されており、他の層の回路領域と電気的に接続されている請求項１８に記載の積層半導体装置。

[請求項21] 前記第１回路および前記第２回路の少なくとも一方の外側には放熱回路が設けられる請求項１６から２０のいずれか１項に記載の積層半導体装置。

[請求項22] 前記第１回路および前記第２回路の少なくとも一方の外側には冗長回路が設けられる請求項１６から２１のいずれか１項に記載の積層半導体装置。

[請求項23] 前記第１回路および前記第２回路の少なくとも一方の外側には試験回路が設けられる請求項１６から２２のいずれか１項に記載の積層半導体装置。

[請求項24] 前記試験回路は、導通検査用のプローブを当てる端子を含む請求項２３に記載の積層半導体装置。

[請求項25] 前記第１回路および前記第２回路の少なくとも一方の外側は、搬送部材により搬送される場合における掴み代となる請求項１６から２４の何れか１項に記載の積層半導体装置。

[請求項26] 前記第１チップおよび前記第２チップのそれぞれにおいて前記第１回路および前記第２回路を片寄らせて配し、前記第１回路の片寄りの方向と、前記第２回路の片寄りの方向とを異ならせる請求項１６から２５のいずれか１項に記載の積層半導体装置。

[請求項27] 前記第１回路と前記第２回路とが重ならないように配置されている請求項２６に記載の積層半導体装置。

[請求項28] 前記余白領域を有するチップが２つ以上ある場合には、上のチップの余白の大きさは、下のチップの余白よりも大きい請求項１６から２７のいずれか１項に記載の積層半導体装置。

[請求項29] 前記余白領域を有するチップが２つ以上ある場合には、上のチップの余白の大きさは、下のチップの余白より小さい請求項１６から２７

のいずれか１項に記載の積層半導体装置。

[請求項30] 前記第１チップおよび前記第２チップの一方が演算処理チップであり、他方がメモリである請求項１６から２９のいずれか１項に記載の積層半導体装置。

[請求項31] 前記第１回路と前記第２回路とを電気的に接続する導通バンプを有する請求項１６から３０の何れか１項に記載の積層半導体装置。

[請求項32] 前記導通バンプは、Ｃｕから形成される請求項３１に記載の積層半導体装置。

[請求項33] 前記第１回路と前記第２回路との何れか一方と電気的に絶縁されているダミーバンプを有する請求項３１または３２に記載の積層半導体装置。

[請求項34] 前記ダミーバンプは、前記導通バンプが前記第１回路と前記第２回路とを接合する条件では、前記第１回路と前記第２回路とを接合しない材料で形成される請求項３３に記載の積層半導体装置。

[請求項35] 電気的に絶縁された前記ダミーバンプの密度は、電気的に接続する前記導通バンプの密度よりも小さい請求項３３または３４に記載の積層半導体装置。

[請求項36] 前記第１回路が前記第２回路よりも大きい場合であって、下のチップが前記第１チップである場合に、前記第１チップがインターポーザチップであり、前記第２チップが演算処理チップおよびメモリチップの少なくとも一方である請求項１６から３５の何れか１項に記載の積層半導体装置。

[請求項37] 前記第１回路の外側に前記第１回路領域の機能の一部の機能を有する第３回路が設けられ、

前記第３回路を切断することによって製造された第３チップをさらに有し、前記第１チップの外形と、前記第１チップ上に積層された前記第２チップと第３チップの外形とが揃えられている請求項３６に記載の積層半導体装置。

[請求項38] 第１ウエハに形成された複数の第１回路と、前記複数の第１回路のそれぞれに対応する位置で第２ウエハに形成され、前記複数の第１の回路のそれぞれとは異なる機能を有する複数の第２回路とがそれぞれ少なくとも部分的に重なり合うように前記第１ウエハと前記第２ウエハとを積層する積層ステップを含む積層半導体製造方法。

[請求項39] 前記積層ステップは、前記複数の第１回路のそれぞれに形成された第１接続部と、前記複数の第２回路のそれぞれに前記第１接続部に対応する位置で形成された第２接続部とが、それぞれ少なくとも部分的に対向するように積層する請求項３８に記載の積層半導体製造方法。

[請求項40] 互いに隣り合う前記複数の第２回路間における前記第２接続部の間隔が、互いに隣り合う前記複数の第１回路間における前記第１接続部との間隔に等しい請求項３９に記載の積層半導体製造方法。

[請求項41] 前記複数の第１回路のそれぞれと前記複数の第２回路のそれぞれとの外形が異なる請求項３８から４０の何れか１項に記載の積層半導体製造方法。

[請求項42] それぞれが第１接続部を有する複数の第１回路を第１ウエハに形成する第１形成段階と、

それぞれが第２接続部を有する複数の第２回路を第２ウエハに形成する第２の形成段階と、

前記第１ウエハと前記第２ウエハとを積層する積層段階と、

を含み、

前記第１の形成段階では、前記第２接続部の位置を基準にして該位置に対応した位置に前記第１接続部を形成し、

前記積層段階では、互いに対応する前記第１接続部および前記第２接続部が少なくとも部分的に対向するように、前記第１ウエハと前記第２ウエハとを積層する積層半導体製造方法。

[請求項43] 前記第１の形成段階では、前記第２接続部の位置情報を取得し、前記位置情報に基づいて前記第１接続部を形成する請求項４２に記載の

積層半導体製造方法。

[請求項44] 互いに隣り合う前記複数の第１回路間における前記第１接続部との間隔が、互いに隣り合う前記複数の第２回路間における前記第２接続部の間隔に等しくなるように、前記第１接続部を形成する請求項４２または４３に記載の積層半導体製造方法。

[請求項45] 前記複数の第１回路のそれぞれと前記複数の第２回路のそれぞれとは、互いに機能が異なる請求項４２から４４の何れか１項に記載の積層半導体製造方法。

[請求項46] 前記複数の第１回路のそれぞれと前記複数の第２回路のそれぞれとの外形が異なる請求項４２から４５の何れか１項に記載の積層半導体製造方法。

[請求項47] 複数の第１回路を第１ウエハに形成する第１形成段階と、

複数の第２回路を第２ウエハに形成する第２形成段階と、

前記第１ウエハと前記第２ウエハとを積層する積層段階と、

を含み、

前記第１形成段階では、前記複数の第２回路のそれぞれの位置を基準にして該位置に対応した位置に前記複数の第１回路のそれぞれを形成し、

前記積層段階では、互いに対応する前記複数の第１回路のそれぞれおよび前記複数の第２回路のそれぞれとが少なくとも部分的に対向するように、前記第１ウエハと前記第２ウエハとを積層する積層半導体製造方法。

[請求項48] 互いに隣り合う前記複数の第１回路間における第１接続部の間隔が、互いに隣り合う前記複数の第２回路間における第２接続部の間隔に等しくなるように、前記複数の第１回路のそれぞれを形成する請求項４７に記載の積層半導体製造方法。

[請求項49] 前記複数の第１回路のそれぞれと前記複数の第２回路のそれぞれとは、互いに機能が異なる請求項４７または４８に記載の積層半導体製

造方法。

[請求項50] 前記複数の第１回路のそれぞれと前記複数の第２回路のそれぞれとの外形が異なる請求項４７から４９の何れか１項に記載の積層半導体製造方法。

[請求項51] 第１回路が形成された第１チップと、

前記第１チップに積層され、第２回路が形成された第２チップと、

前記第２チップ内で前記第２回路に電気的に接続されずに前記第２チップを貫通し、前記第１回路に電気的に接続する貫通電極と、

を備える積層半導体装置。

[請求項52] 前記第２チップに対して前記第１チップが配置された側と反対側で前記第２チップに積層され、第３回路を有する第３チップを備え、

前記貫通電極は、前記第１回路と前記第３回路とを互いに電気的に接続する請求項５１に記載の積層半導体装置。

[請求項53] 前記第２チップは演算処理チップであり、前記第１チップはメモリである請求項５１または５２に記載の積層半導体装置。

[請求項54] 前記第１チップと前記第２チップとの間、および、前記第２チップと前記第３チップとの間の少なくとも一方に配置され、前記第１チップおよび前記第２チップ、または、前記第２チップおよび前記第３チップを、互いに電気的には接続せず機械的に結合する結合部材を備える請求項５２に記載の積層半導体装置。

[請求項55] 複数の第１回路が周期的に配された第１ウエハを準備するステップと、

複数の第２回路が周期的に配された第２ウエハを準備するステップと、

前記複数の第１回路の少なくとも一つと前記複数の第２回路の少なくとも一つとが少なくとも部分的に重なり合うように前記第１ウエハと前記第２ウエハとを積層するステップと、

互いに重なり合った第１回路および第２回路を有する積層半導体装

置を複数形成すべく、積層された前記第１ウエハおよび前記第２ウエハをそれぞれ切断するステップとを有し、

前記切断するステップにおいて、複数の前記積層半導体装置の少なくともいずれかに、前記第１ウエハを切断せずに前記第２ウエハを切断した切断箇所が残るように切断する積層半導体製造方法。

[請求項56] 前記切断するステップにおいて、前記複数の第１回路のそれぞれに対して前記複数の第２回路の少なくとも一つが積層された状態で、かつ、前記複数の第１回路に積層されている前記複数の第２回路の前記少なくとも一つに隣接した領域が開放されるように、積層された前記第１ウエハおよび前記第２ウエハを切断する請求項５５に記載の積層半導体製造方法。

[請求項57] 前記第１回路が前記第２回路より大きい場合に、前記積層するステップは、前記第１ウエハの前記第２ウエハに対向する面であって、解放される前記少なくとも一つに隣接した領域に対応する面に保護膜を設けるステップをさらに含む請求項５６に記載の積層半導体製造方法。

[請求項58] 前記第１ウエハを準備するステップにおいて、前記第１ウエハは、前記複数の第１回路間のそれぞれに配され、前記複数の第１回路とは外形が異なる複数の第３回路を有し、

前記第２ウエハを準備するステップにおいて、前記第２ウエハは、前記複数の第２回路間のそれぞれに配され、前記複数の第２回路とは外形が異なる複数の第４回路を有し、

前記積層するステップにおいて、前記複数の第４回路の少なくとも一つと、前記複数の第３回路の少なくとも一つとが少なくとも部分的に重なり合うように前記第１ウエハと前記第２ウエハを積層し、

前記切断するステップにおいて、互いに重なり合った第４回路および第３回路を有する積層半導体装置を複数形成すべく、積層された前記第１ウエハおよび前記第２ウエハをそれぞれ切断するとともに、前

記第４回路と前記第３回路を有する積層半導体装置においては、前記第２ウエハを切断せずに前記第１ウエハを切断した切断箇所が残るように切断する請求項５６または５７に記載の積層半導体製造方法。

[請求項59] 前記積層するステップにおいて、前記複数の第１回路と前記複数の第３回路との隣接するものの境界の一つが、前記複数の第２回路と前記複数の第４回路との隣接するものの境界の一つと揃うように前記第１ウエハと前記第２ウエハとを積層し、

前記切断するステップにおいて、前記揃えた境界において前記第１ウエハと前記第２ウエハの両方を切断する請求項５８に記載の積層半導体製造方法。

[請求項60] 前記第２ウエハを準備するステップにおいて、前記第２回路は前記第３回路と同じ外形であり、前記複数の第４回路は前記第１回路と同じ外形である請求項５９に記載の積層半導体製造方法。

[請求項61] 前記第２回路と前記第３回路とは同じ機能を有し、前記第１回路と前記第４回路とは同じ機能を有し、前記積層するステップは、重ね合せたウエハを研磨するステップをさらに含み、前記研磨するステップは、前記第１ウエハと前記第２ウエハを研磨して、前記第１ウエハと前記第２ウエハとを同じ厚さとする請求項６０に記載の積層半導体製造方法。

[請求項62] 前記第１回路、前記第２回路、前記第３回路および前記第４回路のぞれぞれは異なった機能を有する請求項５８から６０のいずれか１項に記載の積層半導体製造方法。

[請求項63] 前記第１ウエハおよび前記第２ウエハの少なくとも一方において、前記第１回路と前記第２回路とが対向する領域に、前記第１回路と前記第２回路とを電気的に接続するとともに機械的に接合する導通バンプを設けるステップと、

前記第１ウエハおよび前記第２ウエハの少なくとも一方において、前記第３回路と前記第４回路とが対向する領域に、前記第３回路と前

記第４回路とを電気的に接続するとともに機械的に接合する導通バンプを設けるステップと、

前記第１ウエハおよび前記第２ウエハの少なくとも一方において、前記第１回路と前記第４回路とが対向する領域に、積層時の押圧力を受けるダミーバンプを設けるステップと

をさらに備える請求項５８から６２のいずれか１項に記載の積層半導体製造方法。

[請求項64] 前記ダミーバンプは、前記導通バンプが接合する条件では接合しない請求項６３に記載の積層半導体製造方法。

[請求項65] 前記第１ウエハおよび前記第２ウエハのすくなくとも一方は、複数のウエハが積層されたものである請求項５５から６４のいずれか１項に記載の積層半導体製造方法。

[請求項66] 前記複数のウエハが積層された前記第１ウエハおよび前記第２ウエハのすくなくとも一方は導通ＴＳＶを有し、複数のウエハが積層された後に一方の面を研磨して、前記導通ＴＳＶを露出させる請求項６５に記載の積層半導体製造方法。

[請求項67] 複数の第３回路が周期的に配された第３ウエハを準備するステップをさらに備え、

前記積層するステップにおいて、前記第１ウエハとの間で前記第２ウエハを挟むとともに、第３回路の少なくとも一つと前記複数の第２回路の少なくとも一つとが少なくとも部分的に重なり合うように前記第３ウエハを積層し、

前記切断するステップにおいて、前記第２回路と前記第３回路を有する積層半導体装置を更に複数形成すべく、前記第１ウエハを切断せず前記第２ウエハおよび前記第３ウエハを切断するとともに、前記第３ウエハを切断せず前記第２ウエハおよび前記第１ウエハを切断するとともに、前記第２回路と前記第３回路を有する積層半導体装置においては、前記第３ウエハを切断せずに前記第２ウエハを切断した切断

箇所が残るように切断する請求項５５に記載の積層半導体製造方法。

[請求項68] 前記積層するステップにおいて、前記第１ウエハの前記複数の第１回路の境界が、前記第２ウエハの前記複数の第２回路の境界の一つと揃うように前記第１ウエハと前記第２ウエハとを積層するとともに、前記第３ウエハの前記複数の第３回路の境界が、前記第２ウエハの前記複数の第２回路の境界の他の一つと揃うように前記第３ウエハと前記第２ウエハとを積層し、

前記切断するステップにおいて、前記複数の第１回路と前記複数の第２回路とをそろえた境界において、前記第３ウエハを切断せずに前記第１ウエハと前記第２ウエハの両方を切断し、前記複数の第３回路と前記複数の第２回路とをそろえた境界において、前記第１ウエハを切断せずに前記第３ウエハと前記第２ウエハの両方を切断する請求項６７に記載の積層半導体製造方法。

[請求項69] 前記第２ウエハを準備するステップにおいて、前記複数の第２回路における互いに隣接する２つは、表裏対称に形成される請求項６７または６８に記載の積層半導体製造方法。

[請求項70] 前記第１ウエハ、前記第２ウエハおよび前記第３ウエハのすくなくともいずれかは、複数のウエハが積層されたものである請求項６７から６９のいずれか１項に記載の積層半導体製造方法。

[請求項71] 前記複数の第１回路のそれぞれは、ＭＰＵおよびメモリの一方であり、前記複数の第２回路のそれぞれは、ＭＰＵおよびメモリの他方である請求項５５または５６に記載の積層半導体製造方法。

[請求項72] 前記第１回路が前記第２回路より大きい場合に、前記複数の第１回路は、インターポーザであり、前記複数の第２回路は、ＭＰＵおよびメモリの一方である請求項５５または５６に記載の積層半導体製造方法。

[請求項73] 前記切断するステップは、

前記積層された前記第１ウエハおよび前記第２ウエハの一方の面に

保護テープを貼るステップと、

前記積層された前記第１ウエハおよび前記第２ウエハの他方の面から切断するステップと、

前記他方の面に保護テープを貼るステップと、

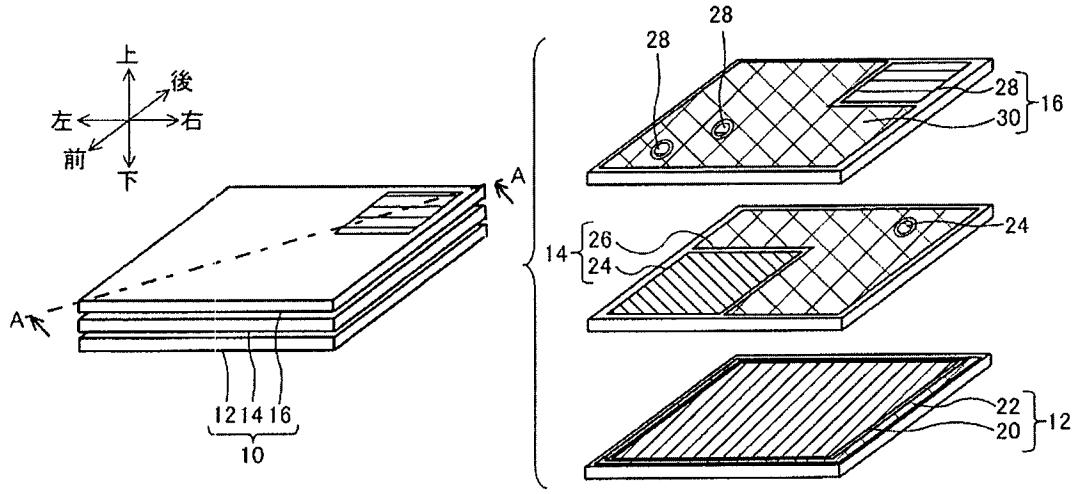
前記一方の面から保護テープを剥がすステップと、

前記一方の面から切断するするステップと、

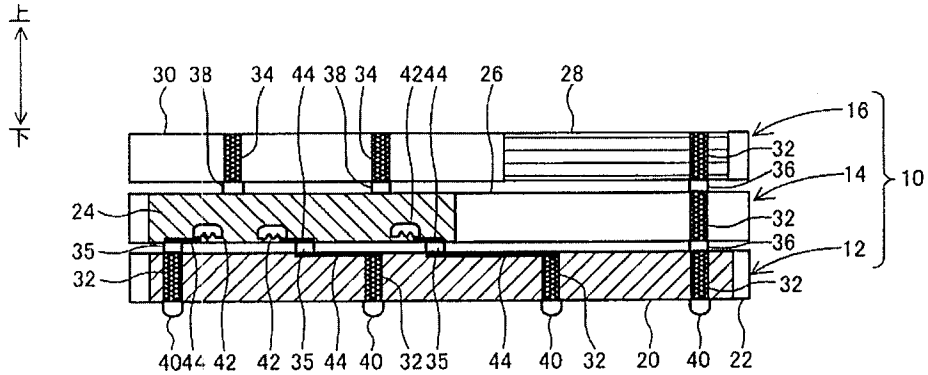
前記他方の面から保護テープを剥がすステップと、

を含む請求項５５から５７のいずれか１項に記載の積層半導体製造方法。

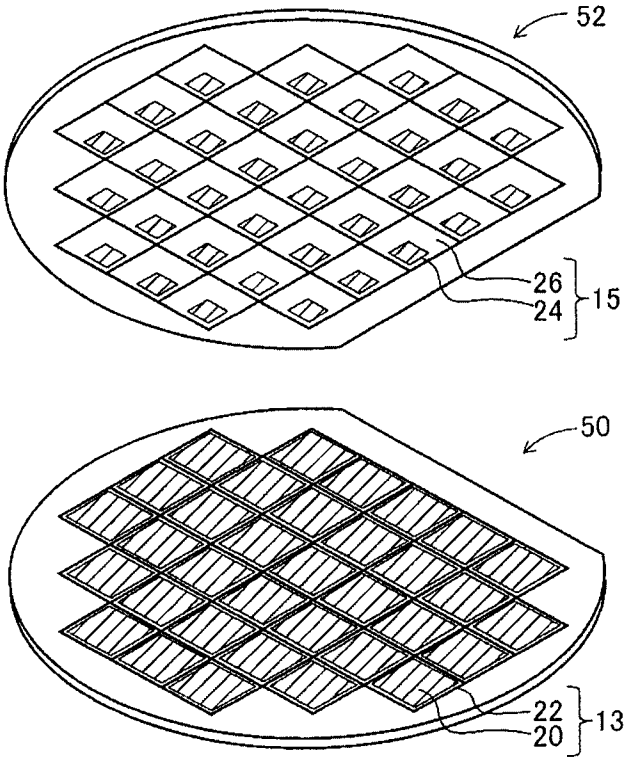
[図1]


上
後
左
右
前
下
A
A
12 14 16
10
28
28
28
30
16
14
26
24
24
22
20
12

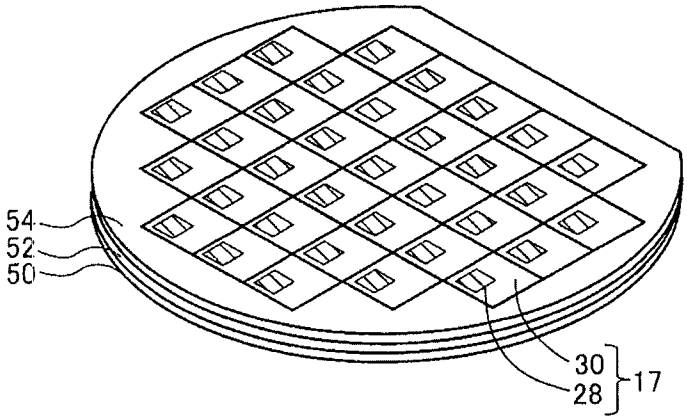
[図2]


上
下
30 38 34 44 38 34 42 44 26 28
16
32
36
14
10
24
32
35
36
12
32
32
40 44 42 42 35 44 40 32 35 44 40 32 20 40 22

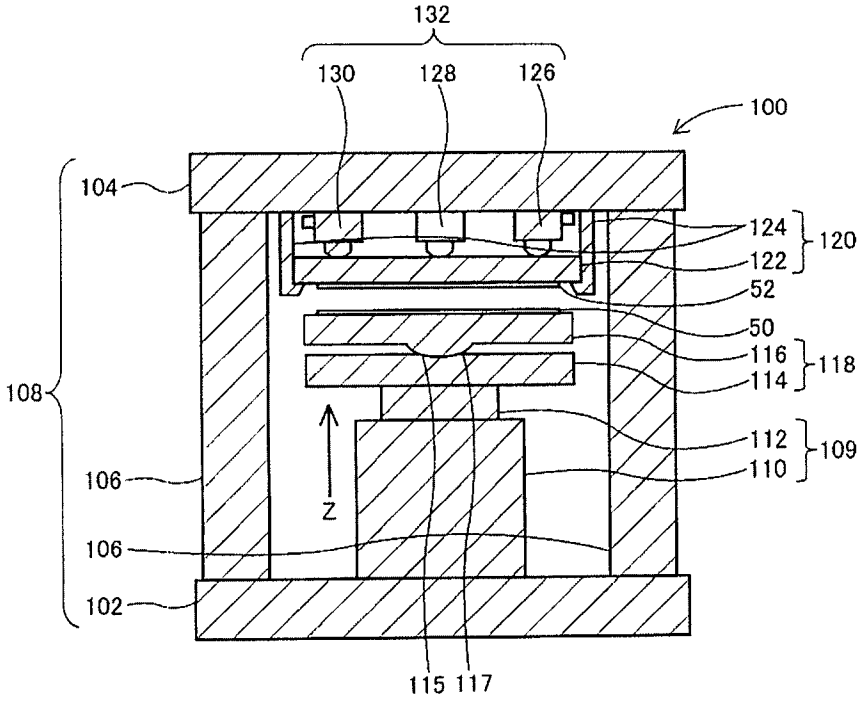
[図3]


52
26
24
15
50
22
20
13

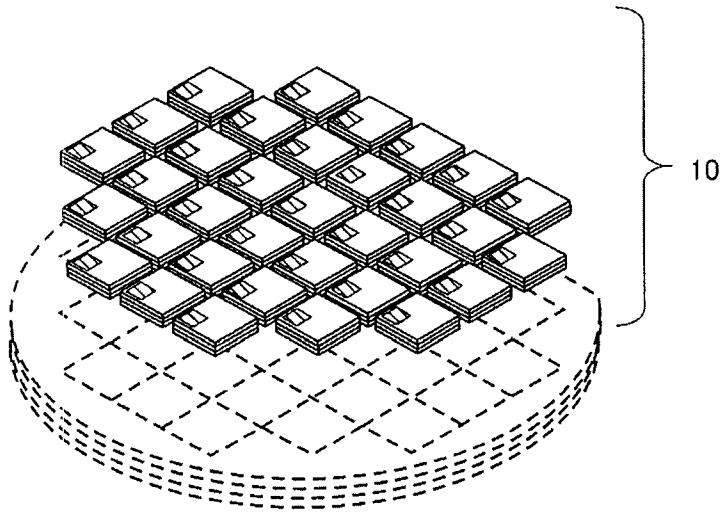
[図4]


54
52
50
30
28
17

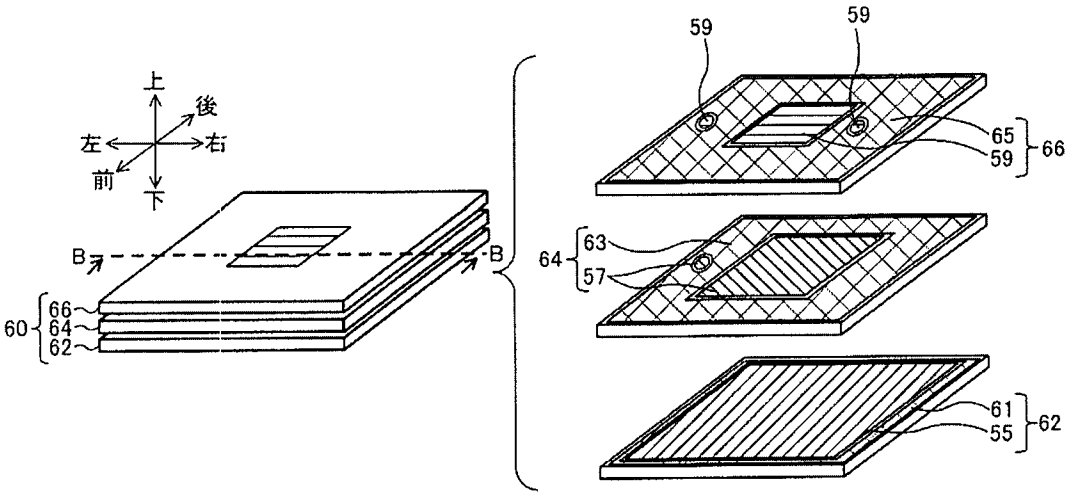
[図5]


132
130
128
126
100
104
124
120
122
52
50
116
118
114
108
112
109
110
106
Z
106
102
115
117

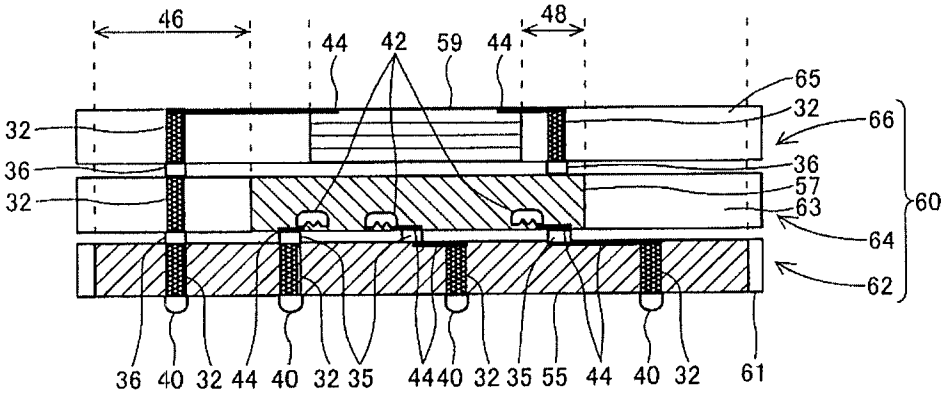
[図6]


10

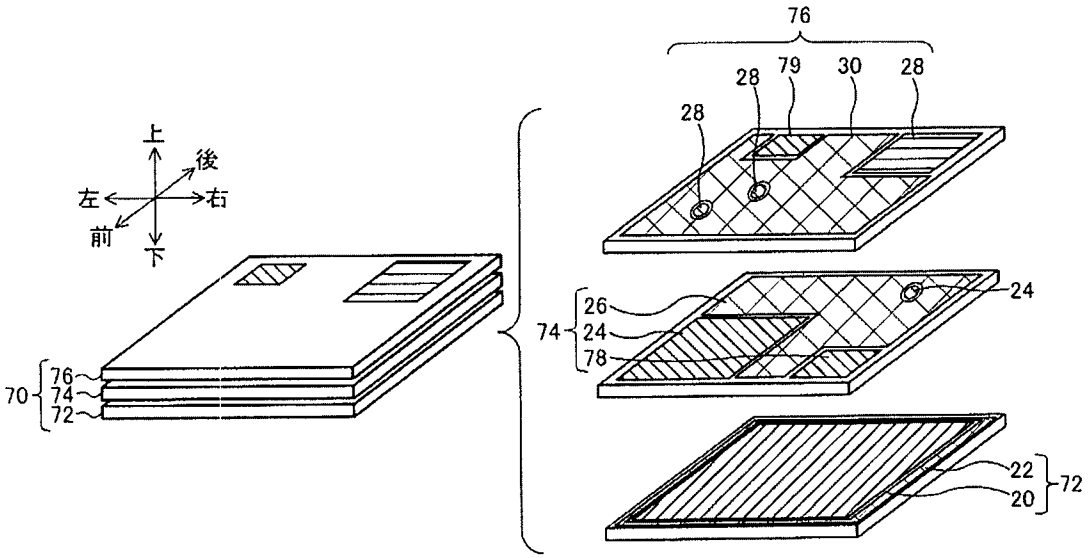
[図7]


上
後
左
右
前
下
B
B
60
66
64
62
59
59
65
59
66
64
63
57
61
55
62

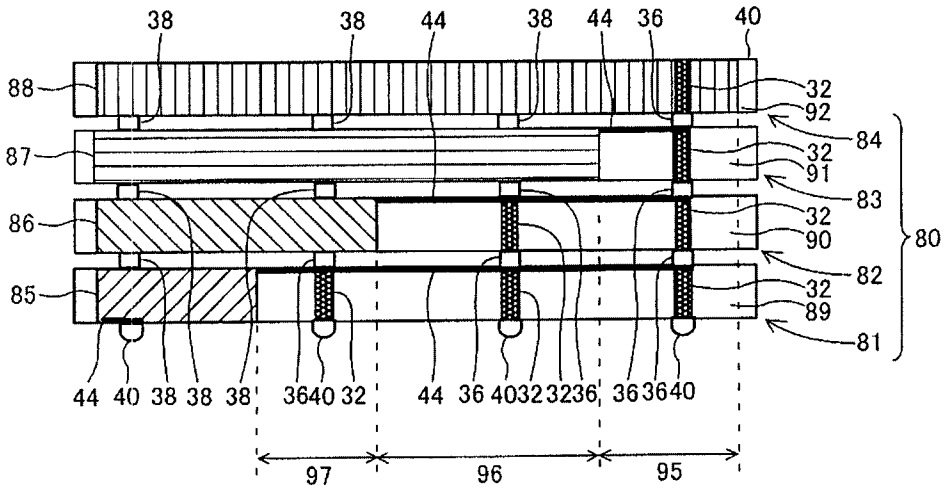
[図8]


46
48
44
42
59
44
65
32
66
32
36
36
32
57
63
60
64
62
36
40
32
44
40
32
35
44
40
32
35
55
44
40
32
61

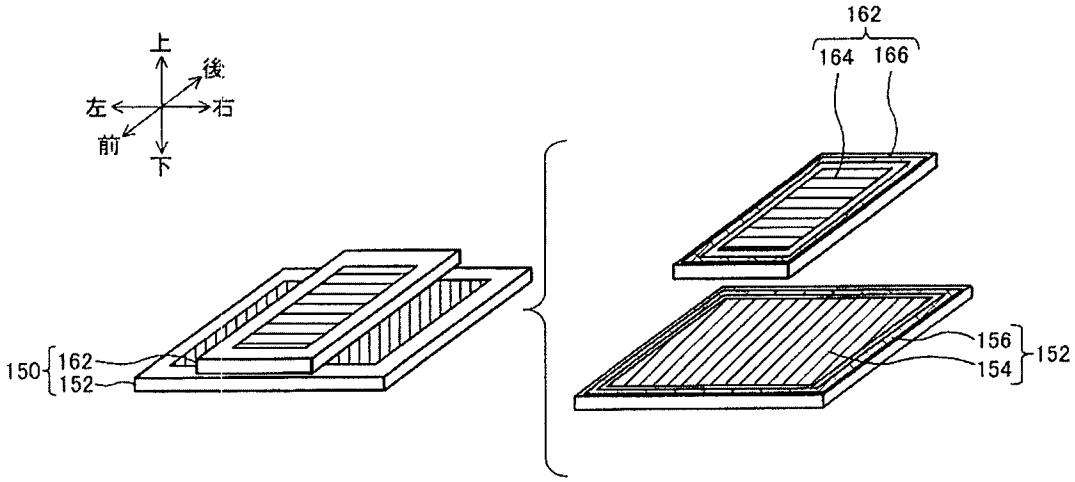
[図9]


76
28
79
30
28
28
上
後
左
右
前
下
26
24
74
78
24
70
76
74
72
22
20
72

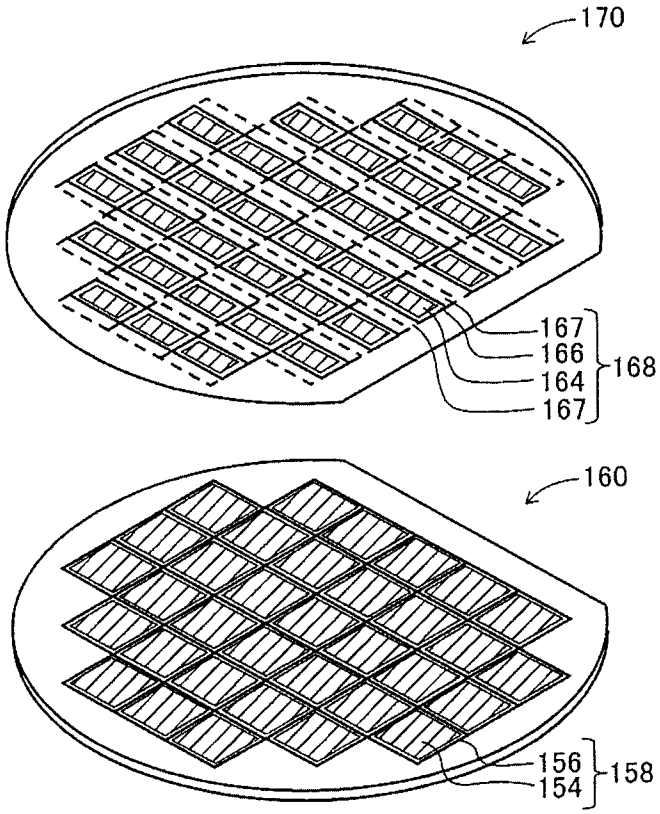
[図10]


38
38
44
38
44
36
40
88
87
86
85
32
92
84
32
91
83
32
90
82
32
89
81
80
44 40 38 38 38 36 40 32 44 36 40 32 32 36 36 36 40
97
96
95

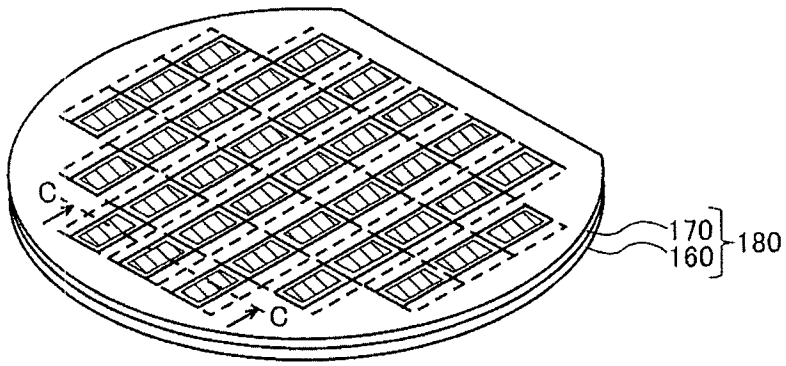
[図11]


上
後
左
右
前
下
162
164
166
150
162
152
156
154
152

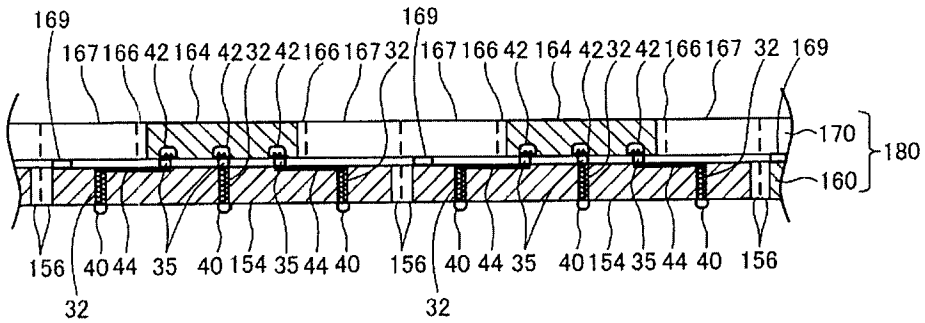
[図12]


170
167
166
164
167
168
160
156
154
158

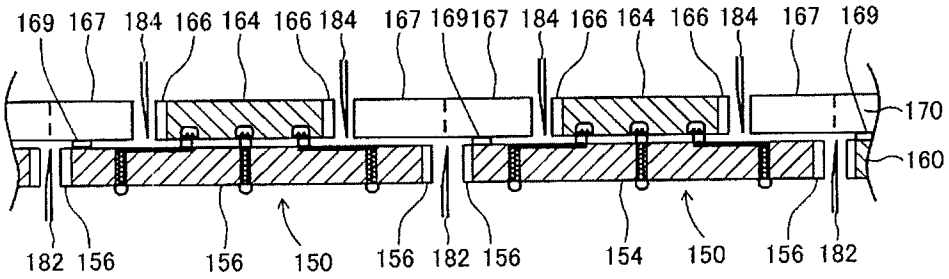
[図13]


C
C
170
160
180

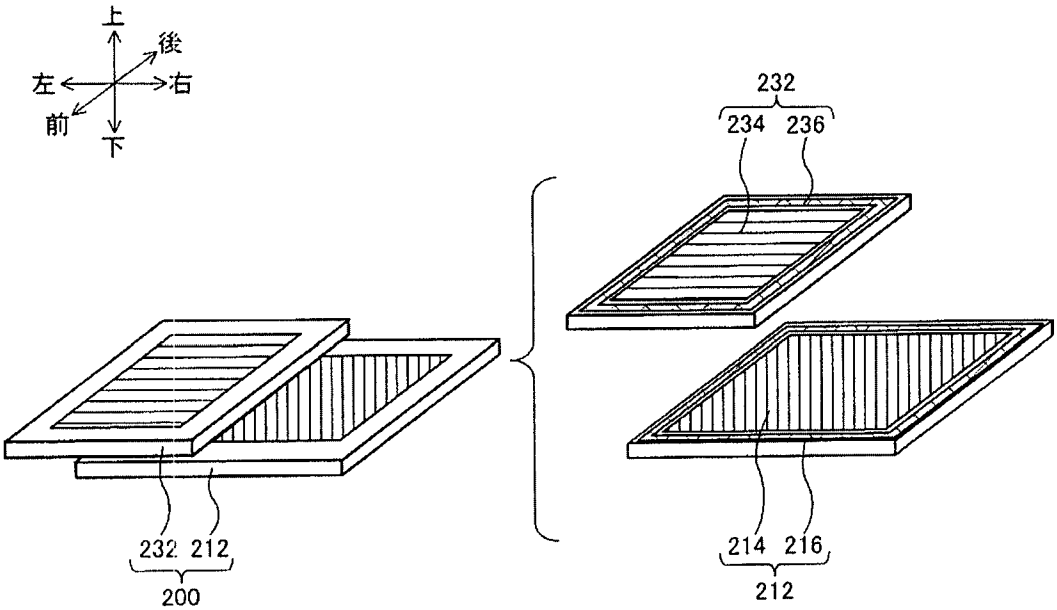
[図14]


169
167 166 42 164 42 32 42 166 167 32
169
167 166 42 164 42 32 42 166 167 32 169
170
160
180
156 40 44 35 40 154 35 44 40
32
156 40 44 35 40 154 35 44 40 156
32

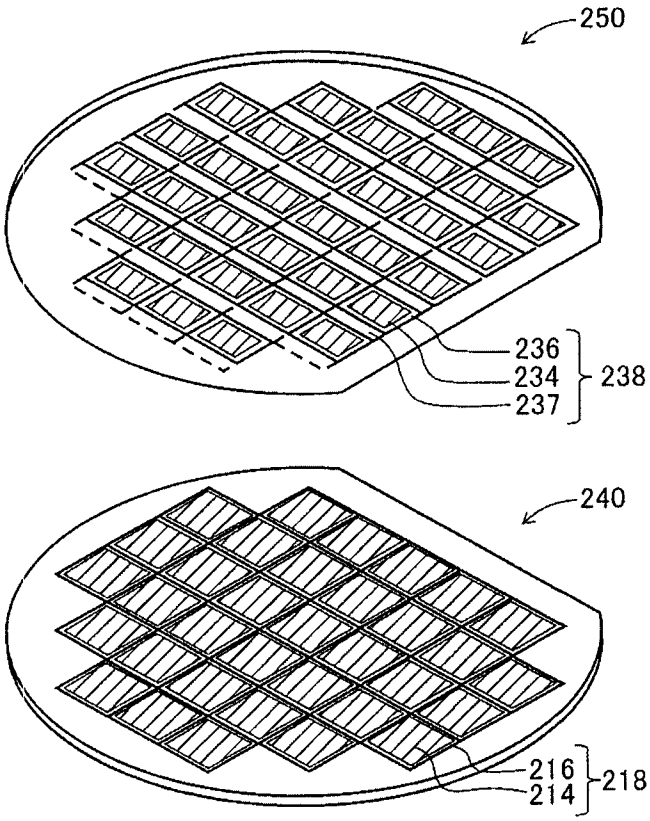
[図15]


169 167 184 166 164 166 184 167 169 167 184 166 164 166 184 167 169
170
160
182 156 156 150 156 182 156 154 150 156 182

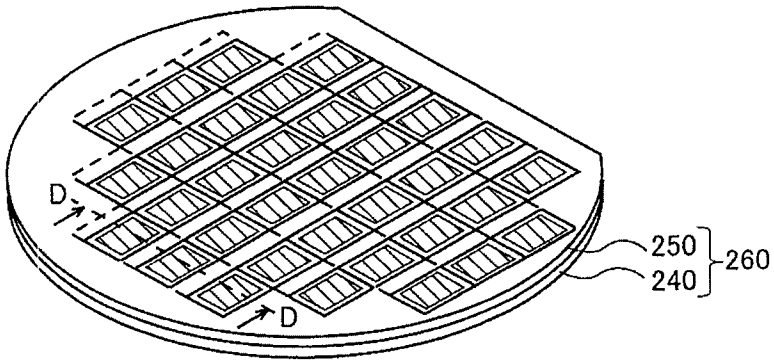
[図16]


上
後
左
右
前
下
232
234 236
232 212
200
214 216
212

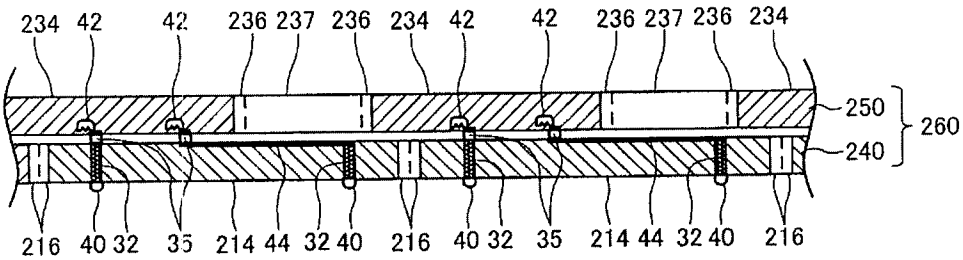
[図17]


250
236
234
237
238
240
216
214
218

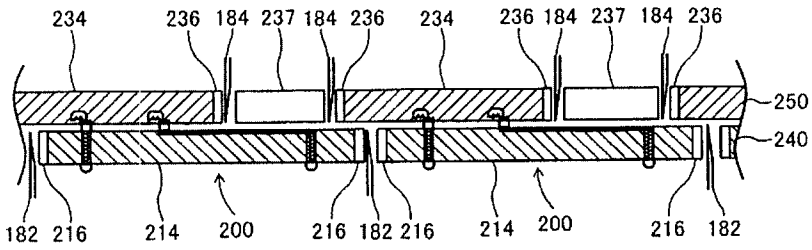
[図18]


D
D
250
240
260

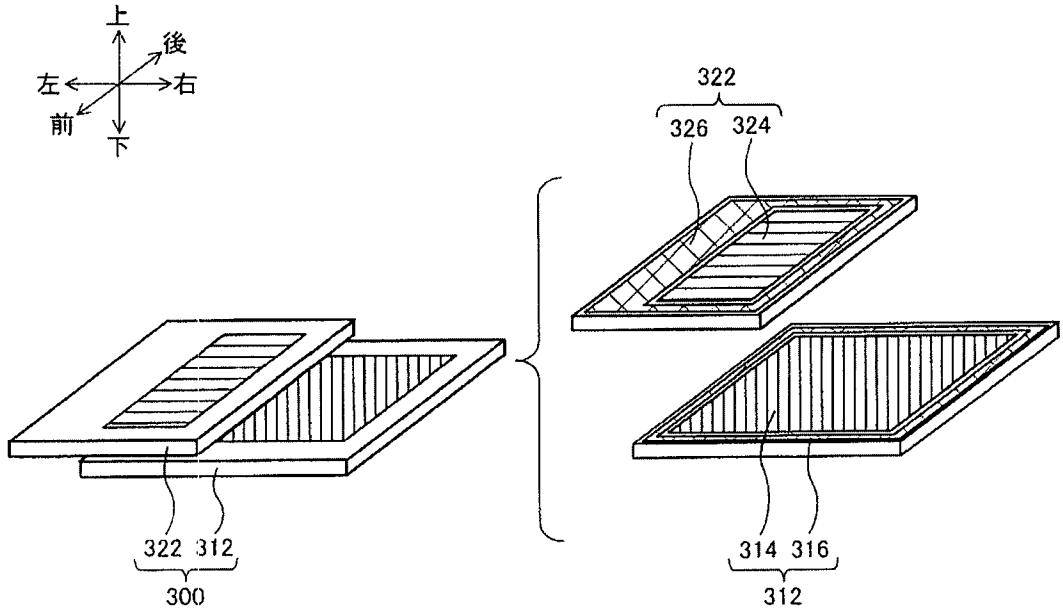
[図19]


234 42 42 236 237 236 234 42 42 236 237 236 234
250
240
260
216 40 32 35 214 44 32 40 216 40 32 35 214 44 32 40 216

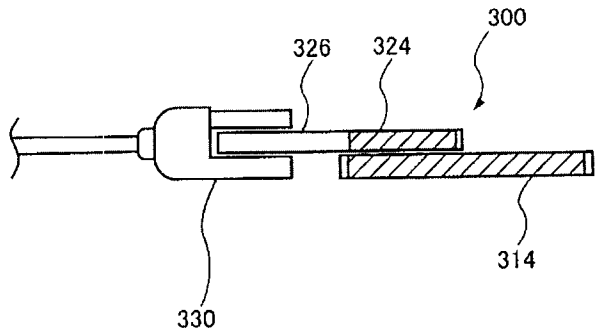
[図20]


234
236
184
237
184
236
234
236
184
237
184
236
250
240
182
216
214
200
216
182
216
214
200
216
182

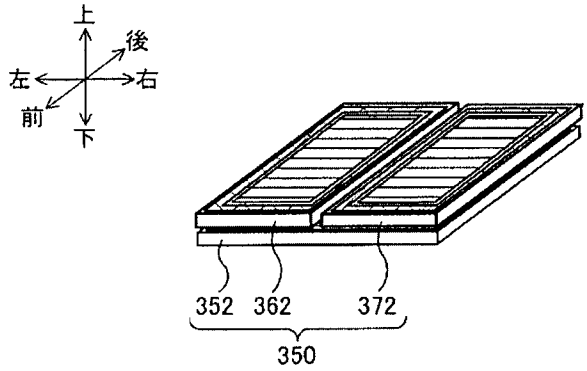
[図21]


上
後
左
右
前
下
322
326
324
322
312
300
314
316
312

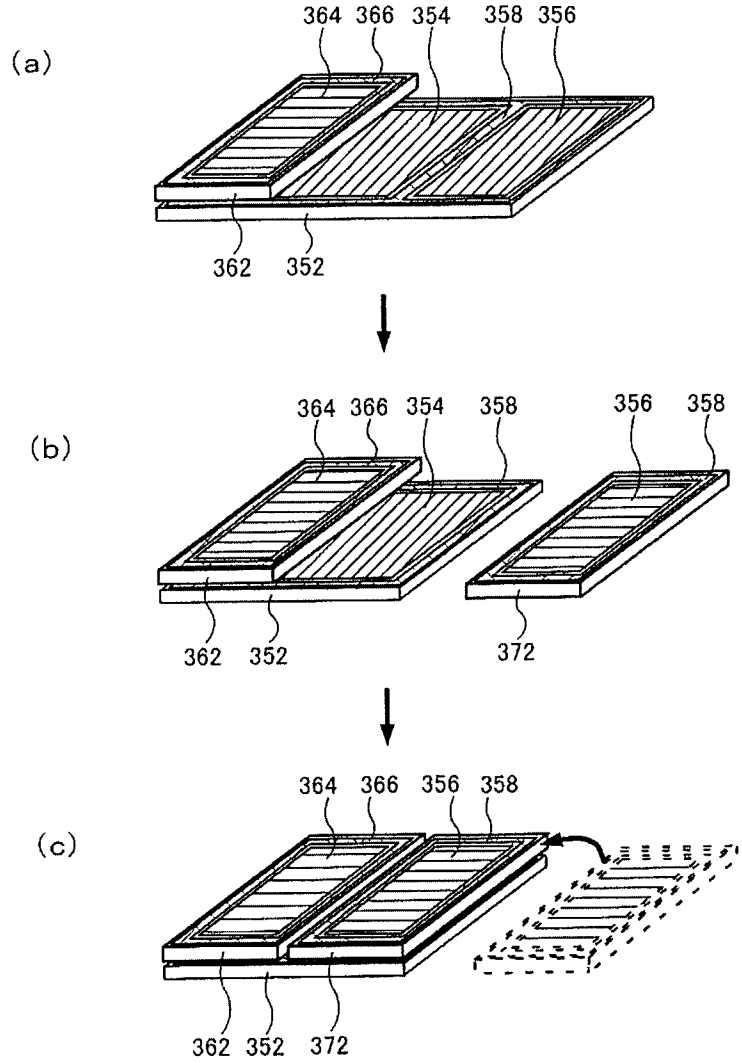
[図22]


300
326
324
314
330

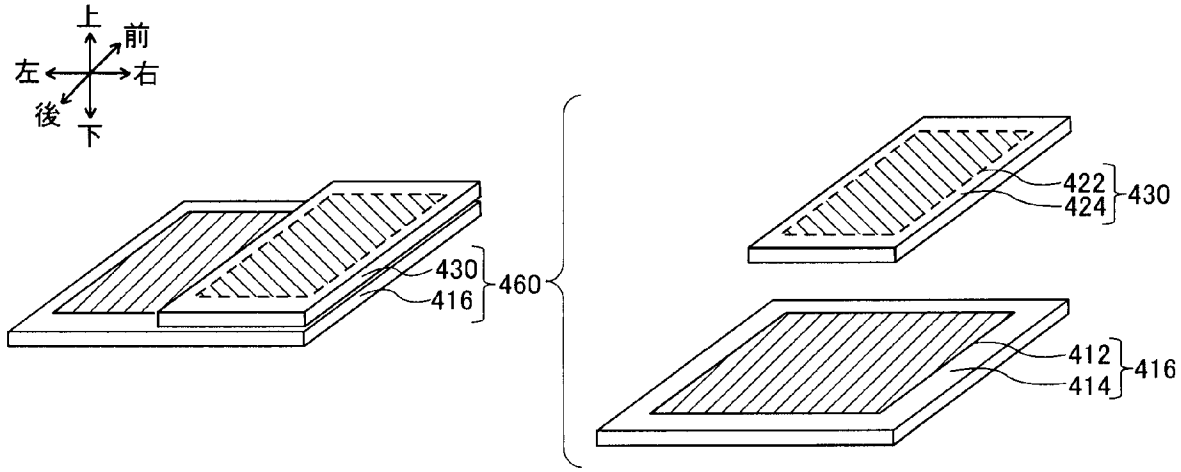
[図23]


上
後
左
右
前
下
352
362
372
350

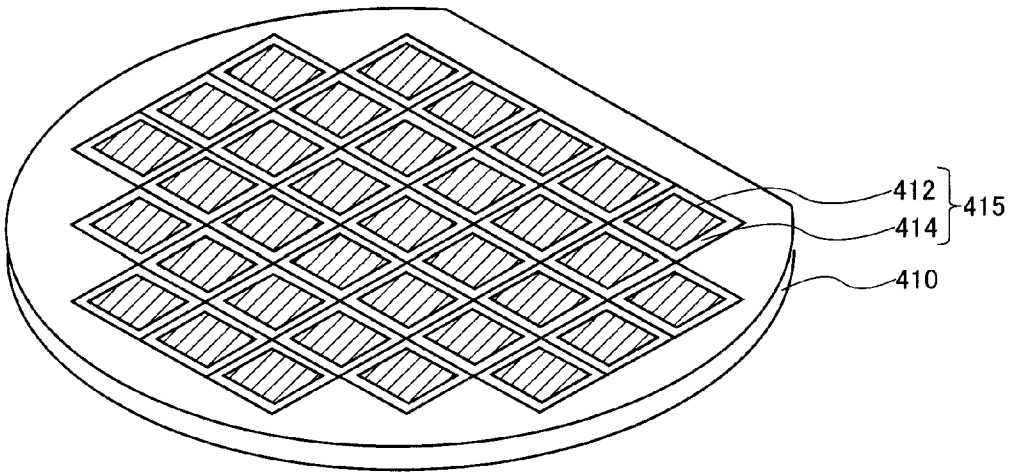
[図24]


(a)
364
366
354
358
356
362
352
(b)
364
366
354
358
356
358
362
352
372
(c)
364
366
356
358
362
352
372

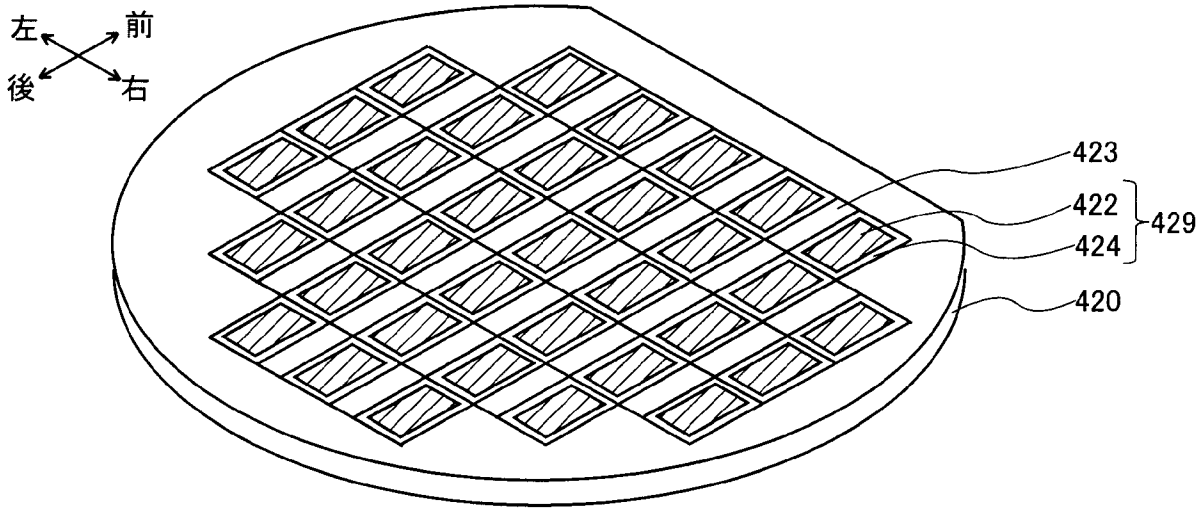
[図25]


上
前
左
右
後
下
430
416
460
422
424
430
412
414
416

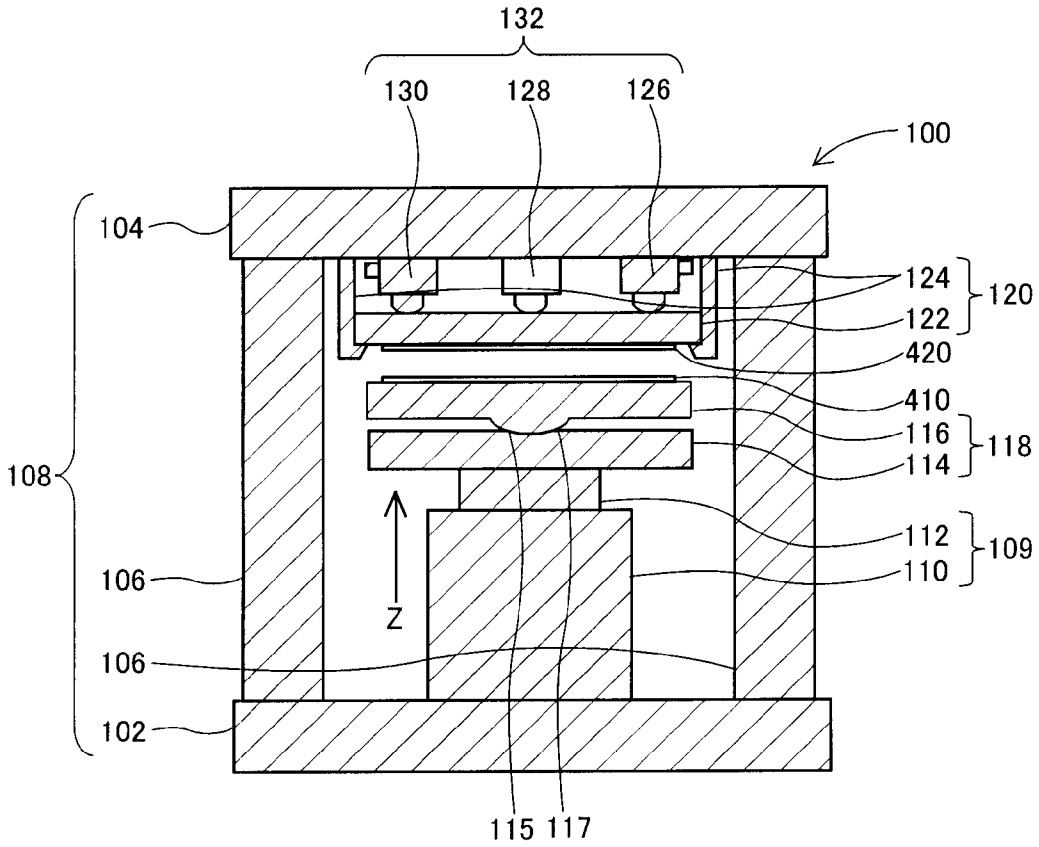
[図26]


412
414
415
410

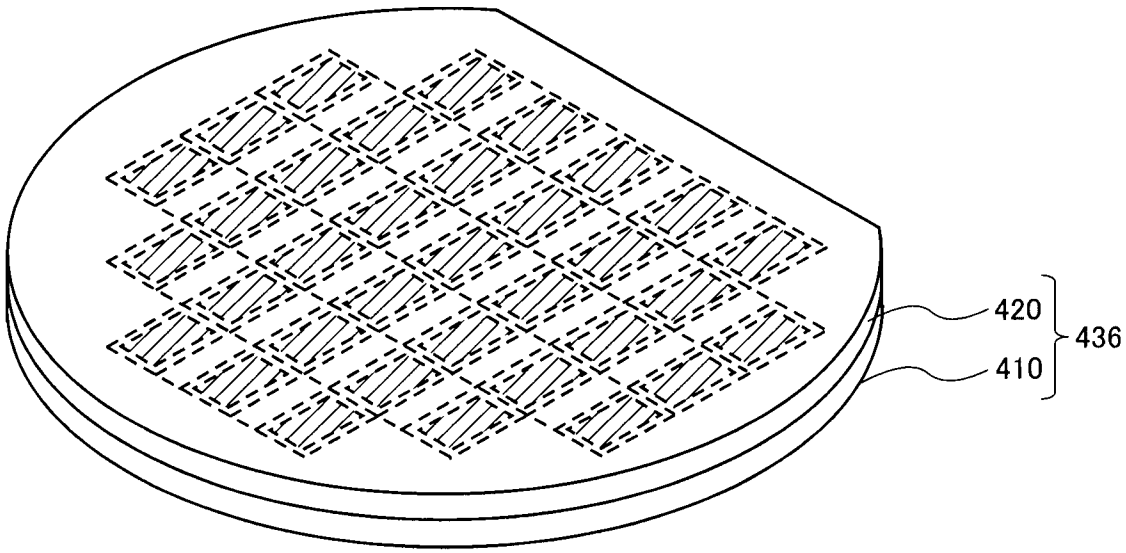
[図27]


左
前
後
右
423
422
424
429
420

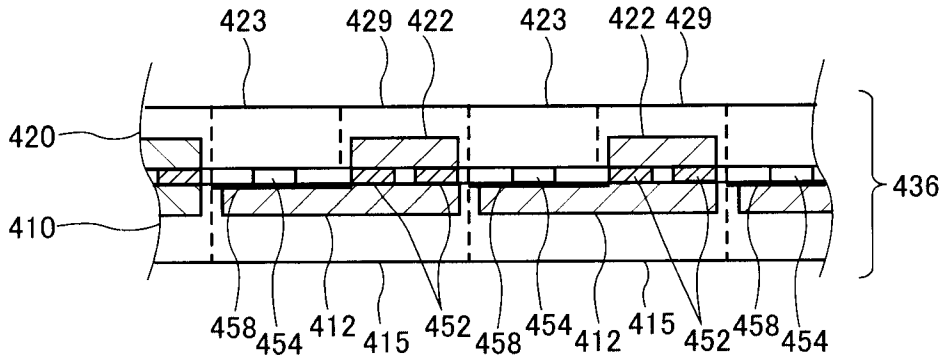
[図28]


132
130
128
126
100
104
124
120
122
420
410
116
118
114
108
112
109
110
106
Z
106
102
115
117

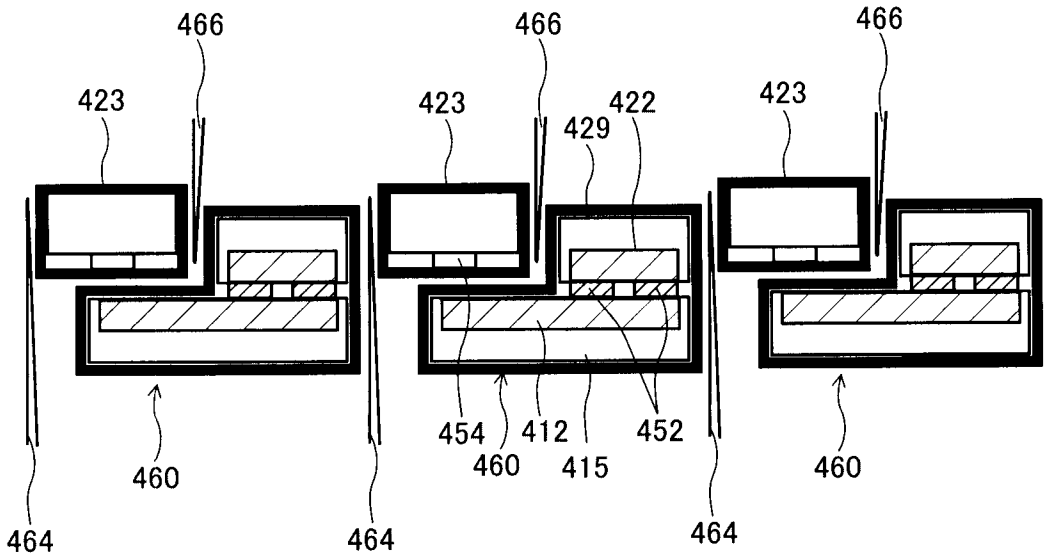
[図29]


420
436
410

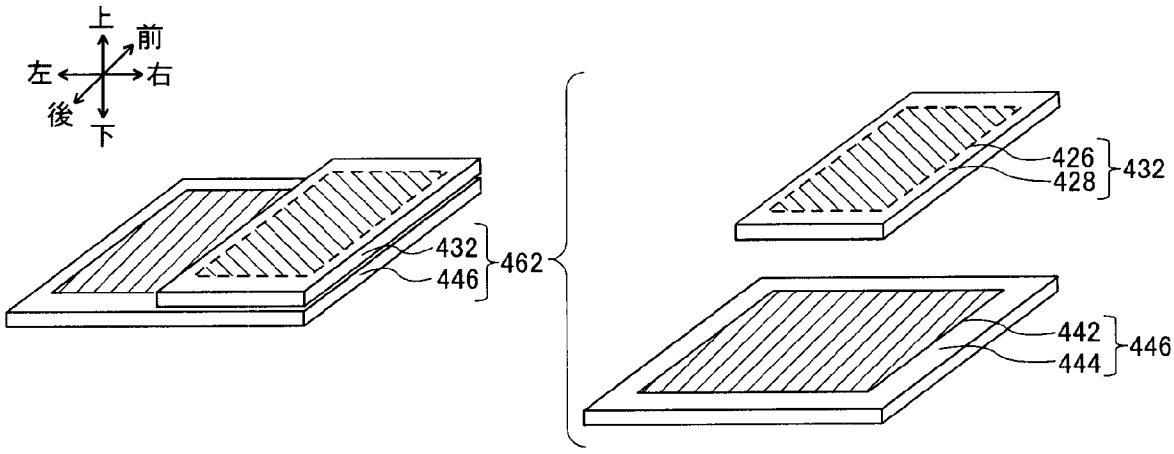
[図30]


423
429
422
423
422
429
420
410
436
458
454
412
415
452
458
454
412
415
452
458
454

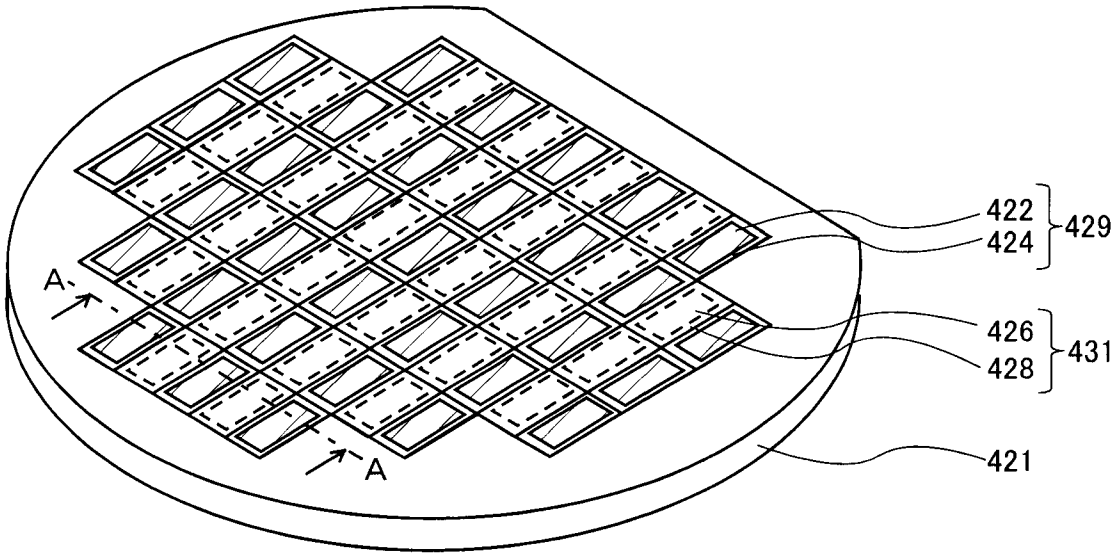
[図31]


466
466
466
423
423
423
422
429
454
460
412
415
452
460
460
464
464
464

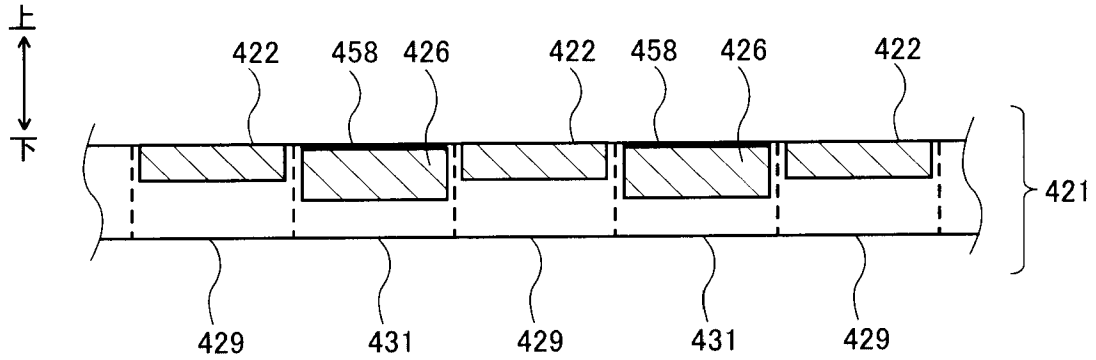
[図32]


上
前
左
右
後
下
426
428
432
432
446
462
442
444
446

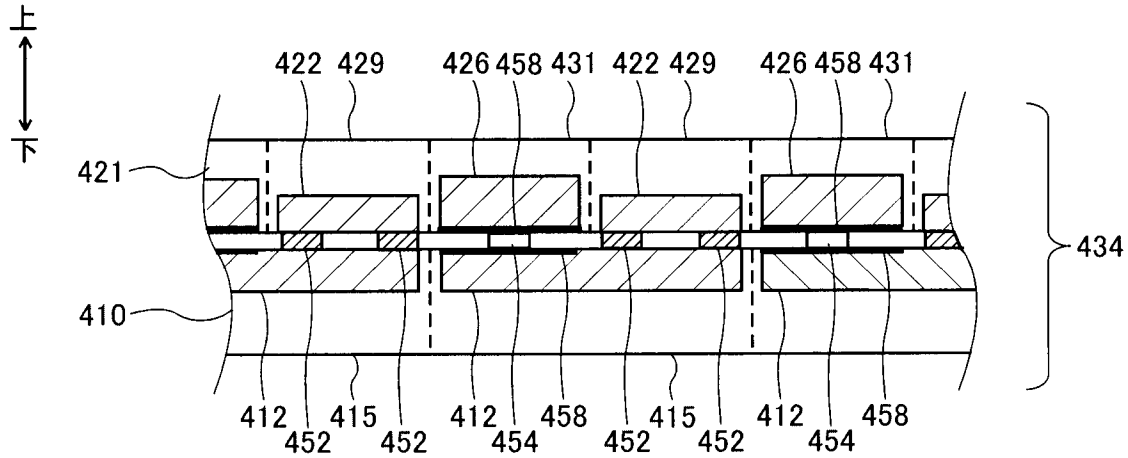
[図33]


422
424
429
426
428
431
421
A
A

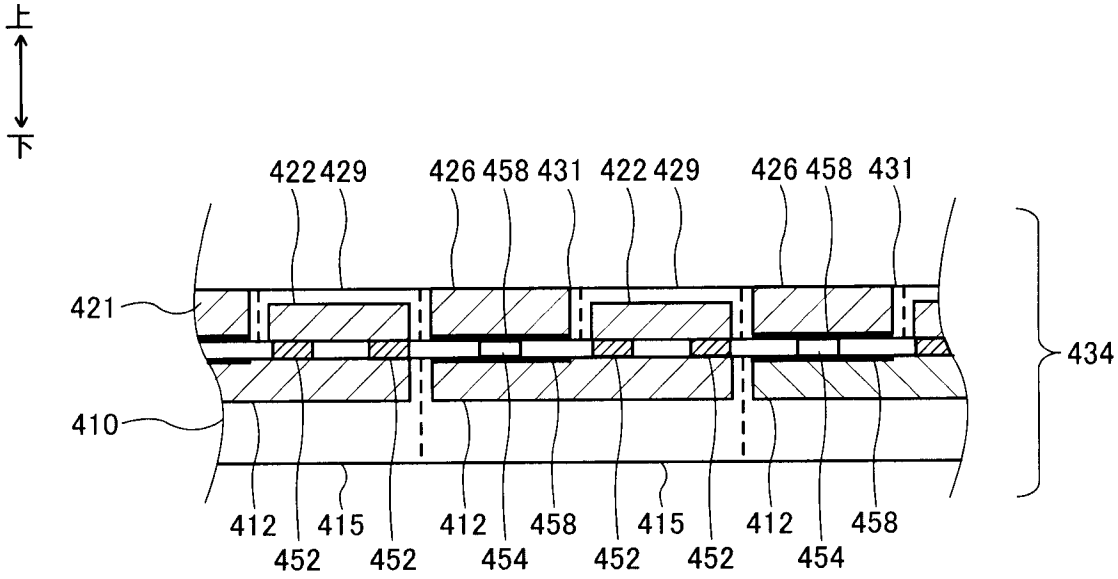
[図34]


上
下
422
458
426
422
458
426
422
421
429
431
429
431
429

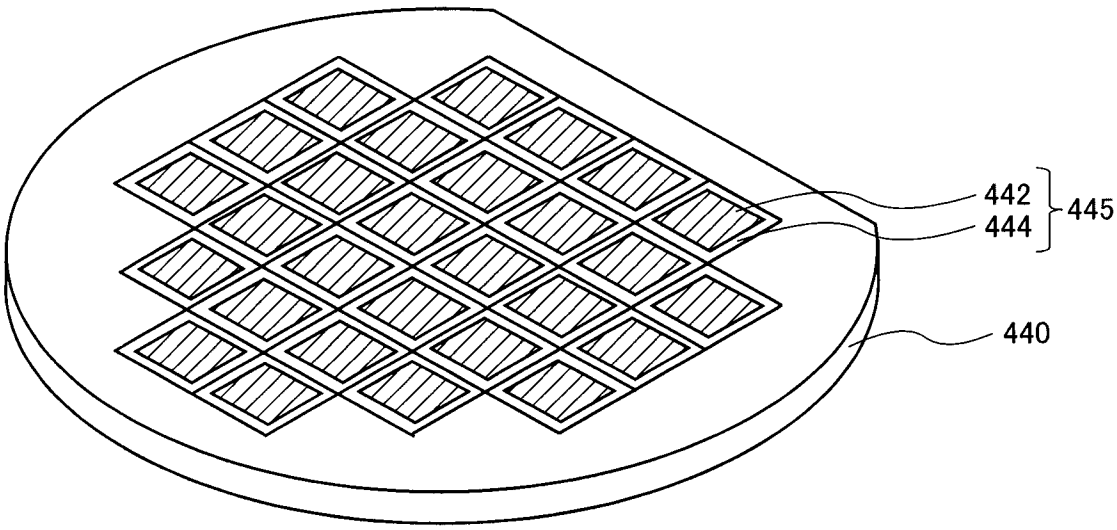
[図35]


上
下
422
429
426
458
431
422
429
426
458
431
421
434
410
412
452
415
452
412
454
458
452
415
452
412
454
458

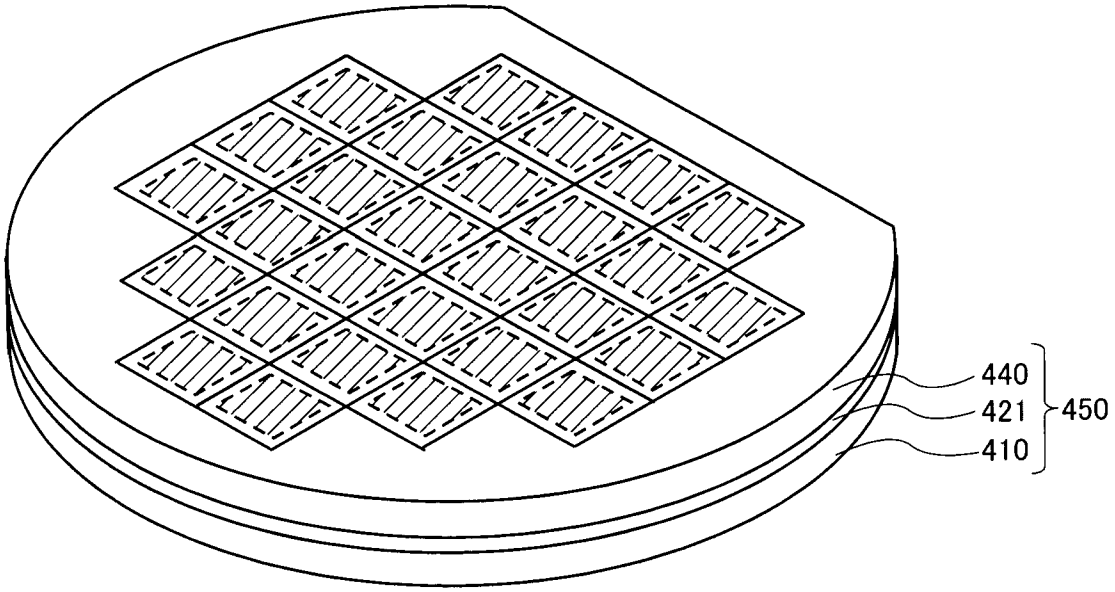
[図36]


上
下
422 429
426 458 431
422 429
426 458 431
421
410
434
412
452
415
452
412
454
458
452
415
452
412
454
458

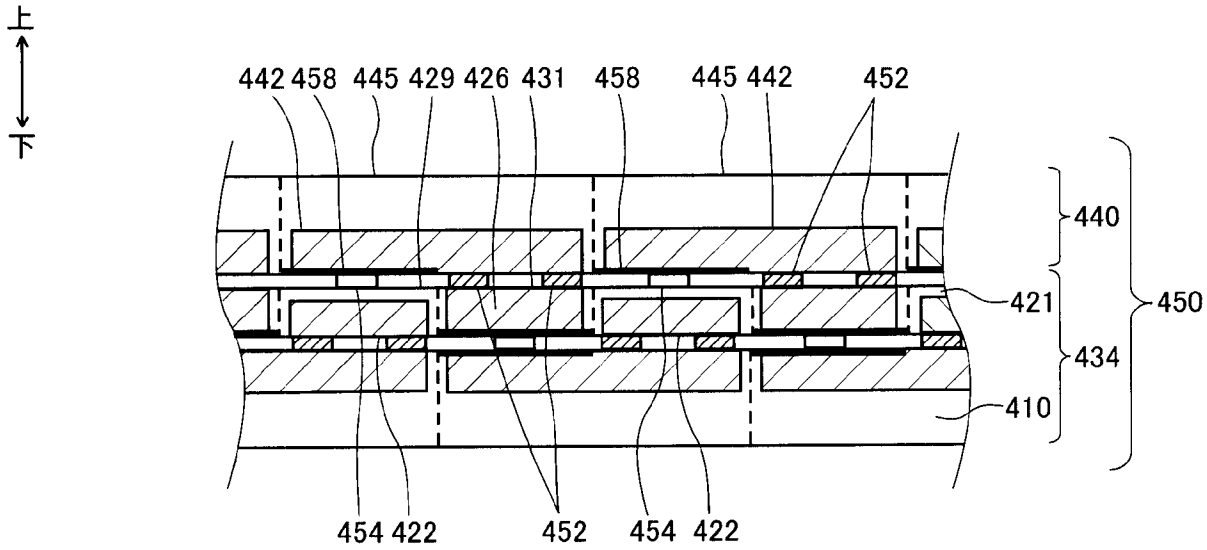
[図37]


442
444
445
440

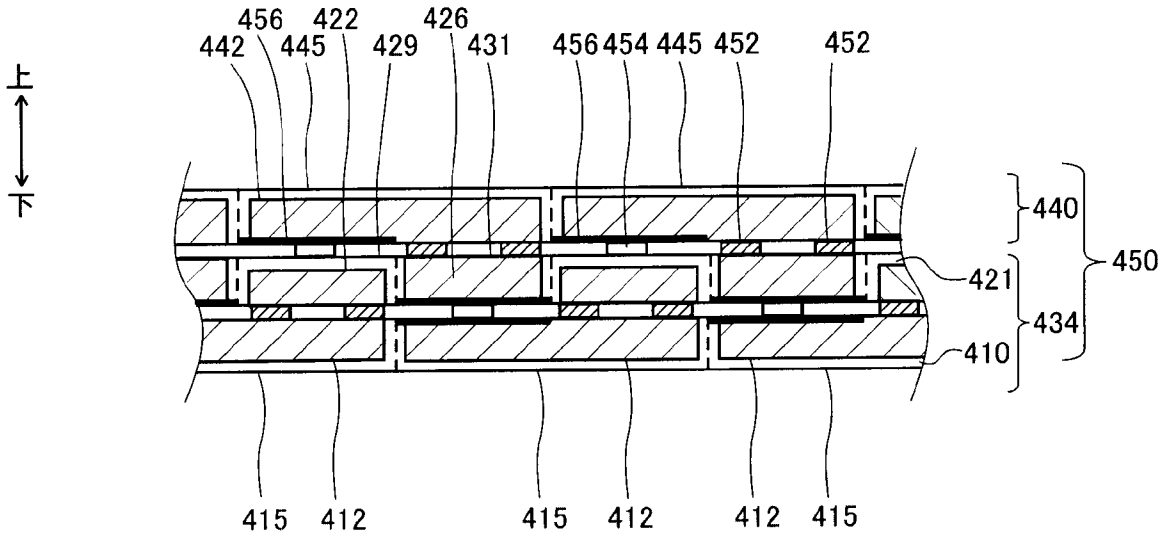
[図38]


440
421
450
410

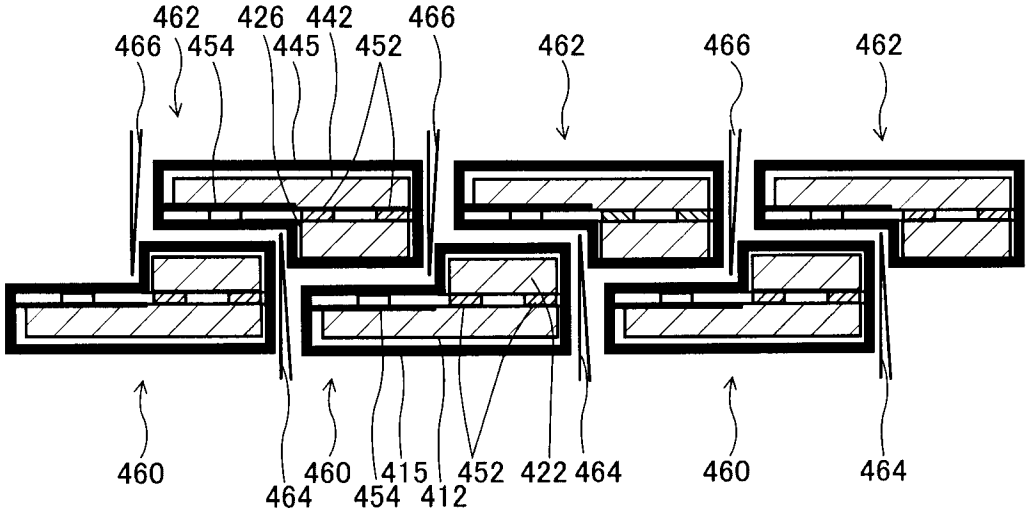
[図39]


上
下
442 458 445 429 426 431 458 445 442 452
440
421
450
434
410
454 422 452 454 422

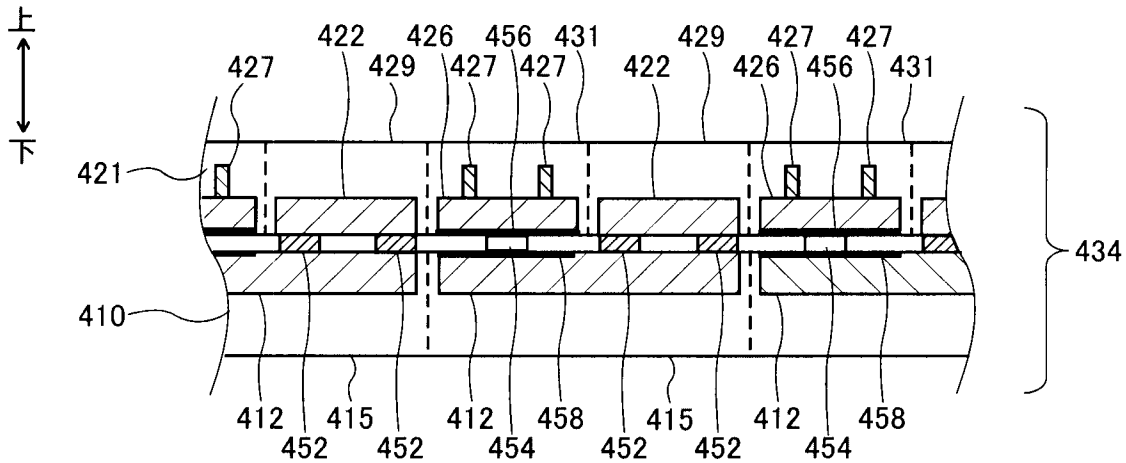
[図40]


上
下
456
422
426
442
445
429
431
456
454
445
452
452
440
450
421
434
410
415
412
415
412
412
415

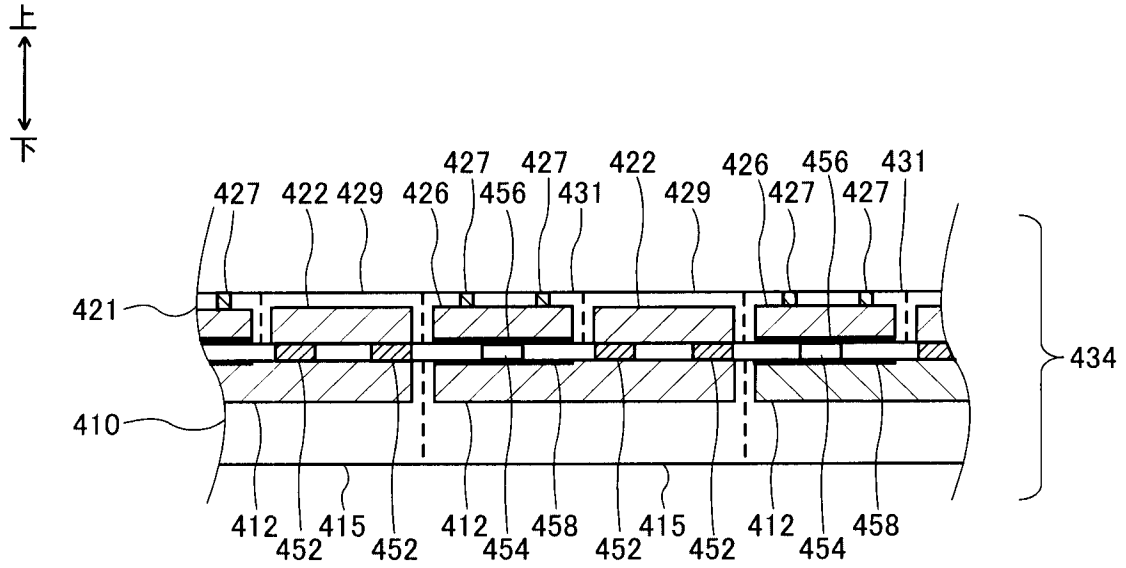
[図41]


462
426
442
466
466
454
445
452
462
466
462
460
464
460
454
415
412
452
422
464
460
464

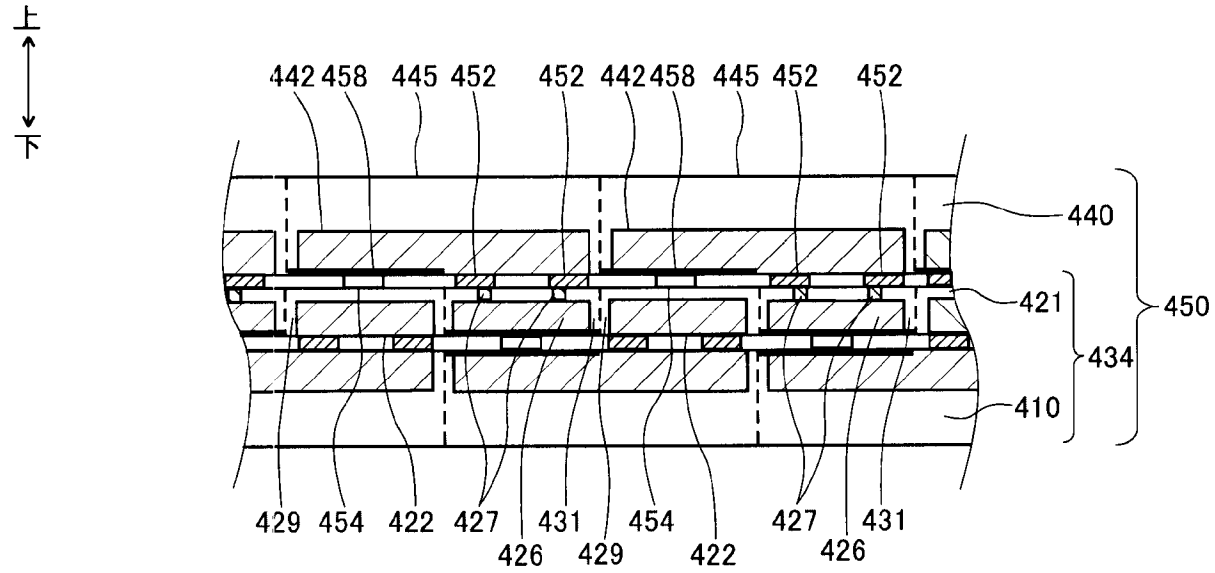
[図42]


上
下
422
426
456
431
429
427
427
427
429
427
422
426
456
431
421
410
434
412
452
415
452
412
454
458
452
415
452
412
454
458

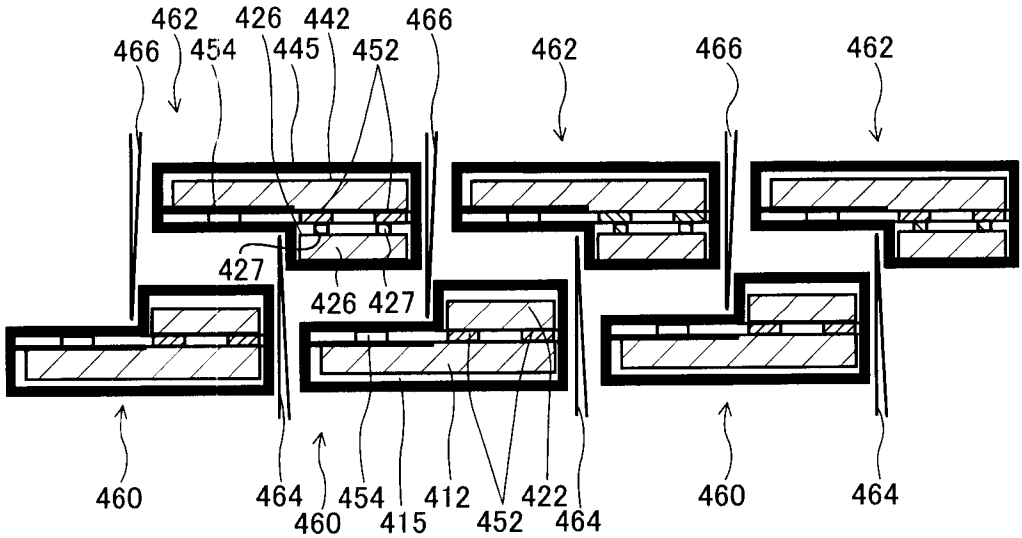
[図43]


上
下
427
427
422
426
456
431
427
422
429
426
456
431
429
427
427
421
434
410
412
452
415
452
412
454
458
452
415
452
412
454
458

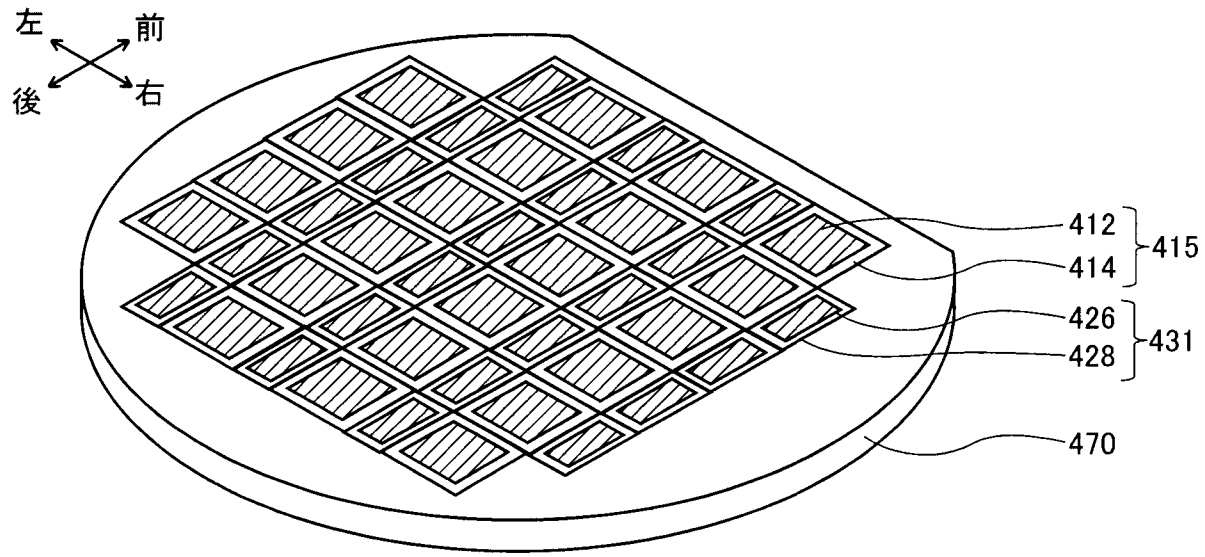
[図44]


上
下
442
458
445
452
452
442
458
445
452
452
440
421
450
434
410
429
454
422
427
431
426
454
429
422
427
431
426

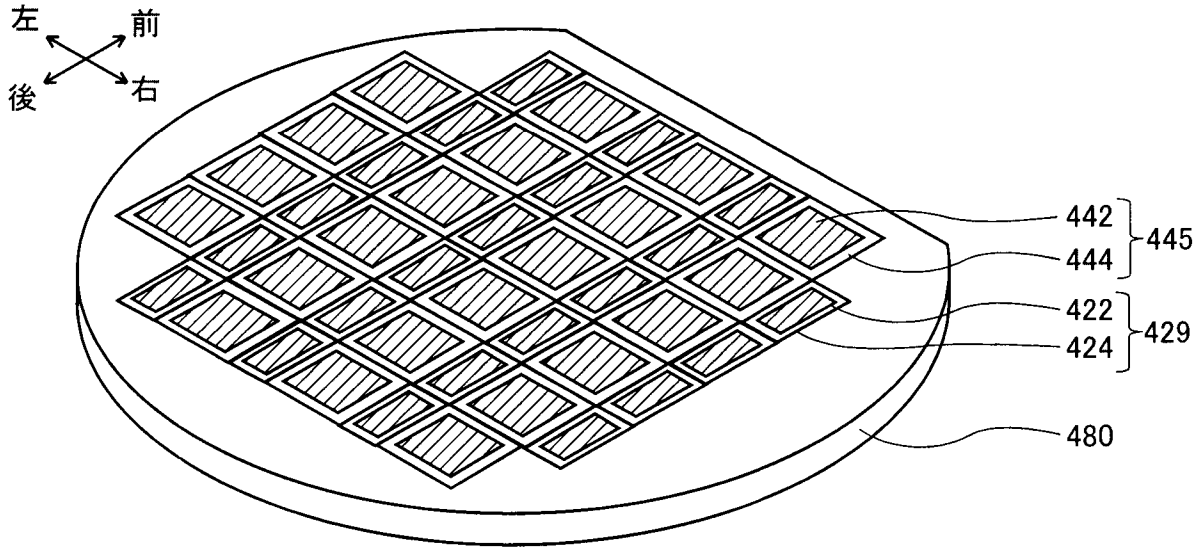
[図45]


462
426
442
466
466
454
445
452
462
466
462
427
426
427
460
464
460
454
415
412
452
422
464
460
464

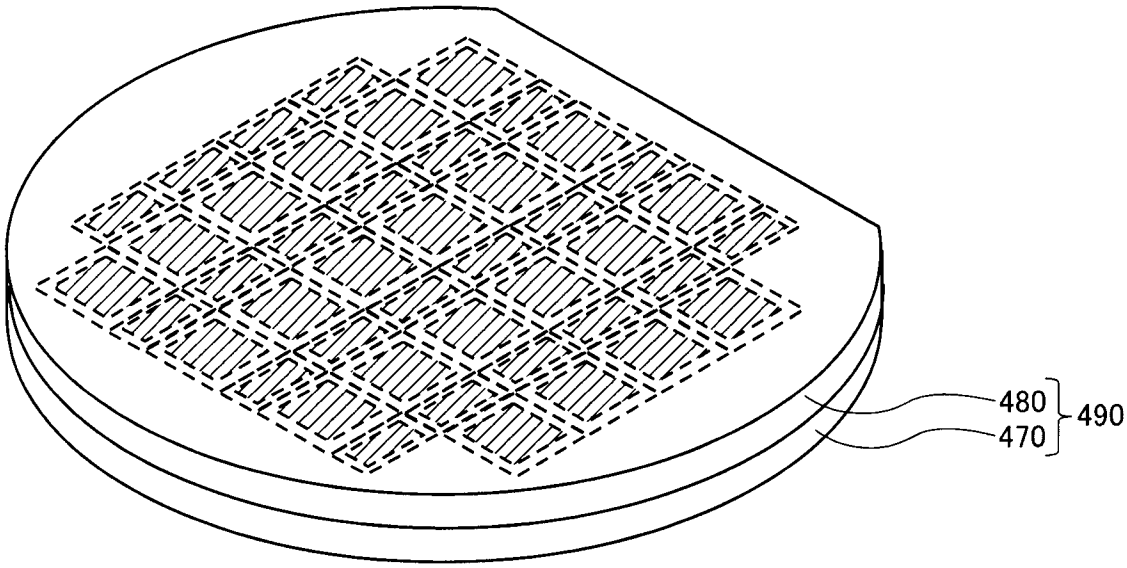
[図46]


左
前
後
右
412
414
415
426
428
431
470

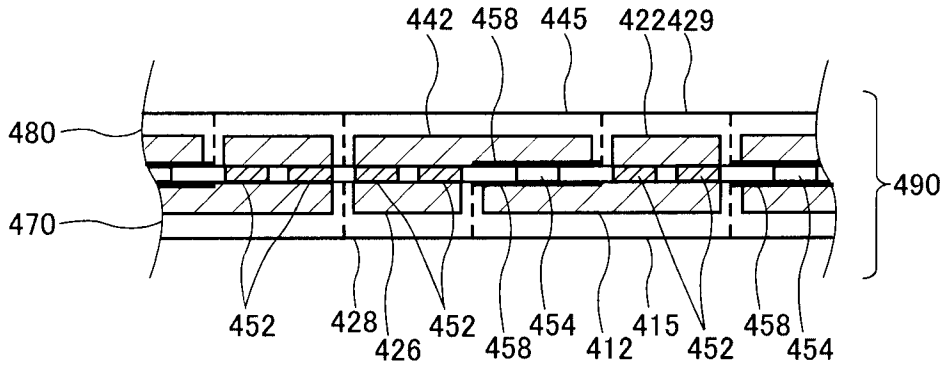
[図47]


左
前
後
右
442
444
445
422
424
429
480

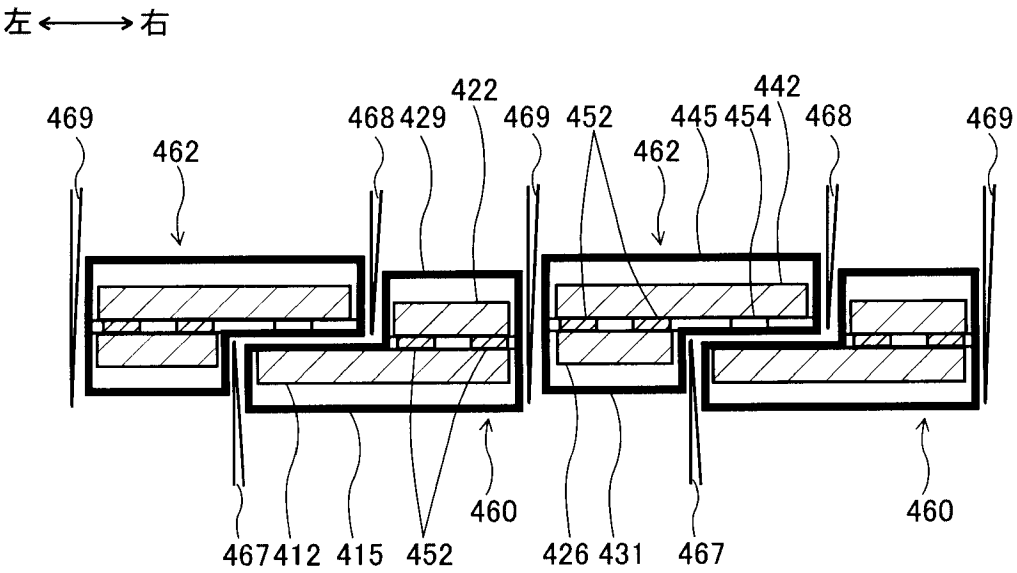
[図48]


480
470
490

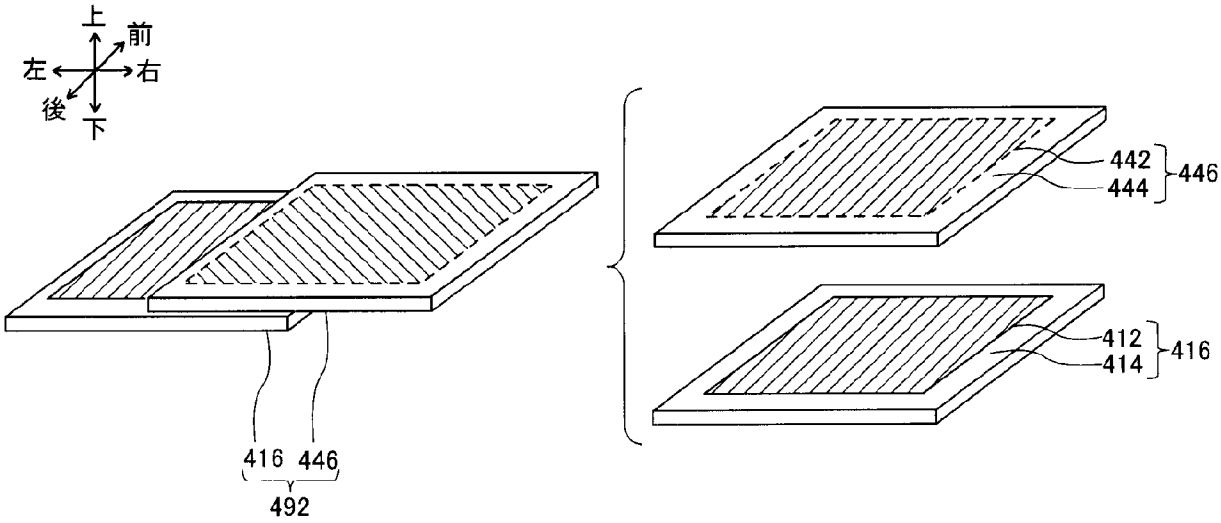
[図49]


442
458
445
422429
480
470
490
452
428
426
452
458
454
412
415
452
458
454

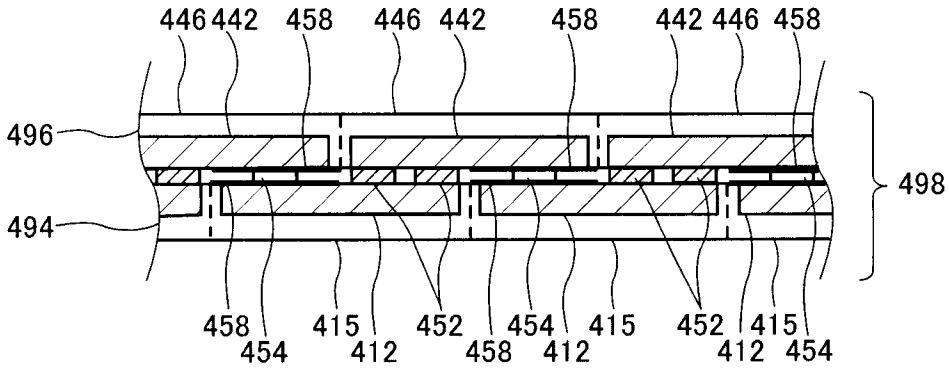
[図50]


左⟷右
469
462
468
429
422
469
452
462
445
454
442
468
469
460
460
467
412
415
452
426
431
467

[図51]

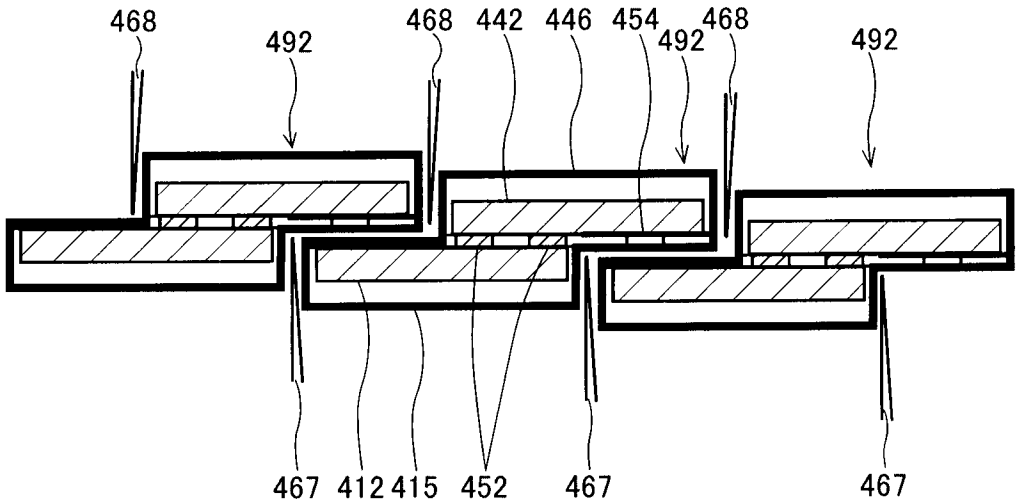


[図52]



[図53]

左⟷右



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2014/002091

A. CLASSIFICATION OF SUBJECT MATTER
H01L25/065(2006.01)i, *H01L25/07*(2006.01)i, *H01L25/18*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L25/065, H01L25/07, H01L25/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2012-204653 A (Dainippon Printing Co., Ltd.), 22 October 2012 (22.10.2012), paragraphs [0023] to [0062]; fig. 1 to 7	1-8,13,14, 16-19,21-25, 28-32,36, 38-50
Y	(Family: none)	9-12,20,26, 27,33-35, 51-54
A		15,37,55-73

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
04 July, 2014 (04.07.14)	15 July, 2014 (15.07.14)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2014/002091

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2007-36104 A (NEC Electronics Corp.), 08 February 2007 (08.02.2007), paragraphs [0027] to [0033], [0044] to [0051]; fig. 1 to 4, 11 to 16 & US 2007/0023887 A1	1-8,13,14, 16-19,21-25, 28,29,31,32, 36,38-50 9-12,20,26, 27,33-35, 51-54 15,30,37, 55-73
X Y	JP 2010-147221 A (Hitachi, Ltd.), 01 July 2010 (01.07.2010), paragraphs [0059] to [0069]; fig. 7, 9 & US 2010/0155921 A1 & US 2012/0217620 A1	51-53 20
X Y	JP 2012-4559 A (Samsung Electronics Co., Ltd.), 05 January 2012 (05.01.2012), paragraphs [0042] to [0062], [0086] to [0136]; fig. 1 to 6 & US 2011/0309468 A1 & KR 10-2011-0137565 A & CN 102290404 A & TW 201203498 A	51-53 20,26,27
Y	JP 2013-42025 A (Fujitsu Semiconductor Ltd.), 28 February 2013 (28.02.2013), paragraphs [0010] to [0017]; fig. 1 to 2 (Family: none)	9-12,33-35

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１４／００２０９１

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L25/065(2006.01)i, H01L25/07(2006.01)i, H01L25/18(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L25/065, H01L25/07, H01L25/18

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１４年
日本国実用新案登録公報	１９９６－２０１４年
日本国登録実用新案公報	１９９４－２０１４年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	JP 2012-204653 A（大日本印刷株式会社）2012.10.22, 段落【００２３】～【００６２】，図１～７ （ファミリーなし）	1-8, 13, 14, 16-19, 21-25, 28-32, 36, 38-50
Y		9-12, 20, 26, 27, 33-35, 51-54
A		15, 37, 55-73

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
０４．０７．２０１４	１５．０７．２０１４

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｄ　９６３４
小川　将之
電話番号　０３－３５８１－１１０１　内線　３５５１

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	JP 2007-36104 A（ＮＥＣエレクトロニクス株式会社）2007.02.08, 段落【００２７】～【００３３】,【００４４】～【００５１】, 図１～４，１１～１６ & US 2007/0023887 A1	1-8,13,14,16-19,21-25,28,29,31,32,36,38-50
Y		9-12,20,26,27,33-35,51-54
A		15,30,37,55-73
X	JP 2010-147221 A（株式会社日立製作所）2010.07.01,	51-53
Y	段落【００５９】～【００６９】，図７，９ & US 2010/0155921 A1 & US 2012/0217620 A1	20
X	JP 2012-4559 A（三星電子株式会社）2012.01.05,	51-53
Y	段落【００４２】～【００６２】,【００８６】～【０１３６】, 図１～６ & US 2011/0309468 A1 & KR 10-2011-0137565 A & CN 102290404 A & TW 201203498 A	20,26,27
Y	JP 2013-42025 A（富士通セミコンダクター株式会社）2013.02.28, 段落【００１０】～【００１７】，図１～２（ファミリーなし）	9-12,33-35