



(12) 发明专利

(10) 授权公告号 CN 102760731 B

(45) 授权公告日 2015. 12. 02

(21) 申请号 201110103518. 4

(22) 申请日 2011. 04. 25

(73) 专利权人 上海华虹宏力半导体制造有限公司

地址 201203 上海市浦东新区张江高科技园区祖冲之路 1399 号

(72) 发明人 苏庆

(74) 专利代理机构 上海浦一知识产权代理有限公司 31211

代理人 王江富

(51) Int. Cl.

H01L 27/02(2006. 01)

H02H 9/00(2006. 01)

(56) 对比文件

US 6015992 A, 2000. 01. 18,
KR 10-2005-0104255 A, 2005. 11. 02,
CN 1445849 A, 2003. 10. 01,
CN 101442047 A, 2009. 05. 27,

审查员 赵辉

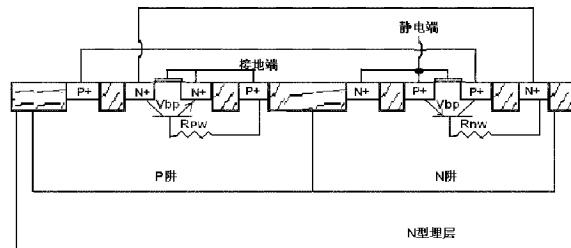
权利要求书3页 说明书5页 附图2页

(54) 发明名称

静电保护结构

(57) 摘要

本发明公开了一种静电保护结构,包含一 N 阱,一 P 阱;N 阱中形成有第一 P+ 扩散区、第二 P+ 扩散区、第一 N+ 扩散区、第二 N+ 扩散区,第一 P+ 扩散区、第二 P+ 扩散区构成一 PMOS 管;N 阱中的二 P+ 扩散区之一、二 N+ 扩散区之一同所述 PMOS 管的栅极短接用于接静电端;P 阱中形成有第三 P+ 扩散区、第四 P+ 扩散区、第三 N+ 扩散区、第四 N+ 扩散区,第三 N+ 扩散区、第四 N+ 扩散区构成一 NMOS 管;P 阱中的二 N+ 扩散区之一、二 P+ 扩散区之一同所述 NMOS 管的栅极短接用于接地端;N 阱中的另外一个 N+ 扩散区同 P 阱中的另外一个 N+ 扩散区短接;N 阱中的另外一个 P+ 扩散区同 P 阱中的另外一个 P+ 扩散区短接。本发明能方便有效地调节静电保护的触发电压,能有效的避免拴锁效应,静电放电能力强。



1. 一种静电保护结构,包含一 N 阱,一 P 阱,此两个阱相邻;其特征在于,

所述 N 阱中,形成有第一 P+ 扩散区、第二 P+ 扩散区、第一 N+ 扩散区、第二 N+ 扩散区,所述第一 N+ 扩散区和第二 N+ 扩散区位于第一 P+ 扩散区和第二 P+ 扩散区两边,所述第一 P+ 扩散区、第二 P+ 扩散区构成一 PMOS 管,第一 P+ 扩散区、第二 P+ 扩散区分别作为该 PMOS 管的漏和源极,第一 P+ 扩散区、第二 P+ 扩散区之间的沟道区上方形成有该 PMOS 管的栅极;N 阱中所述二 P+ 扩散区其中之一、所述二 N+ 扩散区其中之一同所述 PMOS 管的栅极短接用于接静电端;

所述 P 阱中,形成有第三 P+ 扩散区、第四 P+ 扩散区、第三 N+ 扩散区、第四 N+ 扩散区,所述第三 P+ 扩散区和第四 P+ 扩散区位于第三 N+ 扩散区和第四 N+ 扩散区两边,所述第三 N+ 扩散区、第四 N+ 扩散区构成一 NMOS 管,第三 N+ 扩散区、第四 N+ 扩散区分别作为该 NMOS 管的漏和源极,第三 N+ 扩散区、第四 N+ 扩散区之间的沟道区上方形成有该 NMOS 管的栅极;P 阱中所述二 N+ 扩散区其中之一、所述二 P+ 扩散区其中之一同所述 NMOS 管的栅极短接用于接地端;

所述 N 阱中的另外一个 N+ 扩散区同所述 P 阱中的另外一个 N+ 扩散区短接;

所述 N 阱中的另外一个 P+ 扩散区同所述 P 阱中的另外一个 P+ 扩散区短接;

所述 N 阱和 P 阱整体置于一 N 型埋层中。

2. 根据权利要求 1 所述的静电保护结构,其特征在于,所述 N 阱中的四个扩散区,到所述 P 阱的距离由近到远依次是:第二 N+ 扩散区,第二 P+ 扩散区,第一 P+ 扩散区,第一 N+ 扩散区;所述 P 阱中的四个扩散区,到所述 N 阱的距离由近到远依次是:第三 P+ 扩散区,第三 N+ 扩散区,第四 N+ 扩散区,第四 P+ 扩散区。

3. 根据权利要求 2 所述的静电保护结构,其特征在于,N 阱中所述第二 P+ 扩散区、所述第二 N+ 扩散区同所述 PMOS 管的栅极短接用于接静电端;P 阱中所述第三 N+ 扩散区、所述第三 P+ 扩散区同所述 NMOS 管的栅极短接用于接地端;N 阱中所述第一 N+ 扩散区同 P 阱中所述第四 N+ 扩散区短接;N 阱中所述第一 P+ 扩散区同 P 阱中所述第四 P+ 扩散区短接。

4. 根据权利要求 2 所述的静电保护结构,其特征在于,N 阱中所述第一 P+ 扩散区、所述第一 N+ 扩散区同所述 PMOS 管的栅极短接用于接静电端;P 阱中所述第四 N+ 扩散区、所述第四 P+ 扩散区同所述 NMOS 管的栅极短接用于接地端;N 阱中所述第二 N+ 扩散区同 P 阱中所述第三 N+ 扩散区短接;N 阱中所述第二 P+ 扩散区同 P 阱中所述第三 P+ 扩散区短接。

5. 根据权利要求 2 所述的静电保护结构,其特征在于,N 阱中所述第二 P+ 扩散区、所述第二 N+ 扩散区同所述 PMOS 管的栅极短接用于接静电端;P 阱中所述第四 N+ 扩散区、所述第四 P+ 扩散区同所述 NMOS 管的栅极短接用于接地端;N 阱中所述第一 N+ 扩散区同 P 阱中所述第三 N+ 扩散区短接;N 阱中所述第一 P+ 扩散区同 P 阱中所述第三 P+ 扩散区短接。

6. 根据权利要求 2 所述的静电保护结构,其特征在于,N 阱中所述第一 P+ 扩散区、所述第一 N+ 扩散区同所述 PMOS 管的栅极短接用于接静电端;P 阱中所述第三 N+ 扩散区、所述第三 P+ 扩散区同所述 NMOS 管的栅极短接用于接地端;N 阱中所述第二 N+ 扩散区同 P 阱中所述第四 N+ 扩散区短接;N 阱中所述第二 P+ 扩散区同 P 阱中所述第四 P+ 扩散区短接。

7. 根据权利要求 2 所述的静电保护结构,其特征在于,N 阱中所述第二 P+ 扩散区、所述第一 N+ 扩散区同所述 PMOS 管的栅极短接用于接静电端;P 阱中所述第三 N+ 扩散区、所述第三 P+ 扩散区同所述 NMOS 管的栅极短接用于接地端;N 阱中所述第二 N+ 扩散区同 P 阱中

述第三 P+ 扩散区同所述 NMOS 管的栅极短接用于接地端 ;N 阱中所述第一 N+ 扩散区同 P 阱中所述第三 N+ 扩散区短接 ;N 阱中所述第一 P+ 扩散区同 P 阱中所述第四 P+ 扩散区短接。

18. 根据权利要求 2 所述的静电保护结构,其特征在于,N 阱中所述第一 P+ 扩散区、所述第一 N+ 扩散区同所述 PMOS 管的栅极短接用于接静电端 ;P 阱中所述第四 N+ 扩散区、所述第三 P+ 扩散区同所述 NMOS 管的栅极短接用于接地端 ;N 阱中所述第二 N+ 扩散区同 P 阱中所述第三 N+ 扩散区短接 ;N 阱中所述第二 P+ 扩散区同 P 阱中所述第四 P+ 扩散区短接。

静电保护结构

技术领域

[0001] 本发明涉及半导体静电保护技术,特别涉及一种静电保护结构。

背景技术

[0002] 作为静电保护结构,硅控整流器(SCR)中寄生的三极管比金属-氧化物-半导体场效应管(MOSFET)有着更强的静电泄放能力,一般硅控整流器的静电泄放能力是MOSFET的5~7倍。图1所示为现有高触发电压硅控整流器的剖面结构示意图。在图1中,P+/高压N阱/高压P阱形成的寄生PNP管 V_{bp} 的集电极同时也是N+/高压P阱/高压N阱形成的寄生NPN管 V_{bn} 的基极;同样,N+/高压P阱/高压N阱形成的寄生NPN管 V_{bn} 的集电极也是P+/高压N阱/高压P阱形成的寄生PNP管 V_{bp} 的基极。图1中的寄生NPN管 V_{bn} 和PNP管 V_{bp} 组成的等效电路如图2所示。从图1和图2中可以看出,由P+/高压N阱/高压P阱形成的寄生PNP管 V_{bp} 和N+/高压P阱/高压N阱形成的寄生NPN管 V_{bn} 共同组成的硅控整流器的触发电压为高压N阱/高压P阱的反向击穿电压。通常高压N阱/高压P阱的反向击穿电压比较高,因此,这种结构的应用受到了很大的限制。另外,由于硅控整流器本身开启后寄生NPN管和PNP管相互实现电流放大的正反馈,导致其导通电阻很低,放大倍数很大,发生骤回后的维持电压就会很低,一般在2~5V之间。而高压电路的正常工作电压远远在此之上,因此使用硅控整流器做高压静电保护电路,也易引发拴锁效应,且不易恢复。

发明内容

[0003] 本发明要解决的技术问题是提供一种静电保护结构,能方便有效地调节静电保护的触发电压,能有效的避免拴锁效应的发生而导致的拴锁测试失效问题,并且静电放电能力强。

[0004] 为解决上述技术问题,本发明的静电保护结构,包含一N阱,一P阱,此两个阱相邻;

[0005] 所述N阱中,形成有第一P+扩散区、第二P+扩散区、第一N+扩散区、第二N+扩散区,所述第一N+扩散区和第二N+扩散区位于第一P+扩散区和第二P+扩散区两边,所述第一P+扩散区、第二P+扩散区构成一PMOS管,第一P+扩散区、第二P+扩散区分别作为该PMOS管的漏和源极,第一P+扩散区、第二P+扩散区之间的沟道区上方形成有该PMOS管的栅极;N阱中所述二P+扩散区其中之一、所述二N+扩散区其中之一同所述PMOS管的栅极短接用于接静电端;

[0006] 所述P阱中,形成有第三P+扩散区、第四P+扩散区、第三N+扩散区、第四N+扩散区,所述第三P+扩散区和第四P+扩散区位于第三N+扩散区和第四N+扩散区两边,所述第三N+扩散区、第四N+扩散区构成一NMOS管,第三N+扩散区、第四N+扩散区分别作为该NMOS管的漏和源极,第三N+扩散区、第四N+扩散区之间的沟道区上方形成有该NMOS管的栅极;P阱中所述二N+扩散区其中之一、所述二P+扩散区其中之一同所述NMOS管的栅极

短接用于接地端；

[0007] 所述 N 阱中的另外一个 N+ 扩散区同所述 P 阱中的另外一个 N+ 扩散区短接；

[0008] 所述 N 阱中的另外一个 P+ 扩散区同所述 P 阱中的另外一个 P+ 扩散区短接。

[0009] 所述 N 阱中的四个扩散区,到所述 P 阱的距离由近到远依次是:第二 N+ 扩散区,第二 P+ 扩散区,第一 P+ 扩散区,第一 N+ 扩散区;所述 P 阱中的四个扩散区,到所述 N 阱的距离由近到远依次是:第三 P+ 扩散区,第三 N+ 扩散区,第四 N+ 扩散区,第四 P+ 扩散区。

[0010] 所述 N 阱和 P 阱整体置于一 N 型埋层中。

[0011] 本发明的静电保护结构,整个结构形成在 N 型埋层上,在 N 型埋层中形成 PMOS 管和 NMOS 管,利用其寄生的 PNP 管和 NPN 管作为触发硅控整流器的开关。而此 PMOS 管和 NMOS 管寄生的 PNP 管和 NPN 管的触发电压可由工艺的杂质注入进行调整,且达到 P+/N 阱的结击穿电压和 N+/P 阱的结击穿电压相同,能方便有效地调节静电保护的触发电压。本发明的静电保护结构整体的触发电压由 PMOS 管和 NMOS 管双重控制静电保护结构的触发,相对于单通过一种结进行触发的方式来说,本发明的静电保护结构由于用于触发的结面积增大,所需达到的触发电流会更大,一旦此触发电流高于进行拴锁测试时的电流,则可有效的避免拴锁效应的发生而导致的拴锁测试失效问题,同时由于用于触发的结面积的增大,其结所能承受的极限电流也相应提高,这对于一些具有上升速度更快而且峰值电流更高特点的静电电流的防护来说,相比较于通常的静电保护结构,静电放电能力强,其防护效果更好。

附图说明

[0012] 下面结合附图及具体实施方式对本发明作进一步详细说明。

[0013] 图 1 是常见的硅控整流器的剖面结构示意图；

[0014] 图 2 是图 1 中的硅控整流器的寄生 NPN 和 PNP 管组成的等效电路图；

[0015] 图 3 是本发明的静电保护结构的等效电路；

[0016] 图 4 是本发明的静电保护结构第一实施例剖面结构示意图；

[0017] 图 5 是本发明的静电保护结构第二实施例剖面结构示意图。

具体实施方式

[0018] 本发明的静电保护结构,其等效电路如图 3 所示。

[0019] 本发明的静电保护结构,包含一 N 阱,一 P 阱,此两个阱相邻；

[0020] 所述 N 阱中,形成有第一 P+ 扩散区、第二 P+ 扩散区、第一 N+ 扩散区、第二 N+ 扩散区,所述第一 N+ 扩散区和第二 N+ 扩散区位于第一 P+ 扩散区和第二 P+ 扩散区两边,所述第一 P+ 扩散区、第二 P+ 扩散区构成一 PMOS 管,第一 P+ 扩散区、第二 P+ 扩散区分别作为该 PMOS 管的漏和源极,第一 P+ 扩散区、第二 P+ 扩散区之间的沟道区上方形成有该 PMOS 管的栅极;N 阱中所述二 P+ 扩散区其中之一、所述二 N+ 扩散区其中之一同所述 PMOS 管的栅极短接用于接静电端；

[0021] 所述 P 阱中,形成有第三 P+ 扩散区、第四 P+ 扩散区、第三 N+ 扩散区、第四 N+ 扩散区,所述第三 P+ 扩散区和第四 P+ 扩散区位于第三 N+ 扩散区和第四 N+ 扩散区两边,所述第三 N+ 扩散区、第四 N+ 扩散区构成一 NMOS 管,第三 N+ 扩散区、第四 N+ 扩散区分别作为该 NMOS 管的漏和源极,第三 N+ 扩散区、第四 N+ 扩散区之间的沟道区上方形成有该 NMOS 管的

栅极 ;P 阱中所述二 N+ 扩散区其中之一、所述二 P+ 扩散区其中之一同所述 NMOS 管的栅极短接用于接地端 ;

[0022] 所述 N 阱中的另外一个 N+ 扩散区同所述 P 阱中的另外一个 N+ 扩散区短接 ;

[0023] 所述 N 阱中的另外一个 P+ 扩散区同所述 P 阱中的另外一个 P+ 扩散区短接。

[0024] 所述 N 阱中的四个扩散区,到所述 P 阱的距离由近到远依次是 :第二 N+ 扩散区,第二 P+ 扩散区,第一 P+ 扩散区,第一 N+ 扩散区 ;所述 P 阱中的四个扩散区,到所述 N 阱的距离由近到远依次是 :第三 P+ 扩散区,第三 N+ 扩散区,第四 N+ 扩散区,第四 P+ 扩散区。

[0025] 第一实施例,如图 4 所示, N 阱中所述第二 P+ 扩散区、所述第二 N+ 扩散区同所述 PMOS 管的栅极短接用于接静电端 ;P 阱中所述第三 N+ 扩散区、所述第三 P+ 扩散区同所述 NMOS 管的栅极短接用于接地端 ;N 阱中所述第一 N+ 扩散区同 P 阱中所述第四 N+ 扩散区短接 ;N 阱中所述第一 P+ 扩散区同 P 阱中所述第四 P+ 扩散区短接。

[0026] 第二实施例,如图 5 所示, N 阱中所述第一 P+ 扩散区、所述第一 N+ 扩散区同所述 PMOS 管的栅极短接用于接静电端 ;P 阱中所述第四 N+ 扩散区、所述第四 P+ 扩散区同所述 NMOS 管的栅极短接用于接地端 ;N 阱中所述第二 N+ 扩散区同 P 阱中所述第三 N+ 扩散区短接 ;N 阱中所述第二 P+ 扩散区同 P 阱中所述第三 P+ 扩散区短接。

[0027] 第三实施例, N 阱中所述第二 P+ 扩散区、所述第二 N+ 扩散区同所述 PMOS 管的栅极短接用于接静电端 ;P 阱中所述第四 N+ 扩散区、所述第四 P+ 扩散区同所述 NMOS 管的栅极短接用于接地端 ;N 阱中所述第一 N+ 扩散区同 P 阱中所述第三 N+ 扩散区短接 ;N 阱中所述第一 P+ 扩散区同 P 阱中所述第三 P+ 扩散区短接。

[0028] 第四实施例, N 阱中所述第一 P+ 扩散区、所述第一 N+ 扩散区同所述 PMOS 管的栅极短接用于接静电端 ;P 阱中所述第三 N+ 扩散区、所述第三 P+ 扩散区同所述 NMOS 管的栅极短接用于接地端 ;N 阱中所述第二 N+ 扩散区同 P 阱中所述第四 N+ 扩散区短接 ;N 阱中所述第二 P+ 扩散区同 P 阱中所述第四 P+ 扩散区短接。

[0029] 第五实施例, N 阱中所述第二 P+ 扩散区、所述第一 N+ 扩散区同所述 PMOS 管的栅极短接用于接静电端 ;P 阱中所述第三 N+ 扩散区、所述第三 P+ 扩散区同所述 NMOS 管的栅极短接用于接地端 ;N 阱中所述第二 N+ 扩散区同 P 阱中所述第四 N+ 扩散区短接 ;N 阱中所述第一 P+ 扩散区同 P 阱中所述第四 P+ 扩散区短接。

[0030] 第六实施例, N 阱中所述第二 P+ 扩散区、所述第一 N+ 扩散区同所述 PMOS 管的栅极短接用于接静电端 ;P 阱中所述第四 N+ 扩散区、所述第四 P+ 扩散区同所述 NMOS 管的栅极短接用于接地端 ;N 阱中所述第二 N+ 扩散区同 P 阱中所述第三 N+ 扩散区短接 ;N 阱中所述第一 P+ 扩散区同 P 阱中所述第三 P+ 扩散区短接。

[0031] 第七实施例, N 阱中所述第二 P+ 扩散区、所述第一 N+ 扩散区同所述 PMOS 管的栅极短接用于接静电端 ;P 阱中所述第四 N+ 扩散区、所述第三 P+ 扩散区同所述 NMOS 管的栅极短接用于接地端 ;N 阱中所述第二 N+ 扩散区同 P 阱中所述第三 N+ 扩散区短接 ;N 阱中所述第一 P+ 扩散区同 P 阱中所述第四 P+ 扩散区短接。

[0032] 第八实施例, N 阱中所述第二 P+ 扩散区、所述第一 N+ 扩散区同所述 PMOS 管的栅极短接用于接静电端 ;P 阱中所述第三 N+ 扩散区、所述第四 P+ 扩散区同所述 NMOS 管的栅极短接用于接地端 ;N 阱中所述第二 N+ 扩散区同 P 阱中所述第四 N+ 扩散区短接 ;N 阱中所述第一 P+ 扩散区同 P 阱中所述第三 P+ 扩散区短接。

[0033] 第九实施例, N 阱中所述第一 P+ 扩散区、所述第二 N+ 扩散区同所述 PMOS 管的栅极短接用于接静电端; P 阱中所述第三 N+ 扩散区、所述第三 P+ 扩散区同所述 NMOS 管的栅极短接用于接地端; N 阱中所述第一 N+ 扩散区同 P 阱中所述第四 N+ 扩散区短接; N 阱中所述第二 P+ 扩散区同 P 阱中所述第四 P+ 扩散区短接。

[0034] 第十实施例, N 阱中所述第一 P+ 扩散区、所述第二 N+ 扩散区同所述 PMOS 管的栅极短接用于接静电端; P 阱中所述第四 N+ 扩散区、所述第四 P+ 扩散区同所述 NMOS 管的栅极短接用于接地端; N 阱中所述第一 N+ 扩散区同 P 阱中所述第三 N+ 扩散区短接; N 阱中所述第二 P+ 扩散区同 P 阱中所述第三 P+ 扩散区短接。

[0035] 第十一实施例, N 阱中所述第一 P+ 扩散区、所述第二 N+ 扩散区同所述 PMOS 管的栅极短接用于接静电端; P 阱中所述第四 N+ 扩散区、所述第三 P+ 扩散区同所述 NMOS 管的栅极短接用于接地端; N 阱中所述第一 N+ 扩散区同 P 阱中所述第三 N+ 扩散区短接; N 阱中所述第二 P+ 扩散区同 P 阱中所述第四 P+ 扩散区短接。

[0036] 第十二实施例, N 阱中所述第一 P+ 扩散区、所述第二 N+ 扩散区同所述 PMOS 管的栅极短接用于接静电端; P 阱中所述第三 N+ 扩散区、所述第四 P+ 扩散区同所述 NMOS 管的栅极短接用于接地端; N 阱中所述第一 N+ 扩散区同 P 阱中所述第四 N+ 扩散区短接; N 阱中所述第二 P+ 扩散区同 P 阱中所述第三 P+ 扩散区短接。

[0037] 第十三实施例, N 阱中所述第二 P+ 扩散区、所述第二 N+ 扩散区同所述 PMOS 管的栅极短接用于接静电端; P 阱中所述第三 N+ 扩散区、所述第四 P+ 扩散区同所述 NMOS 管的栅极短接用于接地端; N 阱中所述第一 N+ 扩散区同 P 阱中所述第四 N+ 扩散区短接; N 阱中所述第一 P+ 扩散区同 P 阱中所述第三 P+ 扩散区短接。

[0038] 第十四实施例, N 阱中所述第一 P+ 扩散区、所述第一 N+ 扩散区同所述 PMOS 管的栅极短接用于接静电端; P 阱中所述第三 N+ 扩散区、所述第四 P+ 扩散区同所述 NMOS 管的栅极短接用于接地端; N 阱中所述第二 N+ 扩散区同 P 阱中所述第四 N+ 扩散区短接; N 阱中所述第二 P+ 扩散区同 P 阱中所述第三 P+ 扩散区短接。

[0039] 第十五实施例, N 阱中所述第二 P+ 扩散区、所述第二 N+ 扩散区同所述 PMOS 管的栅极短接用于接静电端; P 阱中所述第四 N+ 扩散区、所述第三 P+ 扩散区同所述 NMOS 管的栅极短接用于接地端; N 阱中所述第一 N+ 扩散区同 P 阱中所述第三 N+ 扩散区短接; N 阱中所述第一 P+ 扩散区同 P 阱中所述第四 P+ 扩散区短接。

[0040] 第十六实施例, N 阱中所述第一 P+ 扩散区、所述第一 N+ 扩散区同所述 PMOS 管的栅极短接用于接静电端; P 阱中所述第四 N+ 扩散区、所述第三 P+ 扩散区同所述 NMOS 管的栅极短接用于接地端; N 阱中所述第二 N+ 扩散区同 P 阱中所述第三 N+ 扩散区短接; N 阱中所述第二 P+ 扩散区同 P 阱中所述第四 P+ 扩散区短接。

[0041] 本发明的静电保护结构, 可运用于 BCD 工艺, 整个结构形成在 N 型埋层上, 在 N 型埋层中形成 PMOS 管和 NMOS 管, 利用其寄生的 PNP 管和 NPN 管作为触发硅控整流器的开关。当此 PNP 管和 NPN 管随着静电放电 (ESD) 电流的冲击而被触发开启后, 也会同时触发由 N 阱中的 P+/N 阱 /P 阱中的 P+ 扩散区组成的 PNP 三极管以及由 N 阱 /P 阱 /P 阱中的 N+ 扩散区组成的 NPN 三极管, 进入正反馈的电流放大状态泻放电流, 而此 PMOS 管和 NMOS 管寄生的 PNP 管和 NPN 管的触发电压可由工艺的杂质注入进行调整, 且达到 P+/N 阱的结击穿电压和 N+/P 阱的结击穿电压相同, 能方便有效地调节静电保护的触发电压。本发明的静电保护结

构整体的触发电压由 PMOS 管和 NMOS 管双重控制静电保护结构的触发,相对于单通过一种结进行触发的方式来说,本发明的静电保护结构由于用于触发的结面积增大,所需达到的触发电流会更大,一旦此触发电流高于进行拴锁测试时的电流,则可有效的避免拴锁效应的发生而导致的拴锁测试失效问题,同时由于用于触发的结面积的增大,其结所能承受的极限电流也相应提高,这对于一些具有上升速度更快而且峰值电流更高特点的静电电流的防护来说,相比较于通常的静电保护结构,静电放电能力强,其防护效果更好。

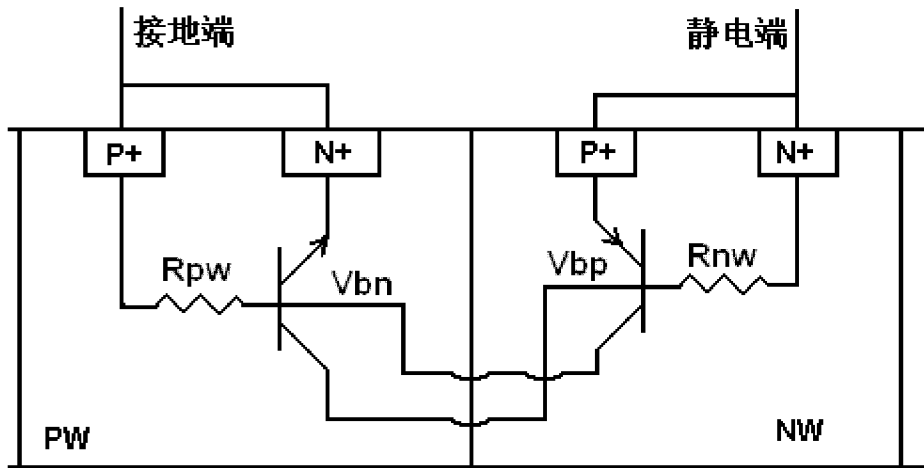


图 1

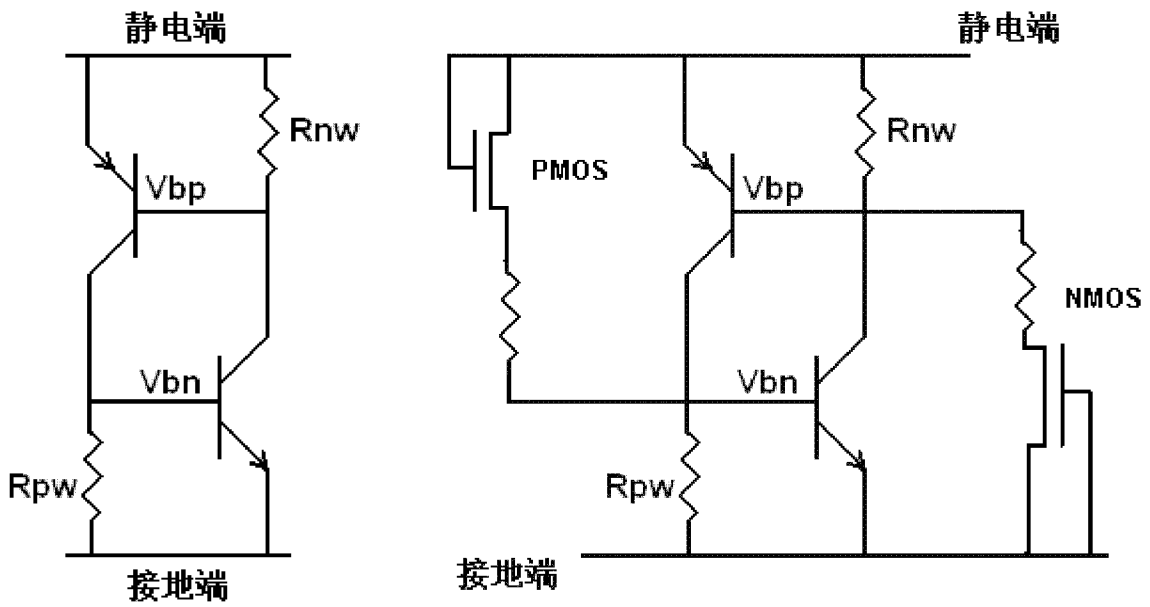


图 2

图 3

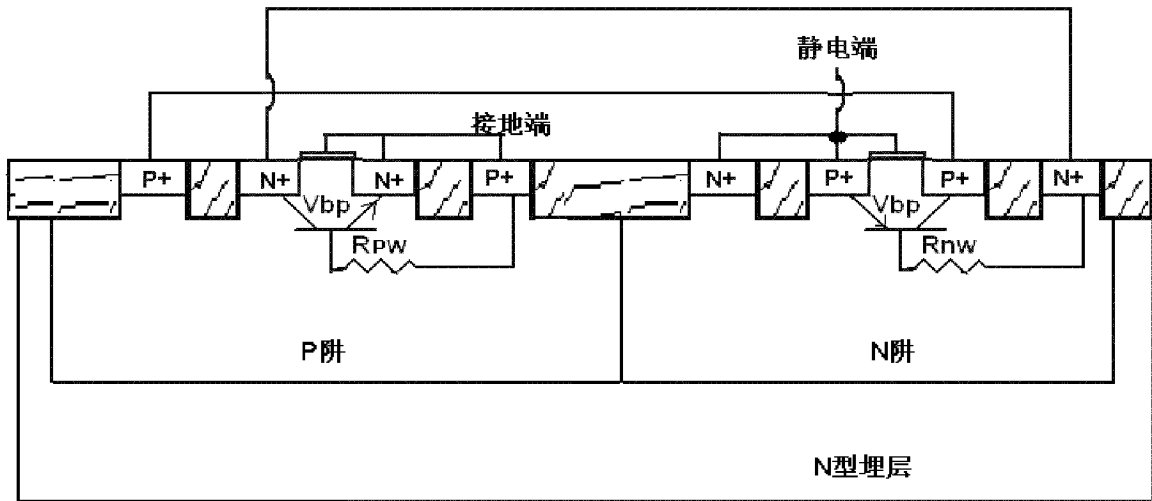


图 4

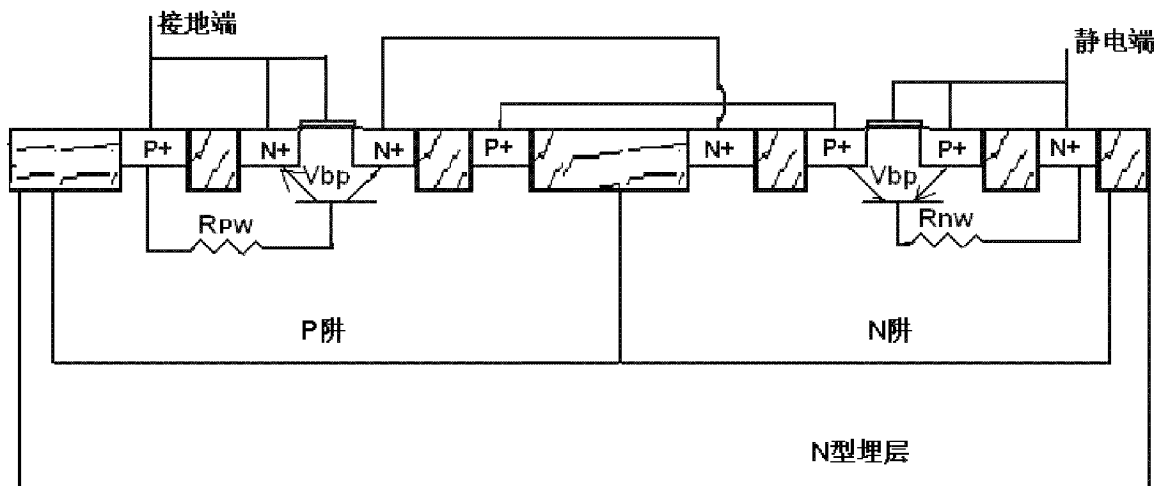


图 5