



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I613828 B

(45)公告日：中華民國 107 (2018) 年 02 月 01 日

(21)申請案號：106103512

(22)申請日：中華民國 100 (2011) 年 06 月 29 日

(51)Int. Cl. : H01L29/786 (2006.01)

H01L21/336 (2006.01)

H01L21/31 (2006.01)

(30)優先權：2010/07/01 日本

2010-150849

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：一條充弘 ICHJO, MITSUHIRO (JP)；遠藤俊彌 ENDO, TOSHIYA (JP)；鈴木邦
彥 SUZUKI, KUNIHICO (JP)；竹村保彥 TAKEMURA, YASUHIKO (JP)

(74)代理人：林志剛

(56)參考文獻：

TW 405155

審查人員：蕭允政

申請專利範圍項數：2 項 圖式數：13 共 59 頁

(54)名稱

半導體裝置

SEMICONDUCTOR DEVICE

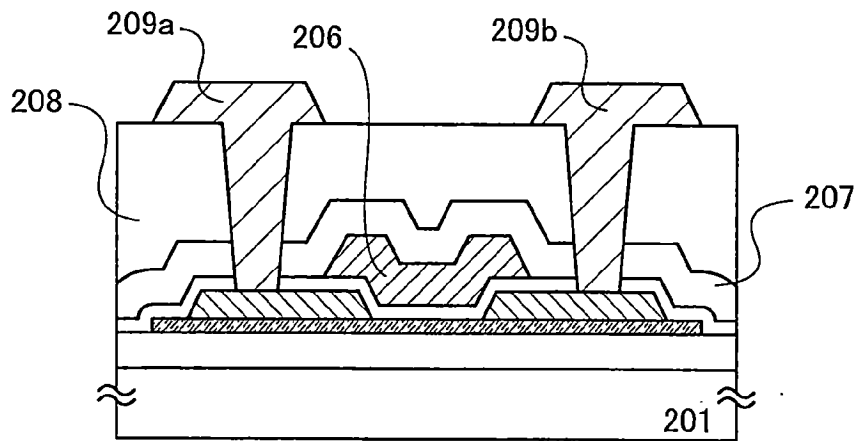
(57)摘要

在包括氧化物半導體之電晶體中，該氧化物半導體中之氫導致該電晶體之電特性退化。因而，本發明之目標為提供具有良好電特性之半導體裝置。藉由電漿 CVD 法使用矽鹵化物而形成絕緣層，其接觸形成通道區域之氧化物半導體層。該絕緣層因而經形成而具有低於 6×10^{20} 原子/cm³ 之氫濃度，及大於或等於 1×10^{20} 原子/cm³ 之鹵素濃度；因此，可避免氫擴散進入該氧化物半導體層，且該氧化物半導體層中之氫藉由該鹵素而被鈍化或從該氧化物半導體層釋放，藉此可提供具有良好電特性之半導體裝置。

In a transistor including an oxide semiconductor, hydrogen in the oxide semiconductor leads to degradation of electric characteristics of the transistor. Thus, an object is to provide a semiconductor device having good electrical characteristics. An insulating layer in contact with an oxide semiconductor layer where a channel region is formed is formed by a plasma CVD method using a silicon halide. The insulating layer thus formed has a hydrogen concentration less than 6×10^{20} atoms/cm³ and a halogen concentration greater than or equal to 1×10^{20} atoms/cm³; accordingly, hydrogen diffusion into the oxide semiconductor layer can be prevented and hydrogen in the oxide semiconductor layer is inactivated or released from the oxide semiconductor layer by the halogen, whereby a semiconductor device having good electrical characteristics can be provided.

指定代表圖：

圖 7C



符號簡單說明：

201 . . . 基板

206 . . . 閘極電極層

207、208 . . . 絕緣層

209a、209b . . . 電極

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體裝置

Semiconductor device

【技術領域】

本發明之一實施例關於包括氧化物半導體之半導體裝置及其製造方法。

在本說明書中，半導體裝置乙詞係指藉由利用半導體特性而可作動之所有裝置，且光電裝置、半導體電路、及電子裝置均為半導體裝置。

【先前技術】

近年來，電晶體用於許多液晶顯示裝置及以平板顯示器為代表之發光顯示裝置，且其係以矽半導體形成於玻璃基板之上，諸如非結晶矽或多晶矽。

注意已指向一種技術，其中氧化物半導體取代該等矽半導體而用於電晶體。

氧化物半導體之範例包括氧化鋅，其為一金屬氧化物；以及 In-Ga-Zn-O 基氧化物，其為同源化合物。已揭露技術其中該等氧化物半導體用於形成電晶體作為顯示裝置之像素中切換元件等（詳專利文獻 1 至 3）。

[參考文獻]

[專利文獻 1]日本公開專利申請案 No. 2006-165528

[專利文獻 2]日本公開專利申請案 No. 2007-96055

[專利文獻 3]日本公開專利申請案 No. 2007-123861

【發明內容】

通道區域形成於氧化物半導體中之電晶體具有一問題：甚至在閘極電極之電位等於源極電極之電位之狀態下（ $V_{gs}=0V$ ），臨限電壓（ V_{th} ）易於沿負方向偏移且不可忽略之汲極電流量流動。

鑒於以上問題，本說明書中所揭露之本發明之一實施例之目標為配置具有良好電特性之半導體裝置。

為達成以上目標，具有低氫含量並包含諸如氟或氯之鹵素的絕緣層用作與形成通道區域之氧化物半導體層接觸之閘極絕緣層，藉此從閘極絕緣層至氧化物半導體層之氫的運動減少，且氧化物半導體層中之氫鈍化或從氧化物半導體層釋放。因而，可減少氧化物半導體層之氫含量。

具體地，使用閘極絕緣層其具有低於 6×10^{20} 原子/cm³ 之氫濃度，較佳地為低於或等於 2×10^{20} 原子/cm³，及更佳地為低於或等於 5×10^{19} 原子/cm³，及大於或等於 1×10^{19} 原子/cm³ 之鹵素濃度，較佳地為大於或等於 1×10^{20} 原子/cm³。

本發明之一實施例為半導體裝置，包括閘極電極層；形成通道區域之氧化物半導體層；電連接至氧化物半導體

層之源極電極層及汲極電極層；閘極電極層與氧化物半導體層之間之閘極絕緣層；及絕緣層，其面對閘極絕緣層且氧化物半導體層介於絕緣層與閘極絕緣層之間，並接觸氧化物半導體層。絕緣層中氫濃度為低於 6×10^{20} 原子/cm³，較佳地為低於或等於 2×10^{20} 原子/cm³，更佳地為低於或等於 5×10^{19} 原子/cm³，且絕緣層中鹵素濃度為大於或等於 1×10^{19} 原子/cm³，較佳地為大於或等於 1×10^{20} 原子/cm³。

本發明之另一實施例為底閘電晶體，其中氧化物半導體層與閘極電極層重疊，且閘極絕緣層插於其間。本發明之另一實施例為頂閘電晶體，其中閘極電極層與氧化物半導體層重疊，且閘極絕緣層插於其間。

在本發明之另一實施例中，閘極絕緣層為包括氧化矽、氧氮化矽、氮氧化矽、氧化鉛、氧化鋁、或氧化鉬之氧化物絕緣層。

閘極絕緣層可包括與閘極電極層接觸之第一閘極絕緣層，及與氧化物半導體層接觸之第二閘極絕緣層。在此狀況下，藉由使用具有低氫含量並包括鹵素之材料形成第二閘極絕緣層，減少從第二閘極絕緣層至氧化物半導體層之氫之運動，且氧化物半導體層中之氫鈍化或從氧化物半導體層釋放。因而，可減少氧化物半導體層之氫含量。

本發明之另一實施例為包括閘極絕緣層之半導體裝置，其包括與閘極電極層接觸之第一閘極絕緣層，及與氧化物半導體層接觸之第二閘極絕緣層。第二閘極絕緣層中氫濃度為低於 6×10^{20} 原子/cm³，較佳地為低於或等於 $2 \times$

10^{20} 原子/ cm^3 ，更佳地為低於或等於 5×10^{19} 原子/ cm^3 。第二閘極絕緣層中鹵素濃度為大於或等於 1×10^{19} 原子/ cm^3 ，較佳地為大於或等於 1×10^{20} 原子/ cm^3 。

此外，藉由使用具有低氫含量並包括鹵素之材料，而形成半導體裝置中所包括之另一絕緣層並與氧化物半導體層接觸，從絕緣層至氧化物半導體層之氫之運動減少，且氧化物半導體層中之氫鈍化或從氧化物半導體層釋放。因而，可減少氧化物半導體層之氫含量。

本發明之另一實施例為半導體裝置，其中與氧化物半導體層接觸之絕緣層中氫濃度為低於 6×10^{20} 原子/ cm^3 ，較佳地為低於或等於 2×10^{20} 原子/ cm^3 ，更佳地為低於或等於 5×10^{19} 原子/ cm^3 ，且與氧化物半導體層接觸之絕緣層中鹵素濃度為大於或等於 1×10^{20} 原子/ cm^3 ，較佳地為大於或等於 1×10^{21} 原子/ cm^3 。

本發明之另一實施例為頂閘電晶體及包括頂閘電晶體之半導體裝置。在頂閘電晶體中，接觸氧化物半導體層並介於氧化物半導體層與基板之間之絕緣層中氫濃度為低於 6×10^{20} 原子/ cm^3 ，較佳地為低於或等於 2×10^{20} 原子/ cm^3 ，更佳地為低於或等於 5×10^{19} 原子/ cm^3 ，且絕緣層中鹵素濃度為大於或等於 1×10^{20} 原子/ cm^3 ，較佳地為大於或等於 1×10^{21} 原子/ cm^3 。絕緣層之厚度為氧化物半導體層及閘極絕緣層之總厚度的五或更多倍。

本發明之另一實施例為頂閘電晶體及包括頂閘電晶體之半導體裝置。頂閘電晶體包括基板上之絕緣層、接觸絕

緣層之氧化物半導體層、與氧化物半導體層接觸之一對導電區域、及氧化物半導體層上之閘極電極層，且導電區域具絕緣膜插於其間。導電區域未與絕緣層接觸。

本發明之另一實施例為包括絕緣膜之半導體裝置，其中絕緣膜包括氧化矽作為主要成分、接觸氧化物半導體層、並使用矽鹵化物形成，諸如四氟化矽（ SiF_4 ）或四氯化矽（ SiCl_4 ）作為來源氣體。此處，包括氧化矽作為主要成分之絕緣膜係指絕緣膜之膜中除了氧以外，70%或更大，較佳地為90%或更大元素為矽。

根據本發明之一實施例，可提供具有良好電特性之半導體裝置。

【圖式簡單說明】

圖 1A 及 1B 為半導體裝置（電晶體）之俯視圖及截面圖。

圖 2A 及 2B 各描繪叢集模型，其中鎂原子位於中央。

圖 3A 及 3B 描繪反應方程式及釋放氫原子之反應之能量圖。

圖 4A 至 4D 描繪用於計算鍵能之模型。

圖 5A 及 5B 描繪反應方程式及釋放氫原子之反應之能量圖。

圖 6A 至 6D 為截面圖，描繪電晶體之製造方法。

圖 7A 至 7C 為截面圖，描繪電晶體之製造方法。

圖 8A 至 8D 為截面圖，描繪電晶體之製造方法。

圖 9A 至 9D 為截面圖，描繪電晶體之製造方法。

圖 10 顯示氧化矽層中氫及氟之濃度。

圖 11 為外部圖，描繪電子書閱讀器之範例。

圖 12A 及 12B 為外部圖，描繪電視裝置及數位相框之範例。

圖 13 為透視圖，描繪可攜式電腦之範例。

【實施方式】

以下，將參照附圖詳細說明本發明之實施例。然而，本發明不侷限於下列說明，且熟悉本技藝之人士易於理解，模式及細節可進行各種改變而未偏離本發明之精神及範圍。因而，本發明不應解譯為侷限於以下實施例之說明。在參照圖式說明本發明之結構中，不同圖式之間共同組件維持相同代號。相同陰影型樣應用於類似部分，且有時並不藉由代號特別標示類似部分。此外，有時為求方便，俯視圖中未描繪絕緣層。請注意，圖式中所描繪之每一結構之尺寸、層厚度、或區域為求清晰而予誇張。因而，本發明不一定侷限於所描繪之比例尺。

請注意，當說明「A 及 B 彼此連接」時，包括 A 及 B 彼此電連接之狀況、及 A 及 B 彼此直接連接之狀況。此處，每一 A 及 B 係指目標（例如，裝置、元件、電路、佈線、電極、端子、導電膜、或層）。

請注意，電晶體中「源極」及「汲極」之功能於例如

電路作業中電流流動方向改變之狀態下可互換。因而，在本說明書中「源極」及「汲極」用詞可彼此替代。

（實施例 1）

在本實施例中，參照圖 1A 及 1B 說明本發明之一實施例之半導體裝置。請注意，當描繪電晶體作為圖 1A 及 1B 中半導體裝置之範例時，可使用二極體等類似地實施本發明之一實施例。

圖 1A 為電晶體之俯視圖。圖 1B 為沿圖 1A 中線 A1-B1 之截面圖。電晶體於基板 101 之上包括基底絕緣層 102、閘極電極層 103、閘極絕緣層 104、形成通道區域之氧化物半導體層 106、源極電極層 107a 及汲極電極層 107b、及覆蓋氧化物半導體層 106、源極電極層 107a、及汲極電極層 107b 之絕緣層 108。

圖 1A 及 1B 中電晶體為具有底閘結構之電晶體，其中氧化物半導體層 106 經配置而與閘極電極層 103 重疊，且閘極絕緣層 104 插於其間。此外，圖 1A 及 1B 中電晶體具有頂部接觸結構，其中源極電極層 107a 及汲極電極層 107b 經配置而接觸氧化物半導體層 106 之部分上表面。

除了具有頂部接觸結構之電晶體以外，有關具有底閘結構之電晶體，可提供具有底部接觸結構之電晶體，其中源極電極層及汲極電極層經形成而接觸形成通道區域之半導體層之部分下表面。儘管本實施例中說明具有頂部接觸

結構之電晶體，本發明之一實施例可使用根據本實施例之具有底部接觸結構之電晶體予以實施。

在圖 1A 及 1B 之電晶體中，閘極絕緣層 104 之部分上表面接觸氧化物半導體層 106 之下表面。因此，在電晶體之製造程序中，若大量氫出現於閘極絕緣層 104 中，藉由氫擴散進入氧化物半導體層 106，氧化物半導體層 106 之氫含量增加。氧化物半導體層 106 之氫含量增加造成氧化物半導體層 106 中載子增加。因此，電晶體之臨限電壓（ V_{th} ）值沿負方向偏移，且電晶體之電特性變成不利，其中甚至當閘極電極之電位等於源極電極之電位（ $V_{gs}=0V$ ）時，汲極電流流動。

未從氧化物半導體層 106 移除擴散之氫，可提供其中氧化物半導體層 106 歷經熱處理之方法。然而，以該等方法，電晶體之製造步驟數量增加，此導致較高成本及較低產量。此外，約 $400^{\circ}C$ 熱處理已證實不足。

本發明之發明者發現當接觸氧化物半導體層 106 之閘極絕緣層 104 具有低於 6×10^{20} 原子/ cm^3 ，較佳地為低於或等於 2×10^{20} 原子/ cm^3 ，及更佳地為低於或等於 5×10^{19} 原子/ cm^3 之氫濃度，及大於或等於 1×10^{19} 原子/ cm^3 及較佳地為大於或等於 1×10^{20} 原子/ cm^3 之鹵素濃度時，可獲得從閘極絕緣層 104 至氧化物半導體層 106 之氫運動減少，且氧化物半導體層 106 中之氫鈍化或從氧化物半導體層 106 釋放之效果，藉此可減少氧化物半導體層 106 之氫含量。

換言之，藉由使用具有以上氫濃度及以上鹵素濃度之

閘極絕緣層作為接觸氧化物半導體層 106 之閘極絕緣層 104，可提供具有良好電特性之電晶體而未增加電晶體之製造步驟數量。尤其，可形成具實用可靠性及特性之電晶體，同時程序之最高溫度低於 400°C ，較佳地為低於或等於 350°C 。不用說，程序之最高溫度並不侷限於本發明之實施；程序之最高溫度可高於或等於 400°C 。

覆蓋氧化物半導體層 106、源極電極層 107a、及汲極電極層 107b 之絕緣層 108 接觸氧化物半導體層 106 之部分上表面。因而，當絕緣層 108 具有低於 6×10^{20} 原子/ cm^3 ，較佳地為低於或等於 2×10^{20} 原子/ cm^3 ，及更佳地為低於或等於 5×10^{19} 原子/ cm^3 之氫濃度，及大於或等於 1×10^{19} 原子/ cm^3 及較佳地為大於或等於 1×10^{20} 原子/ cm^3 之鹵素濃度時，從絕緣層 108 至氧化物半導體層 106 之氫運動減少，且氧化物半導體層 106 中之氫鈍化或從氧化物半導體層 106 釋放，因而氧化物半導體層 106 之氫含量可減少，並可提供具有良好電特性之半導體裝置。

對於基板 101 並無特別限制，只要其可耐受之後製造程序。可用作基板 101 之基板範例包括絕緣基板，諸如玻璃基板、陶瓷基板、石英基板、或藍寶石基板；以諸如矽之半導體材料形成之半導體基板；以諸如金屬或不鏽鋼之導體形成之導電基板；及半導體基板或導電基板，其表面係以絕緣材料覆蓋。另一方面，可適當使用塑料基板。

有關玻璃基板，若於電晶體之製造程序中執行高於或等於 600°C 溫度之熱處理，具有高於或等於 730°C 之應變

點之基板較佳。例如，使用諸如鋁矽酸鹽玻璃、鋁硼矽酸鹽玻璃、或鋇硼矽酸鹽玻璃之玻璃材料。

基底絕緣層 102 不僅可避免雜質元素從基板 101 擴散，亦避免電晶體之製造程序中蝕刻步驟中蝕刻基板。此即為何基底絕緣層 102 之厚度較佳，但不侷限於 50 nm 或更多。

使用包括氧化矽、氧氮化矽、氮化矽、氮氧化矽、氧化鉛、氧化鋁、氧化鋇等之絕緣層而形成具有單層結構或二或更多層之堆疊層結構的基底絕緣層 102。

此處，氧氮化矽係指包含較氮更多氧，例如，氧氮化矽包括至少氧、氮、及矽，其濃度分別為大於或等於 50 原子%及低於或等於 70 原子%、大於或等於 0.5 原子%及低於或等於 15 原子%、及大於或等於 25 原子%及低於或等於 35 原子%。此外，氮氧化矽係指包含較氧更多氮，例如，氮氧化矽包括至少氧、氮、及矽，其濃度分別為大於或等於 5 原子%及低於或等於 30 原子%、大於或等於 20 原子%及低於或等於 55 原子%、及大於或等於 25 原子%及低於或等於 35 原子%。

以上範圍係藉由使用拉塞福背向散射質譜（RBS）或氫前向散射（HFS）測量而予獲得。組成元素之總百分比不超過 100 原子%。

閘極電極層 103 係形成於基底絕緣層 102 之上。對閘極電極層 103 而言，使用諸如鉬、鈦、鉻、鋇、鎢、鉑、鈮、或鐵之金屬材料之任一項、包含任一該些金屬材料作

爲主要成分之合金材料、及任一該些金屬材料之氮化物，而形成單層或堆疊層。請注意，若可耐受之後步驟中執行之熱處理溫度，以上金屬材料可爲鋁或銅。鋁或銅較佳地與耐火金屬材料組合使用，以便避免耐熱性及腐蝕之問題。有關耐火金屬材料，可使用鉬、鈦、鉻、鉭、鎢、釹、釷等。

閘極電極層 103 不侷限於單層，可爲包括不同材料之二或更多層之堆疊層。具有堆疊層結構之閘極電極層 103 較佳地具有：鉬膜堆疊於鋁膜上之二層結構、鉬膜堆疊於銅膜上之二層結構、氮化鈦膜或氮化鉭膜堆疊於銅膜上之二層結構、或氮化鈦膜及鉬膜堆疊之二層結構。此外，具有堆疊層結構之閘極電極層 103 較佳地具有一結構，其中包括鋁膜、鋁及矽之合金膜、鋁及鈦之合金膜、或鋁及釹之合金膜作爲中間層，且鎢膜、氮化鎢膜、氮化鈦膜、或鈦膜係配置於中間層之上及之下。

此外，對閘極電極層 103 而言，可使用具有透光屬性之多晶矽或氧化物導體，諸如氧化銦、氧化銦及氧化錫之合金、氧化銦及氧化鋅之合金、氧化鋅、氧化鋁鋅、氧氮鋁鋅、或氧化鎳鋅。

此外，諸如 In-O-N 基氧氮化物、In-Zn-O-N 基氧氮化物、In-Ga-O-N 基氧氮化物、或 In-Ga-Zn-O-N 基氧氮化物之氧氮化物可用於閘極電極層 103。此處，例如 In-Ga-Zn-O-N 基氧氮化物爲氧氮化物，包括至少 In、Ga、及 Zn 而未特別限制組成比。此外，除了 In、Ga、及 Zn 以外，In-

Ga-Zn-O-N 基氧氮化物可包含另一元素。

閘極電極層 103 之厚度並未特別限制，並可考量以金屬材料、合金材料、或另一化合物形成之導電膜之電阻，及形成步驟花費之時間，而適當決定。例如，閘極電極層 103 可形成為 10 nm 至 500 nm 之厚度。

閘極絕緣層 104 經配置而覆蓋閘極電極層 103。由於如以上說明，閘極絕緣層 104 接觸氧化物半導體層 106，閘極絕緣層 104 較佳地具有低於 6×10^{20} 原子/cm³，較佳地為低於或等於 2×10^{20} 原子/cm³，及更佳地為低於或等於 5×10^{19} 原子/cm³ 之氫濃度，且氟濃度為大於或等於 1×10^{19} 原子/cm³ 及較佳地為大於或等於 1×10^{20} 原子/cm³。

基於以上濃度，從閘極絕緣層 104 至氧化物半導體層 106 之氫之運動減少，且氧化物半導體層 106 中之氫鈍化或從氧化物半導體層 106 釋放。因而，可減少氧化物半導體層 106 之氫含量。可考量崩潰電壓或電晶體之製造程序而適當決定閘極絕緣層 104 之厚度。

雖然閘極絕緣層 104 可採用基底絕緣層 102 之任一範例，只要其具有以上氫濃度及氟濃度，本實施例中係說明藉由電漿增強化學蒸氣沈積（電漿 CVD）法形成氧化矽層。

電漿 CVD 法係指一種方法，其中藉由供應作為原料之沈積氣體至電漿 CVD 設備中之反應室，並藉由使用電漿能量，而形成膜。電漿 CVD 法可提供具有較藉由例如濺鍍法形成之膜為佳之階梯覆蓋之膜。

電漿 CVD 設備之範例包括：具高頻電源之電容耦合高頻電漿 CVD 設備；電感耦合高頻電漿 CVD 設備；微波電漿 CVD 設備（電子迴旋共振電漿 CVD 設備），其具有作為微波產生源之磁控管並產生具微波之電漿、螺旋波電漿 CVD 設備等。對本說明書中電漿 CVD 法而言，可適當利用將輝光放電電漿用於膜形成之 CVD 設備。此外，可執行電漿 CVD 法同時加熱基板。

在氧化矽層形成中，需選擇其組成方程式中未包括氫之氣體，作為沈積氣體，其為原料。換言之，除了矽烷（ SiH_4 ）以外，氟化矽（例如 SiF_4 ）或氯化矽（ SiCl_4 ）可用作沈積氣體。此外，氧化亞氮（ N_2O ）或具低氫含量及低水含量之氧可用作氧化之氣體。而且，有關添加用於電漿穩定之另一氣體例如氬，使用具低氫含量及低水含量之氣體。

在藉由電漿 CVD 法形成氧化矽層中，於諸如氫及水之電漿 CVD 設備之反應室中剩下或附著至反應室內壁之雜質移除之後，使用以上氣體形成氧化矽層，同時加熱反應室之內壁。若氟化矽用作沈積氣體，尤其，閘極絕緣層 104 可具有低於 6×10^{20} 原子/ cm^3 ，較佳地為低於或等於 2×10^{20} 原子/ cm^3 ，及更佳地為低於或等於 5×10^{19} 原子/ cm^3 之氫濃度，及大於或等於 1×10^{19} 原子/ cm^3 及較佳地為大於或等於 1×10^{20} 原子/ cm^3 之氟濃度。

此外，若閘極絕緣層包括二或更多層，可避免閘極電極層 103 之蝕刻，此可能因為於閘極電極層 103 之上形成

包含氟之氧化矽層中產生氟而發生。在此狀況下，接觸閘極電極層 103 之第一閘極絕緣層較佳地具有低於 1×10^{19} 原子/cm³ 之氟濃度。

如同以上使用四氟化矽形成之氧化矽層，接觸氧化物半導體層 105 之第二閘極絕緣層需為具有大於或等於 1×10^{19} 原子/cm³，較佳地為大於或等於 1×10^{20} 原子/cm³ 之氟濃度之絕緣層。此外，第一閘極絕緣層較佳地形成為一種厚度，基此可避免當使用四氟化矽等形成氧化矽層而作為第二閘極絕緣層時，排除第一閘極絕緣層。例如，有關第一閘極絕緣層，可使用提供作為基底絕緣層 102 範例之絕緣層。

其中形成通道區域之氧化物半導體層 106 係形成於閘極絕緣層 104 之上並與其接觸。氧化物半導體層 106 之厚度為 10 nm 至 300 nm，較佳地為 20 nm 至 100 nm。

氧化物半導體層 106 係使用包含 In、Ga、及 Zn 之 In-Ga-Zn-O 基氧化物而予形成。可使用任一下列氧化物半導體而形成氧化物半導體層 106：四成分金屬氧化物諸如 In-Sn-Ga-Zn-O 基金屬氧化物；三成分金屬氧化物諸如 In-Sn-Zn-O 基金屬氧化物、In-Al-Zn-O 基金屬氧化物、Sn-Ga-Zn-O 基金屬氧化物、Al-Ga-Zn-O 基金屬氧化物、及 Sn-Al-Zn-O 基金屬氧化物；二成分金屬氧化物諸如 In-Zn-O 基金屬氧化物、In-Ga-O 基金屬氧化物、Sn-Zn-O 基金屬氧化物、Al-Zn-O 基金屬氧化物、Zn-Mg-O 基金屬氧化物、Sn-Mg-O 基金屬氧化物、及 In-Mg-O 基金屬氧化物；

氧化銦；氧化錫；氧化鋅等。此處，例如 In-Ga-Zn-O 基氧化物係指包含至少 In、Ga、及 Zn 之氧化物，且對於組成比無特別限制。此外，除了 In、Ga、及 Zn 以外，In-Ga-Zn-O 基氧化物可包含另一元素。

氧化物半導體層 106 可使用以化學式 $\text{InMO}_3(\text{ZnO})_m$ ($m>0$) 代表之氧化物予以形成。此處，M 標示選自 Ga、Al、Mn、及 Co 之一或更多金屬元素。例如，M 可為 Ga、Ga 及 Al、Ga 及 Mn、Ga 及 Co 等。

源極電極層 107a 及汲極電極層 107b 經形成而接觸閘極絕緣層 104 及氧化物半導體層 106。源極電極層 107a 及汲極電極層 107b 之材料及厚度類似於閘極電極層 103。

充當鈍化膜或層際絕緣膜之絕緣層 108 係形成於源極電極層 107a、汲極電極層 107b、及氧化物半導體層 106 之上並與其接觸。絕緣層 108 係以類似於閘極絕緣層 104 之方式形成。由於絕緣層 108 接觸氧化物半導體層 106 之部分上表面，當絕緣層 108 為氧化矽層作為閘極絕緣層 104 時，從絕緣層 108 至氧化物半導體層 106 之氫之運動減少，且氧化物半導體層 106 中之氫鈍化或從氧化物半導體層 106 釋放。因而，可減少氧化物半導體層 106 之氫含量。

如同閘極絕緣層 104 之狀況，考量因為沈積氣體中包含氟而可能蝕刻源極電極層 107a 及汲極電極層 107b 之事實，可適當決定絕緣層 108 之厚度。

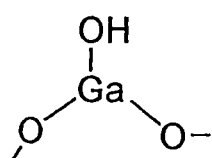
可藉由減少絕緣層 108 之氫含量之方法而形成絕緣層 108。例如，可藉由濺鍍法而沈積氧化矽等。使用矽靶材、氧化矽靶材等，可沈積氧化矽。較佳地，使用氧化矽靶材，更佳地使用氧化矽靶材，其羥基濃度低於或等於 1000 ppm，或其氫濃度低於或等於 3.5×10^{19} 原子/cm³。供應用於沈積之氣體為稀有氣體，諸如氬及氧。此外，有關供應用於沈積之氣體，較佳地使用諸如氬、水、羥基、或氫化物之雜質移除至 1 ppm 或更低，較佳地為 1 ppb 或更低之高純度氣體。

以下使用量子化學計算說明藉由氟而使氧化物半導體層 106 中之氫鈍化或從氧化物半導體層 106 釋放氫之效果。對於以下說明之量子化學計算而言，使用具高斯基之密度功能理論（DFT）。在密度功能理論中，交換關聯相互作用係藉由在電子密度方面以一電子電位代表之函數予以模擬；因而，可以高速及高準確性計算。在本實施例中，B3LYP 為一種混合函數，用於指明有關交換及關聯能量之參數權重。

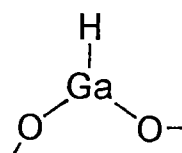
此外，應用於所有原子之基函數為 6-311G，其為針對每一價軌域使用三收縮函數之三重分裂價層基組之基函數。藉由此基函數，1s 至 3s 軌道考量用於氫原子，同時 1s 至 4s 及 2p 至 4p 軌道考量用於氧原子。此外，為改進計算準確性，作為極化基組之 p 函數及 d 函數，分別用於氫原子及氫原子以外之原子。此外，CONFLEX Corporation 生產之「高斯 09」被用作量子化學計算之程

式。

在本實施例中，氧化物半導體層 106 中氫原子結合至氧原子或金屬原子；因而，氧化物半導體層 106 中包括氫之結構假設為以下所描繪之結構方程式 (α-1) 及 (α-2)。在以下所描繪之結構方程式 (α-1) 及 (α-2) 中，未考慮配位鍵而僅考慮離子鍵。雖然本實施例中使用以上包含 In (銦)、Ga (鎵)、及 Zn (鋅) 之氧化物半導體形成氧化物半導體層 106，下列結構方程式 (α-1) 及 (α-2) 中金屬原子為 Ga (鎵)。

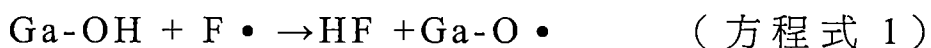


(α-1)



(α-2)

藉由方程式 1 及方程式 2 代表之反應提供作為氟原子及氧化物半導體層 106 中之氫的反應程序。



在方程式 1 中，羥基之氫原子與氟原子團反應以形成 HF (氟化氫) 分子。在方程式 2 中，氟原子團與結合至鎵原子之氫原子反應以形成 HF (氟化氫) 分子。請注意，方程式 1 及方程式 2 中符號「 $\cdot$ 」代表原子團。

此處在量子化學計算中，基於圖 2A 及 2B 中針對以上結構方程式 (α-1) 及 (α-2) 所描繪之簡單叢集模型，計算以上反應中之啟動能量而估計反應之可能性。

實施方程式 1 中反應之量子化學計算，且圖 3A 及 3B

中描繪分析之反應途徑及能量圖。

在圖 3A 及 3B 中，初始狀態 1 為羥基及氟原子團彼此無限相離之狀態。在能量圖中，初始狀態 1 之能量為基線。在中間 2 中，氟原子團接近鎵原子，藉此 Ga-O 鍵斷掉，產生羥基原子團，及形成 Ga-F 鍵。藉由該等反應，中間 2 之電位能量成為 -1.67 eV。

在中間 3 中，羥基原子團之氫原子結合至氟原子以產生 HF 分子。中間 2 及中間 3 之電位能量之間差異之啟動能量經計算為 0.61 eV。在中間 4 中，氧原子團及 HF 分子彼此互動。在最後狀態 5 中，氧原子團及 HF 分子彼此無限相離。

實際上，HF 可從氧化物半導體層 106 釋放，但可因某些原因而保留在氧化物半導體層 106 中。若 HF 保留在氧化物半導體層 106 中，HF 分子中氫未結合至氧化物半導體（即，氫鈍化），因而未充當氧化物半導體中載子源。

藉由因 Ga-O 鍵之鍵能為 4.37 eV 及 Ga-F 鍵之鍵能為 5.31 eV 之事實而氟原子團接近至鎵原子，造成中間 2 中 Ga-O 鍵斷掉並形成 Ga-F 鍵。

此處 Ga-O 鍵之鍵能為藉由計算羥基結合至鎵原子之狀態之電位能量（詳圖 4A）及羥基原子團無限相離之狀態之電位能量（詳圖 4B）之間之差異而獲得之值。此處 Ga-F 鍵之鍵能為藉由計算氟結合至鎵原子之狀態之電位能量（詳圖 4C）及氟原子團無限相離之狀態之電位能量

(詳圖 4D) 之間之差異而獲得之值。

初始狀態 1 及最後狀態 5 之能量之間之差異透漏以方程式 1 代表之反應為放熱反應，其中氧化物半導體層 106 中氫及氟彼此結合。因而，可以說此反應輕易進行。

接著，實施方程式 2 中反應之量子化學計算，且圖 5A 及 5B 中描繪分析之反應途徑及能量圖。

在圖 5A 及 5B 中，初始狀態 1 為氫原子及氟原子團彼此無限相離之狀態。在能量圖中，初始狀態 1 之能量為基線。在中間 2 中，氟原子團接近鎵原子，藉此 Ga-H 鍵斷掉，產生氫原子團，及形成 Ga-F 鍵。藉由該等反應，中間 2 之電位能量成為 -1.99 eV 。

在中間 3 中，氫原子團結合至氟原子以產生 HF 分子。中間 2 及中間 3 之電位能量之間差異之啟動能量經計算為 0.45 eV 。在中間 4 中，結合至鎵原子之氧原子及 HF 分子彼此互動。在最後狀態 5 中，HF 分子無限相離。

藉由類似於方程式 1 之狀況，因在鍵能方面 Ga-F 鍵較 Ga-H 鍵更穩定之事實而如方程式 1 中氟原子團接近至鎵原子，造成中間 2 中 Ga-H 鍵斷掉並形成 Ga-F 鍵。

初始狀態 1 及最後狀態 5 之能量之間之差異透漏方程式 2 中所描繪之反應，其亦為放熱反應，其中氧化物半導體層 106 中氫釋放。因而，可以說此反應輕易進行。

如以上說明，藉由氟而使氧化物半導體層 106 中之氫鈍化或從氧化物半導體層 106 釋放。

其次，將參照圖 6A 至 6D 說明圖 1A 及 1B 中半導體

裝置之製造方法。

基底絕緣層 102 係形成於基板 101 之上。基板 101 及基底絕緣層 102 可如以上說明，且玻璃基板用作本實施例中之基板 101。儘管可藉由電漿 CVD 法形成基底絕緣層 102，本製造方法中基底絕緣層 102 為藉由 RF 濺鍍法並使用氧化矽作為靶材及諸如氬及氧之稀有氣體作為供應用於形成之氣體而形成為 200 nm 厚度之氧化矽層。

接著，形成充當閘極電極層 103 之導電膜。有關導電膜，在半導體裝置之本製造方法中，藉由 DC 濺鍍法並使用鈦靶材而形成 150-nm 厚之鈦膜。接著，執行第一光刻步驟及蝕刻步驟，藉此形成具有 150 nm 厚度之閘極電極層 103。

濕式蝕刻或乾式蝕刻可用於導電膜之蝕刻。請注意，在元件之微加工方面，乾式蝕刻較佳。可適當選擇適於將蝕刻之材料之蝕刻氣體及蝕刻劑。

閘極電極層 103 較佳地為具有錐形。這是因為氧化物半導體膜及將成為源極電極層及汲極電極層之導電膜係於之後步驟形成於閘極電極層 103 之上，且錐形可有效避免佈線於閘極電極層 103 之步驟被破換。為形成具有錐形之閘極電極層 103，可執行蝕刻同時退下抗蝕罩。

其次，藉由電漿 CVD 法形成閘極絕緣層 104。加熱電漿 CVD 設備中反應室之內壁，使得雜質從反應室之內壁釋放。之後，藉由電漿清除並使用諸如三氟化氮（ NF_3 ）之氟化合物，以移除保留於反應室中或從反應室

之內壁釋放之雜質。在本實施例中，使用電容耦合電漿 CVD 設備，其使用高頻電源。

電漿 CVD 設備中反應室之內壁加熱溫度為高於或等於 100℃ 及低於或等於 350℃，較佳地為高於或等於 100℃ 及低於或等於 125℃，並執行加熱步驟達至少 30 分鐘或更多，較佳地為 60 分鐘或更多。此處，可實施加熱步驟同時執行排空。

對於以上電漿清除之方法並無特別限制。在半導體裝置之製造方法中，儘管提供執行清除之反應室中產生電漿之清除法作為範例，可執行遠端電漿清除其中電漿係預先產生於執行清除之反應室外部，且產生之電漿供應至反應室進行清除。

半導體裝置之本製造方法中電漿清除包括電漿處理步驟及排空步驟。對於電漿清除之具體較佳狀況為以 400 sccm 至 2000 sccm 流速供應三氟化氮至反應室，反應室中壓力調整為 10 Pa 至 200 Pa，電極之間之距離調整為 15 mm 至 60 mm，以 13.56 MHz 至 60 MHz 高頻電源輸出 500 W 至 2000 W 電力（每單位電極面積之電力為 1 W/cm² 至 4 W/cm²（電力密度））使得產生電漿，且處理時間為 5 分鐘至 10 分鐘。電漿清除之更佳狀況為以 600 sccm 流速供應三氟化氮至反應室，反應室中壓力調整為約 70 Pa，電極之間之距離調整為 50 mm，及以 60 MHz 高頻電源輸出 900 W 電力（單位電力密度約 1.8 W/cm²）達 7 分鐘。

接著，四氟化矽作為沈積氣體、氧化亞氮作為氧化氣體、及氬作為附加氣體而供應至反應室，並使用電漿能量形成 200 nm 厚度之氧化矽膜。此外，當閘極絕緣層 104 具有二層時，若矽烷用作沈積氣體，可形成 150-nm 厚之氧化矽膜，作為第一閘極絕緣層而接觸閘極電極層 103，且若四氟化矽用作沈積氣體，可形成 50-nm 厚之氧化矽膜，作為第二閘極絕緣層而接觸氧化物半導體層 105。經由直至圖 6A 中所描繪之此點之步驟而獲得結構。

其次，藉由 DC 濺鍍法而形成 50-nm 厚之氧化物半導體膜。由於形成氧化物半導體膜而接觸閘極絕緣層 104，閘極絕緣層 104 中所包含之氟鈍化氧化物半導體膜中之氫，或從氧化物半導體膜釋放氫。此外，從閘極絕緣層 104 供應氧至氧化物半導體膜中之不足。儘管本實施例中使用 DC 濺鍍法，可使用真空蒸發法、脈衝雷射沈積法、CVD 法等。

在半導體裝置之本製造方法中，使用藉由濺鍍法並使用包括銦（In）、鎵（Ga）、及鋅（Zn）（ In_2O_3 ： Ga_2O_3 ： ZnO =1：1：1 或 In_2O_3 ： Ga_2O_3 ： ZnO =1：1：2 摩爾比）之氧化物半導體靶材而獲得 In-Ga-Zn-O 基氧化物半導體膜。此外，在半導體裝置之本製造方法中，採用 DC 濺鍍法，氬及氧之流速分別為 30 sccm 及 15 sccm。

在藉由濺鍍法形成氧化物半導體膜之前，較佳地執行其中導入氬氣並產生電漿之反向濺鍍。反向濺鍍係指一種方法，其中藉由使用 RF 電源並於諸如氬、氮、或氫之氣

體中施加電壓至基板側，而於基板附近產生電漿以修改表面。反向濺鍍可於其中氧、氧化亞氮等添加至以上氣體之氣體中，或其中氯（ Cl_2 ）、四氟化碳（ CF_4 ）等添加至以上氣體之氣體中執行。

在氧化物半導體膜之形成中，基板加熱至高於或等於 100°C 及低於 550°C ，較佳地為高於或等於 200°C 及低於或等於 400°C 之溫度。接著，當移除處理室中濕氣時，導入氫、水等移除之濺鍍氣體，並使用氧化物半導體靶材形成氧化物半導體膜。藉由形成氧化物半導體膜同時加熱基板，可進一步減少氧化物半導體膜中所包含之濕氣。此外，可減少因濺鍍之損害。

為移除處理室中濕氣，較佳地使用截留真空泵。例如，可使用低溫泵、離子泵、鈦昇華泵等。可使用配置冷阱之渦輪泵。藉由以低溫泵等排空，可從處理室移除氫、水等，並可減少氧化物半導體膜中其濃度。

之後，執行第二光刻步驟及蝕刻步驟，藉此形成被處理為島形之氧化物半導體層 105。經由直至圖 6B 中所描繪之此點之步驟而獲得結構。

接著，氧化物半導體層 105 可於惰性氣體（例如，氮、氬、氖、或氫）、具有低於或等於 -60°C 之露點及低濕氣含量之乾燥氣體等之中歷經熱處理。例如，以高於或等於 100°C 及低於或等於 400°C 之溫度執行熱處理達 10 分鐘或更多。

熱處理可採用使用電熔爐之加熱法、諸如使用加熱氣

體之氣體快速熱退火（GRTA）法或使用燈光之燈快速熱退火（LRTA）法之快速加熱法等。例如，若電熔爐用於熱處理，較佳的是溫度上升特性設定為大於或等於 $0.1^{\circ}\text{C} / \text{分鐘}$ 及低於或等於 $20^{\circ}\text{C} / \text{分鐘}$ ，及溫度下降特性設定為大於或等於 $0.1^{\circ}\text{C} / \text{分鐘}$ 及低於或等於 $15^{\circ}\text{C} / \text{分鐘}$ 。

在半導體裝置之製造方法中，藉由氧化物半導體層 105 上之熱處理，形成濕氣及氫釋放之氧化物半導體層 106。而且在此狀況下，閘極絕緣層 104 中所包含之氟使氧化物半導體膜中之氫鈍化，或從氧化物半導體膜釋放氫。此外，從閘極絕緣層 104 供應氧至氧化物半導體層 106 中之不足。

可於惰性氣體（例如，氮、氬、氖、或氫）中藉由快速熱退火（RTA）處理以高於或等於 500°C 及低於或等於 750°C 之溫度（或低於或等於玻璃基板之應變點之溫度）執行熱處理達約大於或等於 1 分鐘及低於或等於 10 分鐘，較佳地為以 600°C 執行熱處理達約大於或等於 3 分鐘及低於或等於 6 分鐘。請注意，藉由 RTA 法，可於短時間內執行脫水或脫氫，因此甚至可以高於玻璃基板之應變點的溫度執行處理。

在熱處理中，較佳的是惰性氣體（氮或諸如氬、氖、或氫之稀有氣體）中未包含濕氣、氫等。較佳的是導入熱處理設備之氮或諸如氬、氖、或氫之稀有氣體具有 6N（99.9999%）或更多之純度，較佳地為 7N（99.99999%）或更多（即 1 ppm 或更低之雜質濃度，較佳地為 0.1 ppm

或更低)。

請注意，以上熱處理不一定在島形氧化物半導體層 105 形成之後執行，且可於氧化物半導體膜被處理為島形氧化物半導體層 105 之前，於氧化物半導體膜之上執行熱處理。此外，可執行一次以上之熱處理。氧化物半導體層 106 於熱處理之後可局部結晶。

此處，氧化物半導體層 106 之暴露表面可歷經使用氧、臭氧、或氧化亞氮之電漿處理。電漿處理使氧可供應至氧化物半導體層 106 中之不足。經由直至圖 6C 中所描繪之此點之步驟而獲得結構。

接著，形成導電膜並執行第三光刻步驟及蝕刻步驟，藉此形成源極電極層 107a 及汲極電極層 107b。導電膜可類似於閘極電極層 103。在半導體裝置之本製造方法中，可藉由 DC 濺鍍法並使用鈦靶材而形成 150-nm 厚之鈦膜，及執行第三光刻步驟及蝕刻步驟，藉此形成源極電極層 107a 及汲極電極層 107b。

接著，形成絕緣層 108。在半導體裝置之本製造方法中，藉由類似於閘極絕緣層 104 之方法，使用類似於閘極絕緣層 104 之氣體，而形成 50-nm 厚之氧化矽層。請注意，可於絕緣層 108 形成之後執行熱處理。熱處理係在惰性氣體（例如，氮、氬、氦、或氫）中較佳地以高於或等於 200℃ 及低於或等於 400℃ 之溫度執行。另一方面，可執行以上 RTA 處理。經由直至圖 6D 中所描繪之此點之步驟而獲得結構。

基於本實施例中所說明之結構，可減少氫擴散進入氧化物半導體層 106，且氧化物半導體層 106 中之氫可鈍化，或從氧化物半導體層 106 釋放，藉此可提供具有良好電特性之半導體裝置。請注意，本實施例中所說明之結構可與本說明書中任一其他實施例中所說明之結構適當結合。

（實施例 2）

在本實施例中，將參照圖 7A 至 7C 說明具低氫濃度之氧化矽層用作頂閘電晶體之基底絕緣層之範例。藉由電漿 CVD 法並使用作為沈積氣體之四氟化矽、作為氧化氣體之氧化亞氮、及穩定產生電漿之氫，而形成氧化矽層。

包括氧化矽作為其主要成分之基底絕緣層 202 係形成於基板 201 之上。如以上說明，藉由電漿 CVD 法並使用四氟化矽而形成基底絕緣層 202。對於形成法之細節，可參照實施例 1 中閘極絕緣層 104 之製造方法。基底絕緣層 202 之厚度較佳地為之後形成之氧化物半導體層及閘極絕緣層之總厚度的五或更多倍。

當基底絕緣層 202 具有以上厚度時，從基底絕緣層擴散充分氟量；因而，氧化物半導體層及閘極絕緣層中之氫被鈍化或從氧化物半導體層及閘極絕緣層釋放。若基底絕緣層之厚度低於氧化物半導體層及閘極絕緣層之總厚度的兩倍，氟量將不足且無法獲得效果。

接著，藉由濺鍍法形成具 10 nm 至 30 nm 厚度之 In-

Ga-Zn-O 基氧化物膜，作為氧化物半導體膜。接著，蝕刻氧化物半導體膜以形成島形氧化物半導體層 203。請注意，氧化物半導體層 203 可歷經熱處理以減少氫濃度。圖 7A 顯示到現在為止獲得之狀態。

接著，形成導電膜以覆蓋基底絕緣層 202 及氧化物半導體層 203。導電膜可為藉由濺鍍法形成之包括鈦及鋁之多層膜。接著，蝕刻導電膜以形成源極電極層 204a 及汲極電極層 204b。在本蝕刻中，氧化物半導體層 203 之表面亦可依據導電膜之蝕刻率與氧化物半導體層 203 之蝕刻率之間之關係而予蝕刻。

若與氟反應之金屬材料（例如，鈦、鎢、鉬、鋁、或其氮化物）用於形成源極電極層 204a 及汲極電極層 204b 之底面，較佳的是源極電極層 204a 或汲極電極層 204b 均未接觸基底絕緣層 202。

若包括以上材料之源極電極層 204a 及汲極電極層 204b 接觸基底絕緣層 202，介面將發生化學反應，此使得源極電極層 204a 及汲極電極層 204b 可易於分離。因而，如圖 7B，源極電極層 204a 及汲極電極層 204b 較佳地僅配置於氧化物半導體層 203 之上。

請注意，當以如同氧化物導體之材料形成源極電極層 204a 及汲極電極層 204b 之底面時，以上問題不會產生。

此外，藉由電漿 CVD 法形成包括 10 nm 至 30 nm 厚度之氧氮化矽的閘極絕緣層 205，以覆蓋基底絕緣層 202、氧化物半導體層 203、源極電極層 204a、及汲極電

極層 204b。藉由電漿 CVD 法，可獲得具良好階梯覆蓋之閘極絕緣膜。

此處，較佳的是使用不包含氟或氯之氣體。這是因為當使用包含該等成分之氣體時，源極電極層 204a 及汲極電極層 204b 可於沈積中蝕刻。

因而，矽烷及氮較佳地用作沈積氣體。因而獲得之氮化矽包含大量氫，但如以上說明從具有充分厚度之基底絕緣層 202 供應氟，因而氫被鈍化或釋放。圖 7B 顯示到現在為止獲得之狀態。

接著，形成導電膜以覆蓋閘極絕緣層 205，並經蝕刻以形成閘極電極層 206。較佳地接連執行沈積閘極絕緣層 205 及沈積導電膜以形成閘極電極層而不暴露於空氣。

之後，藉由電漿 CVD 法而沈積氧化矽以形成具 100 nm 至 300 nm 厚度之絕緣層 207。接著，使用有機樹脂等形成具有平坦表面之絕緣層 208。在絕緣層 207 之沈積中，矽烷或 TEOS（四乙氧基矽烷， $\text{Si}(\text{OC}_2\text{H}_5)_4$ ）較佳地用作沈積氣體，以避免沈積期間閘極電極層 206 之蝕刻。

儘管絕緣層 207 包含大量氫，絕緣層 207 及電晶體之通道區域藉由閘極電極層 206 而分離；因而，可靠性幾乎不成為問題。為進一步改進可靠性以避免閘極電極層 206 之蝕刻，可形成絕緣層 207 而具有堆疊層結構，其中使用以上矽烷或 TEOS 形成接觸閘極電極層 206 之 20 nm 至 100 nm 厚度之第一絕緣層，及使用氟化矽（例如，四氟化矽）於第一絕緣層之上形成第二絕緣層。

最後，於閘極絕緣層 205、絕緣層 207、及絕緣層 208 中形成達到源極電極層 204a 及汲極電極層 204b 之接觸孔，並形成電極 209a 及電極 209b。圖 7C 顯示到現在為止獲得之狀態。

經由以上程序，可形成頂閘電晶體。儘管在以上範例中氟化矽用作基底絕緣層 202 之沈積氣體，不用說可使用氯化矽。本實施例可與任一其他實施例結合。

（實施例 3）

在本實施例中，將參照圖 8A 至 8D 說明藉由使用四氟化矽作為沈積氣體而形成具低氫濃度之氧化矽層用作頂閘電晶體之基底絕緣層之範例。

包括氧化矽作為其主要成分之基底絕緣層 302 係形成於基板 301 之上。如以上說明，藉由電漿 CVD 法並使用四氟化矽而形成基底絕緣層 302。形成法之細節可參照實施例 1 中閘極絕緣層 104 之製造方法。基底絕緣層 302 之厚度較佳地為之後形成之氧化物半導體層及閘極絕緣層之總厚度的五或更多倍。

之後，藉由濺鍍法形成具 10 nm 至 30 nm 厚度之 In-Ga-Zn-O 基膜作為氧化物半導體膜 303。接著，形成導電膜 304 以覆蓋氧化物半導體膜 303。導電膜可為例如藉由濺鍍法形成之鎢膜。

接著，抗蝕劑施加於導電膜 304 並藉由光刻法而以多色調遮罩定形，以配置具有至少二不同厚度之抗蝕罩

305。圖 8A 顯示到現在為止獲得之狀態。

接著，使用抗蝕罩 305 執行第一蝕刻。例如，藉由各向異性乾式蝕刻而蝕刻未由抗蝕罩覆蓋之部分導電膜 304 及氧化物半導體膜 303。藉由第一蝕刻，獲得具有與島形氧化物半導體層 303a 實質上相同形狀之島形氧化物半導體層 303a 及導電層 304a（詳圖 8B）。

當執行乾式蝕刻時，如圖 8B，亦蝕刻抗蝕罩 305 並可劃分為二抗蝕罩，抗蝕罩 305a 及抗蝕罩 305b。另一方面，當執行濕式蝕刻時，未蝕刻抗蝕罩 305。請注意，甚至當執行乾式蝕刻時，依據狀況而幾乎不蝕刻抗蝕罩 305。在該些狀況下，額外配置灰化步驟以蝕刻抗蝕罩 305，使得抗蝕罩 305 具有圖 8B 中形狀。

接著，使用抗蝕罩 305a 及抗蝕罩 305b 之二抗蝕罩執行第二蝕刻。在本蝕刻中，應選擇性蝕刻導電層 304a。此外，較佳地採用藉由蝕刻而為錐形之導電層 304a 的方法。以該等方式，獲得源極電極層 304b 及汲極電極層 304c（詳圖 8C）。

因為使用多色調遮罩，在基底絕緣層 302 沈積之後及直至源極及汲極電極層 304b 及 304c 形成之步驟僅包括一光刻步驟。相對地，在實施例 2 中，需二光刻步驟以形成源極及汲極電極層 204a 及 204b。

此外，雖然實施例 2 中需將抗蝕劑施加於氧化物半導體膜以形成氧化物半導體層 203，本實施例中抗蝕劑未施加於氧化物半導體膜 303 或氧化物半導體層 303a，藉此

氧化物半導體層 303a 之表面可保持清潔。

此外，從此程序之以上說明顯然源極及汲極電極層 304b 及 304c 僅形成於氧化物半導體層 303a 之上，且未接觸基底絕緣層 302。

此外，藉由電漿 CVD 法形成 10 nm 至 30 nm 厚度並包括氧氮化矽之閘極絕緣層 306，以覆蓋基底絕緣層 302、氧化物半導體層 303a、源極電極層 304b、及汲極電極層 304c。圖 8C 顯示到現在為止獲得之狀態。

接著，形成導電膜以覆蓋閘極絕緣層 306，並經蝕刻以形成閘極電極層 307。之後，藉由濺鍍法沈積氧化矽而形成具 100 nm 至 300 nm 厚度之絕緣層 308。接著，使用有機樹脂等形成具有平坦表面之絕緣層 309。接著，於閘極絕緣層 306、絕緣層 308、及絕緣層 309 中形成達到源極電極層 304b 及汲極電極層 304c 之接觸孔，並形成電極 310a 及電極 310b。圖 8D 顯示到現在為止獲得之狀態。

經由以上程序，可形成頂閘電晶體。儘管以上範例中氟化矽用作基底絕緣層 302 之沈積氣體，不用說可使用氯化矽。本實施例可結合任一其他實施例。

（實施例 4）

在本實施例中，將參照圖 9A 至 9D 說明藉由使用四氟化矽作為沈積氣體而形成之具低氫濃度之氧化矽層，作為多層電路上之頂閘電晶體之基底絕緣層之範例。

佈線 402a 及佈線 402b 係配置於基板 401 之上。佈線

402a 及佈線 402b 並非僅侷限於佈線，而是可為基板 401 上之電晶體之間極電極層、源極電極、或汲極電極，或由此延伸之佈線。換言之，包括諸如矽之半導體材料之電晶體可配置於基板 401 之上。

藉由電漿 CVD 法形成氮氧化矽膜 403 以覆蓋佈線 402a 及 402b。氮氧化矽膜 403 較佳地包含充足氫量。藉由將氮氧化矽膜 403 覆蓋基板 401 上之佈線 402a 及 402b 及電晶體，氫可供應至電晶體。當電晶體包括矽或鍺，氫可終止該等半導體材料中之懸鍵，藉此電晶體特性可為有利的。

氮氧化矽膜 403 之厚度較佳地係以一些考量點而予決定。第一，應考量以上氫化效果而決定厚度。第二，如之後說明，氮氧化矽膜 403 亦充當平面化步驟中蝕刻停止器，並應考量該功能。第三，在平面化之後的蝕刻步驟中，蝕刻氮氧化矽膜 403 連同基底絕緣層（其係形成於氮氧化矽膜 403 之上）；因而，基底絕緣層及氮氧化矽膜 403 之蝕刻率差異應足夠小以便不破壞平面性。

根據以上第一及第二點，氮氧化矽膜 403 之厚度應為大，但根據第三點則應為小。因而，基於考量該些點，氮氧化矽膜 403 之厚度可為例如 50 nm 至 200 nm。

接著，形成包括氧化矽作為其主要成分之基底絕緣層 404。如以上說明，藉由電漿 CVD 法並使用四氟化矽而形成基底絕緣層 404。藉由電漿 CVD 法，可在具良好階梯覆蓋之佈線 402a 及 402b 側面形成基底絕緣層 404。基底

絕緣層 404 之厚度較佳地為之後形成之氧化物半導體層及閘極絕緣層之總厚度的五或更多倍。請注意，由於基底絕緣層 404 係於之後步驟蝕刻，因此較佳地形成基底絕緣層 404 而具有大厚度。圖 9A 顯示到現在為止獲得之狀態。

接著，藉由已知化學機械處理（CMP）法，蝕刻基底絕緣層 404，同時平面化。當氮氧化矽膜 403 暴露時，可停止本步驟。這是因為 CMP 法中氮氧化矽具有較氧化矽小之蝕刻率，因而充當蝕刻停止器。圖 9B 顯示到現在為止獲得之狀態。使用氮氧化矽膜 403 而劃分基底絕緣層 404（即，處理為基底絕緣層 404a）。表面為實質上平坦。

接著，藉由乾式蝕刻法，氮氧化矽膜 403 及基底絕緣層 404a 蝕刻為實質上相等厚度以獲得平坦表面。當佈線 402a 及 402b 之表面暴露時，此蝕刻停止。在此步驟中，基底絕緣層 404a 進一步蝕刻而處於圖 9C 中以 404b 描繪之狀態。

之後，如實施例 2 及 3 中形成頂閘電晶體。換言之，使用 10 nm 至 20 nm 厚度之 In-Ga-Zn-O 基膜形成氧化物半導體層 405，並於其上形成源極電極層 406a 及汲極電極層 406b。此外，形成閘極絕緣層 407（詳圖 9C）。

此處，佈線 402a 及源極電極層 406a 接觸氧化物半導體層 405，彼此重疊且氧化物半導體層 405 插於其間。請注意，儘管氧化物半導體層 405 插於其間，佈線 402a 及源極電極層 406a 可視為實質上電連接，因為當氧化物半

導體及導體歐姆接觸時，從介面至氧化物半導體中約 10 nm 深度之區域中載子濃度為約 $1 \times 10^{19}/\text{cm}^3$ 或更大。

為形成歐姆接觸，佈線 402a 及源極電極層 406a 接觸氧化物半導體層 405 之部分較佳地包括一材料，其功函數小於氧化物半導體層 405 之電子親和性。例如，若氧化物半導體層為具有約 4.3 電子伏之電子親和性之 In-Ga-Zn-O 基氧化物半導體，可使用鈦或氮化鈦。相同狀況可應用於佈線 402b 及汲極電極層 406b。

接著，形成導電膜以覆蓋閘極絕緣層 407，並經蝕刻而形成閘極電極層 408。之後，使用氮化矽形成絕緣層 409，及使用有機樹脂等形成具有平坦表面之絕緣層 410。接著，於閘極絕緣層 407、絕緣層 409、及絕緣層 410 中形成達到源極電極層 406a 及汲極電極層 406b 之接觸孔，並形成電極 411a 及電極 411b。圖 9D 顯示到現在為止獲得之狀態。

經由以上程序，可形成頂閘電晶體。本實施例可與任一其他實施例結合。

(實施例 5)

製造以上實施例中所說明之電晶體，且電晶體用於像素部及進一步用於驅動器電路，以便製造具有顯示功能之半導體裝置（亦稱為顯示裝置）。此外，部分或全部使用電晶體之驅動器電路可形成於基板之上，其中配置像素部以形成面板上系統。此外，基於包括以上實施例中所說明

之氧化物半導體材料之電晶體，亦可製造包括記憶格之半導體裝置。

顯示裝置包括顯示元件。有關顯示元件，可使用液晶元件（亦稱為液晶顯示元件）或發光元件（亦稱為發光顯示元件）。發光元件以其分類包括其亮度藉由電流或電壓控制之元件，具體地包括無機 EL（電致發光）元件、有機 EL 元件等。此外，顯示裝置可包括顯示媒體，其對比藉由諸如電子墨水之電效果而改變。

此外，顯示裝置包括面板，其中顯示元件密封；及模組，其中包括控制器之 IC 等係安裝於面板上。此外，顯示裝置包括配置用於供應電流至每一像素中之顯示元件之機構的元件基板，此係顯示裝置之製造程序中顯示元件完成之前之一實施例。具體地，元件基板可處於僅形成顯示元件之像素電極之狀態、形成將作為像素電極之導電膜但尚未蝕刻而形成像素電極之狀態、或任一其他狀態。

請注意，本說明書中顯示裝置係指影像顯示裝置、顯示裝置、或光源（包括照明裝置）。此外，顯示裝置以其分類亦包括任一下列模組：諸如軟性印刷電路（FPC）、膠帶自動黏接（TAB）膠帶、或膠帶載具封裝（TCP）之連接器附著之模組；具有 TAB 膠帶或於其末端配置印刷佈線板之 TCP 之模組；及具有藉由玻璃覆晶基板（COG）法而直接安裝於顯示元件上之積體電路（IC）之模組。

（實施例 6）

包括藉由以上實施例中所說明之電晶體之製造方法而製造之電晶體的顯示裝置可用於電子紙，其中驅動電子墨水以執行顯示。電子紙可用於電子裝置以顯示各種領域中之資訊。例如，電子紙可應用於電子書閱讀器、海報、數位標誌、公共資訊顯示器（PID）、諸如火車之車廂廣告、及諸如信用卡之各種卡之顯示器。圖 11 描繪電子裝置之範例。

圖 11 中電子書閱讀器 501 包括二外殼，外殼 502 及外殼 503。外殼 502 及外殼 503 結合鉸鏈 508，使得電子書閱讀器 501 可沿鉸鏈 508 而開啓及關閉。基於該等結構，電子書閱讀器 501 可如紙本書籍般操作。

顯示部 504 及光電轉換裝置 505 併入外殼 502。顯示部 506 及光電轉換裝置 507 併入外殼 503。顯示部 504 及顯示部 506 可顯示一影像或不同影像。若顯示部顯示不同影像，例如右側顯示部（圖 11 中顯示部 504）可顯示正文及左側顯示部（圖 11 中顯示部 506）可顯示圖像。

圖 11 描繪一範例，其中外殼 502 配置作業部等。例如，外殼 502 配置電力開關 509、作業鍵 510、揚聲器 511 等。基於作業鍵 510 而可翻頁。請注意，鍵盤、指向裝置等可配置於與外殼之顯示部相同表面。再者，外部連接端子（耳機端子、USB 端子、可連接至 AC 適配器或諸如 USB 電纜之各種電纜之端子等）、儲存媒體嵌入部等，可配置於外殼之背面或側面。再者，電子書閱讀器

501 可具有電子字典之功能。

電子書閱讀器 501 可經組配而無線傳輸及接收資料。經由無線通訊，可從電子書伺服器採購及下載所欲書籍資料等。

(實施例 7)

本說明書中所揭露之半導體裝置可應用於各種電子裝置（包括遊戲機）。該等電子裝置之範例包括電視裝置（亦稱為電視或電視接收器）、電腦等之監視器、諸如數位相機或數位攝影機之攝像器、數位相框、行動電話手機（亦稱為行動電話或行動電話裝置）、可攜式遊戲機、可攜式資訊終端機、音頻播放器、諸如彈珠台之大型遊戲機等。

在圖 12A 之電視裝置 512 中，顯示部 514 併入外殼 513。顯示部 514 可顯示影像。此處，外殼 513 係藉由支架 515 支撐。

電視裝置 512 可以外殼 513 之作業開關或個別遠端控制裝置 518 操作。可以遠端控制裝置 518 之作業鍵 517 切換頻道及控制音量，藉此可控制顯示於顯示部 514 上之影像。再者，遠端控制裝置 518 可配置顯示部 516 以顯示從遠端控制裝置 518 輸出之資料。

請注意，電視裝置 512 配置接收器、數據機等。基此接收器，可接收一般 TV 廣播。再者，當顯示裝置經由數據機而有線或無線連接至通訊網路時，可執行單向（從發

送端至接收端)或雙向(例如,發送端與接收端之間,或接收端之間)資訊通訊。

在圖 12B 之數位相框 519 中,顯示部 521 併入外殼 520。顯示部 521 可顯示各種影像。例如,顯示部可顯示以數位相機等拍攝之影像資料,且功能如同正常相框。

請注意,數位相框 519 配置作業部、外部連接端子(USB 端子、可連接至諸如 USB 電纜之各種電纜之端子)、儲存媒體嵌入部等。儘管該些組件可配置於與顯示部相同表面,為設計美學,較佳地將其配置於側面或背面。例如,儲存以數位相機拍攝之影像的儲存媒體被插入數位相框之儲存媒體嵌入部,且資料可載入並顯示於顯示部 521 上。

數位相框 519 可經組配而無線傳送及接收資料。經由無線通訊,可載入將顯示之所欲影像。

圖 13 為透視圖,描繪可攜式電腦之範例。在圖 13 中所描繪之可攜式電腦中,藉由關閉連接頂部外殼 522 及底部外殼 523 之鉸鏈單元,具有顯示部 524 之頂部外殼 522 及具有鍵盤 525 之底部外殼 523 可彼此重疊。因而,可攜式電腦便於攜帶。當使用者使用鍵盤而輸入資料時,鉸鏈單元開啓使得使用者可注視顯示部 524 而輸入資料。

除了鍵盤 525 以外,底部外殼 523 包括指向裝置 527,基此可執行輸入。當顯示部 524 為觸控螢幕時,使用者可藉由碰觸顯示部之部分而輸入資料。底部外殼 523 包括算術功能部,諸如 CPU 或硬碟。此外,底部外殼 523

包括外部連接埠 526，例如適於 USB 通訊標準之通訊電纜之另一裝置由此插入。

頂部外殼 522 進一步包括顯示部 528，其藉由滑動而可收藏於頂部外殼 522 中。基於顯示部 528，可體現大顯示幕。此外，使用者可調整拆收式顯示部 528 之螢幕角度。若拆收式顯示部 528 為觸控螢幕，使用者可藉由碰觸拆收式顯示部之部分而輸入資料。

使用諸如液晶顯示面板之影像顯示裝置或諸如有機發光元件、無機發光元件等之發光顯示面板，而形成顯示部 524 或拆收式顯示部 528。

此外，圖 13 中所描繪之可攜式電腦可配置接收器等，並可接收 TV 廣播以於顯示部 524 或顯示部 528 上顯示影像。藉由滑動及暴露顯示部 528 並調整其角度，使用者可以顯示部 528 之整個螢幕觀看 TV 廣播，且連接頂部外殼 522 及底部外殼 523 之鉸鏈單元關閉。鉸鏈單元未開啓，則不於顯示部 524 上執行顯示。此外，僅操作用於顯示 TV 廣播之電路。因而，電力消耗可最小化，此對於其電池容量有限之可攜式電腦是有利的。

[範例 1]

形成以上說明可用作閘極絕緣層 104、閘極絕緣層 205、閘極絕緣層 306、閘極絕緣層 407、絕緣層 108、基底絕緣層 202、基底絕緣層 302、及基底絕緣層 404 之氧化矽膜（樣本 A）。評估樣本 A 中氫濃度及氟濃度。結果

顯示於圖 10。

首先，將說明樣本 A 之形成方法。樣本 A 係藉由電漿 CVD 法形成。電漿 CVD 設備中反應室之內壁以 115°C 之溫度加熱達 60 分鐘；因而，釋放保留於或附著至反應室之包含雜質之氣體。

其次，當以 115°C 加熱反應室之內壁時，在下列狀況下實施電漿清除，即三氟化氮 (NF_3) 以 600 sccm 流速供應至反應室，反應室中壓力調整至約 70 Pa，間隙距離調整至 50 mm，及以 60 MHz 高頻電源輸出 900 W 電力達 7 分鐘，藉此移除包含雜質之氣體。請注意，本範例中使用之電漿 CVD 設備中電極面積為 490 cm^2 。

在電漿清除之後，氧化矽沈積至矽晶圓上 200 nm 之靶材厚度，同時以 115°C 加熱反應室之內壁。氧化矽於下列狀況下沈積：作為包含矽之沈積氣體之四氟化矽、作為附加氣體之氧化亞氮、及作為惰性氣體之氬分別以 6 sccm、1000 sccm、及 1000 sccm 流速供應至反應室；反應室中壓力調整至 133 Pa；間隙距離調整至 10 mm；其上沈積氧化矽之矽晶圓上溫度調整至 400°C ；及以 60 MHz 高頻電源輸出 800 W 電力。

圖 10 中顯示樣本 A 之 SIMS 測量結果。在圖 10 中，垂直軸代表樣本 A 中氫濃度或氟濃度，及水平軸代表從樣本 A 之氧化矽膜表面朝向基板之深度。實線代表樣本 A 中氫濃度之輪廓，及虛線代表樣本 A 中氟濃度之輪廓。對樣本 A 而言，沿水平軸之 10 nm 至 120 nm 範圍代表量化

範圍，及沿水平軸之 200 nm 或更多之範圍代表矽晶圓。

從圖 10 發現，量化範圍中樣本 A 之氫濃度為低於或等於 3.4×10^{19} 原子/cm³，及量化範圍中樣本 A 之氟濃度為大於或等於 9.2×10^{20} 原子/cm³。

發現可鈍化氧化物半導體層中之氫之釋放氫之氧化矽膜減少，而具有以上氫濃度及氟濃度。

藉由使用本範例中氧化矽膜作為閘極絕緣層 104、閘極絕緣層 205、閘極絕緣層 306、閘極絕緣層 407、絕緣層 108、基底絕緣層 202、基底絕緣層 302、及基底絕緣層 404，可形成具有良好電特性之半導體裝置。

本申請案係依據 2010 年 7 月 1 日向日本專利處提出申請之序號 2010-150849 日本專利申請案，其整個內容係以提及方式併入本文。

【符號說明】

101、201、301、401：基板

102、202、302、404、404a、404b：基底絕緣層

103、206、307、408：閘極電極層

104、205、306、407：閘極絕緣層

105、106、405：氧化物半導體層

107a、204a、304b、406a：源極電極層

107b、204b、304c、406b：汲極電極層

108、207、208、308、309、409、410：絕緣層

203、303a：島形氧化物半導體層

209a、209b、310a、310b、411a、411b：電極

303：氧化物半導體膜

304：導電膜

304a：導電層

305、305a、305b：抗蝕罩

402a、402b：佈線

403：氮氧化矽膜

501：電子書閱讀器

502、503、513、520：外殼

504、506、514、521、524、528：顯示部

505：光電轉換裝置

508：鉸鏈

509：電力開關

510：作業鍵

511：揚聲器

512：電視裝置

515：支架

518：遠端控制裝置

519：數位相框

522：頂部外殼

523：底部外殼

525：鍵盤

526：外部連接埠

527：指向裝置

發明摘要

※申請案號：106103512（由105105939分割）

※申請日：100年06月29日

※IPC分類：*H01L 29/786* (2006.01)
H01L 21/336 (2006.01)
H01L 21/31 (2006.01)

【發明名稱】(中文/英文)

半導體裝置

Semiconductor device

【中文】

在包括氧化物半導體之電晶體中，該氧化物半導體中之氫導致該電晶體之電特性退化。因而，本發明之目標為提供具有良好電特性之半導體裝置。藉由電漿 CVD 法使用矽鹵化物而形成絕緣層，其接觸形成通道區域之氧化物半導體層。該絕緣層因而經形成而具有低於 6×10^{20} 原子/cm³ 之氫濃度，及大於或等於 1×10^{20} 原子/cm³ 之鹵素濃度；因此，可避免氫擴散進入該氧化物半導體層，且該氧化物半導體層中之氫藉由該鹵素而被鈍化或從該氧化物半導體層釋放，藉此可提供具有良好電特性之半導體裝置。

【 英文 】

In a transistor including an oxide semiconductor, hydrogen in the oxide semiconductor leads to degradation of electric characteristics of the transistor. Thus, an object is to provide a semiconductor device having good electrical characteristics. An insulating layer in contact with an oxide semiconductor layer where a channel region is formed is formed by a plasma CVD method using a silicon halide. The insulating layer thus formed has a hydrogen concentration less than 6×10^{20} atoms/cm³ and a halogen concentration greater than or equal to 1×10^{20} atoms/cm³; accordingly, hydrogen diffusion into the oxide semiconductor layer can be prevented and hydrogen in the oxide semiconductor layer is inactivated or released from the oxide semiconductor layer by the halogen, whereby a semiconductor device having good electrical characteristics can be provided.

申請專利範圍

1. 一種半導體裝置，包含：

以氧化矽作為主要成分的絕緣層；

該絕緣層之上的氧化物半導體層；

該氧化物半導體層之上的源極電極；

該氧化物半導體層之上的汲極電極；

該氧化物半導體層之上的閘極絕緣層；及

該閘極絕緣層之上的閘極電極，

其中，該絕緣層具有鹵素濃度為 1×10^{19} 原子/cm³ 以上的區域。

2. 一種半導體裝置，包含：

以氧化矽作為主要成分的絕緣層；

該絕緣層之上的氧化物半導體層；

該氧化物半導體層之上的源極電極；

該氧化物半導體層之上的汲極電極；

該氧化物半導體層之上的閘極絕緣層；及

該閘極絕緣層之上的閘極電極，

其中，該絕緣層具有氟濃度為 1×10^{19} 原子/cm³ 以上的區域。

圖 式

圖 1A

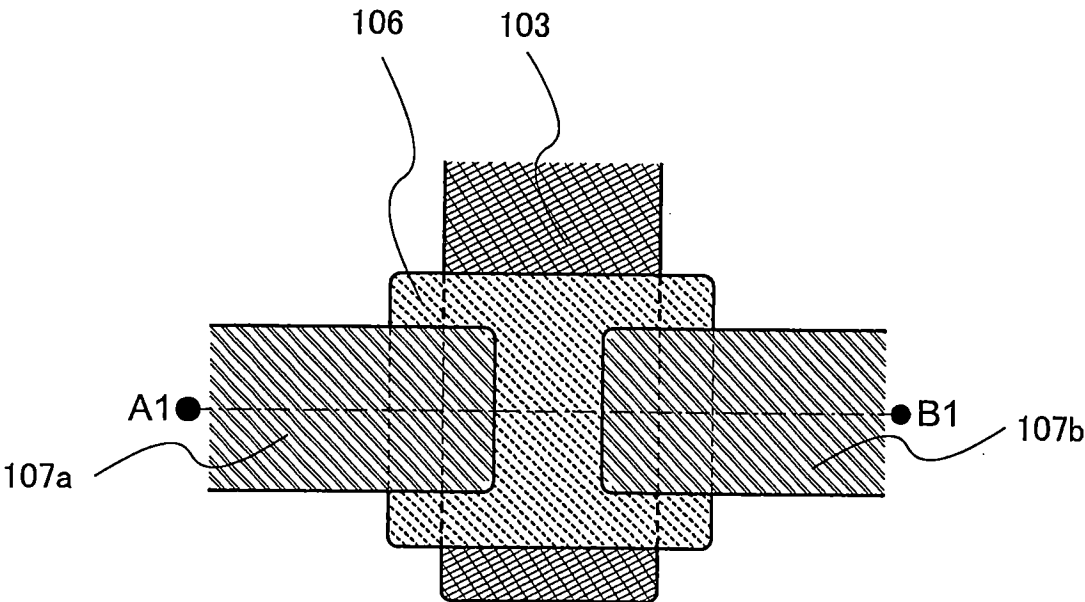


圖 1B

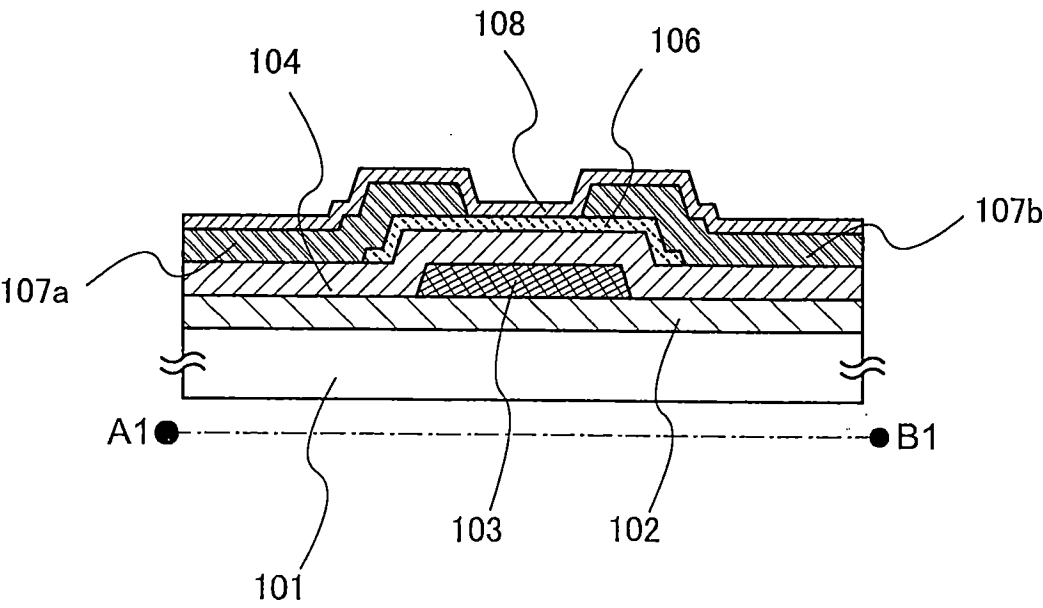


圖 2A

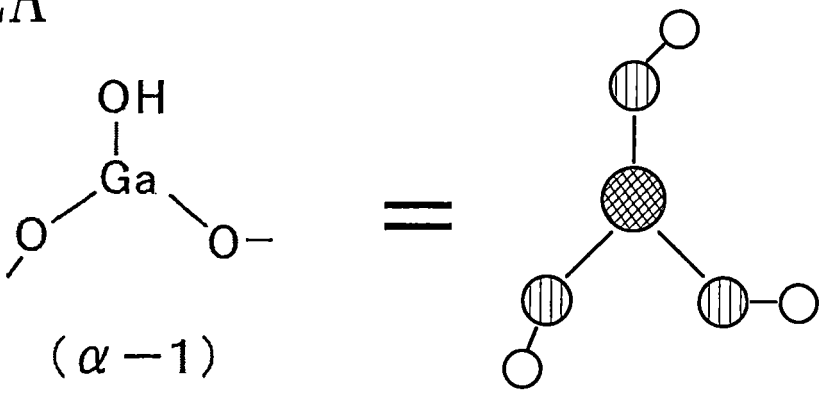


圖 2B

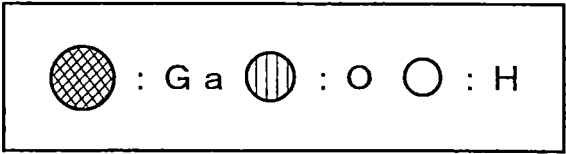
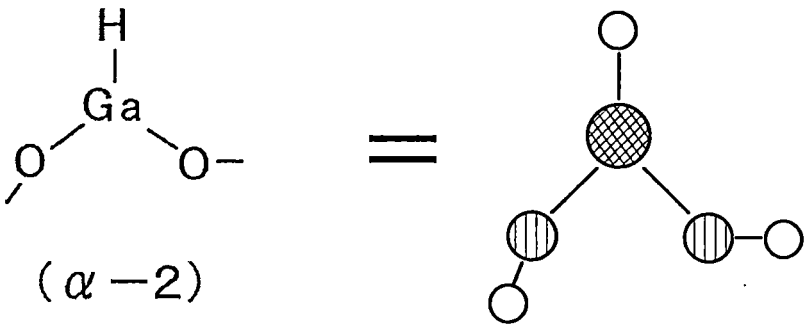


圖3A

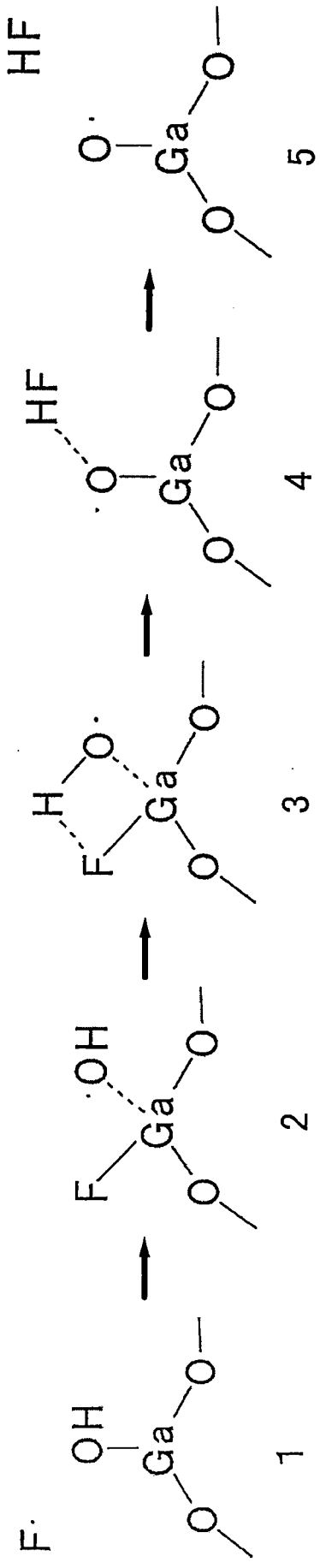


圖3B

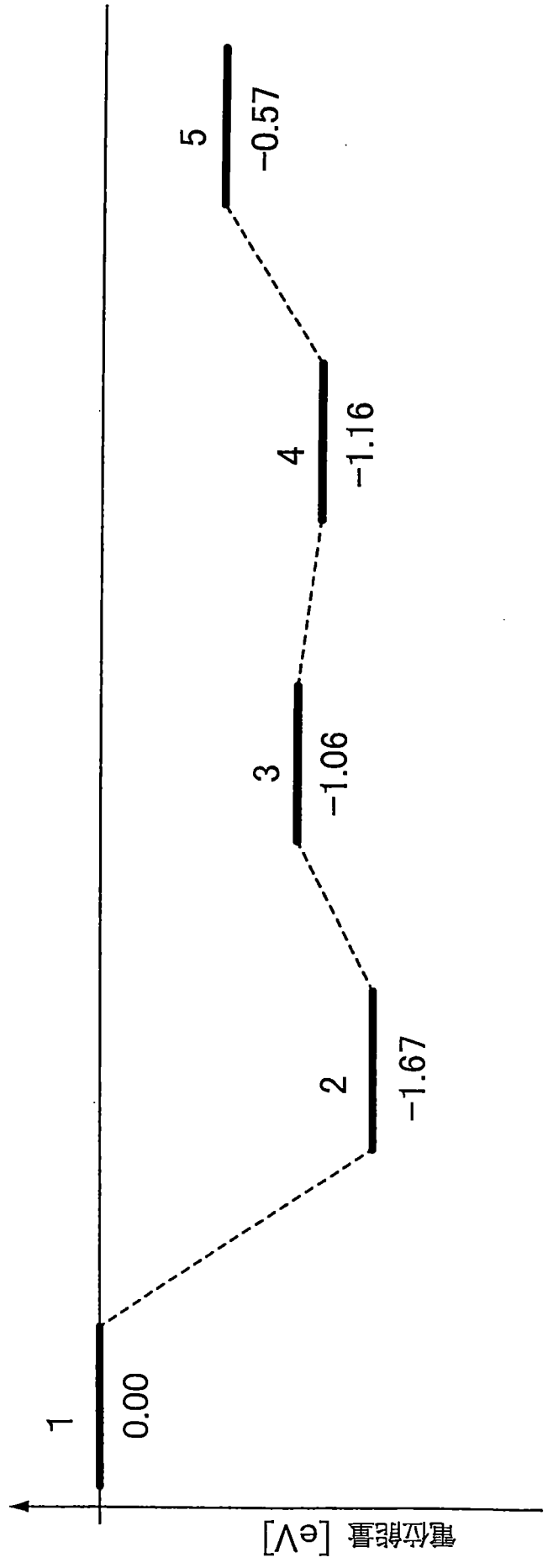


圖 4A

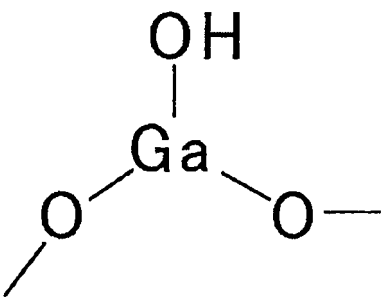


圖 4B

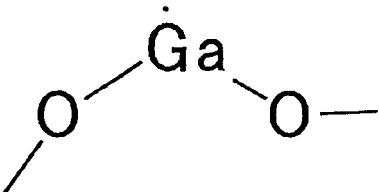


圖 4C

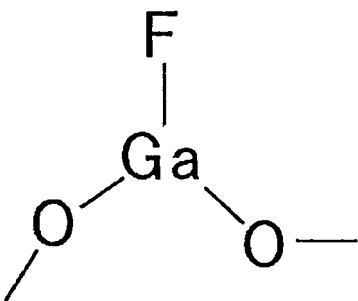


圖 4D

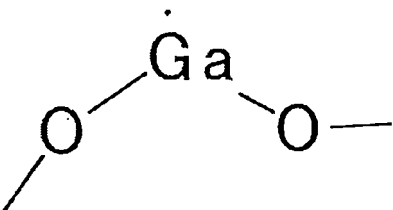


圖5A

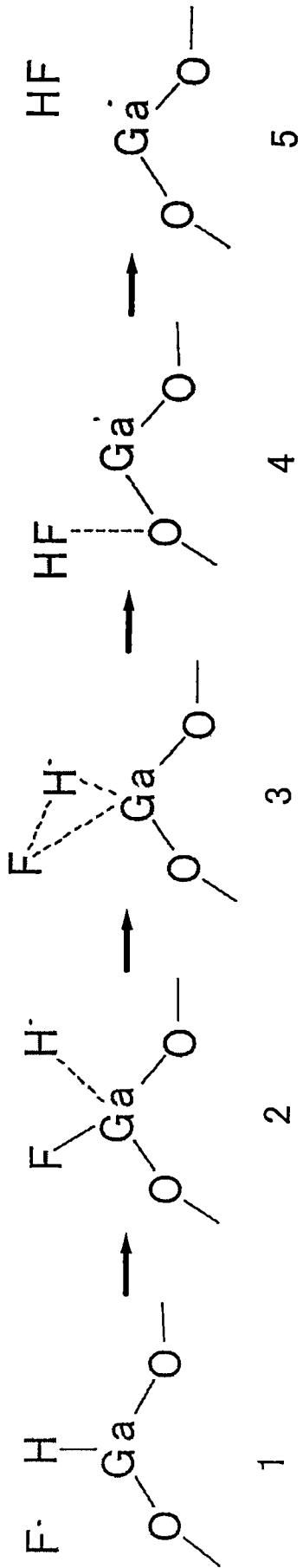


圖5B

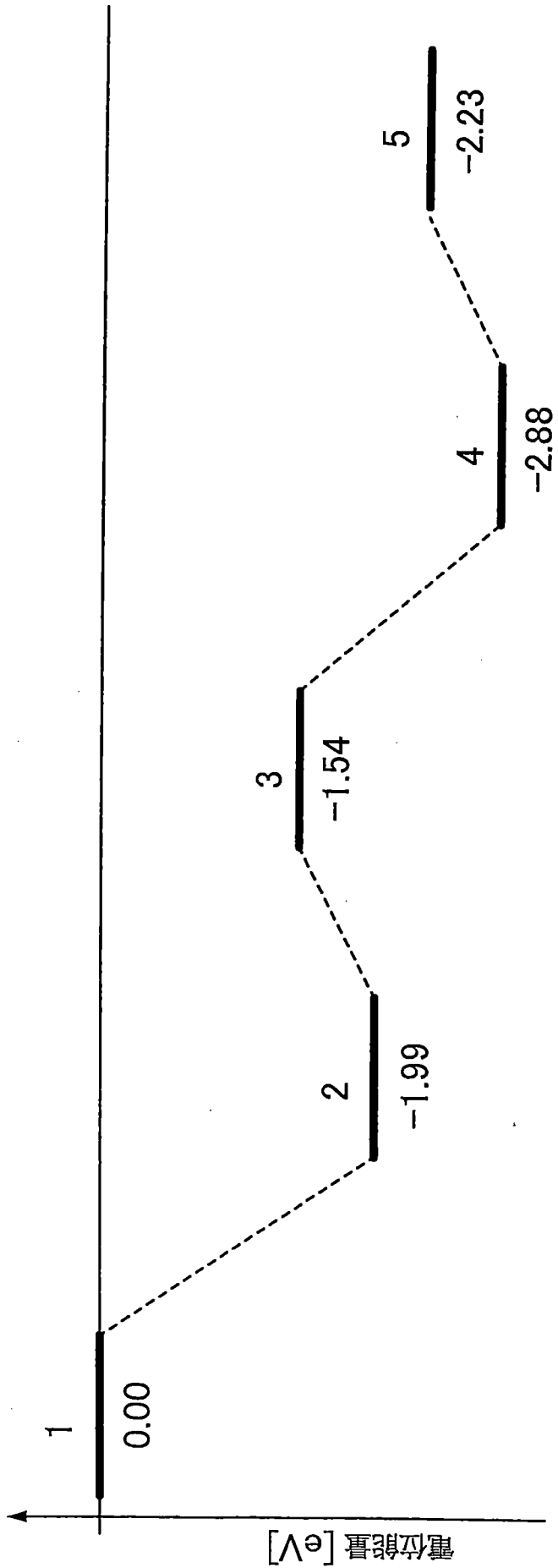


圖 6A

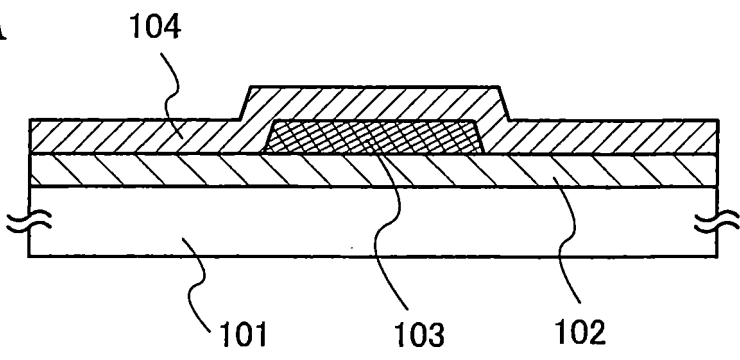


圖 6B

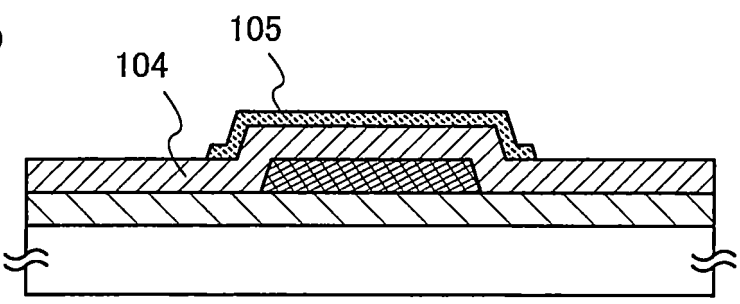


圖 6C

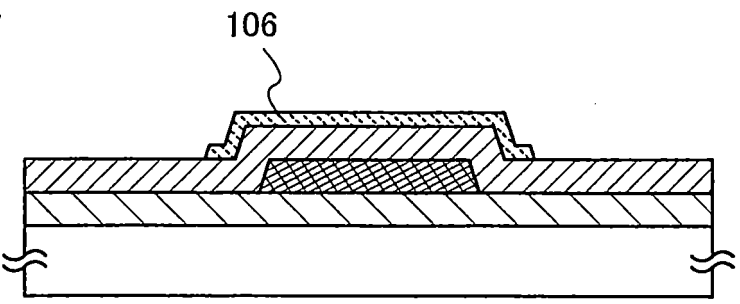


圖 6D

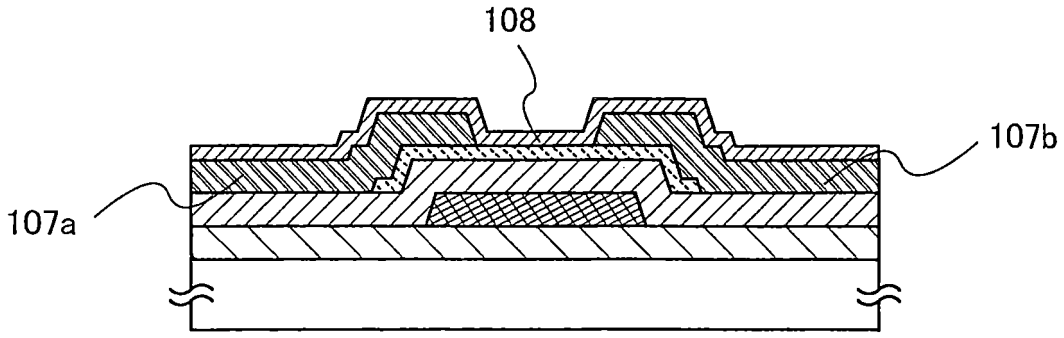


圖 7A

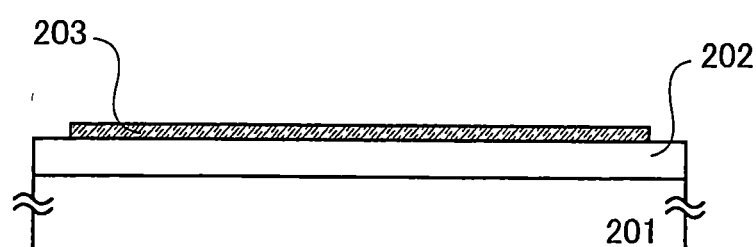


圖 7B

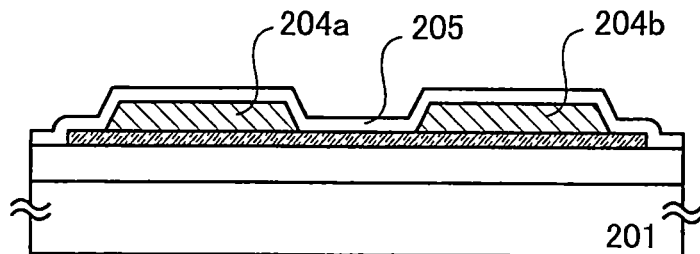


圖 7C

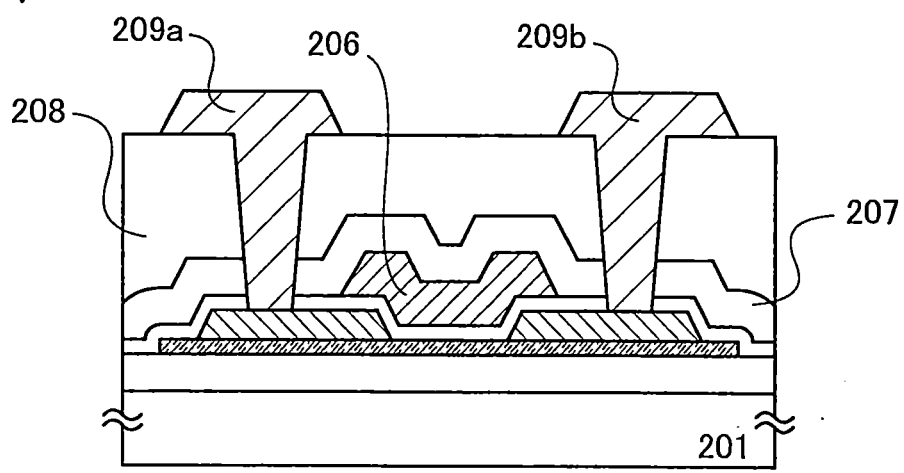


圖 8A

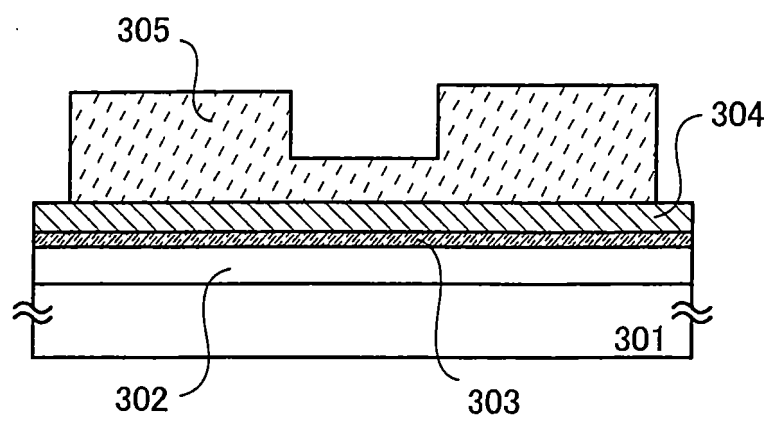


圖 8B

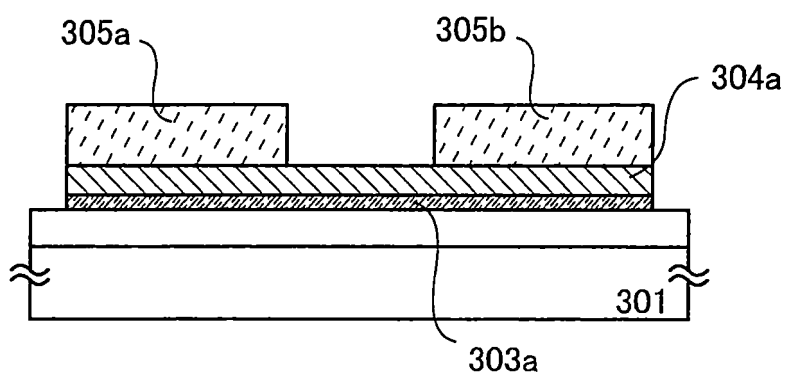


圖 8C

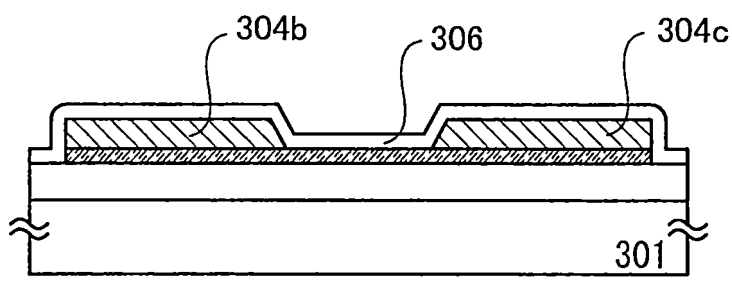


圖 8D

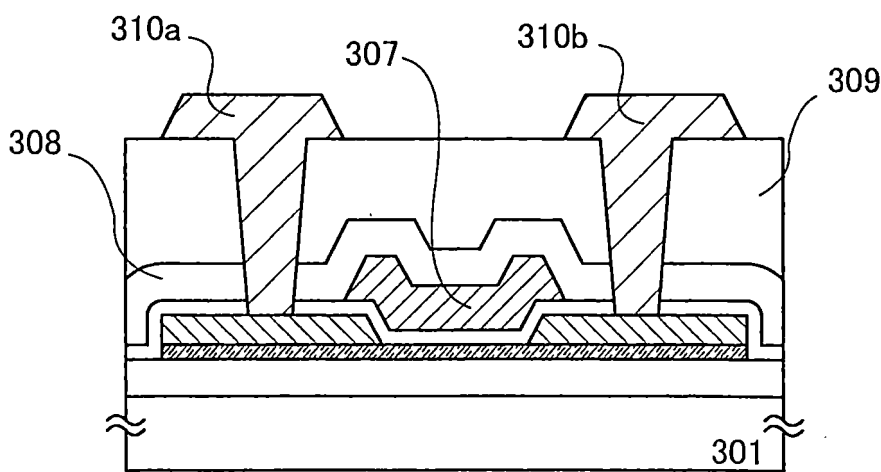


圖 9A

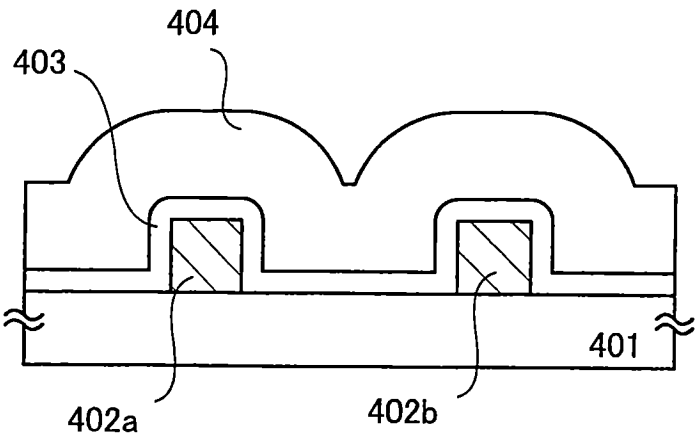


圖 9B

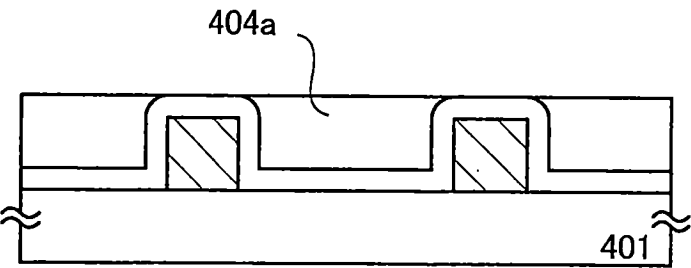


圖 9C

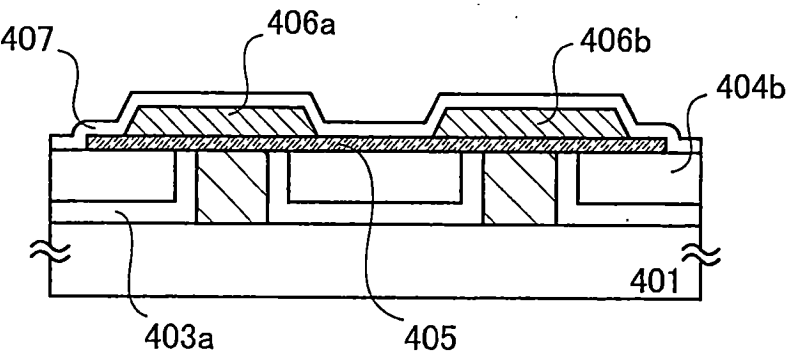


圖 9D

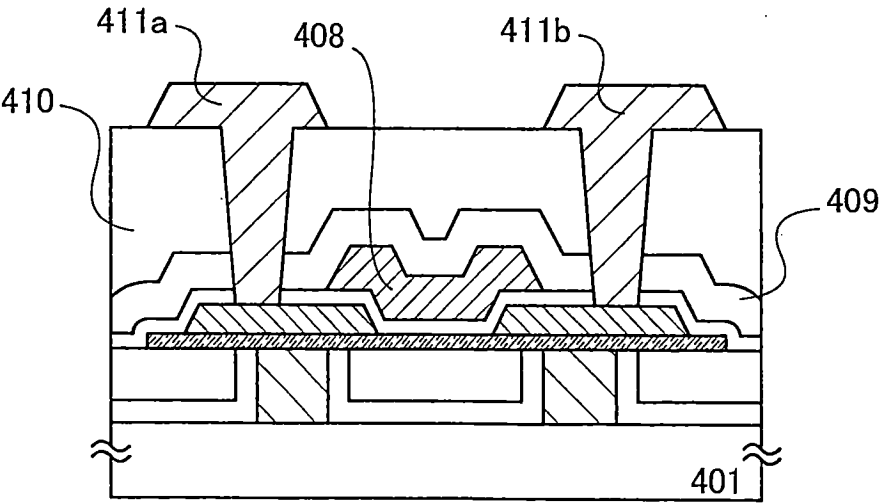


圖10

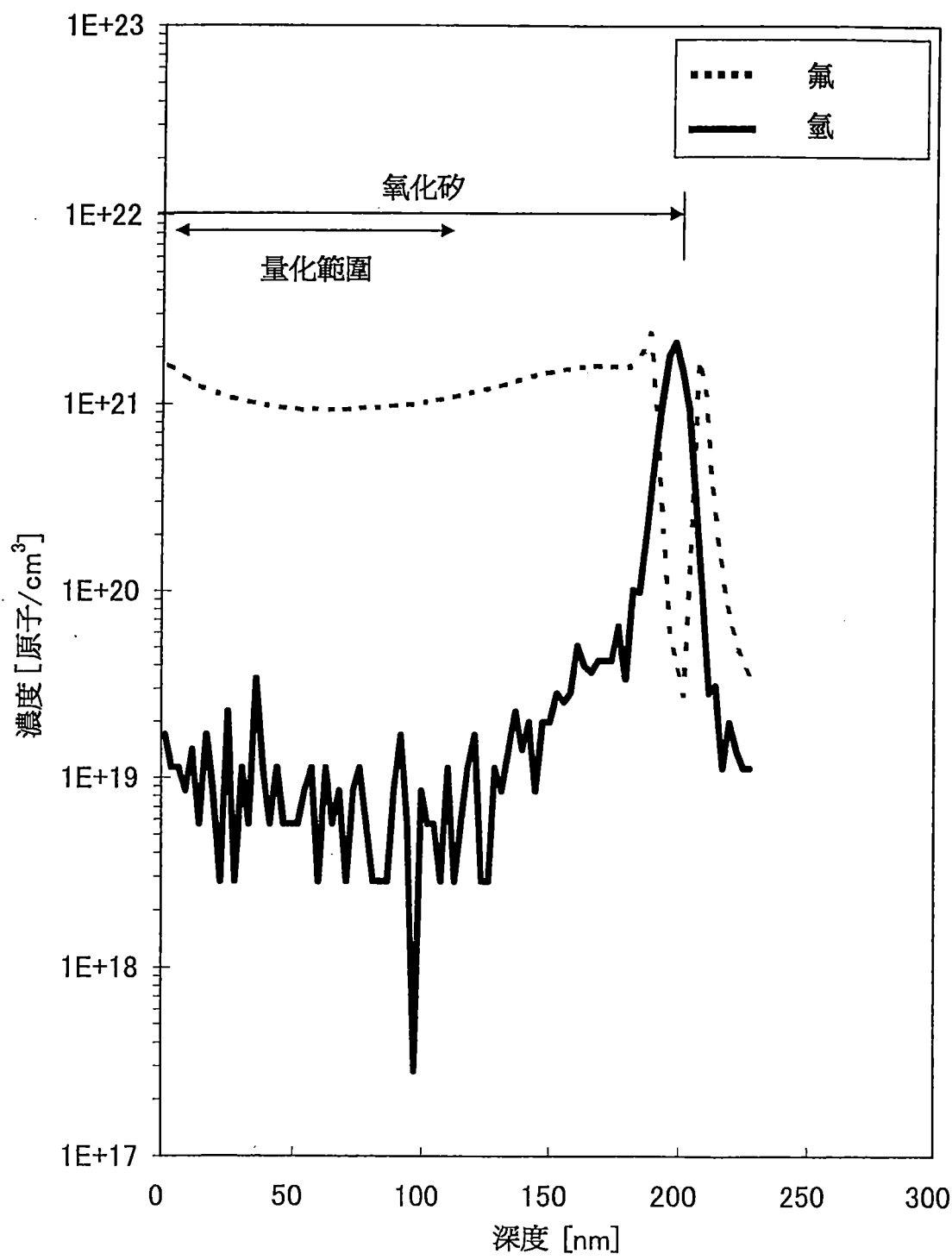


圖 11

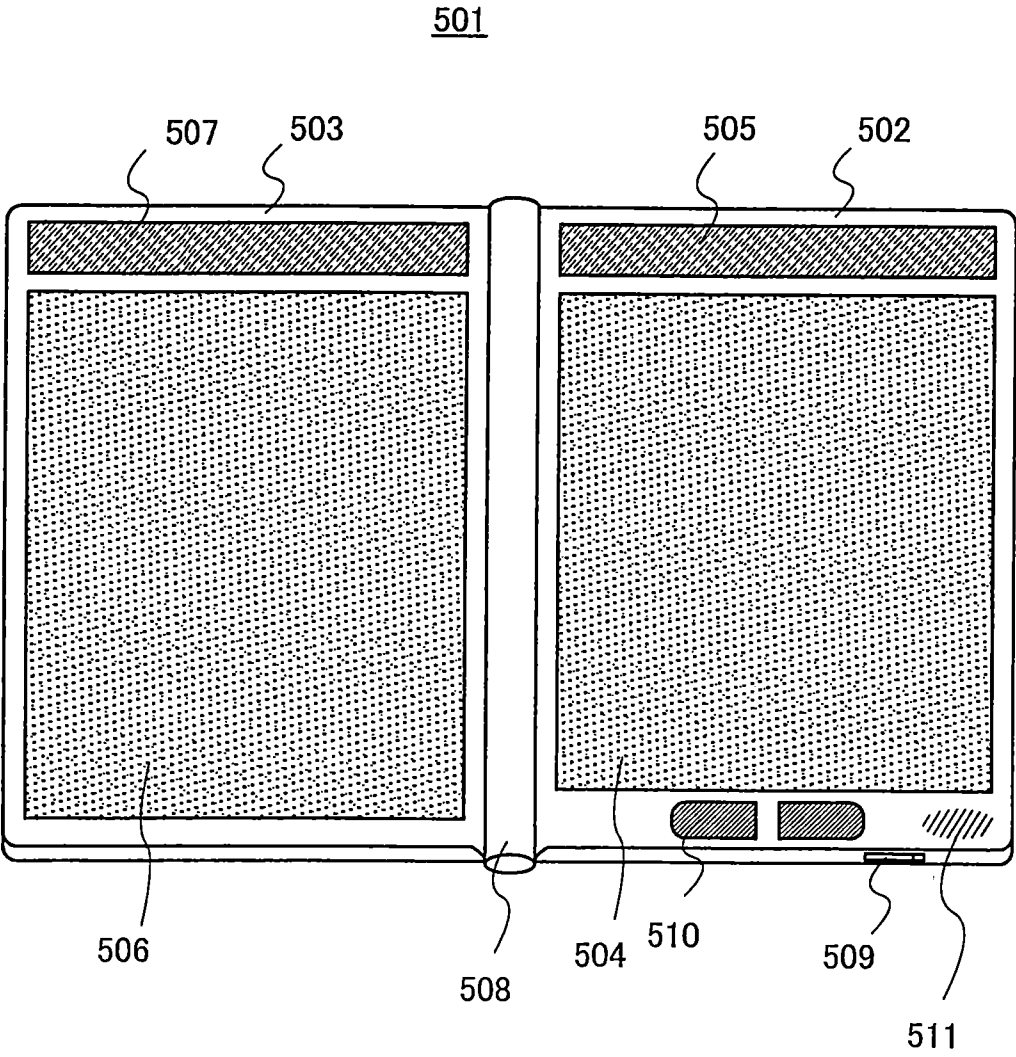


圖 12A

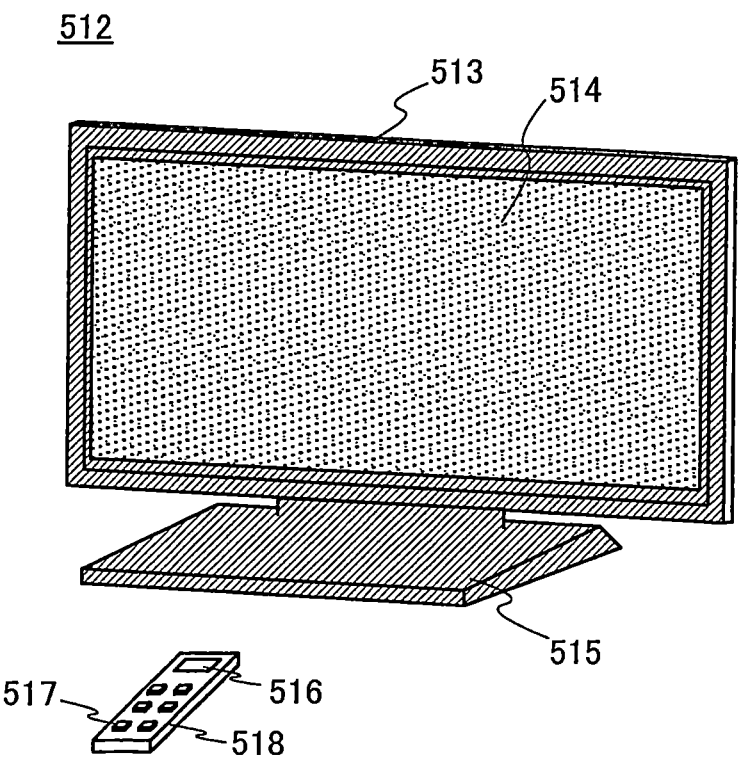


圖 12B

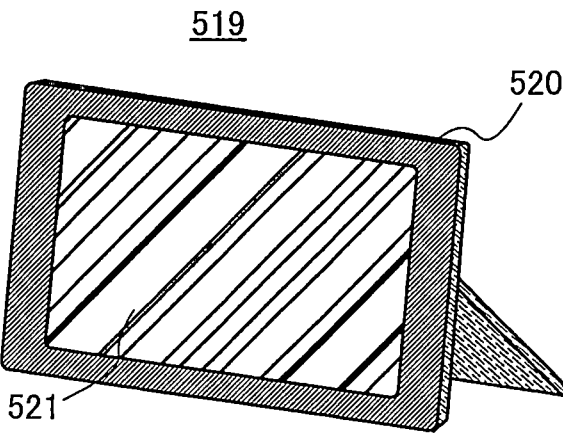
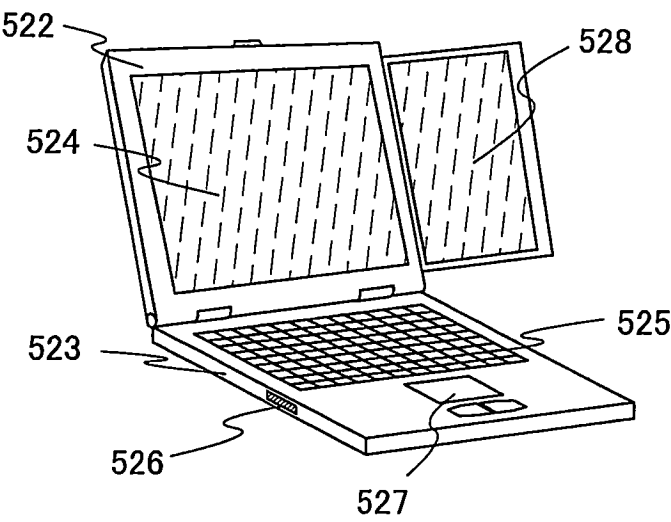


圖13



【代表圖】

【本案指定代表圖】：第(7C)圖。

【本代表圖之符號簡單說明】：

201：基板

206：閘極電極層

207、208：絕緣層

209a、209b：電極

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無