



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2016년04월06일

(11) 등록번호 10-1609960

(24) 등록일자 2016년03월31일

(51) 국제특허분류(Int. Cl.)  
*HO4N 5/3745* (2011.01) *H01L 27/146* (2006.01)

(21) 출원번호 10-2014-7011779

(22) 출원일자(국제) 2012년10월05일  
심사청구일자 2014년04월30일

(85) 번역문제출일자 2014년04월30일

(65) 공개번호 10-2014-0070652

(43) 공개일자 2014년06월10일

(86) 국제출원번호 PCT/JP2012/076557

(87) 국제공개번호 WO 2013/051734  
국제공개일자 2013년04월11일

(30) 우선권주장  
JP-P-2011-222020 2011년10월06일 일본(JP)

## (56) 선행기술조사문헌

JP2009141419 A\*

JP63175467 A\*

\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
내셔널 인스티튜트 오브 어드밴스드 인더스트리얼  
사이언스 앤드 테크놀로지  
일본 도쿄 100-8921 치요다구 가스미가세키 1-초  
메 3-1  
가부시키가이샤 리코  
일본 도쿄도 오다꾸 나가마고메 1쵸메 3-6

(72) 발명자  
하야시 유타카  
일본 3058568 이바라키켄 츠쿠바시 유메조노 1쵸  
메 1반 1고 츠쿠바 센트럴 2 내셔널 인스티튜트  
오브 어드밴스드 인더스트리얼 사이언스 앤드 테  
크놀로지 나이

## 오타 도시타카

일본 3058568 이바라키켄 츠쿠바시 유메조노 1쵸  
메 1반 1고 츠쿠바 센트럴 2 내셔널 인스티튜트  
오브 어드밴스드 인더스트리얼 사이언스 앤드 테  
크놀로지 나이  
(뒷면에 계속)

## (74) 대리인

김태홍

심사관 : 이성현

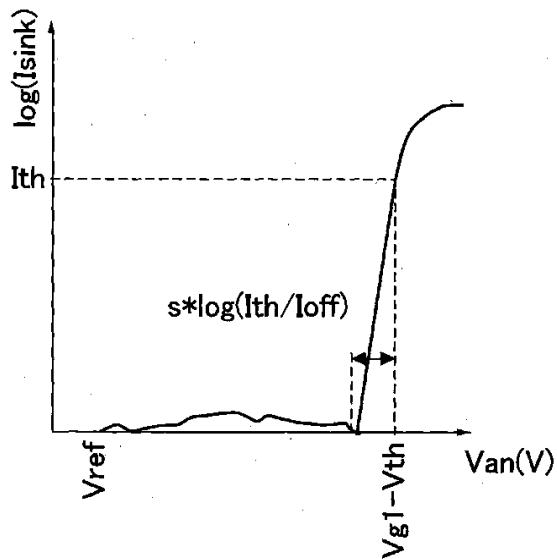
전체 청구항 수 : 총 13 항

## (54) 발명의 명칭 광전 변환기, 광전 변환 어레이 및 콤보 장치

**(57) 요약**

광전 변환기는, 도전형이 상이한 적어도 2개의 반도체 영역으로 구성된 제1 pn 접합과, 반도체 영역 중 한쪽에 접속된 제1 소스, 제1 드레인, 제1 절연 게이트, 및 한쪽 반도체 영역과 도전형이 같은 채널을 포함하는 제1 전계 효과 트랜지스터를 포함한다. 제1 드레인에는, 제1 pn 접합이 다른쪽 반도체 영역의 전위에 대해 제로 바이어스 또는 역바이어스로 되는 제2 전위가 공급된다. 제1 소스가 제1 전위가 되고 한쪽 반도체 영역이 다른쪽 반도체 영역에 대해 제로 바이어스 또는 역바이어스로 될 때에, 제1 pn 접합은, 반도체 영역 중 어느 하나가 빛에 노출되더라도 제1 게이트 전위를 제1 절연막에 공급함으로써, 깊은 순방향 전압에 의해 바이어스되지 않도록 제어된다.

## 대 표 도 - 도3



(72) 발명자

나가무네 야스시

일본 3058568 이바라키켄 츠쿠바시 유메조노 1쵸메  
1반 1고 츠쿠바 센트럴 2 내셔널 인스티튜트 오브  
어드밴스드 인더스트리얼 사이언스 앤드 테크놀로  
지 나이

와타나베 히로후미

일본 1438555 도쿄도 오다구 나가마고메 1쵸메 3반  
6고 가부시키가이샤 리코 나이

네고로 다카아키

일본 1438555 도쿄도 오다구 나가마고메 1쵸메 3반  
6고 가부시키가이샤 리코 나이

기미노 가즈나리

일본 1438555 도쿄도 오다구 나가마고메 1쵸메 3반  
6고 가부시키가이샤 리코 나이

## 명세서

### 청구범위

#### 청구항 1

광전 변환기에 있어서,

광전 변환 기능을 갖고, 도전형이 상이한 적어도 2개의 반도체 영역들로 구성된 제1 pn 접합과,

제1 소스, 제1 드레인 및 제1 절연 게이트를 포함하는 제1 전계 효과 트랜지스터로서, 상기 제1 소스가 상기 반도체 영역들 중 한쪽의 반도체 영역에 접속된 상태에서, 상기 반도체 영역들 중 어느 하나가 빛에 노출되어, 상기 제1 pn 접합에 광전류가 흐르게 되는 것인, 상기 제1 전계 효과 트랜지스터

를 포함하며,

상기 제1 전계 효과 트랜지스터는 상기 반도체 영역들 중 한쪽 반도체 영역과 동일한 도전형의 채널을 포함하고,

상기 제1 전계 효과 트랜지스터의 제1 드레인에, 상기 제1 pn 접합이 상기 반도체 영역들 중 다른쪽 반도체 영역의 전위에 대해 제로 바이어스 또는 역바이어스가 되는 제2 전위가 공급되고,

상기 제1 소스가, 상기 반도체 영역들 중 상기 한쪽 반도체 영역이 상기 반도체 영역들 중 상기 다른쪽 반도체 영역에 대해 제로 바이어스 또는 역바이어스로 되는 제1 전위에 도달할 때에, 상기 제1 전계 효과 트랜지스터를 도통시키는 제1 게이트 전위를 제1 절연 게이트에 공급함으로써, 상기 광전 변환기는, 상기 2개의 반도체 영역 중 어느 하나가 빛에 노출되더라도 깊은 순방향 전압(deep forward voltage)에 의해 바이어스되지 않게 상기 제1 pn 접합의 포화를 제어하도록 구성되는 것인 광전 변환기.

#### 청구항 2

제1항에 있어서, 상기 제1 게이트 전위와 상기 다른쪽 반도체 영역의 전위와의 차의 절대값은 상기 제1 전계 효과 트랜지스터의 게이트 임계 전압의 절대값 이상인 것인 광전 변환기.

#### 청구항 3

제1항에 있어서, 상기 제1 pn 접합은 제1 바이폴라 트랜지스터의 베이스-컬렉터 접합이며,

상기 제1 바이폴라 트랜지스터의 베이스는 상기 제1 전계 효과 트랜지스터의 소스에 접속되는 것인 광전 변환기.

#### 청구항 4

제1항에 있어서,

제2 소스, 제2 드레인 및 제2 게이트를 포함하는 제2 전계 효과 트랜지스터를 더 포함하고,

상기 제2 소스와 상기 제2 드레인 중 한쪽이 상기 한쪽 반도체 영역에 접속되고, 상기 제2 게이트에 상기 제2 전계 효과 트랜지스터를 도통시키기 위한 도통 신호를 공급함으로써 상기 제2 소스와 상기 제2 드레인 중 다른 쪽으로부터 전기 정보가 얻어지는 것인 광전 변환기.

#### 청구항 5

제3항에 있어서,

제2 소스, 제2 드레인 및 제2 게이트를 포함하는 제2 전계 효과 트랜지스터를 더 포함하고,

상기 제2 소스와 상기 제2 드레인 중 한쪽이 상기 제1 바이폴라 트랜지스터의 이미터에 접속되고, 상기 제2 게이트에 상기 제2 전계 효과 트랜지스터를 도통시키기 위한 도통 신호를 공급함으로써 상기 제2 소스와 상기 제2 드레인 중 다른쪽으로부터 전기 정보가 얻어지는 것인 광전 변환기.

**청구항 6**

제3항에 있어서,

제2 소스, 제2 드레인 및 제2 게이트를 포함하는 제2 전계 효과 트랜지스터와,

하나 또는 복수의 제2 바이폴라 트랜지스터

를 더 포함하며,

상기 제1 바이폴라 트랜지스터의 이미터는 상기 하나 또는 복수의 제2 바이폴라 트랜지스터의 베이스에 접속되고,

상기 복수의 제2 바이폴라 트랜지스터의 베이스와 이미터는 서로 접속되며,

베이스에 접속되지 않는 이미터가 상기 제2 소스와 상기 제2 드레인 중 한쪽에 접속되고, 상기 제2 게이트에 상기 제2 전계 효과 트랜지스터를 도통시키기 위한 도통 신호를 공급함으로써 상기 제2 소스와 상기 제2 드레인 중 다른쪽으로부터 전기 정보가 얻어지는 것인 광전 변환기.

**청구항 7**

광전 변환기에 있어서,

제1 도전형의 제1 반도체 영역과,

상기 제1 반도체 영역에 접하여 형성되며, 상기 제1 도전형과 반대되는 제2 도전형의 제2 반도체 영역과,

상기 제2 반도체 영역으로부터 이격되고 상기 제1 반도체 영역에 접하여 형성되는 제2 도전형의 제3 반도체 영역과,

상기 제2 반도체 영역과 상기 제3 반도체 영역 사이에서 상기 제1 반도체 영역의 표면 상에 형성되는 제1 절연막과,

상기 제1 절연막 상에, 상기 제2 반도체 영역과 상기 제3 반도체 영역을 브릿징하도록 형성되는 제1 게이트로서, 상기 제2 반도체 영역, 또는 상기 제2 반도체 영역에 가까운 제1 반도체 영역의 일부가 빛에 노출될 때에, 상기 제2 반도체 영역과 상기 제1 반도체 영역 사이에 광전류가 흐르는 것인, 상기 제1 게이트

를 포함하며,

상기 제3 반도체 영역에, 상기 제2 반도체 영역이 상기 제1 반도체 영역에 대해 제로 바이어스 또는 역바이어스로 되는 제2 전위를 공급하고, 상기 제2 반도체 영역이 제1 전위로 되어, 상기 제2 반도체 영역이 상기 제1 반도체 영역에 대해 제로 바이어스 또는 역바이어스로 될 때에, 상기 제1 게이트 아래에 있는 상기 제2 및 제3 반도체 영역 사이의 상기 제1 반도체 영역의 표면 상에 채널 또는 전류로를 유도하는 제1 게이트 전위를 제1 게이트에 공급함으로써, 상기 광전 변환기는, 상기 제2 반도체 영역, 또는 상기 제2 반도체 영역에 가까운 제1 반도체 영역의 일부가 빛에 노출되더라도 깊은 순방향 전압에 의해 바이어스되지 않게 상기 제2 반도체 영역의 포화를 제어하도록 구성되는 것인 광전 변환기.

**청구항 8**

제7항에 있어서,

상기 제2 반도체 영역의 상부를 덮도록 형성되며 상기 제1 게이트와 자기 정합(self-align)되는 제1 도전형의 제4 반도체 영역을 더 포함하는 광전 변환기.

**청구항 9**

제7항에 있어서,

상기 제2 반도체 영역에 접하는 제1 도전형의 제5 반도체 영역을 더 포함하여, 상기 제2 반도체 영역에 흐른 전류가 상기 제1 반도체 영역 또는 제5 반도체 영역을 통해 증폭되는 것인 광전 변환기.

**청구항 10**

제4항 내지 제6항 중 어느 한 항에 따른 복수의 광전 변환기 - 상기 복수의 광전 변환기는 서로 교차하는 제1 방향과 제2 방향으로 배치됨 - 와,

제1 방향으로 연장되는 복수의 제1 배선과,

제2 방향으로 연장되는 복수의 제2 배선과,

상기 제1 게이트 전위를 공급하는 제3 배선과,

상기 제2 전위를 공급하는 제4 배선

을 포함하며,

상기 제1 내지 제4 배선은 서로 절연되고,

상기 제1 방향으로 배치된 상기 복수의 광전 변환기의 상기 제2 전계 효과 트랜지스터들의 제2 게이트들은 상기 제1 방향으로 연장되는 복수의 제1 배선 중 하나에 접속되며,

상기 제2 방향으로 배치된 상기 복수의 광전 변환기의 상기 제2 전계 효과 트랜지스터들의 제2 소스들과 제2 드레인들 중 다른쪽은 상기 제2 방향으로 연장되는 복수의 제2 배선 중 하나에 접속되는 것인 광전 변환 어레이.

### 청구항 11

제10항에 있어서, 상기 제1 드레인들은 인접하는 광전 변환기에서 공통 부분을 갖도록 배치되는 것인 광전 변환 어레이.

### 청구항 12

제10항에 기재한 광전 변환 어레이와,

상기 복수의 제1 배선을 스캔하는 드라이브 회로와,

상기 복수의 제2 배선 중 하나에 접속되는 복수의 전류 또는 전하 센스 회로와,

각각 소스와 드레인 중 한쪽이 상기 복수의 제2 배선 중 하나에 접속되는, 전위 설정용 복수의 제3 전계 효과 트랜지스터와,

상기 복수의 제3 전계 효과 트랜지스터의 소스들과 드레인들 중 다른쪽에 접속되는 참조 전위 공급기와,

상기 제3 배선에 접속되는 제1 게이트 전위 공급기와,

상기 제4 배선에 접속되는 제2 전위 공급기

를 포함하고,

상기 복수의 전류 또는 전하 센스 회로는 차동형이며, 각각 상기 복수의 제2 배선 중 하나에 접속된 제1 입력 단자와 참조 전위가 공급되는 제2 입력 단자를 갖는 것인 활상 장치.

### 청구항 13

제12항에 있어서, 상기 제3 전계 효과 트랜지스터는, 상기 전류 또는 전하 센스 회로가 감지를 완료한 후에 그리고 상기 제2 전계 효과 트랜지스터가 턴오프되기 전에, 상기 제2 배선에 참조 전위를 공급하도록 구성되는 것인 활상 장치.

### 발명의 설명

#### 기술 분야

<관련 출원과의 상호 참조>

[0001] 본 출원은 2011년 10월 6일에 출원한 일본 특허 출원 제2011-222020호에 기초한 것으로서 이에 대해 우선권을 주장하며, 이 우선권의 전체 내용은 여기에서의 참조에 의해 본 명세서에 포함된다.

[0003] <기술분야>

[0004] 본 발명은 광강도, 광장 등의 광정보 및 광학상(像)을, 전류, 전하, 전압, 또는 디지털 데이터를 포함하는 전기 정보로 변환하는 개선된 광전 변환기와, 광전 변환 셀, 광전 변환기인 광전 변환 셀로 이루어진 광전 변환 어레이, 및 그 어레이를 포함하는 활상 장치에 관한 것이다.

## 배경 기술

[0005] 광전류가 광전 변환 기능을 갖는 제1 pn 접합의 일단을 전기적으로 부유 상태로 통과하여 일정 시간 동안 전하로서 축적되거나, 축적된 전하가 후술하는 바와 같이 광전류에 의해 방전된다. 이 결과를 전기 신호로서 검출할 경우, 일반적으로, 광강도가 축적 시간 또는 적분 시간에 비해 크면 제1 pn 접합의 상기 일단에 접속된 전기 용량이 지나치게 충전 또는 방전된다. 이에, 제1 pn 접합에는 광전류가 순방향으로 흐른다. 그 결과, 제1 pn 접합이 깊은 순방향 전압(deep forward voltage)으로 바이어스되어, 제1 pn 접합을 구성하는 2개의 대향 도전형의 반도체 영역 내에 과잉 소수 캐리어가 축적된다. 이것은, 제1 pn 접합을 소수 캐리어의 수명(lifetime)에 관련된 역바이어스로 스위칭하는데 걸리는 소위 포화 시간으로 인한 지연 때문에 응답 속도가 저하한다는 문제를 유발한다. 이 현상을 포화 현상이라고 한다.

[0006] 일본 특허 공개 S47-18561호에는, pn 접합이 깊은 순방향 전압에 의해 바이어스되는 것을 막는 기술이 개시되어 있다. pn 접합은 이 pn 접합에서보다 쇼트키 접합에서 순방향 전압이 낮아 대부분의 전류가 쇼트키 접합으로 흐르기 때문에 깊게 바이어스되는 것이 방지될 수 있다. 그러나, 쇼트키 접합에서의 역방향 전류가 pn 접합에서보다 현격한 차이로 커, 암전류의 총량이 증가한다. 이 때문에, 이 기술은 고감도 광전 변환기에 적합할 수 없다.

[0007] 본 명세서에 있어서, 제1 pn 접합이 깊은 순방향 전압에 의해 바이어스된다라는 것은, 광전류가 전부 제1 pn 접합에서 순방향 전류로서 흐를 때에 제1 pn 접합에서의 순방향 전압 상태를 가리킨다. 순방향 전류로서 흐르는 광전류의 양이 1/10 이하로 저감하여 포화 시간이 약 1/10으로 짧아지면, 포화 문제는 해결될 것으로 생각된다. 이 경우에, 제1 pn 접합의 순방향 전압은 깊게 바이어스된 상태보다 2.3 kT/q(실온에서의 약 60 mV)만큼 작다. 여기서, 방치 상태로 pn 접합이 깊은 순방향 전압에 의해 바이어스되는 환경에서, pn 접합에 대해, 이 깊은 순방향 전압보다 2.3 kT/q만큼 작게 순방향 전압을 갖게 제어하고, 제로 바이어스 또는 역바이어스 상태가 유지되게 제어하는 것을 포화 제어라고 하며, 여기서 k는 볼츠만 상수이고, T는 광전 변환기의 절대 온도이며, q는 전자의 기본 전하이다.

[0008] 제1 도전형의 제1 반도체 영역과, 이 제1 반도체 영역에 인접하며 제1 도전형과 반대되는 제2 도전형의 제2 반도체 영역으로 제1 pn 접합을 형성한 경우, 축적된 과잉 소수 캐리어는 제1 pn 접합으로부터 제1 및 제2 반도체 영역의 양쪽의 소수 캐리어의 확산 길이의 범위로 넓어진다. 이 확산 길이는 캐리어의 종류, 즉 전자 또는 정공이나, 반도체 영역의 전기 특성에 따라 달라지고, 제1 반도체 영역과 제2 반도체 영역 간의 확산 길이는 다르다.

[0009] 또한, 이 확산 길이 내에, 광전 변환 기능을 갖는 제2 pn 접합을 형성하면, 제2 pn 접합이 빛이 노출되지 않더라도 이 제2 pn 접합에 전류가 흘러 광전 변환기가 오동작을 일으킨다. 이에, 제1 반도체 영역 내에 pn 접합으로서 광전 변환 소자가 배치되는 광전 변환 어레이를 포함하는 활상 장치에서 화상 블러(image blur)가 생기고 등가적으로 해상도가 떨어지게 된다.

[0010] 이제부터 도 1을 참조해, 포토다이오드를 광전 변환 소자의 예로서 사용하여 광강도와 광장 성분 등의 광정보를 출력용 전기 정보로 변환하는 방법에 대해 설명한다. 도 1은 애노드(1002a)를 갖는 제1 pn 접합인 포토다이오드(1000a)와, 스위치로서 동작하는 전계 효과 트랜지스터(3000a)를 도시하고 있는데, 애노드(1002a)는 전계 효과 트랜지스터(3000a)의 소스 또는 드레인에 접속되어 있다. 전계 효과 트랜지스터(3000a)는 광전 변환 소자와 연관된 전기 용량(이 경우, 애노드-캐소드 전기 용량)에 광전류를 일시 축적하기 위해 포토다이오드(1000a)의 애노드(1002a)를 스위칭 오프하여 축적 시간 동안 애노드를 부유 상태로 두고, 애노드를 스위칭 온하여 축적 전하를 전류 또는 전하로서 출력한다.

[0011] 먼저, 전계 효과 트랜지스터(3000a)가 스위칭 온되어, 포토다이오드(1000a)의 일단[도면에서는 애노드(1002a)]이 Vref 전위가 되고, 포토다이오드(1000a)의 애노드-캐소드 전기 용량이 Vdd-Vref 전압으로 충전된다. 여기서, Vdd는 전원 전압이고, Vref는 판독 참조 전압이다.

[0012] 다음에, 전계 효과 트랜지스터(3000a)는 스위칭 오프되고 광전 변환 소자에 빛이 조사된다. 그러면, pn 접합에서 분리 생성된 광전류가 포토다이오드(1000a)의 애노드(1002a)로부터 애노드-캐소드 전기 용량(Canc)에 유입되고, Vdd-Vref만으로 충전되어 있던 용량이 방전된다. 이에, 캐소드 전위가 전원 전압(Vdd)을 향해 상승한다. 그렇기 때문에, 사실상 애노드-캐소드 전기 용량은 광전류에 의해 방전된다. 그러나, 여기에서는 편의상 광전류가

전하로서 축적된다고 표현하는 경우가 있다.

[0013] 스위칭 오프 시간이 길거나 광전류가 많으면, 포토다이오드(1000a)의 애노드(1002a)가 Vdd를 넘어 순방향 전위가 된다. 순방향 전위는 계속 상승하고, 광전류가 전부 포토다이오드(1000a)의 애노드와 캐소드 사이를 통과할 때 최고치에 도달한다. 이 상태를 "깊은 순방향 전압에 의해 바이어스된다"고 한다. 이 상태에서, 포토다이오드(1000a)의 반도체 영역에 과잉 소수 캐리어가 축적되어, 포토다이오드(1000a)를 역바이어스 방향으로 스위칭하는데 지연이 생긴다.

## 선행기술문헌

### 특허문헌

[0014] (특허문헌 0001) 일본 특허 공개 47-18561호

## 발명의 내용

### 해결하려는 과제

[0015] 본 발명의 목적은, 광전 변환 기능을 갖는 제1 pn 접합에서의 역방향 전류가 쇼트키 접합에서만큼 많지 않게 제어하면서 제1 pn 접합이 깊은 순방향 전압으로 바이어스되는 제1 pn 접합의 포화 상태를 막는 광전 변환기를 제공하는 것이다. 또 다른 목적은 화상 블러를 방지하고 등가적으로 해상도가 떨어지는 것을 개선할 수 있는 광전 변환기를 제공하는 것이다.

### 과제의 해결 수단

[0016] 본 발명에 있어서 상기 목적을 달성하기 위하여, 다음의 해법을 제공한다.

[0017] (해법 1)

[0018] 광전 변환 기능을 갖고, 도전형이 상이한 적어도 2개의 반도체 영역으로 구성된 제1 pn 접합과, 제1 소스, 제1 드레인 및 제1 절연 게이트를 포함하는 제1 전계 효과 트랜지스터로서, 상기 제1 소스가 상기 2개의 반도체 영역 중 한쪽에 접속된 상태에서, 상기 2개의 반도체 영역 중 어느 하나가 빛에 노출될 때에 상기 제1 pn 접합에 광전류가 흐르게 되는 것인 제1 전계 효과 트랜지스터를 포함하는 광전 변환기에 있어서, 상기 제1 전계 효과 트랜지스터는 한쪽 반도체 영역과 동일한 도전형의 채널을 포함하고, 상기 제1 전계 효과 트랜지스터의 제1 드레인에, 다른쪽 반도체 영역의 전위에 대해 상기 제1 pn 접합이 제로 바이어스 또는 역바이어스되는 제2 전위가 공급되고, 상기 제1 소스가, 상기 한쪽 반도체 영역이 상기 다른쪽 반도체 영역에 대해 제로 바이어스 또는 역바이어스로 되는 제1 전위가 될 때에, 상기 제1 전계 효과 트랜지스터를 도통시키는 제1 게이트 전위를 제1 절연 게이트에 공급함으로써, 상기 광전 변환기는, 상기 2개의 반도체 영역 중 어느 하나가 빛에 노출되더라도 깊은 순방향 전압(deep forward voltage)에 의해 바이어스되지 않게 상기 제1 pn 접합의 포화를 제어하도록 구성되는 것인 광전 변환기.

[0019] 상기 제1 전계 효과 트랜지스터의 소스를 통해 광전류의 대부분(예컨대, 90% 이상)이 드레인으로 흐르게 함으로써 도전형이 상이한 2개의 반도체 영역이 깊은 순방향 전압으로 바이어스되지 않게 제어하기 위해서, 제1 게이트 전위를 소정의 조건으로 미리 설정할 필요가 있다.

[0020] (해법 2)

[0021] 해법 1에 있어서, 상기 제1 게이트 전위와 상기 다른쪽 반도체 영역의 전위와의 차의 절대값은 상기 제1 전계 효과 트랜지스터의 게이트 임계 전압의 절대값 이상인 것인 광전 변환기.

[0022] 본 발명의 광전 변환기의 광전 변환 소자가 포토 트랜지스터인 경우에, 이하의 구성이 적용된다.

[0023] (해법 3)

[0024] 해법 1에 있어서, 상기 제1 pn 접합은 제1 바이폴라 트랜지스터의 베이스-컬렉터 접합이며,

[0025] 상기 제1 바이폴라 트랜지스터의 베이스는 상기 제1 전계 효과 트랜지스터의 소스에 접속되는 것인 광전 변환기.

[0026] 광전 변환기를 선택하거나, 그것으로부터 축적된 광전 전하 또는 전기 정보를 판독하기 위한 제2 전계 효과 트랜지스터를 포함하는 구성이 해법 4, 5, 및 6으로서 제공된다.

[0027] (해법 4)

[0028] 해법 1에 있어서,

[0029] 제2 소스, 제2 드레인 및 제2 게이트를 포함하는 제2 전계 효과 트랜지스터를 더 포함하고,

[0030] 상기 제2 소스와 상기 제2 드레인 중 한쪽이 상기 한쪽 반도체 영역에 접속되고, 상기 제2 게이트에 도통 신호를 공급하여 상기 제2 전계 효과 트랜지스터를 도통시킴으로써 상기 제2 소스와 상기 제2 드레인 중 다른쪽으로부터 전기 정보(전하 또는 전류)가 얻어지는 것인 광전 변환기.

[0031] (해법 5)

[0032] 해법 3에 있어서,

[0033] 제2 소스, 제2 드레인 및 제2 게이트를 포함하는 제2 전계 효과 트랜지스터를 더 포함하고,

[0034] 상기 제2 소스와 상기 제2 드레인 중 한쪽이 상기 제1 바이폴라 트랜지스터의 이미터에 접속되고, 상기 제2 게이트에 도통 신호를 공급하여 상기 제2 전계 효과 트랜지스터를 도통시킴으로써 상기 제2 소스와 상기 제2 드레인 중 다른쪽으로부터 전기 정보(전하 또는 전류)가 얻어지는 것인 광전 변환기.

[0035] (해법 6)

[0036] 해법 3에 있어서,

[0037] 제2 소스, 제2 드레인 및 제2 게이트를 포함하는 제2 전계 효과 트랜지스터와,

[0038] 하나 또는 복수의 제2 바이폴라 트랜지스터를 더 포함하며,

[0039] 상기 제1 바이폴라 트랜지스터의 이미터가 상기 하나 또는 복수의 제2 바이폴라 트랜지스터의 베이스에 접속되고,

[0040] 상기 복수의 제2 바이폴라 트랜지스터의 베이스와 이미터는 서로 접속되며,

[0041] 베이스에 접속되지 않는 이미터가 상기 제2 소스와 상기 제2 드레인 중 한쪽에 접속되고, 상기 제2 게이트에 도통 신호를 공급하여 상기 제2 전계 효과 트랜지스터를 도통시킴으로써 상기 제2 소스와 상기 제2 드레인 중 다른쪽으로부터 전기 정보(전하 또는 전류)가 얻어지는 것인 광전 변환기.

[0042] 해법 1의 광전 변환기의 구조 예로서 다음의 구조가 제공된다.

[0043] (해법 7)

[0044] 제1 도전형의 제1 반도체 영역과,

[0045] 상기 제1 반도체 영역에 접하여 형성되며, 상기 제1 도전형과 반대되는 제2 도전형의 제2 반도체 영역과,

[0046] 상기 제2 반도체 영역으로부터 이격되고 상기 제1 반도체 영역에 접하여 형성되는 제2 도전형의 제3 반도체 영역과,

[0047] 상기 제2 반도체 영역과 상기 제3 반도체 영역 사이에서 상기 제1 반도체 영역의 표면 상에 형성되는 제1 절연막과,

[0048] 상기 제1 절연막 상에, 상기 제2 반도체 영역과 상기 제3 반도체 영역을 브릿징하도록 형성되는 제1 게이트로서, 상기 제2 반도체 영역, 또는 상기 제2 반도체 영역에 가까운 제1 반도체 영역의 일부가 빛에 노출될 때에, 상기 제2 반도체 영역과 상기 제1 반도체 영역 사이에 광전류가 흐르는 것인 제1 게이트를 포함하며,

[0049] 상기 제3 반도체 영역에, 상기 제2 반도체 영역이 상기 제1 반도체 영역에 대해 제로 바이어스 또는 역바이어스로 되는 제2 전위를 공급하고, 상기 제2 반도체 영역이 제1 전위로 되어, 상기 제2 반도체 영역이 상기 제1 반도체 영역에 대해 제로 바이어스 또는 역 바이어스로 될 때에, 상기 제1 게이트 아래에 있는 상기 제2 및 제3 반도체 영역 사이의 상기 제1 반도체 영역의 표면 상에 채널 또는 전류로를 유도하는 제1 게이트 전위를 제1 게이트에 공급함으로써, 상기 광전 변환기는, 상기 제2 반도체 영역, 또는 상기 제2 반도체 영역에 가까운 제1 반

도체 영역의 일부가 빛에 노출되더라도 깊은 순방향 전압에 의해 바이어스되지 않게 상기 제2 반도체 영역의 포화를 제어하도록 구성되는 것인 광전 변환기.

[0051] 제1 반도체 영역과 제2 반도체 영역 사이의 접합에서의 암전류를 줄이기 위해서 다음의 구조가 제공된다.

[0052] (해법 8)

[0053] 해법 7에 있어서,

[0054] 상기 제2 반도체 영역의 상부를 덮도록 형성되며 상기 제1 게이트와 자기 정합(self-align)되는 제1 도전형의 제4 반도체 영역을 더 포함하는 광전 변환기.

[0055] 본 발명의 광전 변환기에 있어서, 증폭 기능을 갖는 광전 변환 소자에 대한 구조 예가 제공된다.

[0056] (해법 9)

[0057] 해법 7에 있어서, 상기 제2 반도체 영역에 접하는 제1 도전형의 제5 반도체 영역을 더 포함하여, 상기 제2 반도체 영역에 흐른 전류가 상기 제1 반도체 영역 또는 제5 반도체 영역을 통해 증폭되는 것인 광전 변환기.

[0058] 본 광전 변환기를 어레이화한 구조 예와, 본 광전 변환기에 의한 활상 장치가 다음과 같이 제공된다.

[0059] (해법 10)

[0060] 해법 4 내지 해법 6 중 어느 하나에 기재된 복수의 광전 변환기로서, 서로 교차하는 제1 방향과 제2 방향으로 배치되는 복수의 광전 변환기와,

[0061] 제1 방향으로 연장되는 복수의 제1 배선과,

[0062] 제2 방향으로 연장되는 복수의 제2 배선과,

[0063] 상기 제1 게이트 전위를 공급하는 제3 배선과,

[0064] 상기 제2 전위를 공급하는 제4 배선

[0065] 을 포함하며,

[0066] 상기 제1 내지 제4 배선은 서로 절연되고,

[0067] 상기 제1 방향으로 배치된 상기 복수의 광전 변환기의 상기 제2 전계 효과 트랜지스터들의 제2 게이트들은 상기 제1 방향으로 연장되는 복수의 제1 배선 중 하나에 접속되며,

[0068] 상기 제2 방향으로 배치된 상기 복수의 광전 변환기의 상기 제2 전계 효과 트랜지스터들의 제2 소스들과 제2 드레인들 중 다른쪽은 상기 제2 방향으로 연장되는 복수의 제2 배선 중 하나에 접속되는 것인 광전 변환 어레이.

[0069] (해법 11)

[0070] 해법 10에 있어서, 상기 제1 드레인들은 인접하는 광전 변환기에서 공통 부분을 갖도록 배치되는 것인 광전 변환 어레이.

[0071] (해법 12)

[0072] 해법 10에 기재한 광전 변환 어레이와,

[0073] 상기 복수의 제1 배선을 스캔하는 드라이브 회로와,

[0074] 상기 복수의 제2 배선 중 하나에 접속되는 복수의 전류 또는 전하 센스 회로와,

[0075] 각각 소스와 드레인 중 한쪽이 상기 복수의 제2 배선 중 하나에 접속되는, 전위 설정용 복수의 제3 전계 효과 트랜지스터와,

[0076] 상기 복수의 제3 전계 효과 트랜지스터의 소스들과 드레인들 중 다른쪽에 접속되는 참조 전위 공급기와,

[0077] 상기 제3 배선에 접속되는 제1 게이트 전위 공급기와,

[0078] 상기 제4 배선에 접속되는 제2 전위 공급기

[0079] 를 포함하고,

[0080] 상기 복수의 전류 또는 전하 센스 회로는 차동형이며, 각각 상기 복수의 제2 배선 중 하나에 접속된 제1 입력 단자와 참조 전위가 공급되는 제2 입력 단자를 갖는 것인 활상 장치.

[0081] (해법 13)

[0082] 해법 12에 있어서, 상기 제3 전계 효과 트랜지스터는, 상기 전류 또는 전하센스 회로가 감지를 완료한 후에 그리고 상기 제2 전계 효과 트랜지스터가 펀오프되기 전에, 상기 제2 배선에 참조 전위를 공급하도록 구성되는 것인 활상 장치.

### 도면의 간단한 설명

[0083] 본 발명의 특징, 실시형태 및 효과는 첨부 도면을 참조한 이하의 상세한 설명으로부터 분명해질 것이다.

도 1은 종래기술에 따른 스위치를 구비한 포토다이오드를 도시하는 도면이다.

도 2는 본 발명의 일 실시형태에 따른, 제1 전계 효과 트랜지스터를 구비한 포토다이오드를 포함하는 예시적인 회로도이다.

도 3은 포화 제어용 제1 전계 효과 트랜지스터의 동작을 설명하기 위한 그래프이다.

도 4는 도 2에서 제2 전계 효과 트랜지스터를 제외한 회로의 단면도이다.

도 5a는 도 4에 본 발명의 일 실시형태에 따른 제4 반도체 영역을 포함시킨 회로의 평면도이고, 도 5b는 그것의 단면도이다.

도 6은 본 발명에 따른 광전 변환기를 포토 트랜지스터에 적용한 등가 회로이다.

도 7은 도 6에서 제2 전계 효과 트랜지스터를 제외한 회로의 단면도이다.

도 8은 본 발명의 일 실시형태에 따른 광전 변환기를 어레이로 배치한 셀구조의 예를 나타내는 도면이다.

도 9는 도 8의 셀의 등가 회로도이다.

도 10은 본 발명의 일 실시형태에 따른 광전 변환 어레이를 적용한 활상 장치의 예를 나타내는 도면이다.

### 발명을 실시하기 위한 구체적인 내용

[0084] 이하, 첨부 도면을 참조하여 본 발명의 실시형태에 대해 상세하게 설명한다. 가능한 경우에는, 도면 전체에 있어서 같거나 유사한 부분을 나타내기 위해 같은 도면부호를 사용한다.

[0085] [제1 실시형태]

[0086] 도 2는 제1 전계 효과 트랜지스터(3010) 및 제2 전계 효과 트랜지스터(3000)와, 일 실시형태에 따른 제1 pn 접합인 포토다이오드(1000)를 포함하는 회로도이다. 도 2에서, 포토다이오드(1000)는 애노드(1002)가 제1 전계 효과 트랜지스터(3010)의 제1 소스(3012)에, 그리고 제2 전계 효과 트랜지스터(3000)의 드레인과 소스 중 한쪽에 접속되어 있다. 제1 전계 효과 트랜지스터(3010)는 포화 제어용 트랜지스터이고, 제2 전계 효과 트랜지스터(3000)는 스위칭용 트랜지스터이다. 본 실시형태에 있어서, 제1 전계 효과 트랜지스터(3010)는 p 채널형이고, 제1 소스(3012), 제1 드레인(3011) 및 제1 게이트(3013)를 포함한다.

[0087] 도면에 있어서, 캐소드 전위(Vdd)는 판독 참조 전위(Vref)보다 플러스측 전위이다. 제1 전계 효과 트랜지스터의 제1 게이트(3013)에는 제1 게이트 전위(Vg1)가 공급되고, 제1 전계 효과 트랜지스터의 제1 드레인(3011)에는 캐소드 전위(Vdd)와 같거나 Vdd보다 Vref에 가까운 전위 Vsink가 공급된다. 즉, Vsink은 제1 pn 접합을 제로 바이어스 또는 역바이어스하는 제2 전위이다. 제1 게이트 전위(Vg1)는 Vdd + Vth 이상의 마이너스측 전위이다. 이에 따라, 제1 pn 접합의 애노드가, 제1 pn 접합이 제로 바이어스 또는 역바이어스로 되는 제1 전위가 될 때에, 제1 전계 효과 트랜지스터는 도통한다. 본 실시형태에서는, 제1 전위가 Vg1 - Vth이고, Vth는 제1 전계 효과 트랜지스터가 위 [0086] 단락에 기재된 p 채널형이고 증가형(enhancement type)인 경우에 마이너스값이다. 한편, 포토다이오드(1000)의 캐소드(1001)는 제1 전계 효과 트랜지스터에 접속될 때에 제2 전계 효과 트랜지스터의 소스와 드레인 중 한쪽에도 접속된다. 제1 전계 효과 트랜지스터가 n 채널형이고 증가형인 경우에 애노드 전위(Van)는 Vref보다 마이너스측이며 Vth는 플러스값이다.

[0088] 우선, 제2 전계 효과 트랜지스터(3000)가 펀온되어 포토다이오드(1000)의 캐소드(1002)가 판독 참조 전위(Vre

f)로 되고 제2 전계 효과 트랜지스터는 턴오프된다. 이 상태에서, 전기 용량(주로, 접합 용량)(Canc)은 Vdd - Vref로 충전된다. 포토다이오드의 애노드와 접지 사이의 용량(Canst)은 참조 전위(Vref)로 충전된다.

[0089] 다음에, 용량(Canc)은 방전되고 용량(Canst)은 빛에 노출된 포토다이오드(1000)로부터의 광전류(iph)에 의해 더 충전되며, 애노드 전위(Van)는 Vref에서 Vdd로 상승한다. 축적 시간(tstr) 후에, 제2 전계 효과 트랜지스터(3000)는 다시 턴온되어, 소스와 드레인 중, 포토다이오드(1000)에 접속되지 않은 다른쪽으로부터 전하 (Canc + Canst)\*(Van - Vref)를 출력할 수 있다. 스위칭 시간(ton) 동안의 평균치인 평균 전류  $i_{out} = (Canc + Canst)*(Van - Vref)/ton$ 이 출력된다. 전하 (Canc + Canst)\*(Van-Vref)를 축적 광 전하라고 하여, 과잉 소수 캐리어 축적 전하와 구별한다.

[0090] 긴 축적 시간(tstr)에, 또는 많은 광전류(iph)에 의해, 애노드 전위(Van)가 캐소드 전위(Vdd)를 초과하여 애노드가 캐소드에 대하여 순방향으로 바이어스로 되고 광전류(iph)의 일부가 포토다이오드에 유입되기 시작한다. 광전류(iph)가 전부 포토다이오드에 흐르면, 포토다이오드의 전압은 변하지 않게 된다. 이 전압을 "깊은 순방향 전압(deep forward voltage)"이라고 부른다. 이것을 태양 전지에서는 개방 회로 전압이라고 한다.

[0091] 포토다이오드의 반도체 영역에는 과잉 소수 캐리어가 축적되고, 그 캐리어의 양은 포토다이오드에 유입되는 순방향 전류에 거의 비례한다. 이 과잉 소수 캐리어를 인출하기 위해서, 제2 전계 효과 트랜지스터가 턴온된다. 그러나, 제2 전계 효과 트랜지스터가 턴온할 때부터 포토다이오드가 역바이어스가 될 때까지, 즉 애노드 전위(Van)가 캐소드 전위(Vdd) 이하가 되기까지에는 시간 지연이 발생한다. 이 과잉 소수 캐리어를 제로로 하는 것이 바람직하지만, 포토다이오드에 유입되는 순방향 전류를 광전류(iph)의 약 1/10 이하로 줄이는 것도 충분히 효과적이다. 즉, 포토다이오드가 순바이어스된 상태에서, 순방향 전압은 깊은 순방향 전압보다 60 mV 이상만큼 작게 제어되어야 한다. 가장 바람직한 것은 포토다이오드의 애노드-캐소드 전압을 제로로부터 역바이스 전압으로 제어하는 것이다.

[0092] 다음으로, 포화 제어용 제1 전계 효과 트랜지스터(3010)에 대해 설명한다. 설명을 간단히 하기 위해서 제1 게이트 전위(Vg1)를 캐소드 전위(Vdd) + 게이트 임계 전압(Vth)으로 설정한다. 게이트 임계 전압(Vth)은 통상 마이너측이며 Vdd보다  $|Vth|$ 만큼 Vref에 가깝다. 포토다이오드(1000)의 애노드(1002)가 광전류에 의해 방전되어 전위 Van가 Vref에서 Vdd로 변한다. 이에, 애노드(1002)와 제1 소스(3012)의 접속으로 제1 전계 효과 트랜지스터(3010)가 턴온되어 광전류를 소스(3012)로부터 드레인(3011)으로 바이패스하기 시작한다. 이 때문에, 애노드 전위(Van)는 풀리스측 캐소드 전위(Vdd)를 초과하지 않게 된다. 다시 말해, Van - Vdd로부터 계산되는 포토다이오드(1000)의 애노드-캐소드 전압이 깊은 순방향 전압에 의해 바이어스되는 일은 없다.

[0093] 제1 전계 효과 트랜지스터의 게이트 임계 전압(Vth)을, 소스와 드레인 사이에  $1 \mu A$ 의 포화 전류를 흐르게 하는 게이트-소스 전압으로 정의한다.  $50 \mu m$  이하의 수광 면적을 갖는 포토다이오드의 경우, 대낮의 외광 아래에서 애노드-캐소드 전압이 약 0 V로 클램프된다. 도 3에 도시하는 바와 같이, 제1 전계 효과 트랜지스터에 의해 바이패스되는 전류  $I_{sink}$ 는 애노드 전위(Van)가 Vref로부터  $Vg1 - Vth$ 에 근접하면 지수함수적으로 증가하고, 애노드 전위(Van)가  $Vg1 - Vth$ 가 되면  $I_{th}$ , 예컨대  $1 \mu A$ 가 된다. 제1 전계 효과 트랜지스터의 오프전류값( $I_{off}$ )이  $pA$  레벨에서 설계될 수 있기 때문에, 포토다이오드가 쇼트키 다이오드와 병렬로 접속될 때와 비교해서 포토다이오드의 등가 암전류에 더해지는 전류의 양은 작다. 애노드 전위(Van)가  $Vg1 - Vth - (0.4 \sim 0.5 V)$ 에서  $Vg1 - Vth$ 로 변하는 동안에, 전류  $I_{sink}$ 는  $I_{off}$ 에서  $I_{th}$ 로 증가한다. 이 Van의 변화폭, 즉  $0.4 \sim 0.5 V$ 는  $s \cdot \log(I_{th}/I_{off})$ 에 의해 주어지며, 여기서  $s$ 는 소위 서브스레슬드 슬로프(sub-threshold slope)라고 불리는 디바이스 파라미터이다.

[0094] 애노드-캐소드 전압을 역바이어스 범위 내에 유지하기 위해서, 제1 게이트 전위(Vg1)는 Vdd + Vth보다 Vref에 가깝게 설정되어야 한다. 더 나아가, 한여름의 직사 태양광 아래에서  $50 \mu m$ 보다 수광 면적이 큰 포토다이오드(1000)의 광전류(iph)의 포화를 제어하기 위해, 제1 게이트 전위(Vg1)가 상기와 같이 설정되는 것 외에, 제1 전계 효과 트랜지스터(3010)의 채널폭은 광전류가 통과하기에 충분한 폭  $W$ 에 설정된다. 즉, 광전류(iph)가  $I_{th}$ 보다 클 때에, 폭  $W$ 은 다음의 식에 의해 결정된다.

$$W = (iph - I_{th}) \cdot 2L / (\mu Cox(Vg1 - Vdd - Vth)^2)$$

[0095] 여기서  $Vg1 < Vdd + Vth$ 이고, L은 채널 길이이며, Cox는 게이트 절연막의 단위 면적 전기 용량이다.

[0096] 도 4는 도 2의 광전 변환기의 포토다이오드(1000)와 제1 전계 효과 트랜지스터(3010)의 가장 간단한 예의 단면도를 나타낸다. 광전 변환기는 제1 도전형의 제1 반도체 영역(101), 제1 도전형과 반대되는 제2 도전형의 제2 반도체 영역(102)을 포함한다. 제1 pn 접합은 제1 반도체 영역(101)과 제2 반도체 영역(102)의 접합면으로 형성

된다. 포토다이오드(1000)는 제2 반도체 영역(102)과, 이 제2 반도체 영역에 인접한, 소수 캐리어 확산 길이 내의 제1 반도체 영역의 일부로 형성된다.

[0098] 포토다이오드는 또한 제2 반도체 영역(102)과 이격되며 제1 전계 효과 트랜지스터(3010)의 제1 드레인으로서 형성된 제2 도전형의 제3 반도체 영역(311)을 포함한다. 제1 전계 효과 트랜지스터의 제1 게이트 절연막(314)이 제2 반도체 영역(102) 및 제3 반도체 영역(103)의 일부와, 그 사이의 제1 반도체 영역 표면에 접하여 형성된다. 제1 전계 효과 트랜지스터의 제1 게이트(313)가 제1 게이트 절연막에 접하여 형성되어 제2 반도체 영역과 제3 반도체 영역을 브릿징한다. 본 실시형태에서는 제1 전계 효과 트랜지스터의 제1 소스가 포토다이오드(1000)와 제2 반도체 영역(102)을 공유한다. 제1 전계 효과 트랜지스터의 채널은 제2 반도체 영역과 제3 반도체 영역 사이의 제1 반도체 영역의 표면에서 제1 게이트의 전계에 의해 유도되거나 소멸된다.

[0099] 제1 반도체 영역은 반도체 기판일 수 있거나, 또는 반도체 기판 또는 절연 기판 표면 상의 전기적으로 분리된 영역일 수도 있다.

[0100] 도 2에서와 같은 바이어스를 인가하기 위하여, 제1 반도체 영역(101)에는 전위  $V_{dd}$ 가, 제3 반도체 영역(311)에는  $V_{dd} + V_{th}$  이하[예컨대 참조 전위( $V_{ref}$ ) 또는 0 V] 등의 전위  $V_{sink}$ 가, 제1 게이트(313)에는  $V_{g1}$ 가 공급된다.

[0101] 도 5a, 도 5b는 도 4의 구조에, 제2 반도체 영역에 접한 제1 도전형의 제4 반도체 영역(104)과 제2 전계 효과 트랜지스터(3000)를 각각 추가 배치한 것의 평면도, 단면도이다. 도 5b는 도 5a의 평면도의 1-1'선을 따라 절단한 단면도이다. 제2 도전형의 제5 반도체 영역(301)이 제2 반도체 영역과 이격되고 제1 반도체 영역의 표면에 접하여 형성되며, 이것이 제2 전계 효과 트랜지스터(3000)의 제2 드레인이다. 제2 전계 효과 트랜지스터(3000)의 제2 게이트 절연막(304)이 제2 반도체 영역 및 제5 반도체 영역의 일부와, 그 사이의 제1 반도체 영역의 표면에 접하여 형성된다. 제2 전계 효과 트랜지스터의 제2 게이트(303)가 제2 게이트 절연막(304)에 접하여 형성되어 제2 반도체 영역과 제5 반도체 영역을 브릿징한다. 본 실시형태에서는, 제2 전계 효과 트랜지스터의 소스가 포토다이오드(1000)와 제2 반도체 영역을 공유한다. 제2 전계 효과 트랜지스터의 채널은 제2 반도체 영역과 제5 반도체 영역 사이의 제1 반도체 영역의 표면에서 제2 게이트(303)의 전계에 의해 유도되거나 소멸된다.

[0102] 도 5a, 도 5b에서, 제4 반도체 영역(104)은 제2 반도체 영역으로부터 제1 반도체 영역까지 연장될 수 있다. 제4 반도체 영역은 제2 반도체 영역의 양단에서 절연체막을 통해 제1 게이트(313), 제2 게이트(303)와 자기 정합(self-align)될 수 있다. 제4 반도체 영역은 암전류를 줄이고 안정화시킬 수 있다. 또한, 포토다이오드(1000)의 애노드-캐소드 용량(Canc)을 증가시켜 축적 광 전하의 상한을 높일 수 있다.

[0103] 또한, 제2 전계 효과 트랜지스터(3000)의 제2 드레인인 제5 반도체 영역에 전위  $V_{ref}$ 가 공급되고, 제2 게이트(303)(전위  $V_{g0}$ )에  $V_{dd}$ 가 공급되어 제2 전계 효과 트랜지스터(3000)를 턴오프하고,  $V_{ref} + V_{th}$ 보다 마이너스측의 전위를 공급하여[제2 전계 효과 트랜지스터(3000)가 p 채널인 경우], 제2 전계 효과 트랜지스터를 턴온한다. 축적 광 전하가 스위칭 시간 동안 제2 전계 효과 트랜지스터(3000)의 제2 드레인(301)으로부터 그리고 포토다이오드(1000)의 캐소드(101)로부터 전하 또는 전류로서 판독될 수 있다.

[0104] 제1 전계 효과 트랜지스터(3010) 및 제2 전계 효과 트랜지스터(3000)에 대해 단일 전계 효과 트랜지스터를 이용할 수 있다. 도 2에서 제2 전계 효과 트랜지스터(3000)를 제거한 회로의 단면도가 바로 도 4와 같다. 먼저, 포토다이오드(1000)의 애노드-캐소드 전기 용량(Canc)을  $V_{dd} - V_{ref}$ 로 충전하기 위해서, 제1 전계 효과 트랜지스터의 제1 드레인(311)에 전위  $V_{ref}$ 가, 제1 게이트(313)에  $V_{ref} + V_{th}$ 보다 마이너스측의 전위가 공급된다. 다음으로, 광 전하 축적 페이즈 시에, 제1 드레인(311)의 전위는 바꿀 필요 없고, 제1 게이트에 전위  $V_{g1} (\leq V_{dd} + V_{th})$ 를 공급한다. 축적 광 전하를 판독하거나 그것을 전류로서 판독하기 위해서, 이 경우에도, 제1 게이트(313)에  $V_{ref} + V_{th}$ 보다 마이너스측의 전위를 공급한다. 제1 드레인(311) 또는 포토다이오드(1000)의 캐소드(101)로부터 광전 변환기의 전하 또는 전류를 판독할 수 있다.

[0105] [제2 실시형태]

[0106] 도 6은 포토 트랜지스터(1010)의 베이스-컬렉터 접합으로서 적용된 제1 pn 접합의 예를 도시한다. 포토 트랜지스터(1010)의 베이스(1012)에 제1 전계 효과 트랜지스터(3010)의 소스(3012)가 접속되어 베이스-컬렉터 접합의 포화를 제어한다. 제1 게이트에는 전위  $V_{g1}$ 이 공급되고, 제1 드레인(3011)에는  $V_{dd} + V_{th}$  이하, 예컨대  $V_{ref}$  또는 0 V 등의 제2 전위( $V_{sink}$ )가 공급된다. 포토 트랜지스터의 컬렉터(1011)에는  $V_{dd}$ 가 공급된다. 여기서, 제1 전위는  $V_{g1} - V_{th}$ 이고, 컬렉터 전위( $V_{dd}$ ) 이상의 마이너스측(npn 트랜지스터가 이용되는 경우임, pnp 트랜지스터가 이용되면 플러스측)이 되도록  $V_{g1}$ 이 설정된다. 이미터(1013)에는 제2 전계 효과 트랜지스터(3000)의 소스

또는 드레인이 접속되고, 그 소스와 드레인 중 다른쪽에는 Vref가 공급된다.

[0107] 먼저, 제2 전계 효과 트랜지스터(3000)가 턴온되어 포토 트랜지스터(1010)의 이미터(1013)를 관독 참조 전위(Vref)를 갖도록 설정하고 제2 전계 효과 트랜지스터는 턴오프된다. 이 상태에서, 포토 트랜지스터(1010)의 베이스와 컬렉터 사이의 전기 용량(주로, 접합 용량)(Cbc)은 Vdd - Vref - Vbe로 충전된다. 포토 트랜지스터(1010)의 베이스와 이미터 사이의 전기 용량(Cbe)은 Vbe로 충전되고, 베이스와 접지 사이의 용량(Cbst)은 Vref + Vbe로 충전된다. Vbe는 베이스로부터 이미터로 광전류가 흐를 때에 베이스와 이미터 사이의 순방향 전압이다. 포토 트랜지스터(1010)의 컬렉터 또는 베이스가 빛에 노출될 때에 광전류(iph)가 발생해서, 포토 트랜지스터(1010)의 이미터 및 컬렉터로부터 증폭되어 출력된다.

[0108] 다음에, 빛에 노출된 포토 트랜지스터(1010)의 베이스(1012)로부터 광전류(iph)에 의해 전기 용량 Cbc은 방전되고 전기 용량 Cbst은 더 충전되어 베이스 전위(Vb)가 Vref + Vbe에서 Vdd로 증가한다. 축적 시간(tstr) 후에 제2 전계 효과 트랜지스터(3000)가 다시 스위칭 온되어 제2 전계 효과 트랜지스터의 드레인과 소스 중 다른쪽으로부터 증폭 전하 =  $(h_{FE} + 1)(Cbc + Cbst)*(Vb - Vref - Vbe)$ 를 관독할 수 있으며, 여기서  $h_{FE}$ 는 포토 트랜지스터(1010)의 증폭률이다. 스위칭 시간(ton) 동안, 평균 증폭 전류 iout =  $(h_{FE} + 1)(Cbc + Cbst)*(Vb - Vref - Vbe)/ton$ 이 관독된다.  $(Cbc + Cbst)*(Vb - Vref - Vbe)$ 을 축적 광 전하라고 하여, 과잉 소수 캐리어 축적 전하와 구별한다. 포토 트랜지스터(1010)의 베이스와 이미터 사이의 전기 용량(Cbe)은 전압(Vbe)에 유지된 상태이며 관독에 고려되지 않는다.

[0109] pn 접합의 포화는, 제1 게이트(3013)에 전위 Vg1을 공급하고 제1 드레인에 제2 전위(Vsink)를 공급함으로써, 포토다이오드의 경우와 같이 제어될 수 있다.

[0110] 다음으로, 도 7은 도 6의 광전 변환기의 포토 트랜지스터(1010)와 제1 전계 효과 트랜지스터(3010)의 단면도이다. 제1 도전형의 제1 반도체 영역(101)의 일부가 포토 트랜지스터(1010)의 컬렉터로서 기능한다. 제1 반도체 영역에 접하여 제2 도전형의 제2 반도체 영역(102)이 형성되어 포토 트랜지스터(1010)의 베이스로서 기능한다. 제2 반도체 영역에 접하여 제1 도전형의 제6 반도체 영역(103)이 형성되어 포토 트랜지스터(1010)의 이미터로서 기능한다. 제1 pn 접합이 제1 반도체 영역(101)과 제2 반도체 영역(102) 사이의 접합면으로 형성된다. 제2 반도체 영역(102)과 이 제2 반도체 영역에 가까운 제1 반도체 영역의 (소수 캐리어 확산 길이 내의) 일부가 빛에 노출될 때에 광전류가 발생하여, 베이스인 제2 반도체 영역으로부터 얻어진다.

[0111] 제1 도전형의 제4 반도체 영역(104)은 제2 반도체 영역(102)의 표면 내에서 제1 게이트와 자기 정합된다. 이 제4 반도체 영역은 제2 반도체 영역(102)이 제1 반도체 영역(101)에 접하는 표면 내에서 제1 반도체 영역(101)에 연장된다. 제4 반도체 영역(104)은 제6 반도체 영역(103)과 이격되어 있다. 제4 반도체 영역(104)과 제6 반도체 영역(103) 사이에서 누설 전류로를 막고 일정한 전류 증폭률을 확보하기 위해서 제2 도전형의 제7 반도체 영역(107)이 제4 반도체 영역과 제6 반도체 영역 사이의 제2 반도체 영역의 표면에 접하여 형성될 수 있다. 제7 반도체 영역(107)은 제2 반도체 영역보다 고불순물 농도를 갖는다.

[0112] 제2 반도체 영역(102)과 이격되어 제2 도전형의 제3 반도체 영역(311)이 형성되는데, 이것이 제1 전계 효과 트랜지스터(3010)의 제1 드레인이다. 제2 반도체 영역 및 제3 반도체 영역의 일부와, 그 사이의 제1 반도체 영역의 표면에 접하여 제1 전계 효과 트랜지스터의 제1 게이트 절연막(314)이 형성된다. 제2 반도체 영역과 제3 반도체 영역을 브릿징하도록 제1 게이트 절연막에 접하여 제1 전계 효과 트랜지스터의 제1 게이트(313)가 형성된다. 본 실시형태에서는 제1 전계 효과 트랜지스터의 제1 소스가 포토 트랜지스터와 제2 반도체 영역(102)을 공유한다. 제1 전계 효과 트랜지스터의 채널은 제2 반도체 영역과 제3 반도체 영역 사이의 제1 반도체 영역의 표면에서 제1 게이트의 전계에 의해 유도 또는 소멸된다. 제1 반도체 영역은 반도체 기판일 수 있거나, 또는 반도체 기판 또는 절연 기판 상의 전기적으로 분리된 영역일 수 있다.

[0113] 제2 전계 효과 트랜지스터(3000)를 포함하지 않는 포토 트랜지스터에 대해서도 본 실시형태에 따른 기술을 적용할 수 있다. 도 6에서 제2 전계 효과 트랜지스터(3000)를 제거한 회로의 단면도가 바로 도 7과 같다. 포토 트랜지스터(1010)의 베이스-컬렉터 전기 용량(Cbc)을 Vdd - Vref - Vbe로 충전하고, 용량(Cbst)을 Vref로 충전하기 위해, 컬렉터(1011)에 Vdd를 공급하고, 이미터(1013)에 Vref를 공급한다. 다음으로, 광 전하를 용량 Cbc, Cbst에 축적하기 위해서, 이미터(1013)를 Vdd 이상의 전위에 스위칭한다. 베이스-이미터 접합은 역바이어스되고, 베이스는 부유 상태가 되어 베이스로부터 흐르는 광전류에 의해 용량 Cbc는 방전되고, 용량 Cbst는 충전된다. 따라서, 제1 전계 효과 트랜지스터의 제1 드레인(311)에 전위 Vsink를, 제1 게이트에 전위 Vg1( $\leq Vdd + Vth$ )을 공급함으로써 포화가 제어될 수 있다.

[0114] 다시 축적 광 전하를 판독하기 위해, 이미터(1013)의 전위는 Vref로 되돌아간다. 이미터(1013) 또는 컬렉터(1011)로부터 전하 또는 변환 전류가 판독될 수 있다. 컬렉터(1011)로부터 전하 또는 전류를 판독하는 데에는 스위치 접속 또는 센스 증폭기의 활성화가 불필요하다.

[0115] 이상에서, p 채널인 전계 효과 트랜지스터에 대한 전위 관계의 대소 및 극성에 대해 설명하였다. n 채널의 경우에는 이들이 반대로 된다.

[0116] 도 8은 그룹으로서 4개의 유닛 셀(C1, C2, C3, C4)이 가로와 세로로 배치되는 광전 변환 어레이의 예를 도시하고 있다. 포화 제어용 제1 전계 효과 트랜지스터(3010)의 제1 드레인(311)의 배선(M2311), 제1 게이트(313)의 배선(M1313)을 인접하는 셀과 공용함으로써 면적 효율적인 어레이를 구성할 수 있다. 배선 M2311과 M1313이 도면에서는 서로 교차하고 있지만, 어레이에는 2층 배선 구조이며, 2개의 배선이 서로 충간 절연막으로 절연되어 있기 때문에, 전기적으로 단락 회로가 되는 일은 없다.

[0117] 도 8의 어레이에는 각 셀에 포토 트랜지스터 외에, 증폭용 제2 바이폴라 트랜지스터(2010)를 포함한다. 포토 트랜지스터(1010)의 이미터인 제5 반도체 영역(103)이, 제2 도전형의 반도체 영역(217)을 통해 제2 바이폴라 트랜지스터(2010)의 베이스인 제2 도전형의 반도체 영역(212)에 접속된다. 제2 바이폴라 트랜지스터(2010)의 이미터인 제1 도전형의 반도체 영역(213)이 제2 전계 효과 트랜지스터의 소스와 드레인 중 한쪽(302)에 접속된다. 도 8의 단일 셀의 등가 회로를 도 9에 도시한다.

[0118] [제3 실시형태]

[0119] 도 10은 본 발명의 일 실시형태에 따른 광전 변환 어레이를 포함하는 활상 장치의 구조 예를 도시한다. 이 활성 장치는 상기한 광전 변환 어레이와, 각각이 수평 또는 X 방향으로 배열된 광전 변환기들의 제2 전계 효과 트랜지스터들의 제2 게이트들(303)에 접속되는 제1 배선(M1303-1, M1303-2, …, M1303-n)과, 이 제1 배선을 스캔하는 Y 드라이브 회로(9010)와, 각각이 수직 또는 Y 방향으로 배열된 광전 변환기들의 제2 전계 효과 트랜지스터들의 소스들과 드레인들 중 다른쪽(301)에 접속되는 출력선인 제2 배선(M2301-1, M2301-2, …, M2301-m)과, 이 제2 배선에 제1 입력 단자가 접속되는 전류 또는 전하 센스 회로(9020), 및 참조 전위 설정용 제3 전계 효과 트랜지스터(3090-1, 3090-2, …, 3090m)를 포함한다. 전류 또는 전하 센스 회로(9020)는 참조 전위에 대한 제2 입력 단자(922)를 포함하는 차동 입력형이다. 단일 전류 또는 전하 센스 회로를 이용해, 스캔용 전계 효과 트랜지스터가 출력선에 순차 접속되어 단일 전류 또는 전하 센스 회로의 출력선 중 하나를 스위칭한다.

[0120] 센스 회로들(9020)의 참조 전위 입력 단자(922)에는 참조 전위 공급기(6001)로부터 참조 전위(Vref)가 공급된다. 제3 전계 효과 트랜지스터(3090-1, 3090-2, …, 3090-m) 각각의 소스와 드레인 중 한쪽은 제2 배선에 접속되고, 소스와 드레인 중 다른쪽에는 참조 전위 공급기(6001)로부터 참조 전위(Vref)가 공급된다. 센스 회로의 출력은 병렬-직렬 변환 회로(9030)에 의해 직렬 신호로 변환된다.

[0121] 출력선은 감지 후에, 필요에 따라 제2 전계 효과 트랜지스터가 전부 오프되는 동안에 제3 전계 효과 트랜지스터(3090)에 의해 참조 전위(Vref)로 충전된다. 포화 제어용 제1 전계 효과 트랜지스터(3010)의 게이트의 제3 배선(M2313)에는, 전위 발생 회로에 의해 칩 외부에서 또는 칩 내에서 Vdd + Vth 이상의 마이너스측 제1 게이트 전위(Vg1)가 공급된다. 포화 제어용 제1 전계 효과 트랜지스터(3010)의 드레인(311)의 제4 배선(M2311)에는 제2 전위(Vsink)가 공급된다.

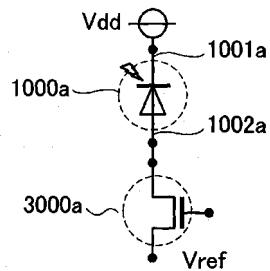
[0122] 이상의 실시형태에 따른 광전 변환기는 광전 변환 소자에서의 과잉 소수 캐리어의 축적을 저감시켜, 스위칭 지연을 줄이고 판독 속도를 향상시킬 수 있다. 또한, 광전 변환 어레이에서는 인접 셀로부터의 광전류의 누설을 막을 수 있다. 이에, 화상 블러를 막고 광전 변환 어레이를 포함한 활상 장치의 해상도에서 등가의 열화를 방지할 수 있다.

[0123] 본 발명은 광전 변환을 이용하여 센서, 사무 기기 및 과학 기기의 응용 분야를 넓힐 수 있고, 광강도 및 휘도가 큰 환경에서 부분적으로 사용하는 고감도 광전 변환기 또는 활상 장치의 스위칭 지연 또는 화상 블러를 없앨 수 있다.

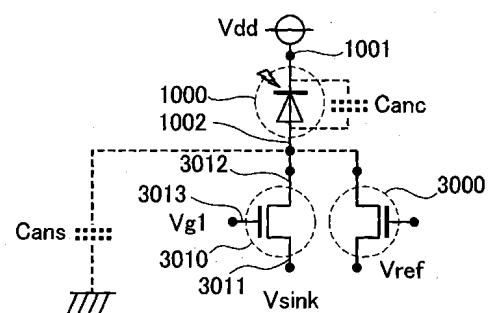
[0124] 예시적인 실시형태에 관하여 본 발명을 설명하였지만, 본 발명은 이들에 한정되지 않는다. 이하의 특허청구범위에서 정해지는 본 발명의 범주에서 벗어나는 일 없이 당업자에게는 설명한 실시형태에 있어서 변형 또는 수정이 이루어질 것임이 분명하다.

## 도면

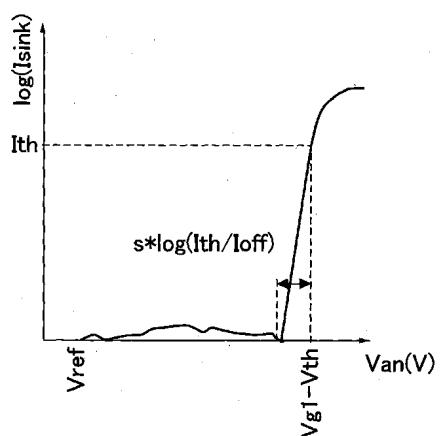
## 도면1



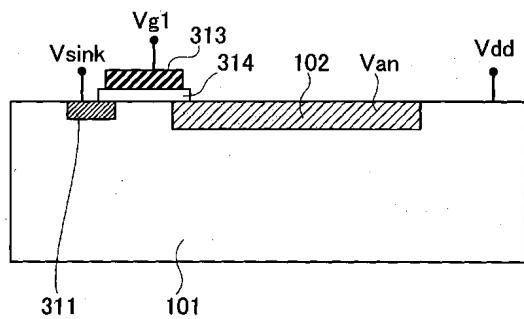
## 도면2



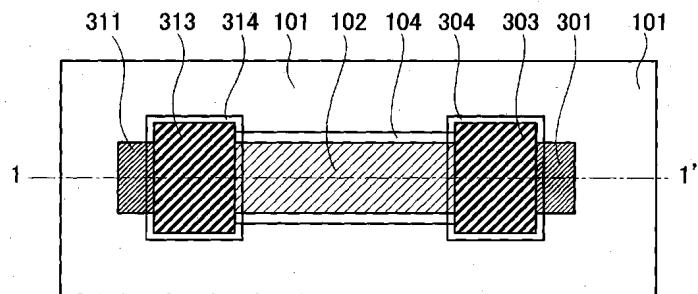
## 도면3



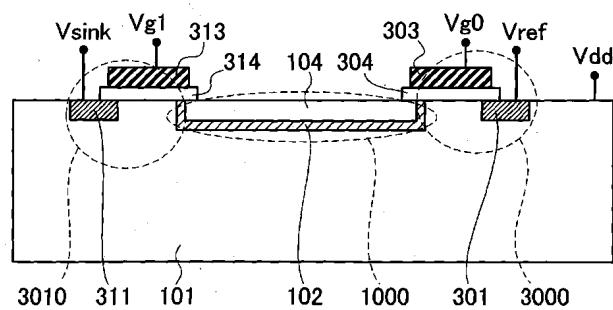
도면4



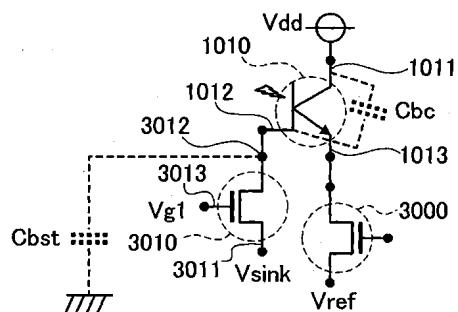
도면5a



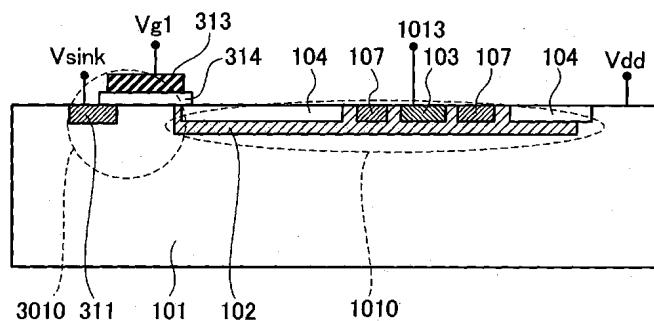
도면5b



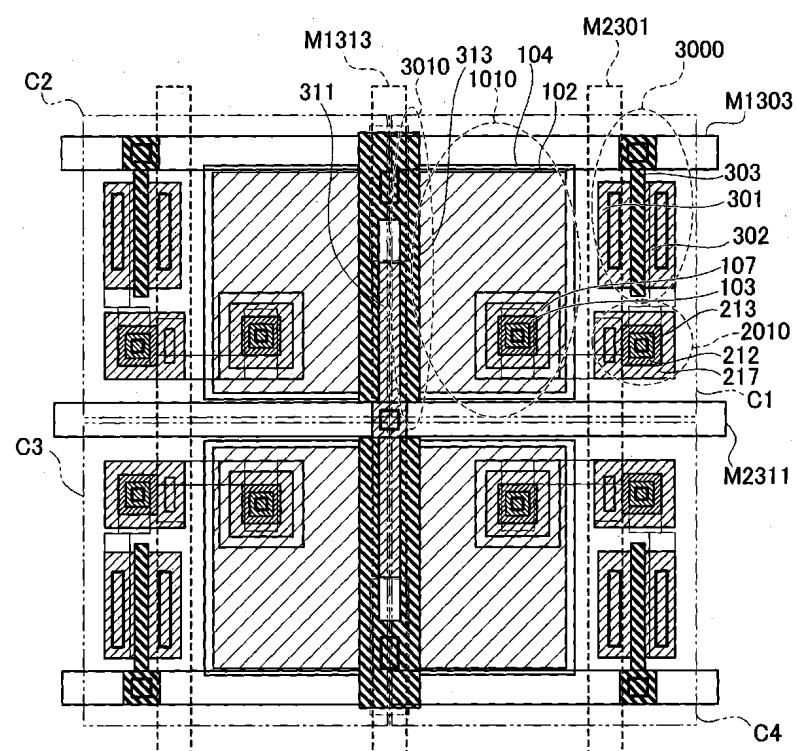
도면6



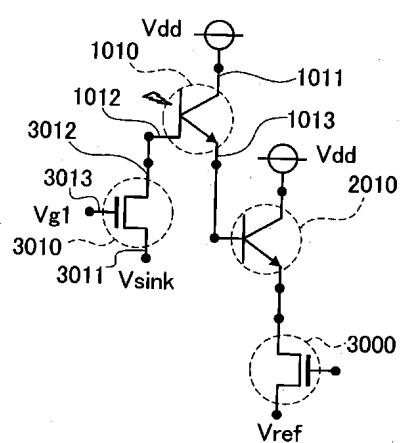
도면7



도면8



도면9



도면 10

