

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7658444号
(P7658444)

(45)発行日 令和7年4月8日(2025.4.8)

(24)登録日 令和7年3月31日(2025.3.31)

(51)国際特許分類 F I
H 0 2 M 3/155(2006.01) H 0 2 M 3/155 W
H 0 2 M 3/155 H

請求項の数 9 (全24頁)

(21)出願番号	特願2023-543794(P2023-543794)	(73)特許権者	000006231 株式会社村田製作所 京都府長岡京市東神足1丁目10番1号
(86)(22)出願日	令和4年8月8日(2022.8.8)	(74)代理人	110000970 弁理士法人 楓国際特許事務所
(86)国際出願番号	PCT/JP2022/030208	(72)発明者	細谷 達也 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内
(87)国際公開番号	WO2023/026834	(72)発明者	藤原 義大 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内
(87)国際公開日	令和5年3月2日(2023.3.2)	審査官	安池 一貴
審査請求日	令和6年2月14日(2024.2.14)		
(31)優先権主張番号	特願2021-135279(P2021-135279)		
(32)優先日	令和3年8月23日(2021.8.23)		
(33)優先権主張国・地域又は機関	日本国(JP)		

最終頁に続く

(54)【発明の名称】 規模拡張型スケーラブル電源システム

(57)【特許請求の範囲】

【請求項1】

インダクタと、該インダクタに流れる電流を制御するスイッチング素子および該スイッチング素子を駆動する駆動部を備えるパワー半導体回路とを、それぞれに備える複数の電力変換回路と、

前記複数のパワー半導体回路における第1のパワー半導体回路に与える第1のデジタルスイッチング駆動信号を生成する電力管理制御回路と、

前記電力管理制御回路と前記複数のパワー半導体回路における前記第1のパワー半導体回路と異なる第2のパワー半導体回路との間に電気接続され、前記第1のデジタルスイッチング駆動信号から第2のスイッチング駆動信号を生成し、前記第2のパワー半導体回路に、前記第2のスイッチング駆動信号を与える拡張制御回路と、

を備え、

前記電力管理制御回路は、前記第1のデジタルスイッチング駆動信号を直接出力する複数の電力変換回路の個数に基づいてそれぞれに位相が異なる複数の前記第1のデジタルスイッチング駆動信号を生成して、前記複数の第1のデジタルスイッチング駆動信号を同期してそれぞれに異なる拡張制御回路に出力し、

前記拡張制御回路のそれぞれは、

前記第1のデジタルスイッチング駆動信号に対して所定の信号遅延時間を設定して前記第2のスイッチング駆動信号を生成する電圧時間変換回路を有し、

前記電圧時間変換回路は、

10

20

抵抗とキャパシタからなるCR回路の時定数としきい値電圧とを用いて前記信号遅延時間を決定するしきい値信号変換回路を有し、

前記拡張制御回路は、

前記しきい値信号変換回路の前記CR回路の時定数を用いて、前記第2のスイッチング駆動信号のもととなる第2のアナログスイッチング駆動信号の位相を設定し、

前記しきい値信号変換回路の前記しきい値電圧と前記位相の設定後の前記第2のアナログスイッチング信号とを用いて、前記第2のスイッチング駆動信号のオン時間幅を前記第1のデジタルスイッチング駆動信号のオン時間幅と同じに設定し、

前記第1のデジタルスイッチング駆動信号の第1信号数に前記第2のスイッチング駆動信号の第2信号数に加えた総信号数によって、前記複数の電力変換回路の数を決定する、
規模拡張型スケーラブル電源システム。

10

【請求項2】

前記しきい値信号変換回路は、前記第2のスイッチング駆動信号の位相およびオン時間幅を設定し、前記第2のスイッチング駆動信号をデジタルスイッチング駆動信号で出力する論理回路を備える、

請求項1に記載の規模拡張型スケーラブル電源システム。

【請求項3】

前記CR回路の前記抵抗を設定する抵抗設定回路を有し、

前記抵抗設定回路は、

第1の抵抗素子、第2の抵抗素子、および、整流素子を備え、

前記第2の抵抗素子と前記整流素子との直列回路は、前記第1の抵抗素子に並列に接続される、

20

請求項1または請求項2に記載の規模拡張型スケーラブル電源システム。

【請求項4】

前記拡張制御回路は、複数であり、

前記複数の拡張制御回路は、カスケード接続される、

請求項1または請求項2に記載の規模拡張型スケーラブル電源システム。

【請求項5】

前記拡張制御回路は、複数であり、

前記複数の拡張制御回路は、並列接続される、

請求項1または請求項2に記載の規模拡張型スケーラブル電源システム。

30

【請求項6】

前記電力管理制御回路は、マルチフェーズコントローラで構成される、

請求項1または請求項2に記載の規模拡張型スケーラブル電源システム。

【請求項7】

前記電力管理制御回路は、PMBus信号の入力が可能であり、前記PMBus信号に応じた制御を実行可能である、

請求項1または請求項2に記載の規模拡張型スケーラブル電源システム。

【請求項8】

前記電力管理制御回路は、プログラマブルなMPUによって構成される、

請求項1に記載の規模拡張型スケーラブル電源システム。

40

【請求項9】

前記複数の電力変換回路は、それぞれに備えられる前記インダクタのインダクタ電流を検出して、前記電力管理制御回路にフィードバックする、

請求項1に記載の規模拡張型スケーラブル電源システム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、複数の電力変換回路を備えた電源システム、特に、規模拡張型スケーラブル電源システムに関する。

50

【背景技術】

【0002】

特許文献1には、スイッチング電源装置が記載されている。特許文献1に記載のスイッチング電源装置は、複数のパルス補正器を備える。複数のパルス補正器は、複数の電力変換回路を駆動する個別パルス信号を生成する。複数のパルス補正器によって、複数の個別パルス信号の位相を異ならせることで、多相化を実現する。

【0003】

特許文献2には、マルチフェーズ型DCDCコンバータが記載されている。特許文献2に記載のマルチフェーズ型DCDCコンバータは、複数の遅延回路を備える。複数の遅延回路は、制御回路が出力するPWM駆動信号を遅延させる。制御回路および複数の遅延回路は、それぞれの後段に接続されるコンバータ駆動部に対して、PWM駆動信号および遅延制御したPWM駆動信号を供給する。これにより、マルチフェーズ駆動を実現する。

10

【0004】

特許文献3には、DCDCコンバータが記載されている。特許文献3のDCDCコンバータは、フェーズコントローラを備える。フェーズコントローラは、DCDCコンバータの状態を検出して、駆動フェーズ数を動的に変化させる。フェーズコントローラは、駆動フェーズ数を分配器に与え、分配器は、1つのパルス信号から、駆動フェーズ数に応じた位相差に設定された複数のパルス信号を分配して、ドライバICに与える。これにより、マルチフェーズ駆動を実現する。

【0005】

特許文献4には、電源用半導体装置が記載されている。特許文献4に記載の電源用半導体装置は、複数のタイマー付き駆動ICを備える。複数のタイマー付き駆動ICは、リング状に接続されており、トリガ信号を順次送る。複数のタイマー付き駆動ICは、このトリガ信号に基づいて、順次時間をずらしながら、スイッチング制御する。これにより、マルチフェーズ駆動を実現する。

20

【0006】

特許文献5には、マルチフェーズ型DCDCコンバータが記載されている。特許文献5に記載のマルチフェーズ型DCDCコンバータは、フェーズ制御部とパルス分配部とを備える。フェーズ制御部は、駆動フェーズ数を設定し、パルス分配部に与える。パルス分配部は、駆動フェーズ数に応じて、1つの駆動信号に含まれる複数のパルスを、それぞれのパルスが重ならないように複数の駆動信号に分配する。これにより、マルチフェーズ駆動を実現する。

30

【先行技術文献】

【特許文献】

【0007】

【文献】特開2019-176606号公報

【文献】特開2015-146711号公報

【文献】特開2014-87185号公報

【文献】特開2013-94058号公報

【文献】特開2010-119117号公報

40

【発明の概要】

【発明が解決しようとする課題】

【0008】

しかしながら、上述の特許文献1-5に示す各装置では、フェーズ数に応じた複数のパルス信号(PWM駆動信号)を生成する構成が複雑であり、特殊なカスタムICを都度設計しなければならない。

【0009】

また、従来では、インターリーブ方式の分配回路も提案されているが、分配数に応じて信号の周波数が低下するため、過渡応答性は悪化し、コンバータの動作周波数での制御範囲によっては利用不可という問題が生じる。この問題は、分配数に応じて入力信号の周波

50

数を高くすれば解決できる可能性はあるが、半導体により構成される制御回路の動作周波数の上限によっては対応できない場合も多い。

【 0 0 1 0 】

したがって、本発明の目的は、簡素な構成で、且つ、電力変換効率の低下を抑制でき、且つ、制御 IC の駆動出力数に制限されることなく駆動する電力変換回路の個数に応じたマルチフェーズ駆動を実現する規模拡張型スケーラブル電源システムを提供することにある。

【課題を解決するための手段】

【 0 0 1 1 】

この発明の規模拡張型スケーラブル電源システムは、複数の電力変換回路、電力管理制御回路、および、拡張制御回路を備える。複数の電力変換回路は、インダクタと、該インダクタに流れる電流を制御するスイッチング素子および該スイッチング素子を駆動する駆動部を備えるパワー半導体回路とを、それぞれに備える。電力管理制御回路は、複数のパワー半導体回路における第 1 のパワー半導体回路に与える第 1 のデジタルスイッチング駆動信号を生成する。

10

【 0 0 1 2 】

拡張制御回路は、電力管理制御回路と複数のパワー半導体回路における第 1 のパワー半導体回路と異なる第 2 のパワー半導体回路との間に電気接続される。拡張制御回路は、第 1 のデジタルスイッチング駆動信号から第 2 のスイッチング駆動信号を生成し、第 2 のパワー半導体回路に第 2 のスイッチング駆動信号を与える。拡張制御回路は、第 1 のデジタル

20

【 0 0 1 3 】

スイッチング駆動信号に対して所定の信号遅延時間を設定して第 2 のスイッチング駆動信号を生成する電圧時間変換回路を有する。

【 0 0 1 4 】

電圧時間変換回路は、抵抗とキャパシタからなる CR 回路の時定数としきい値電圧とを用いて信号遅延時間を決定するしきい値信号変換回路を有する。

拡張制御回路は、しきい値信号変換回路の CR 回路の時定数を用いて、第 2 のスイッチング駆動信号のもととなる第 2 のアナログスイッチング駆動信号の位相を設定する。拡張制御回路は、しきい値信号変換回路のしきい値電圧と、位相の設定後の第 2 のアナログスイッチング信号とを用いて、第 2 のスイッチング駆動信号のオン時間幅を第 1 のデジタル

30

【 0 0 1 5 】

スイッチング駆動信号のオン時間幅と同じに設定する。拡張制御回路は、第 1 のデジタルスイッチング駆動信号の第 1 信号数に第 2 のスイッチング駆動信号の第 2 信号数に加えた総信号数によって、複数の電力変換回路の数を決定する。

【 0 0 1 6 】

この構成では、1つの電力管理制御回路から出力する第 1 のデジタルスイッチング駆動信号から、第 1 のデジタルスイッチング駆動信号と位相が異なり、オン時間幅が同じ第 2 のスイッチング駆動信号が生成される。これらの第 1 のデジタルスイッチング駆動信号および第 2 のスイッチング駆動信号がそれぞれ個別の電力変換回路に与えられることで、マルチフェーズ駆動が実現される。

40

【 0 0 1 7 】

また、第 2 のスイッチング駆動信号は、第 1 のデジタルスイッチング駆動信号を遅延させた信号であるので、電力変換回路の個数が増えても、スイッチング周波数は低下せず、維持される。

さらに、第 2 のスイッチング駆動信号を生成する拡張制御回路が、抵抗とキャパシタとの CR 回路であるので、簡素な構成となる。

【発明の効果】

【 0 0 1 8 】

この発明によれば、制御 IC に拡張回路を接続する簡素な構成で、且つ、拡張回路での消費電力が小さくて電力変換効率の低下を抑制でき、且つ、制御 IC の駆動出力数に制限

50

されることなく駆動する電力変換回路の個数に応じて電流増大に柔軟に対応して、出力電力容量の規模を拡張できるマルチフェーズ駆動を実現する規模拡張型スケラブル電源システムを提供できる。

【図面の簡単な説明】

【0019】

【図1】図1は、第1の実施形態に係る電源システムの一例を示す回路ブロック図である。

【図2】図2は、第1の実施形態に係る拡張制御回路の構成の一例を示す回路図である。

【図3】図3は、スイッチング駆動信号およびゲート電圧信号の一例を示す波形図である。

【図4】図4(A)、図4(B)は、本発明の第1の実施形態に係る電源システムの有効性の一例を示すための機能ブロック図である。

10

【図5】図5は、第2の実施形態に係る電源システムの拡張制御回路部分を示す回路ブロック図である。

【図6】図6は、スイッチング駆動信号およびゲート電圧信号の一例を示す波形図である。

【図7】図7は、第3の実施形態に係る電源システムの拡張制御回路部分を示す回路ブロック図である。

【図8】図8は、スイッチング駆動信号およびゲート電圧信号の一例を示す波形図である。

【図9】図9は、第4の実施形態に係る電源システムの一例を示す回路ブロック図である。

【図10】図10は、スイッチング駆動信号およびゲート電圧信号の一例を示す波形図である。

【図11】図11は、第5の実施形態に係る電源システムの一例を示す回路ブロック図である。

20

【図12】図12は、スイッチング駆動信号およびゲート電圧信号の一例を示す波形図である。

【発明を実施するための形態】

【0020】

本願における規模拡張型電源システムとは、マルチフェーズ駆動に用いる電力変換回路の個数を所望の個数に設定可能な電源システムを意味する。例えば、所望の出力電圧値において所望の出力電流値を高効率で実現するため、システムとして必要な電力変換回路の個数を適正に設定して構成できる電源システムを意味する。なお、以下では、規模拡張型電源システムを単に電源システムと称する。

30

【0021】

[第1の実施形態]

本発明の第1の実施形態に係る電源システムについて、図を参照して説明する。図1は、第1の実施形態に係る電源システムの一例を示す回路ブロック図である。

【0022】

図1に示すように、電源システム100は、複数の電力変換回路11-14(電力変換回路11、電力変換回路12、電力変換回路13、電力変換回路14)、MPU20、および、複数の拡張制御回路31-32(拡張制御回路31、拡張制御回路32)を備える。本実施形態では、電力変換回路の個数は、4個であるが、2個以上であれば、本実施形態の構成を適用できる。また、拡張制御回路の個数は、2個であるが、電力変換回路の個数、および、MPU20から位相を異ならせて出力可能なデジタルスイッチング駆動信号の個数に応じて、設定できる。

40

【0023】

(電源システム100の概略構成)

電源システム100は、共通入力端子Pin、および、共通出力端子Poutを備える。共通入力端子Pinは、外部の直流電圧源(入力電源)に接続されている。電源システム100は、共通入力端子Pinから直流の入力電圧Vinの供給を受ける。共通出力端子Poutは、負荷Roに接続されている。共通出力端子Poutの電圧が、電源システム100の出力電圧Voutとなる。

【0024】

50

MPU20は、共通入力端子Pinに接続しており、共通入力端子Pinを通じて電源供給されている。なお、実際には、MPU20の電源入力端にはレギュレータ等が接続されており、当該レギュレータを通じて電源供給されている。この電源供給ラインは、入力コンデンサC11を通してグランド基準電位に接続されている。

【0025】

MPU20は、プログラマブルなMicro Processing Unitであり、マルチフェーズコントローラを実現するIC等によって実現される。MPU20が、本発明の「電力管理制御回路」に対応する。

【0026】

MPU20は、電力変換回路11、および、電力変換回路13に接続する。

10

【0027】

拡張制御回路31の入力端は、MPU20と電力変換回路11との接続ラインに接続し、拡張制御回路31の出力端は、電力変換回路12に接続する。拡張制御回路32の入力端は、MPU20と電力変換回路13との接続ラインに接続し、拡張制御回路32の出力端は、電力変換回路14に接続する。

【0028】

複数の電力変換回路11-14は、共通入力端子Pinに接続されており、共通入力端子Pinを通じて電源供給されている。電力変換回路11の電源供給ラインは、入力コンデンサC11を通してグランド基準電位に接続されている。電力変換回路12の電源供給ラインは、入力コンデンサC12を通してグランド基準電位に接続されている。電力変換回路13の電源供給ラインは、入力コンデンサC13を通してグランド基準電位に接続されている。電力変換回路14の電源供給ラインは、入力コンデンサC14を通してグランド基準電位に接続されている。

20

【0029】

電力変換回路11の出力端、電力変換回路12の出力端、電力変換回路13の出力端、および、電力変換回路14の出力端は、出力共通ノードで互いに接続され、出力共通ノードを通じて共通出力端子Poutに接続されている。

【0030】

複数の電力変換回路11-14は、入力電圧Vinを出力電圧Voutに変換する電力変換動作を、並行してそれぞれに個別に実行する。電力変換回路11-14は、同じ回路構成を有する。

30

【0031】

図1に示すように、電力変換回路11は、駆動部110、スイッチング素子Q1H、スイッチング素子Q1L、および、インダクタL1を備える。駆動部110、スイッチング素子Q1H、および、スイッチング素子Q1Lは、例えば、一体化して集積されたFET内蔵PWM制御IC(アナログ回路IC)によって形成される。そして、駆動部110、スイッチング素子Q1H、および、スイッチング素子Q1Lからなる回路部が、本願発明の「パワー半導体回路」に対応する。

【0032】

駆動部110は、共通入力端子Pinに接続されており、共通入力端子Pinを通じて電源供給されている。駆動部110は、MPU20に接続される。スイッチング素子Q1Hのゲートおよびスイッチング素子Q1Lのゲートは、駆動部110に接続される。

40

【0033】

スイッチング素子Q1Hのドレインは、共通入力端子Pinに接続される。スイッチング素子Q1Hのソースとスイッチング素子Q1Lのドレインとは、接続される。スイッチング素子Q1Lのソースは、グランド基準電位に接続される。インダクタL1の一方端は、スイッチング素子Q1Hとスイッチング素子Q1Lのノードに接続され、インダクタL1の他方端は、出力共通ノードに接続される。

【0034】

電力変換回路12は、駆動部120、スイッチング素子Q2H、スイッチング素子Q2

50

L、および、インダクタL2を備える。駆動部120、スイッチング素子Q2H、および、スイッチング素子Q2Lは、例えば、一体化して集積されたFET内蔵PWM制御IC（アナログ回路IC）によって形成される。そして、駆動部120、スイッチング素子Q2H、および、スイッチング素子Q2Lからなる回路部が、本願発明の「パワー半導体回路」に対応する。

【0035】

駆動部120は、共通入力端子Pinに接続されており、共通入力端子Pinを通じて電源供給されている。駆動部120は、拡張制御回路31に接続される。スイッチング素子Q2Hのゲートおよびスイッチング素子Q2Lのゲートは、駆動部120に接続される。

【0036】

スイッチング素子Q2Hのドレインは、共通入力端子Pinに接続される。スイッチング素子Q2Hのソースとスイッチング素子Q2Lのドレインとは、接続される。スイッチング素子Q2Lのソースは、グランド基準電位に接続される。インダクタL2の一方端は、スイッチング素子Q2Hとスイッチング素子Q2Lのノードに接続され、インダクタL2の他方端は、出力共通ノードに接続される。

【0037】

電力変換回路13は、駆動部130、スイッチング素子Q3H、スイッチング素子Q3L、および、インダクタL3を備える。駆動部130、スイッチング素子Q3H、および、スイッチング素子Q3Lは、例えば、一体化して集積されたFET内蔵PWM制御IC（アナログ回路IC）によって形成される。そして、駆動部130、スイッチング素子Q3H、および、スイッチング素子Q3Lからなる回路部が、本願発明の「パワー半導体回路」に対応する。

【0038】

駆動部130は、共通入力端子Pinに接続されており、共通入力端子Pinを通じて電源供給されている。駆動部130は、駆動部110と別のラインによってMPU20に接続される。スイッチング素子Q3Hのゲートおよびスイッチング素子Q3Lのゲートは、駆動部130に接続される。

【0039】

スイッチング素子Q3Hのドレインは、共通入力端子Pinに接続される。スイッチング素子Q3Hのソースとスイッチング素子Q3Lのドレインとは、接続される。スイッチング素子Q3Lのソースは、グランド基準電位に接続される。インダクタL3の一方端は、スイッチング素子Q3Hとスイッチング素子Q3Lのノードに接続され、インダクタL3の他方端は、出力共通ノードに接続される。

【0040】

電力変換回路14は、駆動部140、スイッチング素子Q4H、スイッチング素子Q4L、および、インダクタL4を備える。駆動部140、スイッチング素子Q4H、および、スイッチング素子Q4Lは、例えば、一体化して集積されたFET内蔵PWM制御IC（アナログ回路IC）によって形成される。そして、駆動部140、スイッチング素子Q4H、および、スイッチング素子Q4Lからなる回路部が、本願発明の「パワー半導体回路」に対応する。

【0041】

駆動部140は、共通入力端子Pinに接続されており、共通入力端子Pinを通じて電源供給されている。駆動部140は、拡張制御回路32に接続される。スイッチング素子Q4Hのゲートおよびスイッチング素子Q4Lのゲートは、駆動部140に接続される。

【0042】

スイッチング素子Q4Hのドレインは、共通入力端子Pinに接続される。スイッチング素子Q4Hのソースとスイッチング素子Q4Lのドレインとは、接続される。スイッチング素子Q4Lのソースは、グランド基準電位に接続される。インダクタL4の一方端は、スイッチング素子Q4Hとスイッチング素子Q4Lのノードに接続され、インダクタL4の他方端は、出力共通ノードに接続される。

10

20

30

40

50

【 0 0 4 3 】

共通出力端子 P o u t は、出力コンデンサ C o を通じてグラウンド基準電位に接続される。

【 0 0 4 4 】

共通出力端子 P o u t の出力電圧 V o u t は、電圧フィードバック回路 v F B を通じて、M P U 2 0 にフィードバックされる。この際、詳細な回路は省略しているが、電圧フィードバック回路 v F B は、出力電圧 V o u t から M P U 2 0 が入力可能な電圧に変換して、M P U 2 0 にフィードバックする。

【 0 0 4 5 】

また、詳細な回路は省略しているが、複数の電力変換回路 1 1 は、インダクタ L 1 のインダクタ電流を検出し、個別電流フィードバック回路 i F B 1 1 を通じて、インダクタ L 1 のインダクタ電流検出値を M P U 2 0 にフィードバックする。複数の電力変換回路 1 2 は、インダクタ L 2 のインダクタ電流を検出し、個別電流フィードバック回路 i F B 1 2 を通じて、インダクタ L 2 のインダクタ電流検出値を M P U 2 0 にフィードバックする。複数の電力変換回路 1 3 は、インダクタ L 3 のインダクタ電流を検出し、個別電流フィードバック回路 i F B 1 3 を通じて、インダクタ L 3 のインダクタ電流検出値を M P U 2 0 にフィードバックする。複数の電力変換回路 1 4 は、インダクタ L 4 のインダクタ電流を検出し、個別電流フィードバック回路 i F B 1 4 を通じて、インダクタ L 4 のインダクタ電流検出値を M P U 2 0 にフィードバックする。

【 0 0 4 6 】

(マルチフェーズ駆動の具体的な説明)

M P U 2 0 は、電力変換回路 1 1 用のデジタルスイッチング駆動信号 P W M 1 1 と電力変換回路 1 3 用のデジタルスイッチング駆動信号 P W M 1 3 とを生成する。デジタルスイッチング駆動信号 P W M 1 1 とデジタルスイッチング駆動信号 P W M 1 3 とは、矩形波の信号である。デジタルスイッチング駆動信号 P W M 1 1 とデジタルスイッチング駆動信号 P W M 1 3 とは、同じ周波数であり、所定の位相差 (同位相ではない) を有する。この場合、M P U 2 0 がスイッチング駆動信号を出力する電力変換回路の個数が 2 個であるので、デジタルスイッチング駆動信号 P W M 1 1 とデジタルスイッチング駆動信号 P W M 1 3 との位相差は、例えば、 180° ($= 360^\circ / 2$) に設定される。デジタルスイッチング駆動信号 P W M 1 1 とデジタルスイッチング駆動信号 P W M 1 3 とが、本発明の「第 1 のデジタルスイッチング駆動信号」に対応する。

【 0 0 4 7 】

M P U 2 0 は、デジタルスイッチング駆動信号 P W M 1 1 を電力変換回路 1 1 の駆動部 1 1 0 に出力し、デジタルスイッチング駆動信号 P W M 1 3 を電力変換回路 1 3 の駆動部 1 3 0 に出力する。この際、M P U 2 0 は、デジタルスイッチング駆動信号 P W M 1 1 とデジタルスイッチング駆動信号 P W M 1 3 とを、同期して出力する。

【 0 0 4 8 】

拡張制御回路 3 1 は、デジタルスイッチング駆動信号 P W M 1 1 に基づいて、アナログスイッチング駆動信号 P W M 1 2 (記号の図示を省略) を生成し、電力変換回路 1 2 の駆動部 1 2 0 に出力する。詳細は後述するが、アナログスイッチング駆動信号 P W M 1 2 は、デジタルスイッチング駆動信号 P W M 1 1 に対して、矩形パルスの立ち上がり立ち下がりが鈍った信号である。

【 0 0 4 9 】

この際、拡張制御回路 3 1 は、アナログスイッチング駆動信号 P W M 1 2 のオン時間幅がデジタルスイッチング駆動信号 P W M 1 1 のオン時間幅と同じになるように、アナログスイッチング駆動信号 P W M 1 2 を生成する。より具体的には、拡張制御回路 3 1 は、電力変換回路 1 2 の駆動部 1 2 0 におけるオン電圧しきい値 T H o n の時間とオフ電圧しきい値 T H o f f の時間との時間差がデジタルスイッチング駆動信号 P W M 1 1 のオン時間幅と同じになるように、アナログスイッチング駆動信号 P W M 1 2 を生成する。

【 0 0 5 0 】

また、拡張制御回路 3 1 は、アナログスイッチング駆動信号 P W M 1 2 のオン時間がデ

10

20

30

40

50

デジタルスイッチング駆動信号 P W M 1 1 のオン時間に対して所定時間遅延するように設定する。デジタルスイッチング駆動信号 P W M 1 1 とアナログスイッチング駆動信号 P W M 1 2 の位相差は、デジタルスイッチング駆動信号 P W M 1 1 とデジタルスイッチング駆動信号 P W M 1 3 との位相差（2 個のデジタルスイッチング駆動信号の位相差）よりも短く設定される。アナログスイッチング駆動信号 P W M 1 2 が、本発明の「第 2 のスイッチング駆動信号」に対応する。

【 0 0 5 1 】

拡張制御回路 3 2 は、デジタルスイッチング駆動信号 P W M 1 3 に基づいて、アナログスイッチング駆動信号 P W M 1 4（記号の図示を省略）を生成し、電力変換回路 1 4 の駆動部 1 4 0 に出力する。詳細は後述するが、アナログスイッチング駆動信号 P W M 1 4 は、デジタルスイッチング駆動信号 P W M 1 3 に対して、矩形パルスの立ち上がり立ち下がりが鈍った信号である。

10

【 0 0 5 2 】

この際、拡張制御回路 3 2 は、アナログスイッチング駆動信号 P W M 1 4 のオン時間幅がデジタルスイッチング駆動信号 P W M 1 3 のオン時間幅と同じになるように、アナログスイッチング駆動信号 P W M 1 4 を生成する。より具体的には、拡張制御回路 3 2 は、電力変換回路 1 4 の駆動部 1 4 0 におけるオン電圧しきい値 T H o n の時間とオフ電圧しきい値 T H o f f の時間との時間差がデジタルスイッチング駆動信号 P W M 1 3 のオン時間幅と同じになるように、アナログスイッチング駆動信号 P W M 1 4 を生成する。

【 0 0 5 3 】

また、拡張制御回路 3 1 は、アナログスイッチング駆動信号 P W M 1 2 のオン時間がデジタルスイッチング駆動信号 P W M 1 1 のオン時間に対して所定時間遅延するように設定する。この遅延時間は、デジタルスイッチング駆動信号 P W M 1 3 とアナログスイッチング駆動信号 P W M 1 4 の位相差は、デジタルスイッチング駆動信号 P W M 1 3 とデジタルスイッチング駆動信号 P W M 1 1 との位相差（2 個のデジタルスイッチング駆動信号の位相差）よりも短く設定される。アナログスイッチング駆動信号 P W M 1 4 が、本発明の「第 2 のスイッチング駆動信号」に対応する。

20

【 0 0 5 4 】

電力変換回路 1 1 の駆動部 1 1 0 は、デジタルスイッチング駆動信号 P W M 1 1 を用いて、スイッチング素子 Q 1 H とスイッチング素子 Q 1 L のゲート電圧信号を生成する。スイッチング素子 Q 1 H のゲート電圧信号は、デジタルスイッチング駆動信号 P W M 1 1 に同期し、H i 状態での電圧レベルが異なる信号である。スイッチング素子 Q 1 L のゲート電圧信号は、スイッチング素子 Q 1 H の反転信号である。

30

【 0 0 5 5 】

電力変換回路 1 2 の駆動部 1 2 0 は、アナログスイッチング駆動信号 P W M 1 2 を用いて、スイッチング素子 Q 2 H とスイッチング素子 Q 2 L のゲート電圧信号を生成する。スイッチング素子 Q 2 H のゲート電圧信号は、アナログスイッチング駆動信号 P W M 1 2 の電圧とオン電圧しきい値 T H o n およびオフ電圧しきい値 T H o f f とによって決定された矩形波の信号である。スイッチング素子 Q 2 L のゲート電圧信号は、スイッチング素子 Q 2 H の反転信号である。

40

【 0 0 5 6 】

電力変換回路 1 3 の駆動部 1 3 0 は、デジタルスイッチング駆動信号 P W M 1 3 を用いて、スイッチング素子 Q 3 H とスイッチング素子 Q 3 L のゲート電圧信号を生成する。スイッチング素子 Q 3 H のゲート電圧信号は、デジタルスイッチング駆動信号 P W M 1 3 に同期し、H i 状態での電圧レベルが異なる信号である。スイッチング素子 Q 3 L のゲート電圧信号は、スイッチング素子 Q 3 H の反転信号である。

【 0 0 5 7 】

電力変換回路 1 4 の駆動部 1 4 0 は、アナログスイッチング駆動信号 P W M 1 4 を用いて、スイッチング素子 Q 4 H とスイッチング素子 Q 4 L のゲート電圧信号を生成する。スイッチング素子 Q 4 H のゲート電圧信号は、アナログスイッチング駆動信号 P W M 1 4 の

50

電圧とオン電圧しきい値 $T_{H\ on}$ およびオフ電圧しきい値 $T_{H\ off}$ とによって決定された矩形波の信号である。スイッチング素子 $Q_{4\ L}$ のゲート電圧信号は、スイッチング素子 $Q_{2\ H}$ の反転信号である。

【0058】

このようなMPU20、拡張制御回路31、拡張制御回路32、および、複数の駆動部110、120、130、140の制御(処理)によって、電力変換回路11のスイッチング素子 $Q_{1\ H}$ のゲート電圧信号、電力変換回路12のスイッチング素子 $Q_{2\ H}$ のゲート電圧信号、電力変換回路13のスイッチング素子 $Q_{3\ H}$ のゲート電圧信号、および、電力変換回路14のスイッチング素子 $Q_{4\ H}$ のゲート電圧信号は、同じ周波数で、同じオン時間幅で、それぞれに所定の位相差を有する。同様に、電力変換回路11のスイッチング素子 $Q_{1\ L}$ のゲート電圧信号、電力変換回路12のスイッチング素子 $Q_{2\ L}$ のゲート電圧信号、電力変換回路13のスイッチング素子 $Q_{3\ L}$ のゲート電圧信号、および、電力変換回路14のスイッチング素子 $Q_{4\ L}$ のゲート電圧信号は、同じ周波数で、同じオン時間幅で、それぞれに所定の位相差を有する。

10

【0059】

これにより、複数の電力変換回路11-14は、互いに位相がズレた状態で電力変換動作を行う。したがって、電源システム100は、マルチフェーズ駆動による電力変換動作を実行し、所望の出力電圧 V_{out} および所望の出力電流を、電力変換効率の低下を抑制して高効率で負荷 R_o に出力できる。

【0060】

(拡張制御回路31、32の具体的な説明)

図2は、第1の実施形態に係る拡張制御回路の構成の一例を示す回路図である。図2では、拡張制御回路31を図示しているが、拡張制御回路32も基本的な回路構成は同じである。

20

【0061】

拡張制御回路31は、抵抗 R_{311} 、抵抗 R_{312} 、コンデンサ C_{31} 、および、ダイオード D_{31} を備える。

【0062】

抵抗 R_{312} とダイオード D_{31} は、直列接続される。より具体的には、ダイオード D_{31} のカソードと抵抗 R_{312} の一方端は、接続される。

30

【0063】

抵抗 R_{312} とダイオード D_{31} との直列回路は、抵抗 R_{311} に並列接続される。より具体的には、抵抗 R_{312} とダイオード D_{31} との直列回路のダイオード D_{31} 側の一方端(ダイオード D_{31} のアノード)は、抵抗 R_{311} の一方端に接続される。抵抗 R_{312} とダイオード D_{31} との直列回路の抵抗 R_{312} 側の他方端(抵抗 R_{312} の他方端)は、抵抗 R_{311} の他方端に接続される。

【0064】

抵抗 R_{311} の一方端とダイオード D_{31} のアノードのノードは、MPU20と電力変換回路11との接続ライン(デジタルスイッチング駆動信号 PWM_{11} が伝送されるライン)に接続される。

40

【0065】

抵抗 R_{311} の他方端と抵抗 R_{312} の他方端のノードは、コンデンサ C_{31} を通じてグランド基準電位に接続される。そして、コンデンサ C_{31} におけるグランド基準電位側と反対側の端子、および、抵抗 R_{311} の他方端と抵抗 R_{312} の他方端のノードは、電力変換回路12(より具体的には、電力変換回路12の駆動部120)に接続される。

【0066】

このような回路構成によって、拡張制御回路31は、抵抗 R_{311} 、抵抗 R_{312} 、および、ダイオード D_{31} の回路による抵抗成分と、コンデンサ C_{31} によるキャパシタンスによって、CR時定数回路を構成する。

【0067】

50

これにより、デジタルスイッチング駆動信号 PWM 1 1 とアナログスイッチング駆動信号 PWM 1 2 とは、次のような関係になる。図 3 は、スイッチング駆動信号およびゲート電圧信号の一例を示す波形図である。図 3 は、上段から順に、デジタルスイッチング駆動信号 PWM 1 1、アナログスイッチング駆動信号 PWM 1 2、ゲート電圧信号 V 1 H、ゲート電圧信号 V 2 H を示す。

【 0 0 6 8 】

上述のように、デジタルスイッチング駆動信号 PWM 1 1 は、MPU 2 0 で生成され電力変換回路 1 1 に供給される信号である。デジタルスイッチング駆動信号 PWM 1 1 は、図 3 に示すように、所定周波数でオン時間幅 T_{on1} の矩形波の信号である。なお、図 3 では図示を省略しているが、デジタルスイッチング駆動信号 PWM 1 1 は、状況によって若干の高周波ノイズを重畳している。

10

【 0 0 6 9 】

アナログスイッチング駆動信号 PWM 1 2 は、デジタルスイッチング駆動信号 PWM 1 1 を入力とする拡張制御回路 3 1 の出力信号である。拡張制御回路 3 1 は、上述のように CR 時定数回路である。

【 0 0 7 0 】

したがって、図 3 に示すように、アナログスイッチング駆動信号 PWM 1 2 は、CR 時定数に応じて、デジタルスイッチング駆動信号 PWM 1 1 の立ち上がり時間から遅れて立ち上がり、デジタルスイッチング駆動信号 PWM 1 1 の立ち下がり時間から遅れた立ち下がる信号となる。アナログスイッチング駆動信号 PWM 1 2 の立ち上がり特性（波形）および立ち下がり特性（波形）は、拡張制御回路 3 1 の抵抗 R 3 1 1 の抵抗値、抵抗 R 3 1 2 の抵抗値、および、コンデンサ C 3 1 のキャパシタンスによって設定される。

20

【 0 0 7 1 】

ここで、拡張制御回路 3 1 は、デジタルスイッチング駆動信号 PWM 1 1 の立ち上がり時間から遅延時間 の後にアナログスイッチング駆動信号 PWM 1 2 がオン電圧しきい値 $T_{H on}$ に達するように、拡張制御回路 3 1 の立ち上がり時定数を設定する。さらに、拡張制御回路 3 1 は、アナログスイッチング駆動信号 PWM 1 2 のオン時間幅 T_{on2} がデジタルスイッチング駆動信号 PWM 1 1 のオン時間幅 T_{on1} のオン時間幅 T_{on1} と同じになる立ち下がり時定数を設定する。すなわち、拡張制御回路 3 1 は、本願発明の「電圧時間変換回路」および「しきい値信号変換回路」として機能する。

30

【 0 0 7 2 】

電力変換回路 1 2 の駆動部 1 2 0 は、スイッチング駆動信号 PWM 1 2 の電圧がオン電圧しきい値 $T_{H on}$ まで上昇すると、ゲート電圧信号 V 2 H の電圧を Low 状態 (V L) から Hi 状態 (V H) に遷移させる (図 3 参照)。そして、その後、駆動部 1 2 0 は、アナログスイッチング駆動信号 PWM 1 2 の電圧がオフ電圧しきい値 $T_{H off}$ まで下降すると、ゲート電圧信号 V 2 H の電圧を Hi 状態 (V H) から Low 状態 (V L) に遷移させる (図 3 参照)。

【 0 0 7 3 】

一方、電力変換回路 1 1 の駆動部 1 1 0 は、デジタルスイッチング駆動信号 PWM 1 1 が Low 状態から Hi 状態になると、これに同期して、ゲート電圧信号 V 1 H の電圧を Low 状態 (V L) から Hi 状態 (V H) に遷移させる (図 3 参照)。そして、その後、駆動部 1 1 0 は、デジタルスイッチング駆動信号 PWM 1 1 が Hi 状態から Low 状態になると、これに同期して、ゲート電圧信号 V 1 H の電圧を Hi 状態 (V H) から Low 状態 (V L) に遷移させる (図 3 参照)。

40

【 0 0 7 4 】

そして、アナログスイッチング駆動信号 PWM 1 2 は、デジタルスイッチング駆動信号 PWM 1 1 を用いて、上述のように生成される。これにより、図 3 に示すように、電力変換回路 1 2 のスイッチング素子 Q 2 H へのゲート電圧信号 V 2 H は、電力変換回路 1 1 のスイッチング素子 Q 1 H へのゲート電圧信号 V 1 H に対して、同じ周波数で、所定の遅延時間 で、オン時間幅 T_{on1} と同じ時間長のオン時間幅 T_{on2} の信号となる。

50

【 0 0 7 5 】

したがって、電力変換回路 1 2 と電力変換回路 1 1 とは、所定の位相差（時間差）で電力変換動作を行い、電力変換回路 1 1 と電力変換回路 1 2 によるマルチフェーズ駆動が実現される。

【 0 0 7 6 】

同様に、拡張制御回路 3 2 を備えることによって、電力変換回路 1 3 に供給されるデジタルスイッチング駆動信号 PWM 1 3 と電力変換回路 1 4 に供給されるアナログスイッチング駆動信号 PWM 1 4 との関係（周波数、位相、オン時間幅）は、デジタルスイッチング駆動信号 PWM 1 1 とアナログスイッチング駆動信号 PWM 1 2 と同様の関係になる。

【 0 0 7 7 】

そして、上述のように、デジタルスイッチング駆動信号 PWM 1 1 とデジタルスイッチング駆動信号 PWM 1 3 とは、周波数およびオン時間幅が同じで、所定の位相差を有する。

【 0 0 7 8 】

これにより、電源システム 1 0 0 は、複数の電力変換回路 1 1 - 1 4 によるマルチフェーズ駆動を実現できる。

【 0 0 7 9 】

さらに、拡張制御回路 3 1、3 2 は、上述のように、抵抗、コンデンサを含む時定数回路によって実現される。これにより、電源システム 1 0 0 は、簡素な回路構成によってマルチフェーズ駆動を実現できる。

【 0 0 8 0 】

すなわち、電源システム 1 0 0 は、簡素な構成で、且つ、電力変換効率の低下を抑制し、駆動する電力変換回路の個数に応じたマルチフェーズ駆動を実現できる。

【 0 0 8 1 】

また、さらに、拡張制御回路 3 1 では、時定数を決定する抵抗成分について、抵抗 R 3 1 2 とダイオード D 3 1 の直列回路を含んでいる。これにより、拡張制御回路 3 1 は、立ち上がり時定数と立ち下がり時定数とを異なるように設定できる。したがって、拡張制御回路 3 1 は、デジタルスイッチング駆動信号 PWM 1 1 に対するアナログスイッチング駆動信号 PWM 1 2 の遅延時間を所望時間に設定することと、オン時間幅を同じに設定することとを同時に実現することを、より容易に且つより確実に実現できる。拡張制御回路 3 2 についても同様に、デジタルスイッチング駆動信号 PWM 1 3 に対するアナログスイッチング駆動信号 PWM 1 4 の遅延時間を所望時間に設定することと、オン時間幅を同じに設定することとを同時に実現することを、より容易に且つより確実に実現できる。

【 0 0 8 2 】

また、さらに、拡張制御回路 3 1 は、コンデンサ C 3 1 がグランド基準電位に接続される CR 回路であるので、ローパスフィルタとしても機能する。これにより、拡張制御回路 3 1 は、デジタルスイッチング駆動信号 PWM 1 1 に高周波ノイズが重畳していても、この高調波ノイズを抑制できる。これにより、アナログスイッチング駆動信号 PWM 1 2 は、高周波ノイズが抑圧された滑らかな波形となる。したがって、駆動部 1 2 0 の誤動作を抑制できる。

【 0 0 8 3 】

同様に、拡張制御回路 3 2 は、デジタルスイッチング駆動信号 PWM 1 3 に高周波ノイズが重畳していても、この高調波ノイズを抑制できる。これにより、アナログスイッチング駆動信号 PWM 1 4 は、高周波ノイズが抑圧された滑らかな波形となる。したがって、駆動部 1 4 0 の誤動作を抑制できる。

【 0 0 8 4 】

これにより、電源システム 1 0 0 は、簡素な構成であって、誤動作が抑制された動作信頼性の高いマルチフェーズ駆動を実現できる。

【 0 0 8 5 】

（電源システム 1 0 0 の構成の適用例）

図 4（A）、図 4（B）は、本発明の第 1 の実施形態に係る電源システムの有効性の一

10

20

30

40

50

例を示すための機能ブロック図である。図4(A)は、本願発明の構成を用いた場合のフェーズ数の増加に対応する一態様を示した図であり、図4(B)は、従来の構成を用いた場合のフェーズ数の増加に対応する一態様を示した図である。なお、図4(A)、図4(B)では、4フェーズ出力のMPUを用いた場合を示す。

【0086】

従来の構成では、8個の電力変換回路11-18によってマルチフェーズ駆動を実現する場合、図4(B)に示すように、4フェーズ出力のMPU20Aで4個の電力変換回路11-14にスイッチング駆動信号を供給し、4フェーズ出力のMPU20Bで4個の電力変換回路15-18に水賃具駆動信号を供給する。そして、MPU20AとMPU20Bとで同期制御信号等を送受信し、同期処理を行う。これにより、8フェーズのマルチフェーズ駆動を実現する。

10

【0087】

一方、図4(A)に示すように、本願発明では、複数の拡張制御回路31-34を用いることで、4フェーズ出力のMPU20で、8個の電力変換回路11-18にスイッチング駆動信号を供給し、8フェーズのマルチフェーズ駆動を実現する。

【0088】

このように、本発明の構成を用いることで、1個のMPU20で出力できるフェーズ数よりも多くの個数の電力変換回路をマルチフェーズ駆動させることができる。すなわち、所望の電力変換回路の個数に応じて、MPU数を増加させることなく、電源システムの規模を拡張できる。より具体的には、この発明の電源システムは、制御ICに拡張回路を接続する簡素な構成で、且つ、拡張回路での消費電力が小さくて電力変換効率の低下を抑制でき、且つ、制御ICの駆動出力数に制限されることなく駆動する電力変換回路の個数に応じて電流増大に柔軟に対応して、出力電力容量の規模を拡張できる。

20

【0089】

この際、拡張制御回路は、抵抗、ダイオード、コンデンサからなる回路構成が簡素なCR回路によって実現されるので、回路構成が複雑でなく、比較的簡素な構成で、マルチフェーズ駆動のフェーズ数を増加させ、電源システムの規模を拡張できる。

【0090】

[第2の実施形態]

本発明の第2の実施形態に係る電源システムについて、図を参照して説明する。図5は、第2の実施形態に係る電源システムの拡張制御回路部分を示す回路ブロック図である。

30

【0091】

図5に示すように、第2の実施形態に係る電源システム100Aは、第1の実施形態に係る電源システム100に対して、拡張制御回路の構成において異なる。電源システム100Aにおける他の構成は、電源システム100と同様であり、同様の箇所の説明は省略する。

【0092】

電源システム100Aは、拡張制御回路31Lを備える。なお、電源システム100Aは、電源システム100の拡張制御回路32に代えて、拡張制御回路31Lと同様の構成の拡張制御回路32L(図示を省略する)を備える。

40

【0093】

拡張制御回路31Lは、第1の実施形態に係る拡張制御回路31に論理回路310を追加した点で異なる。拡張制御回路31Lの他の構成は、拡張制御回路31と同様である。

【0094】

拡張制御回路31Lは、抵抗R311、抵抗R312、コンデンサC31、ダイオードD31、および、論理回路310を備える。

【0095】

抵抗R312とダイオードD31は、直列接続される。抵抗R312とダイオードD31との直列回路は、抵抗R311に並列接続される。

【0096】

50

抵抗 R 3 1 1 の一方端とダイオード D 3 1 のアノードのノードは、M P U 2 0 と電力変換回路 1 1 との接続ライン（デジタルスイッチング駆動信号 P W M 1 1 が伝送されるライン）に接続される。

【 0 0 9 7 】

抵抗 R 3 1 1 の他方端と抵抗 R 3 1 2 の他方端のノードは、コンデンサ C 3 1 を通じてグラウンド基準電位に接続される。

【 0 0 9 8 】

コンデンサ C 3 1 におけるグラウンド基準電位側と反対側の端子、および、抵抗 R 3 1 1 の他方端と抵抗 R 3 1 2 の他方端のノードは、論理回路 3 1 0 の入力端子に接続される。

【 0 0 9 9 】

論理回路 3 1 0 の出力端子は、電力変換回路 1 2（より具体的には、電力変換回路 1 2 の駆動部 1 2 0）に接続される。

【 0 1 0 0 】

抵抗 R 3 1 1、抵抗 R 3 1 2、コンデンサ C 3 1、および、ダイオード D 3 1 は、上述のように、C R 回路を構成する。これにより、C R 回路からは、アナログスイッチング駆動信号 P W M 1 2 が出力される。

【 0 1 0 1 】

論理回路 3 1 0 は、例えば、A N D 回路、コンパレータ等を用いて構成される。論理回路 3 1 0 は、アナログスイッチング駆動信号 P W M 1 2 を入力として、オン電圧しきい値 T H o n およびオフ電圧しきい値 T H o f f を用いた 2 値化処理を行う。これにより、論理回路 3 1 0 は、矩形波の信号からなるデジタルスイッチング駆動信号 P W M 1 2 D を生成する。論理回路 3 1 0 は、デジタルスイッチング駆動信号 P W M 1 2 D を、電力変換回路 1 2 の駆動部 1 2 0 に出力する。

【 0 1 0 2 】

図 6 は、スイッチング駆動信号およびゲート電圧信号の一例を示す波形図である。図 6 は、上段から順に、デジタルスイッチング駆動信号 P W M 1 1、アナログスイッチング駆動信号 P W M 1 2、デジタルスイッチング駆動信号 P W M 1 2 D、ゲート電圧信号 V 1 H、ゲート電圧信号 V 2 H を示す。

【 0 1 0 3 】

拡張制御回路 3 1 L を備えることによって、図 7 に示すように、電力変換回路 1 2 に供給されるデジタルスイッチング駆動信号 P W M 1 2 D は、電力変換回路 1 1 に供給されるデジタルスイッチング駆動信号 P W M 1 1 と、同じ周波数で、同じオン時間幅で、位相差を有する信号となる。

【 0 1 0 4 】

これにより、電源システム 1 0 0 A は、電源システム 1 0 0 と同様に、簡素な構成で、且つ、電力変換効率の低下を抑制し、駆動する電力変換回路の個数に応じたマルチフェーズ駆動を実現できる。

【 0 1 0 5 】

また、電源システム 1 0 0 A では、位相差を有するだけで波形形状が同じ矩形波の信号が複数の電力変換回路 1 1 - 1 4 に供給される。これにより、複数の電力変換回路 1 1 - 1 4 の誤動作をさらに抑制できる。

【 0 1 0 6 】

[第 3 の実施形態]

本発明の第 3 の実施形態に係る電源システムについて、図を参照して説明する。図 7 は、第 3 の実施形態に係る電源システムの拡張制御回路部分を示す回路ブロック図である。図 8 は、スイッチング駆動信号およびゲート電圧信号の一例を示す波形図である。図 8 は、上段から順に、デジタルスイッチング駆動信号 P W M 1 1、アナログスイッチング駆動信号 P W M 1 2、ゲート電圧信号 V 1 H、ゲート電圧信号 V 2 H を示す。

【 0 1 0 7 】

図 7 に示すように、第 3 の実施形態に係る電源システム 1 0 0 B は、第 1 の実施形態に

10

20

30

40

50

係る電源システム100に対して、拡張制御回路の構成において異なる。電源システム100Bにおける他の構成は、電源システム100と同様であり、同様の箇所の説明は省略する。

【0108】

電源システム100Bは、拡張制御回路31Sを備える。なお、電源システム100Bは、電源システム100の拡張制御回路32に代えて、拡張制御回路31Sと同様の構成の拡張制御回路32S（図示を省略する）を備える。

【0109】

拡張制御回路31Sは、第1の実施形態に係る拡張制御回路31から抵抗R312およびダイオードD31を削除した点で異なる。拡張制御回路31Sの他の構成は、拡張制御回路31と同様である。

10

【0110】

このような構成でも、抵抗R311の抵抗値、および、コンデンサC31のキャパシタンスを適宜設定することによって、図8に示すように、電力変換回路11のスイッチング素子Q1Hへのゲート電圧信号V1Hと、電力変換回路12のスイッチング素子Q2Hへのゲート電圧信号V2Hとの位相差を所定値（0でない値）に設定できる。

【0111】

これにより、電源システム100Bは、電源システム100と同様に、簡素な構成で、且つ、電力変換効率の低下を抑制し、駆動する電力変換回路の個数に応じたマルチフェーズ駆動を実現できる。

20

【0112】

また、電源システム100Bは、電源システム100よりも簡素な回路構成を実現できる。

【0113】

[第4の実施形態]

本発明の第4の実施形態に係る電源システムについて、図を参照して説明する。図9は、第4の実施形態に係る電源システムの一例を示す回路ブロック図である。図10は、スイッチング駆動信号およびゲート電圧信号の一例を示す波形図である。図10は、上段から順に、デジタルスイッチング駆動信号PWM11、アナログスイッチング駆動信号PWM12、デジタルスイッチング駆動信号PWM12D、アナログスイッチング駆動信号PWM13、デジタルスイッチング駆動信号PWM13D、ゲート電圧信号V1H、ゲート電圧信号V2H、ゲート電圧信号V3Hを示す。

30

【0114】

図9に示すように、第4の実施形態に係る電源システム100Cは、第2の実施形態に係る電源システム100Aに対して、複数の拡張制御回路をカスケード接続する点で異なる。電源システム100Cの他の基本的な構成は、電源システム100Aの基本的な回路構成と同様であり、同様の箇所の説明は省略する。

【0115】

図9に示す例では、電源システム100Cは、8個よりも多い電力変換回路をマルチフェーズ駆動するシステムである。

40

【0116】

電源システム100Cは、複数の電力変換回路11-18、および、複数の拡張制御回路31L-36Lを備える。

【0117】

複数の電力変換回路11-18は、同じ回路構成を備える。複数の拡張制御回路31L-36Lは、同じ回路構成を備える。複数の拡張制御回路31L-36Lは、第2の実施形態に示した拡張制御回路31Lと同じ回路構成を備える。

【0118】

MPU20は、電力変換回路11および電力変換回路15に、それぞれ個別の接続ラインで接続する。

50

【 0 1 1 9 】

拡張制御回路 3 1 L の入力端は、M P U 2 0 と電力変換回路 1 1 との接続ラインに接続される。拡張制御回路 3 1 L の出力端は、電力変換回路 1 2 に接続される。

【 0 1 2 0 】

拡張制御回路 3 2 L の入力端は、拡張制御回路 3 1 L の出力端に接続される。拡張制御回路 3 2 L の出力端は、電力変換回路 1 3 に接続される。

【 0 1 2 1 】

拡張制御回路 3 3 L の入力端は、拡張制御回路 3 2 L の出力端に接続される。拡張制御回路 3 3 L の出力端は、電力変換回路 1 4 に接続される。

【 0 1 2 2 】

拡張制御回路 3 4 L の入力端は、M P U 2 0 と電力変換回路 1 5 との接続ラインに接続される。拡張制御回路 3 4 L の出力端は、電力変換回路 1 6 に接続される。

【 0 1 2 3 】

拡張制御回路 3 5 L の入力端は、拡張制御回路 3 4 L の出力端に接続される。拡張制御回路 3 5 L の出力端は、電力変換回路 1 7 に接続される。

【 0 1 2 4 】

拡張制御回路 3 6 L の入力端は、拡張制御回路 3 5 L の出力端に接続される。拡張制御回路 3 6 L の出力端は、電力変換回路 1 8 に接続される。

【 0 1 2 5 】

M P U 2 0 は、デジタルスイッチング駆動信号 P W M 1 1 を電力変換回路 1 1 に出力（供給）する。また、M P U 2 0 は、デジタルスイッチング駆動信号 P W M 1 5 を電力変換回路 1 5 に出力（供給）する。デジタルスイッチング駆動信号 P W M 1 5 は、デジタルスイッチング駆動信号 P W M 1 1 に対して所定の位相差を有する信号である。

【 0 1 2 6 】

この位相差は、電源システム 1 0 0 C でマルチフェーズ駆動する電力変換回路の個数（員数）を参照し、M P U 2 0 がデジタルスイッチング駆動信号を直接出力する電力変換回路の個数（員数）によって決定される。例えば、3 6 個の電力変換回路をマルチフェーズ駆動する場合において、M P U 2 0 がデジタルスイッチング駆動信号を直接出力する電力変換回路の個数が 4 個の場合、位相差は、9 0 ° に設定される。

【 0 1 2 7 】

拡張制御回路 3 1 L は、デジタルスイッチング駆動信号 P W M 1 1 を入力として、図 1 0 に示すように、アナログスイッチング駆動信号 P W M 1 2 を生成し、アナログスイッチング駆動信号 P W M 1 2 からデジタルスイッチング駆動信号 P W M 1 2 D を生成する。拡張制御回路 3 1 L は、デジタルスイッチング駆動信号 P W M 1 2 D を電力変換回路 1 2 に出力する。

【 0 1 2 8 】

拡張制御回路 3 2 L は、デジタルスイッチング駆動信号 P W M 1 2 D を入力として、図 1 0 に示すように、アナログスイッチング駆動信号 P W M 1 3 を生成し、アナログスイッチング駆動信号 P W M 1 3 からデジタルスイッチング駆動信号 P W M 1 3 D を生成する。拡張制御回路 3 2 L は、デジタルスイッチング駆動信号 P W M 1 3 D を電力変換回路 1 3 に出力する。

【 0 1 2 9 】

拡張制御回路 3 3 L は、拡張制御回路 3 1 L、3 2 L と同様に、デジタルスイッチング駆動信号 P W M 1 3 D を入力として、デジタルスイッチング駆動信号 P W M 1 4 D を生成する。拡張制御回路 3 3 L は、デジタルスイッチング駆動信号 P W M 1 4 D を電力変換回路 1 4 に出力する。

【 0 1 3 0 】

この処理によって、デジタルスイッチング駆動信号 P W M 1 2 D は、デジタルスイッチング駆動信号 P W M 1 1 に対して所定位相差で遅延する信号となり、デジタルスイッチング駆動信号 P W M 1 3 D は、デジタルスイッチング駆動信号 P W M 1 2 D に対して所定位

10

20

30

40

50

相差で遅延する信号となり、デジタルスイッチング駆動信号 P W M 1 4 D は、デジタルスイッチング駆動信号 P W M 1 3 D に対して所定位相差で遅延する信号となる。

【 0 1 3 1 】

このように、電源システム 1 0 0 C は、1つのデジタルスイッチング駆動信号 P W M 1 1 によって、順に遅延する複数のデジタルスイッチング駆動信号 P W M 1 2 D、P W M 1 3 D、P W M 1 4 D を生成し、それぞれに複数の電力変換回路 1 1 - 1 4 に供給できる。

【 0 1 3 2 】

同様に、拡張制御回路 3 4 L は、デジタルスイッチング駆動信号 P W M 1 5 を入力として、デジタルスイッチング駆動信号 P W M 1 6 D を生成し、電力変換回路 1 6 に出力する。拡張制御回路 3 5 L は、デジタルスイッチング駆動信号 P W M 1 6 D を入力として、デジタルスイッチング駆動信号 P W M 1 7 D を生成し、電力変換回路 1 7 に出力する。拡張制御回路 3 6 L は、デジタルスイッチング駆動信号 P W M 1 7 D を入力として、デジタルスイッチング駆動信号 P W M 1 8 D を生成し、電力変換回路 1 8 に出力する。

10

【 0 1 3 3 】

このように、電源システム 1 0 0 C は、1つのデジタルスイッチング駆動信号 P W M 1 5 によって、順に遅延する複数のデジタルスイッチング駆動信号 P W M 1 6 D、P W M 1 7 D、P W M 1 8 D を生成し、それぞれに複数の電力変換回路 1 5 - 1 8 に供給できる。

【 0 1 3 4 】

以上のように、電源システム 1 0 0 C の構成を備えることによって、M P U 2 0 から出力される1つのデジタルスイッチング駆動信号を用いて、4個以上の電力変換回路をマルチフェーズ駆動させることができる。これにより、電源システム 1 0 0 C は、より多くの電力変換回路が必要とされる構成でも、M P U 2 0 の個数を不必要に増加させることなく、マルチフェーズ駆動を実現できる。

20

【 0 1 3 5 】

また、複数の拡張制御回路 3 1 L - 3 6 L が C R 回路を用いているので、電源システム 1 0 0 C は、簡素な回路構成で、規模拡張型の電源システムを構成できる。

【 0 1 3 6 】

なお、上述の構成において、例えば、20個の電力変換回路をマルチフェーズ駆動する場合において、M P U 2 0 がデジタルスイッチング駆動信号を直接出力する電力変換回路の個数が4個の場合（例えば、図9において、図示していない電力変換回路 1 9 1 および電力変換回路 1 9 2 にデジタルスイッチング駆動信号を直接供給する場合）、デジタルスイッチング駆動信号 P W M 1 1 とデジタルスイッチング駆動信号 P W M 1 5 との位相差は、例えば、 $360^\circ / 20 \text{個} \times 4 \text{個}$ （1つのデジタルスイッチング駆動信号 P W M 1 1、P W M 1 5 を元にしてそれぞれ駆動される電力変換回路の個数） $= 72^\circ$ に設定される。また、デジタルスイッチング駆動信号 P W M 1 5 とデジタルスイッチング駆動信号 P W M 1 9（図示をしていない電力変換回路 1 9 1 への駆動信号）との位相差も、例えば、 72° に設定される。そして、デジタルスイッチング駆動信号 P W M 1 9（図示をしていない電力変換回路 1 9 1 への駆動信号）とデジタルスイッチング駆動信号 P W M 2 0（図示をしていない電力変換回路 1 9 2 への駆動信号）との位相差は、例えば、 18° に設定される。さらに、デジタルスイッチング駆動信号 P W M 2 0（図示をしていない電力変換回路 1 9 2 への駆動信号）とデジタルスイッチング駆動信号 P W M 1 1 との位相差は、例えば、 18° に設定される。これにより、20個の電力変換回路を用いた場合に、電力供給のバランスが向上し、電力変換効率の低下をさらに抑制できる。

30

40

【 0 1 3 7 】

[第 5 の 実 施 形 態]

本発明の第5の実施形態に係る電源システムについて、図を参照して説明する。図 1 1 は、第5の実施形態に係る電源システムの一例を示す回路ブロック図である。図 1 2 は、スイッチング駆動信号およびゲート電圧信号の一例を示す波形図である。図 1 2 は、上段から順に、デジタルスイッチング駆動信号 P W M 1 1、アナログスイッチング駆動信号 P W M 1 2、デジタルスイッチング駆動信号 P W M 1 2 D、アナログスイッチング駆動信号

50

P W M 1 3、デジタルスイッチング駆動信号 P W M 1 3 D、ゲート電圧信号 V 1 H、ゲート電圧信号 V 2 H、ゲート電圧信号 V 3 Hを示す。

【 0 1 3 8 】

図 1 1 に示すように、第 5 の実施形態に係る電源システム 1 0 0 D は、第 2 の実施形態に係る電源システム 1 0 0 A に対して、複数の拡張制御回路を並列接続する点で異なる。電源システム 1 0 0 D の他の基本的な構成は、電源システム 1 0 0 A の基本的な回路構成と同様であり、同様の箇所の説明は省略する。

【 0 1 3 9 】

図 1 1 に示す例では、電源システム 1 0 0 C は、6 個よりも多い電力変換回路をマルチフェーズ駆動するシステムである。

【 0 1 4 0 】

電源システム 1 0 0 D は、複数の電力変換回路 1 1 - 1 6、および、複数の拡張制御回路 3 1 L - 3 4 L を備える。

【 0 1 4 1 】

複数の電力変換回路 1 1 - 1 6 は、同じ回路構成を備える。複数の拡張制御回路 3 1 L - 3 4 L は、同じ回路構成を備える。複数の拡張制御回路 3 1 L - 3 4 L は、第 2 の実施形態に示した拡張制御回路 3 1 L と同じ回路構成を備えるが、それぞれに C R 時定数の設定が異なる。

【 0 1 4 2 】

M P U 2 0 は、電力変換回路 1 1 および電力変換回路 1 4 に、それぞれ個別の接続ラインで接続する。

【 0 1 4 3 】

拡張制御回路 3 1 L の入力端は、M P U 2 0 と電力変換回路 1 1 との接続ラインに接続される。拡張制御回路 3 1 L の出力端は、電力変換回路 1 2 に接続される。

【 0 1 4 4 】

拡張制御回路 3 2 L の入力端は、M P U 2 0 と電力変換回路 1 1 との接続ラインに接続される。拡張制御回路 3 2 L の出力端は、電力変換回路 1 3 に接続される。

【 0 1 4 5 】

拡張制御回路 3 3 L の入力端は、M P U 2 0 と電力変換回路 1 4 との接続ラインに接続される。拡張制御回路 3 3 L の出力端は、電力変換回路 1 5 に接続される。

【 0 1 4 6 】

拡張制御回路 3 4 L の入力端は、M P U 2 0 と電力変換回路 1 4 との接続ラインに接続される。拡張制御回路 3 4 L の出力端は、電力変換回路 1 6 に接続される。

【 0 1 4 7 】

M P U 2 0 は、デジタルスイッチング駆動信号 P W M 1 1 を電力変換回路 1 1 に出力（供給）する。また、M P U 2 0 は、デジタルスイッチング駆動信号 P W M 1 4 を電力変換回路 1 4 に出力（供給）する。デジタルスイッチング駆動信号 P W M 1 4 は、デジタルスイッチング駆動信号 P W M 1 1 に対して所定の位相差を有する信号である。なお、位相差の設定は、上述の第 4 の実施形態と同様の原理で行われており、説明は省略する。

【 0 1 4 8 】

拡張制御回路 3 1 L は、デジタルスイッチング駆動信号 P W M 1 1 を入力として、図 1 1 に示すように、アナログスイッチング駆動信号 P W M 1 2 を生成し、アナログスイッチング駆動信号 P W M 1 2 からデジタルスイッチング駆動信号 P W M 1 2 D を生成する。拡張制御回路 3 1 L は、デジタルスイッチング駆動信号 P W M 1 2 D を電力変換回路 1 2 に出力する。

【 0 1 4 9 】

拡張制御回路 3 2 L は、デジタルスイッチング駆動信号 P W M 1 1 を入力として、図 1 1 に示すように、アナログスイッチング駆動信号 P W M 1 3 を生成し、アナログスイッチング駆動信号 P W M 1 3 からデジタルスイッチング駆動信号 P W M 1 3 D を生成する。拡張制御回路 3 2 L は、デジタルスイッチング駆動信号 P W M 1 3 D を電力変換回路 1 3 に

10

20

30

40

50

出力する。

【 0 1 5 0 】

この際、図 1 2 に示すように、アナログスイッチング駆動信号 P W M 1 3 は、アナログスイッチング駆動信号 P W M 1 2 と異なる波形を有する。より具体的には、アナログスイッチング駆動信号 P W M 1 3 は、アナログスイッチング駆動信号 P W M 1 2 よりも遅くオン電圧しきい値 T H o n に到達する。また、アナログスイッチング駆動信号 P W M 1 3 は、アナログスイッチング駆動信号 P W M 1 2 よりも遅くオフ電圧しきい値 T H o f f に到達する。

【 0 1 5 1 】

ただし、アナログスイッチング駆動信号 P W M 1 3 におけるオン電圧しきい値 T H o n の時間とオフ電圧しきい値 T H o f f の時間との時間差は、アナログスイッチング駆動信号 P W M 1 2 におけるオン電圧しきい値 T H o n の時間とオフ電圧しきい値 T H o f f の時間との時間差と同じに設定される。

10

【 0 1 5 2 】

これは、拡張制御回路 3 2 L の C R 時定数を拡張制御回路 3 1 L の C R 時定数を異ならせることによって実現される。

【 0 1 5 3 】

この処理によって、デジタルスイッチング駆動信号 P W M 1 2 D は、デジタルスイッチング駆動信号 P W M 1 1 に対して所定位相差で遅延する信号となり、デジタルスイッチング駆動信号 P W M 1 3 D は、デジタルスイッチング駆動信号 P W M 1 2 D に対して所定位相差で遅延する信号となる。

20

【 0 1 5 4 】

このように、電源システム 1 0 0 D は、1つのデジタルスイッチング駆動信号 P W M 1 1 によって、順に遅延する複数のデジタルスイッチング駆動信号 P W M 1 2 D、P W M 1 3 D を生成し、それぞれに複数の電力変換回路 1 1 - 1 3 に供給できる。

【 0 1 5 5 】

同様に、拡張制御回路 3 3 L は、デジタルスイッチング駆動信号 P W M 1 4 を入力として、デジタルスイッチング駆動信号 P W M 1 5 D を生成し、電力変換回路 1 5 に出力する。拡張制御回路 3 4 L は、デジタルスイッチング駆動信号 P W M 1 5 D を入力として、デジタルスイッチング駆動信号 P W M 1 6 D を生成し、電力変換回路 1 6 に出力する。

30

【 0 1 5 6 】

このように、電源システム 1 0 0 D は、1つのデジタルスイッチング駆動信号 P W M 1 4 によって、順に遅延する複数のデジタルスイッチング駆動信号 P W M 1 5 D、P W M 1 6 D を生成し、それぞれに複数の電力変換回路 1 4 - 1 6 に供給できる。

【 0 1 5 7 】

以上のように、電源システム 1 0 0 D の構成を備えることによって、M P U 2 0 から出力される1つのデジタルスイッチング駆動信号を用いて、3個以上の電力変換回路をマルチフェーズ駆動させることができる。これにより、電源システム 1 0 0 D は、より多くの電力変換回路が必要とされる構成でも、M P U 2 0 の個数を不必要に増加させることなく、マルチフェーズ駆動を実現できる。

40

【 0 1 5 8 】

また、複数の拡張制御回路 3 1 L - 3 4 L が C R 回路を用いているので、電源システム 1 0 0 D は、簡素な回路構成で、規模拡張型の電源システムを構成できる。

【 0 1 5 9 】

電源システム 1 0 0 D では、複数の拡張制御回路 3 1 L - 3 4 L に代えて、第 1 の実施形態に示した拡張制御回路 3 1 と同様の構成を採用することができる。言い換えれば、電源システム 1 0 0 D は、論理回路 3 1 0 を用いない構成も適用できる。これにより、電源システム 1 0 0 D は、さらに簡素な回路構成を実現できる。

【 0 1 6 0 】

なお、上述の各実施形態では、M P U 2 0 が出力するデジタルスイッチング駆動信号の

50

オン時間幅に対して、拡張制御回路が出力するスイッチング駆動信号のオン時間幅を同じにする態様を示した。しかしながら、これは、例えば、マルチフェーズ駆動する電力変換回路の個数によって設定される値である。例えば、第1の実施形態に係る電源システム100であれば、MPU20は、出力電圧 V_{out} のフィードバック電圧、複数の電力変換回路11-14からのフィードバック電流に基づいてオン時間幅を調整することも可能である。なお、この際、複数の電力変換回路11-14からのフィードバック電流に基づいて、MPU20から出力されるデジタルスイッチング駆動信号のオン時間幅、拡張制御回路31、32に設定されるオン電圧しきい値 $T_{H_{on}}$ およびオフ電圧しきい値 $T_{H_{off}}$ 、オン電圧しきい値 $T_{H_{on}}$ の時間およびオフ電圧しきい値 $T_{H_{off}}$ の時間を適宜設定すれば、複数の電力変換回路11-14での電流バランスを調整することも可能である。

10

【0161】

さらに、MPU20は、PMBus信号の入力端子を備えており、PMBus信号によって指定される電圧や電流に応じて、マルチフェーズ駆動する電力変換回路の個数を決定して、オン時間幅を設定することもできる。

【0162】

また、上述の各実施形態の構成は、適宜組み合わせることが可能であり、それぞれの組合せに応じた作用効果を奏することができる。

【符号の説明】

【0163】

100、100A、100B、100C、100D：電源システム

20

110、120、130、140：駆動部

11-18、191、192：電力変換回路

20、20A、20B：MPU

31、31L、31S、32、32L、32S、33L、34L、35L、36L：拡張制御回路

310：論理回路

C31：コンデンサ

C_{i1} 、 C_{i2} 、 C_{i3} 、 C_{i4} ：入力コンデンサ

C_o ：出力コンデンサ

D31：ダイオード

30

L1、L2、L3、L4：インダクタ

P_{in} ：共通入力端子

P_{out} ：共通出力端子

Q1H、Q2H、Q3H、Q4H：スイッチング素子

Q1L、Q2L、Q3L、Q4L：スイッチング素子

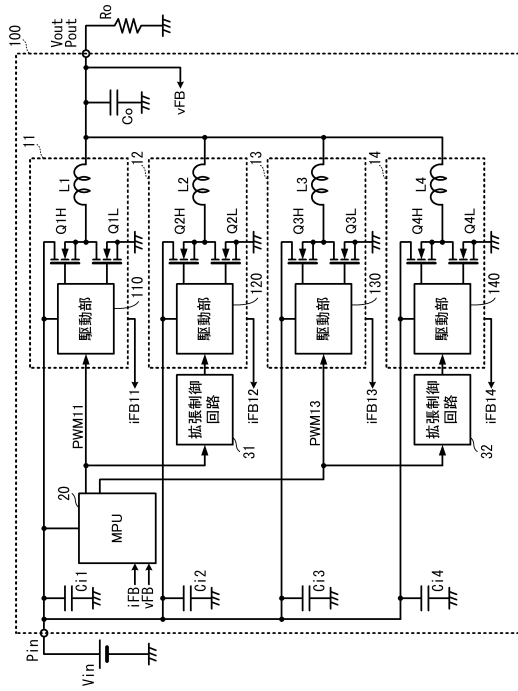
R311、R312：抵抗

R_o ：負荷

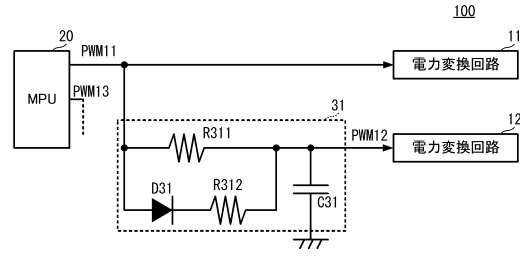
40

50

【図面】
【図 1】



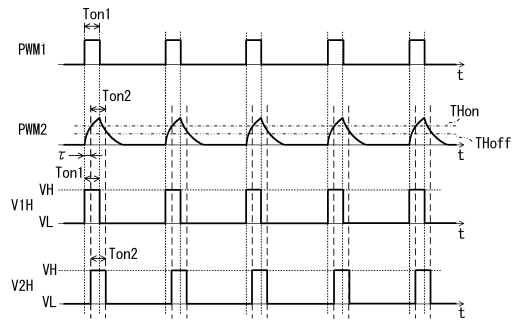
【図 2】



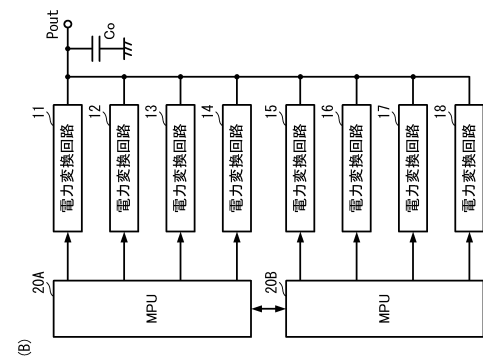
10

20

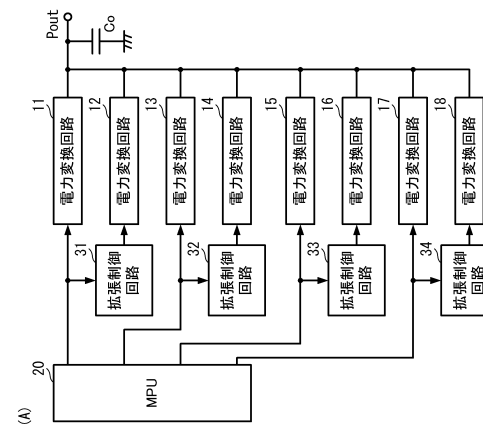
【図 3】



【図 4】



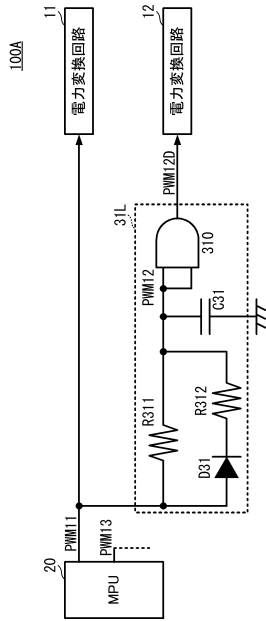
30



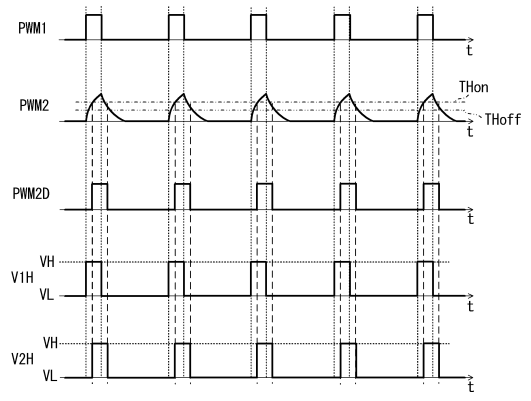
40

50

【 5 】

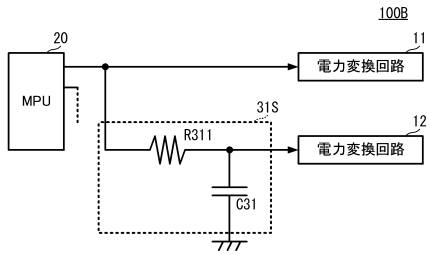


【 6 】

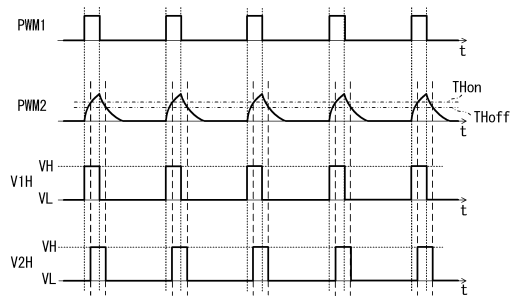


10

【 7 】



【 8 】



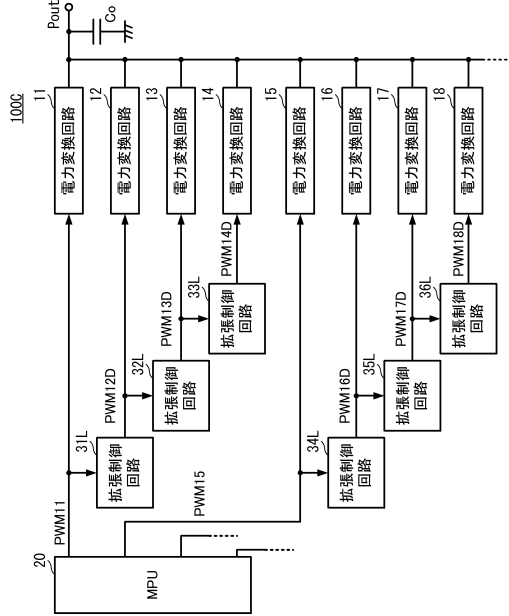
20

30

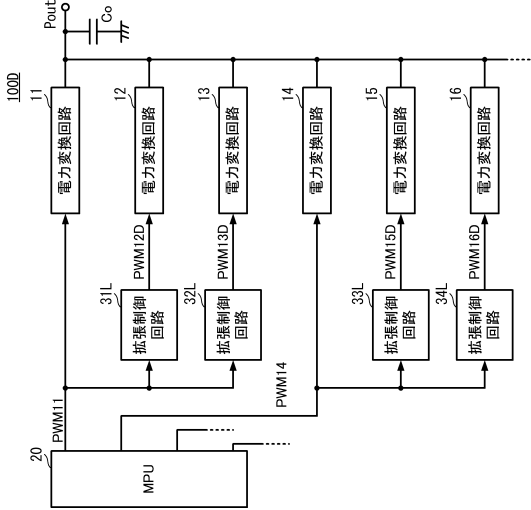
40

50

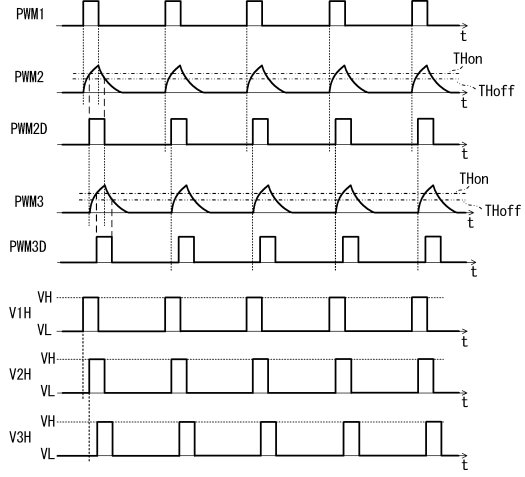
【 9 】



【 1 1 】

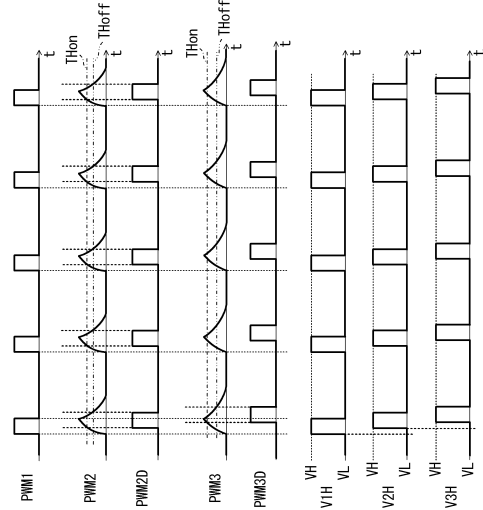


【 1 0 】



10

【 1 2 】



20

30

40

50

フロントページの続き

- (56)参考文献 特開 2 0 1 5 - 1 4 6 7 1 1 (J P , A)
特開 2 0 0 4 - 3 0 9 9 8 3 (J P , A)
特開 2 0 1 5 - 1 6 8 2 9 2 (J P , A)
特開 2 0 1 2 - 0 8 0 7 4 4 (J P , A)
特開平 0 5 - 2 0 6 8 0 2 (J P , A)
特開昭 5 0 - 1 5 2 6 5 0 (J P , A)
特開昭 5 5 - 0 7 1 3 1 9 (J P , A)
特開平 0 2 - 1 9 2 3 7 1 (J P , A)
- (58)調査した分野 (Int.Cl., D B 名)
H 0 2 M 3 / 1 5 5