

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-143159

(P2017-143159A)

(43) 公開日 平成29年8月17日(2017.8.17)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 27/146 (2006.01)	HO 1 L 27/14 A	4 M 1 1 8
HO 1 L 21/20 (2006.01)	HO 1 L 21/20	5 F 1 5 2

審査請求 未請求 請求項の数 14 O L (全 9 頁)

(21) 出願番号 特願2016-23062 (P2016-23062)  
 (22) 出願日 平成28年2月9日 (2016.2.9)

(71) 出願人 000001007  
 キヤノン株式会社  
 東京都大田区下丸子3丁目30番2号  
 (74) 代理人 100126240  
 弁理士 阿部 琢磨  
 (74) 代理人 100124442  
 弁理士 黒岩 創吾  
 (72) 発明者 石野 英明  
 東京都大田区下丸子3丁目30番2号キヤ  
 ノン株式会社内  
 (72) 発明者 佐藤 信彦  
 東京都大田区下丸子3丁目30番2号キヤ  
 ノン株式会社内  
 Fターム(参考) 4M118 CA04 CA18 DD04 EA14 FA28  
 GC07 GD04  
 5F152 LM02 MM12 NN03 NQ03

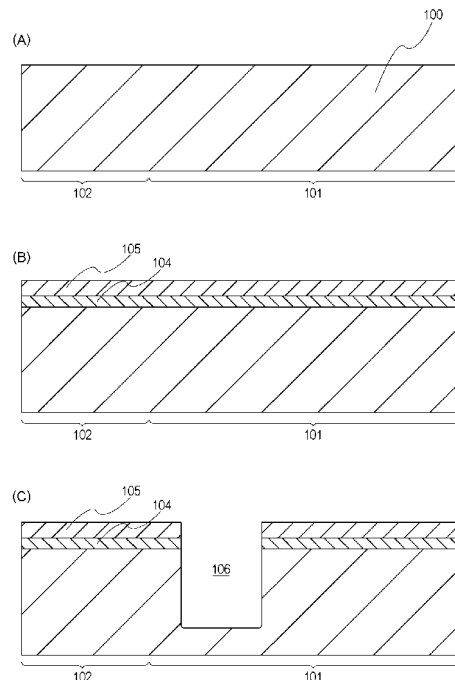
(54) 【発明の名称】 撮像装置、及びその製造方法

(57) 【要約】

【課題】 溝に半導体材料を埋め込むことによって構成したフォトダイオードを採用した場合であっても、画質の劣化を抑制できる撮像装置およびその製造方法を提供する。

【解決手段】 溝を有する半導体基板と、溝の形状を踏襲するように前記溝の底部および側壁に設けられた第1の導電型の第1の半導体領域を有する。また、溝を充填するように前記第1の半導体領域の上に設けられた第2の導電型の第2の半導体領域を有する。第1の半導体領域と第2の半導体領域により光電変換部が構成されている。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

光電変換部を有する撮像装置の製造方法であって、  
半導体基板に溝を形成する工程と、  
前記溝の底部および側壁に、第 1 の導電型の第 1 の半導体領域を形成する工程と、  
前記溝を充填するように、前記第 1 の半導体領域の上に、第 2 の導電型の第 2 の半導体領域を形成する工程と、を有し、  
前記第 1 の半導体領域と前記第 2 の半導体領域により前記光電変換部を構成することを特徴とする撮像装置の製造方法。

**【請求項 2】**

前記第 1 の半導体領域の不純物濃度は、前記第 2 の半導体領域の不純物濃度よりも高いことを特徴とする請求項 1 に記載の撮像装置の製造方法。

**【請求項 3】**

前記第 2 の半導体領域の上部に、第 1 の導電型の第 3 の半導体領域をイオン注入で形成する工程を有し、前記第 3 の半導体領域の不純物濃度は、前記第 1 の半導体領域の不純物濃度と同じか、前記第 1 の半導体領域の不純物濃度よりも高いことを特徴とする請求項 1 または 2 に記載の撮像装置の製造方法。

**【請求項 4】**

前記第 2 の半導体領域を形成する工程の後に、前記半導体基板の上に、第 2 導電型の第 4 の半導体領域を形成する工程と、を有し、  
前記第 4 の半導体領域の不純物濃度は、前記第 2 の半導体領域の不純物濃度よりも低いことを特徴とする請求項 3 に記載の撮像装置の製造方法。

**【請求項 5】**

前記第 4 の半導体領域を形成する工程は、前記第 3 の半導体領域を形成する工程の前に行い、  
前記第 3 の半導体領域を形成する工程において、前記第 4 の半導体領域の一部に対してイオンを注入することを特徴とする請求項 4 に記載の撮像装置の製造方法。

**【請求項 6】**

前記第 1 の半導体領域および前記第 2 の半導体領域は、エピタキシャル成長により形成されることを特徴とする請求項 1 から 5 のいずれか 1 項に記載の撮像装置の製造方法。

**【請求項 7】**

前記第 4 の半導体領域は、エピタキシャル成長により形成されることを特徴とする請求項 4 または 5 に記載の撮像装置の製造方法。

**【請求項 8】**

前記第 4 の半導体領域のうち、前記第 3 の半導体領域を形成する工程でイオンが注入されなかった領域は、前記光電変換部で生じた電荷を転送する転送トランジスタのゲート電極の下部に位置することを特徴とする請求項 5 に記載の撮像装置の製造方法。

**【請求項 9】**

光電変換部を有する撮像装置であって、  
溝を有する半導体基板と、  
前記溝の形状を踏襲するように前記溝の底部および側壁に設けられた第 1 の導電型の第 1 の半導体領域と、  
前記溝を充填するように前記第 1 の半導体領域の上に設けられた第 2 の導電型の第 2 の半導体領域と、を有し、  
前記第 1 の半導体領域と前記第 2 の半導体領域により前記光電変換部が構成されていることを特徴とする撮像装置。

**【請求項 10】**

前記第 2 の半導体領域の体積は、前記第 1 の半導体領域の体積よりも大きいことを特徴とする請求項 9 に記載の撮像装置。

**【請求項 11】**

10

20

30

40

50

前記第 1 の半導体領域の不純物濃度は、前記第 2 の半導体領域の不純物濃度よりも高いことを特徴とする請求項 9 または 10 に記載の撮像装置。

【請求項 12】

前記第 2 の半導体領域の上部に、第 1 の導電型の第 3 の半導体領域が設けられており、前記第 3 の半導体領域の不純物濃度は、前記第 1 の半導体領域の不純物濃度よりも高いことを特徴とする請求項 9 から 11 のいずれか 1 項に記載の撮像装置。

【請求項 13】

前記半導体基板に、前記光電変換部で生じた電荷を転送する転送トランジスタが設けられており、

前記転送トランジスタのゲート電極の下部に、前記第 2 の半導体領域の不純物濃度よりも低い不純物濃度を有する第 2 導電型の第 4 の半導体領域が設けられていることを特徴とする請求項 9 から 12 のいずれか 1 項に記載の撮像装置。

【請求項 14】

前記溝の深さは 5  $\mu\text{m}$  以上であることを特徴とする請求項 9 から 13 のいずれか 1 項に記載の撮像装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、撮像装置、及びその製造方法に関する。

【背景技術】

【0002】

近年、撮像装置の進歩により、高画質で安価なデジタルカメラやデジタルビデオカメラが普及している。これらの撮像装置は、シリコン半導体基板上に形成されたフォトダイオードやトランジスタ、抵抗、容量等の素子からなり、これら複数の素子が機能毎にブロック化されて画素部や画像処理回路等を形成する。撮像装置を高精細化するためには、これらの素子、例えば、光電変換部となるフォトダイオードの微細化が必要となる。しかし、フォトダイオードを微細化すると、フォトダイオード 1 個あたりに入射する光量も減少するため、信号電荷量も減少し、SN 比が低下して画質が劣化する。特に、このような現象は短波長光よりも長波長光で問題となる。すなわち、短波長光と比較して長波長光はシリコン中での吸収率が低い上、長波長の入射光の多くがフォトダイオードよりも更に深いところまで侵入することとなり、信号電荷に変換されない。そこで、深いフォトダイオードを設けることによって、長波長光に対する感度を高めることが検討されている。一般的にフォトダイオードはイオン注入法により形成するため、イオンの加速エネルギーを十分大きくすれば、深いフォトダイオードを形成できる。

【0003】

しかしながら、イオン注入装置側の性能によっては、長波長光が十分に吸収されるまでの深さを有するフォトダイオードをイオン注入法のみで形成するのは必ずしも容易ではない。また、仮にそのような深い注入が出来たとしても、イオンの加速エネルギーが大きいと、イオンの散乱も多くなるため、横方向のイオンの広がりが大きくなる。横方向のイオンの広がりが大きくなるとフォトダイオード間の分離性が低下するため、フォトダイオード間の距離を確保しなければならず、微細化という技術課題が解決できないこととなる。

【0004】

そこで、特許文献 1 には、シリコン半導体基板上に溝を形成し、その溝に半導体を埋め込み、その半導体領域をフォトダイオードとすることによって、長波長光の感度を確保することが記載されている。例えば、特許文献 1 には、長波長光に対応した画素には、短波長光に対応した画素より深い溝を形成して、その溝に所望の導電型からなるシリコン半導体を埋め込むことで深いフォトダイオードを形成することが記載されている。また、特許文献 1 には、長波長光に対応した画素の溝に、シリコンよりも長波長光を吸収しやすい SiGe を埋め込むことが記載されている。

【先行技術文献】

10

20

30

40

50

## 【特許文献】

【0005】

【特許文献1】特開2013-162077号公報

## 【発明の概要】

【発明が解決しようとする課題】

【0006】

特許文献1に記載された方法では、フォトダイオードの空乏層に溝の界面が含まれる可能性がある。この界面は欠陥を多く含む場合があり、それがフォトダイオードの空乏層に含まれることでノイズ源となり、画質が劣化し得る。そこで、本発明においては、溝に半導体材料を埋め込むことによって構成したフォトダイオードを採用した場合であっても、画質の劣化を抑制することのできる撮像装置およびその製造方法を提供することを目的とする。

10

【課題を解決するための手段】

【0007】

本発明に係る撮像装置の製造方法は、光電変換部を有する撮像装置の製造方法であって、半導体基板に溝を形成する工程と、前記溝の底部および側壁に、第1の導電型の第1の半導体領域を形成する工程と、前記溝を充填するように、前記第1の半導体領域の上に、第2の導電型の第2の半導体領域を形成する工程と、を有し、前記第1の半導体領域と前記第2の半導体領域により前記光電変換部を構成することを特徴とする。

【0008】

20

また、本発明に係る撮像装置は、光電変換部を有する撮像装置であって、溝を有する半導体基板と、前記溝の形状を踏襲するように前記溝の底部および側壁に設けられた第1の導電型の第1の半導体領域と、前記溝を充填するように前記第1の半導体領域の上に設けられた第2の導電型の第2の半導体領域と、を有し、前記第1の半導体領域と前記第2の半導体領域により前記光電変換部が構成されていることを特徴とする。

【発明の効果】

【0009】

本発明によれば、溝に半導体材料を埋め込むことによって構成したフォトダイオードを採用した場合であっても、画質の劣化を抑制することのできる撮像装置および該撮像装置の製造方法を提供することを目的とする。

30

【図面の簡単な説明】

【0010】

【図1】実施形態1に係る工程を説明する図

【図2】実施形態1に係る工程を説明する図

【図3】実施形態1に係る工程を説明する図

【図4】実施形態1に係る工程を説明する図

【図5】実施形態1に係る工程を説明する図

【図6】実施形態2に係る工程を説明する図

【発明を実施するための形態】

【0011】

40

(実施形態1)

図1から図4は本実施形態における撮像装置の製造方法を説明するための断面模式図である。以下では、信号電荷として電子を用いる構成を例示するが、信号電荷として正孔を用いることも可能である。信号電荷として電子を用いる場合には、例えば、第1の導電型がp型、第2の導電型がn型である。ホールを信号電荷として用いる場合には、信号電荷が電子の場合に対して各半導体領域の導電型を逆の導電型にすればよい。すなわち、第1の導電型をn型とし、第2の導電型をp型とすればよい。

【0012】

また、本実施形態を説明するにあたり、「半導体基板表面」とは、画素を構成する半導体領域が形成されている側の半導体基板の主表面のことを表す。また、「半導体基板」と

50

は、材料基板だけでなく、複数の半導体領域が形成された部材をも含む概念である。さらに、半導体基板の主表面側の方向を「上」または「上部」、半導体基板の主表面側とは逆の裏面側の方向を「下」または「下部」と表現して、所定の領域や部材についての相対的な位置関係を特定することもある。

【0013】

なお、以下では、画素領域および周辺領域においてNMOSトランジスタが設けられている例を説明するが、周辺領域には、NMOSトランジスタだけでなく、PMOSトランジスタも設けられる。

【0014】

まず、図1(A)に示すように、シリコン半導体基板100を準備する。シリコン半導体基板は、例えばp型からなるが、n型のシリコン半導体基板を用いてもよい。符号101は画素領域を示し、符号102は周辺回路領域を示す。画素領域101は、光電変換部であるフォトダイオードや、光電変換部で生じた電荷を転送するための転送トランジスタ等が配される領域である。周辺回路領域102は、画素領域101からの出力信号の処理等を行うMOSトランジスタが配される領域である。

10

【0015】

次に、図1(B)に示すように、シリコン半導体基板100の上に、シリコン酸化膜104とシリコン窒化膜105を形成する。膜厚は、例えばシリコン酸化膜104が300であり、シリコン窒化膜105が2000である。

【0016】

次に、図1(C)に示すように、フォトレジストをマスクとして溝106を形成する。後の工程で、溝106に半導体を充填することでフォトダイオードを形成する。溝106の深さは任意であるが、長波長光に対する感度を向上させる場合は深い方が望ましい。例えば、赤色光に対しては5 $\mu$ m以上の深さとする。

20

【0017】

次に、図2(A)に示すように、熱リン酸溶液でシリコン窒化膜105のみを選択的にエッチングして除去する。

【0018】

次に、図2(B)に示すように、エピタキシャル成長法を用いて、溝106の底部および側壁に、ガード領域として機能するp型半導体領域107(第1の半導体領域)を形成する。p型半導体領域107は、溝106の形状に沿うように、すなわち、溝106の形状を踏襲するように形成される。エピタキシャル成長条件の最適化により、シリコン酸化膜104の表面にp型半導体領域を形成させないことも可能である。p型半導体領域107は、例えば厚さ0.05 $\mu$ mであり、不純物濃度は $1 \times 10^{18} \sim 1 \times 10^{19} [cm^{-3}]$ である。

30

【0019】

次に、図2(C)に示すように、エピタキシャル成長法を用いて、p型半導体領域107が形成された溝108を充填するように、n型半導体領域109(第2の半導体領域)を埋め込む。これにより、p型半導体領域107とn型半導体領域109とからフォトダイオード103が形成される。n型半導体領域109の体積は、p型半導体領域107の体積よりも大きい。溝108にn型半導体を埋め込むエピタキシャル成長条件下では、シリコン酸化膜104の表面にn型半導体領域109が形成され得る。n型半導体領域109及び109の不純物濃度はp型半導体領域107の不純物濃度よりも低く、例えば、 $1 \times 10^{16} \sim 1 \times 10^{17} [cm^{-3}]$ である。

40

【0020】

次に、図3(A)に示すように、CMP法によりn型半導体領域109の全てと、n型半導体領域109の半導体基板表面側の一部を研磨除去する。CMPの際にシリコン酸化膜104が研磨除去のストッパー膜となるので、半導体基板100の最表面が研磨除去されることが抑制される。

【0021】

50

次に、図3(B)に示すように、希フッ酸薬液等でシリコン酸化膜104のみを選択的に除去して、素子分離絶縁膜110を形成する。素子分離絶縁膜はLOCOS法やSTI法により形成する。また、イオン注入法により画素領域のウエル111及び周辺回路領域のウエル112を形成する。ウエル111およびウエル112はp型半導体領域からなる。

#### 【0022】

次に、図3(C)に示すように、シリコン半導体基板表面に絶縁膜114とポリシリコンを成膜し、フォトリソグラフィとドライエッチングにより、MOSトランジスタのゲート電極を形成する。符号115は、周辺回路領域に配されているMOSトランジスタのゲート電極であり、符号116は、画素領域に配されている転送トランジスタのゲート電極である。また、符号117は、画素領域に配されている転送トランジスタ以外のトランジスタのゲート電極である。

10

#### 【0023】

次に、図4(A)に示すように、フォトリソグラフィとイオン注入法により、画素領域のMOSトランジスタのn型半導体領域(LDD領域)118、周辺回路領域のMOSトランジスタのn型半導体領域(LDD領域)119を形成する。また、n型半導体領域(フローティングディフュージョン領域:FD領域)120を形成する。FD領域120は、転送トランジスタを用いてフォトダイオード103から転送される電子を蓄積する役割を果たす。

#### 【0024】

次に、図4(B)に示すように、フォトリソグラフィとイオン注入法により、p型半導体領域121(第3の半導体領域)を形成する。p型半導体領域121を形成することにより、n型半導体領域109と絶縁膜114の界面に存在する欠陥を発生源とする暗電流を抑制できる。p型半導体領域121の不純物濃度は、 $1 \times 10^{18} \sim 1 \times 10^{19} [\text{cm}^{-3}]$ である。暗電流を抑制するためには、p型半導体領域121の不純物濃度をp型半導体領域107の不純物濃度と同じにするか、p型半導体領域107の不純物濃度よりも高くなるようにイオンを注入する。また、画素領域101および周辺回路領域102において、各MOSトランジスタの上に絶縁膜122を形成する。絶縁膜122は、シリコン酸化膜単膜、シリコン窒化膜単膜、または、これらの積層膜であり得る。

20

#### 【0025】

次に、図4(C)に示すように、フォトリソグラフィとドライエッチングにより絶縁膜122をパターニングする。これにより、周辺回路領域102に配されているトランジスタのゲート電極側壁にはサイドスペーサ123が形成される。また、画素領域101には保護膜124が形成される。さらに、フォトリソグラフィとイオン注入法を用いて、周辺回路領域102のトランジスタにn型半導体領域(ソース/ドレイン)125を形成する。n型半導体領域はトランジスタのソース領域またはドレイン領域となる。この後、層間膜、配線構造、カラーフィルタ、マイクロレンズを順次形成する(不図示)。

30

#### 【0026】

以上の工程によれば、溝を形成して、この溝にフォトダイオードを形成していることから、深いフォトダイオードを形成することができる。また、p型半導体領域107とn型半導体領域109からなるフォトダイオードのpn接合面を、溝106の界面から離すことができる。さらに、p型半導体領域107の不純物濃度を、N型半導体領域109の不純物濃度よりも、十分高くすることで、フォトダイオードに形成される空乏層のうちp型半導体領域107側の幅を十分狭く抑えられる。そのため、逆バイアスをかけたとしても、フォトダイオードの空乏層は溝106まで到達しないように構成することが可能である。フォトダイオードの空乏層に溝106の界面が到達しなければ、溝106の界面に存在する欠陥を起因とする暗電流成分を抑えることができる。

40

#### 【0027】

(実施形態2)

本実施形態では、転送トランジスタの真下、すなわち、チャネル領域にn型半導体領域

50

を追加的に設ける例を説明する。実施形態 1 の場合、転送トランジスタのチャンネル領域には、p 型半導体領域 107 (ガード領域) が配されている。p 型半導体領域領域 107 の不純物濃度は、n 型半導体領域 109 の不純物濃度よりも高く設定されている。そのため、ガード領域がチャンネル領域に存在することで、転送トランジスタの閾値電圧が上昇し、転送トランジスタによる電子の転送効率が低下しうる可能性がある。本実施形態によれば、このような転送効率の低下を抑制できる。以下、説明を行うが、図 3 (A) までは、実施形態 1 と同一である。

【0028】

図 3 (A) に示した工程の後に、図 5 (A) に示すように、シリコン酸化膜 104 をエッチングにより選択的に除去する。

10

【0029】

次に、図 5 (B) に示すように、エピタキシャル成長法により、シリコン半導体基板に n 型半導体領域 201 (第 4 の半導体領域) を形成する。n 型半導体領域 201 の不純物濃度は、n 型半導体領域 109 の不純物濃度よりも低くなるようにする。

【0030】

次に、図 5 (C) に示すように、素子分離絶縁膜 110 を形成する。素子分離絶縁膜は LOCOS 法や STI 法により形成する。また、イオン注入法を用いて、p 型半導体領域からなる画素領域のウエル 111 や、周辺回路領域のウエル 112 を形成する。ここで、n 型半導体領域 201 が形成されていた一部の領域は、p 型半導体領域であるウエル 111 やウエル 112 になる。このため、n 型半導体領域 201 の不純物濃度 (第 4 の半導体領域) は、n 型半導体領域 109 (第 2 の半導体領域) の不純物濃度よりも低くする。

20

【0031】

次に、図 6 (A) に示すように、シリコン半導体基板表面に絶縁膜 114 とポリシリコンを成膜して、フォトリソグラフィとドライエッチングにより、ゲート電極 115、116、117 を形成する。

【0032】

次に、図 6 (B) に示すように、フォトリソグラフィとイオン注入法により、画素領域の MOS トランジスタの n 型半導体領域 (LDD 領域) 118、周辺回路領域の MOS トランジスタの n 型半導体領域 (LDD 領域) 119 を形成する。また、n 型半導体領域 (FD 領域) 120 を形成する。FD 領域 120 は、転送トランジスタを介してフォトダイオード 103 から転送される電子を蓄積する。

30

【0033】

次に、図 6 (C) に示すように、フォトリソグラフィとイオン注入法により、p 型半導体領域 121 を形成する。この工程において、n 型半導体領域 201 のうち素子分離絶縁膜 110 と近接する領域にもイオンが注入されるため、n 型半導体領域 201 の一部は p 型半導体領域 121 となる。すなわち、平面視において、残存した n 型半導体領域 201 は、p 型半導体領域 121 よりも、転送トランジスタのゲート電極側に形成されることになる。また、平面視において、p 型半導体領域 121 は、転送トランジスタのゲート電極から離間するように形成される。

【0034】

次に、絶縁膜 122 を形成し、実施形態 1 と同様の工程を経る。

40

【0035】

本実施形態では、n 型半導体領域 201 (第 4 の半導体領域) の一部は転送トランジスタ及びその他の画素トランジスタのチャンネル領域となり得る。そのため、閾値電圧を調整するために、n 型半導体領域 201 には、追加的に n 型不純物のイオン注入を実施してもよい。

【0036】

(その他の実施形態)

上記実施形態では、転送トランジスタを設ける例を説明したが、転送トランジスタは必ずしも設ける必要がなく、光電変換部から増幅トランジスタのゲートに直接入力するよう

50

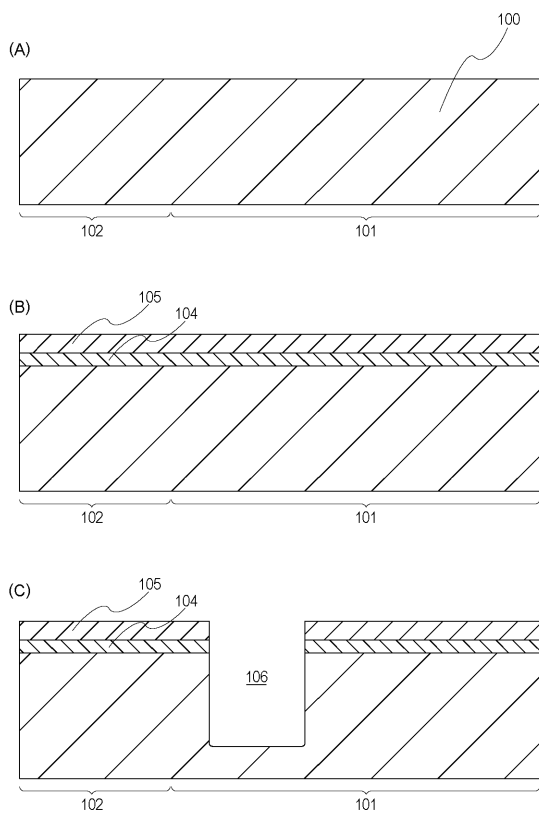
な形態も本願発明は包含する。

【符号の説明】

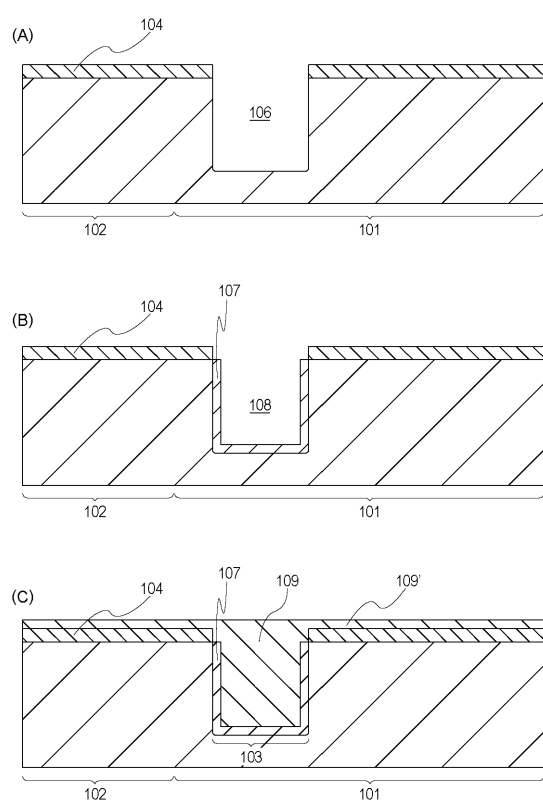
【0037】

- 103 フォトダイオード
- 107 p型半導体領域
- 109 n型半導体領域
- 121 p型半導体領域

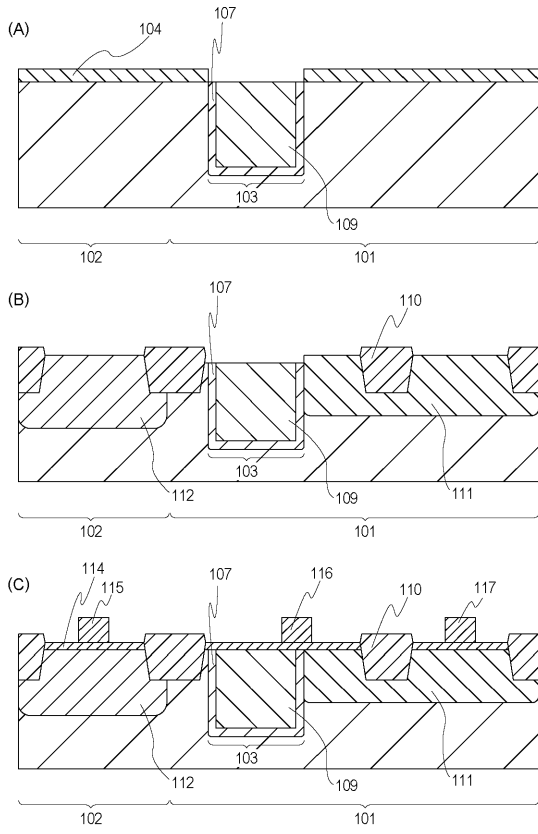
【図1】



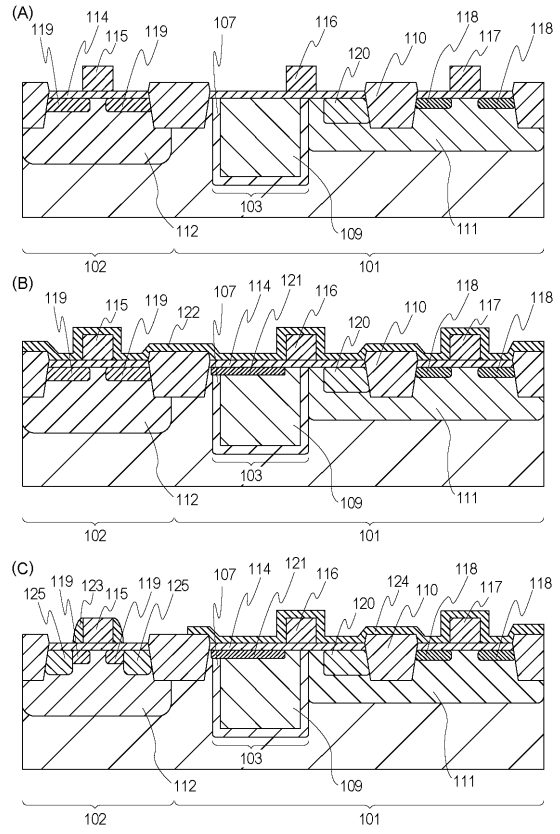
【図2】



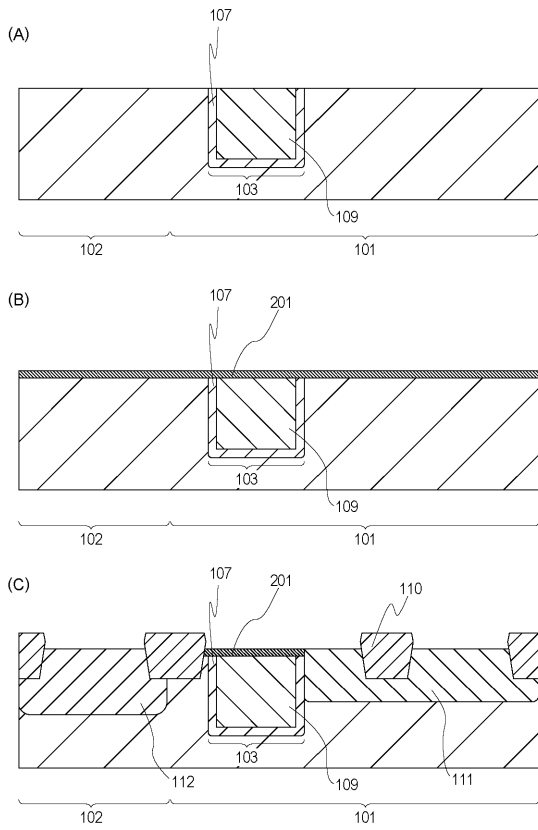
【 図 3 】



【 図 4 】



【 図 5 】



【 図 6 】

