

(12) DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITÉ DE COOPÉRATION EN MATIÈRE DE BREVETS (PCT)

(19) Organisation Mondiale de la Propriété Intellectuelle  
Bureau international



(10) Numéro de publication internationale  
**WO 2010/122036 A1**

(43) Date de la publication internationale  
28 octobre 2010 (28.10.2010)

PCT

- (51) Classification internationale des brevets :  
G01R 31/317 (2006.01)
- (21) Numéro de la demande internationale :  
PCT/EP2010/055222
- (22) Date de dépôt international :  
20 avril 2010 (20.04.2010)
- (25) Langue de dépôt : français
- (26) Langue de publication : français
- (30) Données relatives à la priorité :  
0952560 20 avril 2009 (20.04.2009) FR
- (71) Déposant (pour tous les États désignés sauf US) :  
COMMISSARIAT A L'ENERGIE ATOMIQUE ET  
AUX ENERGIES ALTERNATIVES [FR/FR]; 25 rue  
Leblanc, Bâtiment "Le Ponant D", F-75015 Paris (FR).
- (72) Inventeurs; et
- (75) Inventeurs/Déposants (pour US seulement) : **REBAUD, Bettina** [FR/FR]; 7 Impasse le petit verger, F-73200 Gilly Sur Isere (FR). **BELLEVILLE, Marc** [FR/FR]; 12 rue de Chantemerle, F-38120 Saint-Egreve (FR). **MAURINE, Philippe Lionel** [FR/FR]; 135 chemin des Costètes, F-30260 Quissac (FR).
- (74) Mandataire : **LEBKIRI, Alexandre**; 10 rue de la Pépinière, F-75008 Paris (FR).
- (81) États désignés (sauf indication contraire, pour tout titre de protection nationale disponible) : AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) États désignés (sauf indication contraire, pour tout titre de protection régionale disponible) : ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), eurasien (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), européen (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Publiée :

— avec rapport de recherche internationale (Art. 21(3))

[Suite sur la page suivante]

(54) Title : DEVICE FOR MONITORING THE OPERATION OF A DIGITAL CIRCUIT

(54) Titre : DISPOSITIF DE SURVEILLANCE DU FONCTIONNEMENT D'UN CIRCUIT NUMERIQUE

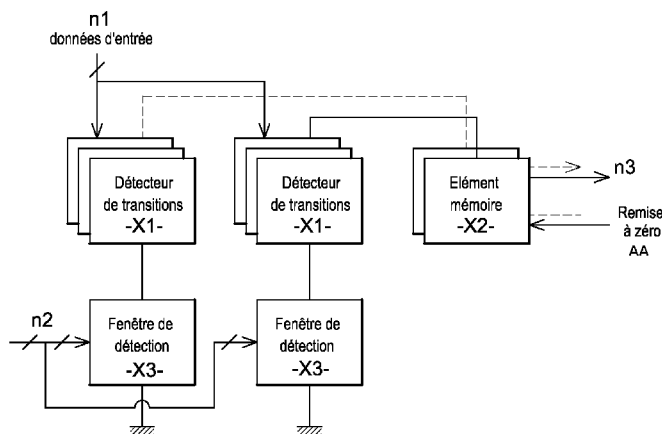


Fig. 2

n1 input data  
X1 Transition detector  
X2 Memory element  
X3 Detection window  
AA Reset

(57) Abstract : The invention relates to a digital electronic circuit (100), including: a plurality of sequential elements (103; 104; 105; 106); at least one data-conducting path (101; 102) connecting an input sequential element to a destination sequential element; a clock outputting a clock signal (clk) on a clock tree for setting the speed of the sequential elements; characterised in that said circuit includes a monitoring device (S1; S2) receiving, as an input, at least one data signal (D1, D2) travelling on a conducting path and arriving at a destination sequential element, the monitoring device including: a means (S2; X3) for defining at least one detection window according to the clock tree; and a means (X1) for detecting a transition of each data signal received during a detection window; and wherein each detection window is defined so as to enable the detection or anticipation of a fault corresponding to a violation of the rise time or the maintenance time of a data signal relative to a clock signal edge received by the destination sequential element receiving said data signal.

(57) Abrégé :

[Suite sur la page suivante]



WO 2010/122036 A1

---

Dans l'invention, on propose un circuit électronique numérique (100) comprenant : - une pluralité d'éléments séquentiels (103; 104; 105; 106); - au moins un chemin conducteur de données (101; 102) reliant un élément séquentiel d'entrée à un élément séquentiel de destination; - une horloge délivrant un signal d'horloge (clk) sur un arbre d'horloge pour cadencer les éléments séquentiels; caractérisé en ce qu'il comprend un dispositif de surveillance (S1; S2) qui reçoit en entrée au moins un signal de donnée (D1, D2) circulant sur un chemin conducteur et arrivant sur un élément séquentiel de destination, le dispositif de surveillance comprenant : - des moyens (S2; X3) pour définir, à partir de l'arbre d'horloge, au moins une fenêtre de détection; et - des moyens (X1) de détection d'une transition de chaque signal de donnée reçu pendant une fenêtre de détection; et dans lequel chaque fenêtre de détection est définie pour permettre la détection ou l'anticipation d'une faute correspondant à une violation d'un temps d'établissement ou d'un temps de maintien d'un signal de donnée par rapport à un front du signal d'horloge reçu par l'élément séquentiel de destination recevant ce signal de donnée.

## **DISPOSITIF DE SURVEILLANCE DU FONCTIONNEMENT D'UN CIRCUIT NUMERIQUE**

La présente invention a pour objet un dispositif de surveillance,  
5 d'observation du fonctionnement d'un circuit numérique. Elle a pour but  
essentiel d'anticiper et /ou de détecter, lors du fonctionnement du circuit  
numérique considéré, les signaux violant les contraintes temporelles,  
notamment les contraintes temporelles liées aux temps d'établissement et  
aux temps de maintien des éléments mémoires de types bascule ou verrou.

10 Le domaine de l'invention est, d'une façon générale, celui des  
circuits électroniques numériques. De tels circuits utilisent une horloge,  
généralant un signal d'horloge à une fréquence préalablement déterminée,  
dite fréquence d'horloge, pour cadencer les transferts de données,  
notamment entre des éléments séquentiels de type bascule ou verrou (latch  
15 dans la littérature anglaise). Afin d'améliorer les performances temporelles  
des circuits numériques, on peut chercher à utiliser une fréquence d'horloge  
la plus élevée possible.

Aussi, dans les circuits électronique numériques, un certain  
nombre de vérifications, dites vérifications temporelles, doivent être  
20 effectuées pour s'assurer que ledit circuit respecte les contraintes de  
performances, et plus spécifiquement pour vérifier que le circuit reste  
fonctionnel à la fréquence d'horloge préconisée. Ces vérifications sont  
réalisées par le calcul des temps de propagation sur les chemins de  
données et d'horloge du circuit, en s'assurant que les contraintes de temps  
25 de maintien et d'établissement des bascules/verrous d'arrivées ne sont pas  
violées – on parle de violations temporelles - , et cela sur l'ensemble du  
circuit. Le temps d'établissement d'une bascule/verrou correspond au temps  
de stabilité minimum qu'une donnée doit respecter en entrée de la bascule  
avant que ne se présente le front d'horloge, afin qu'elle soit effectivement  
30 prise en compte par la bascule/ le verrou. Le temps de maintien d'une  
bascule/verrou correspond au temps de stabilité minimum qu'une donnée

## 2

doit respecter en entrée de la bascule/verrou après que le front d'horloge s'est présenté, afin que ladite donnée soit effectivement prise en compte par la bascule/verrou.

Dans les technologies micrométriques, les analyses de type pire-cas  
5 permettent d'identifier les chemins critiques limitant la fréquence de fonctionnement du circuit et d'estimer de façon réaliste les temps de propagation dans ces chemins. Les chemins critiques correspondent dans la pratique aux chemins susceptibles d'être empruntés par un signal, et pour lesquels les risques de violations temporelles sont les plus probables. La  
10 marge temporelle (slack) est définie comme la différence entre le temps d'arrivée escompté du signal et le temps d'arrivée induisant une violation de la contrainte.

Dans le cadre de la conception de circuits en technologie nanométriques, et plus particulièrement de circuits faible consommation, les  
15 marges prises lors des analyses pire-cas deviennent très pessimistes à tel point que le circuit ne peut pas être optimisé de façon efficace. En effet, les variations de processus de fabrication, les variations environnementales - telles que les baisses locales et temporaires de la tension d'alimentation -, ou encore l'apparition de gradients de température, sont d'autant de  
20 phénomènes dont l'impact sur les performances des circuits nécessite la prise en compte de marges temporelles de plus en plus grandes pour être certain de couvrir toutes les éventualités si les méthodes d'analyses actuelles sont appliquées.

Les variations dynamiques des performances temporelles, dues aux  
25 variations dynamiques difficilement prévisibles de température et de tension d'alimentation rendent indispensables le suivi en ligne des performances du circuit en intégrant au sein même du circuit des éléments pouvant détecter ces dérives et pouvant trouver le point de fonctionnement optimal du circuit en réduisant au mieux les marges temporelles introduites par l'utilisation des  
30 méthodes d'analyse des délais actuelles.

## 3

Dans un premier temps, le suivi en ligne des performances du circuit numérique peut se faire grâce à l'intégration d'oscillateurs en anneau ou des répliques de chemins critiques pour connaître la fréquence maximum de fonctionnement. Mais ces capteurs, consommant, de surface importante et  
5 difficiles à exploiter, ne couvrent que les variations globales du circuit et la présence de variations locales rendent insuffisantes leur mise en œuvre,.

Pour prendre en compte les variations locales, une autre solution pour réaliser le suivi en ligne des performances consiste à proposer un système intégré dans la fonctionnalité même du circuit. Dans le document :  
10 « Das, S *et al.* « A self-tuning DVS processor using delay-error detection and correction », IEEE\_JSSC, 2006, 41, 792-804 », des bascules appelées bascules RAZOR permettent de détecter une violation de temps d'établissement en utilisant de la redondance au niveau des éléments séquentiels, de type bascule notamment. Néanmoins, cette solution  
15 comporte plusieurs problèmes : afin d'avoir un taux de couverture sur chemins critiques acceptable, il convient de minimiser l'impact de l'insertion de cette redondance, or les bascules RAZOR occupent deux à trois plus de surface silicium que des bascules standards et consomment nettement plus. Une autre méthode, basée sur la vérification de la stabilité des données,  
20 s'appuie sur une structure matérielle de vérification dont le rôle est de comparer entrée et sortie de bascules pour détecter d'éventuelles violations temporelles. Une telle méthode est par exemple décrite dans le document suivant : "Yada et al. "Modified Stability Checking for On-line Error Detection" proceedings of VLSID'07, 20th International Conference on VLSI Design,  
25 2007".

Si cette méthode a le mérite de réduire considérablement le coût en terme de surface silicium, notamment par rapport à la solution consistant à utiliser des bascules RAZOR, les fenêtres temporelles de détection d'erreur caractérisant les structures de vérifications, sont malheureusement dans les  
30 deux exemples fixes et trop larges. Ainsi, un problème apparaît alors : si, entre un premier élément séquentiel et un deuxième élément séquentiel on

## 4

a identifié un chemin critique, et qu'il existe un autre chemin plus court entre un autre élément séquentiel (ou éventuellement entre le premier élément séquentiel) et le dit deuxième élément séquentiel ; il est alors nécessaire de rajouter sur ce chemin plus court un certain nombre de cellules de délais –  
5 ou buffers – ralentissant la propagation du signal entre les deux éléments séquentiels considérés, pour éviter les violations de temps de maintien de l'élément séquentiel d'arrivée lorsque le signal emprunte ledit chemin plus court. Par ailleurs, l'insertion de ces structures n'est possible que dans des architectures comportant un module de rattrapage, c'est-à-dire un module de  
10 correction d'erreur, par exemple en ré-exécutant à une fréquence plus faible la séquence mise en faute. C'est la raison pour laquelle cette approche cible - principalement les microprocesseurs hautes performances à fort débit de calculs.

Le document « Agarwal *et al.* « Optimized Circuit Failure Prediction for  
15 Aging Practicality and Promise », International Test conference Oct 08" propose un système plus léger que RAZOR, permettant d'anticiper les fautes et donc d'éviter l'insertion d'un module de rattrapage. Cependant, son implémentation est telle que la largeur de la fenêtre d'anticipation est hautement corrélée aux conditions environnementales du circuit, ce qui pose  
20 des problèmes de marges variant en cas de recherche de point optimal (Tension, fréquence).

Le dispositif de surveillance selon l'invention propose une solution aux problèmes et inconvénients qui viennent d'être exposés. Dans l'invention, on propose une solution pour anticiper et/ou détecter, et ce lors du  
25 fonctionnement du circuit, les signaux violant les contraintes temporelles. A cet effet, on prévoit, dans l'invention, la génération d'une fenêtre temporelle, générée à partir du signal d'horloge du circuit numérique considéré, dont la durée et la récurrence sont déterminées de manière précise ; dans l'invention, on prévoit également une utilisation efficace de l'arbre d'horloge  
30 déjà disponible dans les circuits numériques à logique utilisant notamment des bascules/verrous comme éléments d'échantillonnage des données.

## 5

D'une manière générale, le dispositif selon l'invention permet ainsi d'anticiper et de détecter les violations de temps d'établissement et de maintien dues aux variations dynamiques par le positionnement d'une fenêtre temporelle précédant l'arrivée du front du signal d'horloge ; le dispositif selon l'invention  
5 permet également, pour un circuit numérique considéré, de caractériser les variations statiques (qualité du circuit défini par la donnée, après fabrication, de l'ensemble des paramètres caractérisant la technologie avec laquelle il a été conçu) et/ou dynamiques (vieillesse des composants, variations de la tension d'alimentation, de la température, ou toute autre variation  
10 intervenant de manière temporaire durant la durée de vie du circuit et affectant les performances temporelles du circuit) dudit circuit numérique, notamment en déterminant les fréquences du signal d'horloge maximales de fonctionnement.

L'invention concerne donc essentiellement un circuit électronique numérique  
15 comprenant :

- une pluralité d'éléments séquentiels ;
- au moins un chemin conducteur de données reliant un élément séquentiel d'entrée à un élément séquentiel de destination ;
- une horloge délivrant un signal d'horloge sur un arbre d'horloge  
20 pour cadencer les éléments séquentiels ;

caractérisé en ce qu'il comprend un dispositif de surveillance qui reçoit en entrée au moins un signal de donnée circulant sur un chemin conducteur et arrivant sur un élément séquentiel de destination, le dispositif de surveillance comprenant :

- 25 - des moyens pour définir, à partir de l'arbre d'horloge, au moins une fenêtre de détection ; et
- des moyens de détection d'une transition de chaque signal de donnée reçu pendant une fenêtre de détection ; et

dans lequel chaque fenêtre de détection est définie pour permettre la  
30 détection ou l'anticipation d'une faute correspondant à une violation d'un temps d'établissement ou d'un temps de maintien d'un signal de donnée par rapport à un front du signal d'horloge reçu par l'élément séquentiel de destination recevant ce signal de donnée.

## 6

Le circuit selon l'invention peut comporter, en plus des caractéristiques principales qui viennent d'être mentionnées dans le paragraphe précédent, une ou plusieurs caractéristiques supplémentaires parmi les suivantes:

- 5           - lesdits moyens de détection du dispositif de surveillance détectent une transition de signal sur une même fenêtre de détection pour plusieurs signaux de données reçus arrivant respectivement sur plusieurs éléments séquentiels de destination.
- lesdits moyens pour définir au moins une fenêtre de détection
- 10           comprennent un circuit générateur qui est inséré dans l'arbre d'horloge, ledit circuit générateur propageant ledit signal d'horloge jusqu'à au moins un élément séquentiel de destination et délivrant au moins un signal temporel permettant la génération d'au moins une fenêtre de détection.
- au moins une fenêtre de détection est variable, lesdits moyens de
- 15           définition d'une fenêtre de détection recevant au moins un signal de contrôle permettant la définition d'une fenêtre de détection variable.
- au moins une fenêtre de détection est localisée avant un front du
- signal d'horloge.
- au moins une fenêtre de détection est localisée autour d'un front du
- 20           signal d'horloge.
- au moins une fenêtre de détection est localisée après un front du
- signal d'horloge.
- le circuit de surveillance comporte au moins un élément mémoire
- pour mémoriser au moins une transition détectée avec les moyens de
- 25           détection de transition.
- le circuit électronique numérique comprend en outre des moyens de
- réglage de la fréquence du signal d'horloge en fonction des transitions
- détectées par les moyens de détection de transition.
- le circuit électronique numérique comprend en outre des moyens de
- 30           réglage de la tension de fonctionnement du circuit et/ou de la tension du
- substrat en fonction des transitions détectées par les moyens de détection
- de transition.
- les éléments séquentiels sont des bascules du type passantes sur
- un front du signal d'horloge.

35           La présente invention se rapporte également à un dispositif de

## 7

surveillance du fonctionnement d'un circuit électronique numérique, le dit circuit numérique comportant notamment :

- une pluralité d'éléments séquentiels, notamment de type bascules ;
- une pluralité de chemins conducteurs d'une donnée, chaque chemin

5 de ladite pluralité de chemins reliant deux éléments séquentiels de ladite pluralité d'éléments séquentiels ;

- une horloge délivrant un signal d'horloge, ledit signal d'horloge cadencant notamment les éléments séquentiels ;

10 caractérisé en ce que le dispositif de surveillance comporte au moins un circuit de surveillance, ledit circuit de surveillance recevant en entrée :

- un signal de donnée circulant sur un des chemins conducteurs de la pluralité de chemins conducteurs ;

- un signal temporel transmis pour générer une fenêtre variable, dite fenêtre de détection variable, le dit signal temporel présentant une

15 alternance haute de durée inférieure à l'alternance haute du signal d'horloge;

et en ce que le circuit de surveillance comporte des moyens de détection de transition du signal de donnée pendant la fenêtre de détection.

20 Le dispositif selon l'invention peut comporter, en plus des caractéristiques principales qui viennent d'être mentionnées dans le paragraphe précédent, une ou plusieurs caractéristiques supplémentaires parmi les suivantes:

- le dispositif selon l'invention comporte des moyens pour générer la fenêtre de détection variable en la localisant avant un front du signal d'horloge ;

25 - le dispositif selon l'invention comporte des moyens pour générer la fenêtre de détection variable en la localisant autour d'un front du signal d'horloge ;

- le dispositif selon l'invention comporte des moyens pour générer la fenêtre de détection variable en la localisant après un front du signal

30 d'horloge ;

- le dispositif selon l'invention comporte des moyens pour générer une

## 8

pluralité de fenêtres de détection, avec au moins une fenêtre de détection avant un front montant du signal d'horloge, et au moins une fenêtre de détection autour d'un front du signal d'horloge ;

5 - le circuit de surveillance comporte au moins un élément mémoire pour mémoriser les transitions détectées avec les moyens de détection de transition du signal de donnée pendant la fenêtre de détection ;

- le circuit de surveillance comporte au moins un transistor utilisé pour transmettre le signal temporel aux moyens de détection de transition du signal de donnée dudit circuit de surveillance ;

10 - le dispositif de surveillance comporte, pour générer au moins le signal temporel transmis sous la forme d'une fenêtre variable, un circuit générateur, ledit circuit générateur comportant notamment un élément combinatoire recevant à une première entrée un premier signal correspondant au signal d'horloge éventuellement retardé, et à une  
15 deuxième entrée un deuxième signal, correspondant au premier signal ayant traversé au moins un élément inverseur et/ou au moins un élément de type porte combinatoire non inverseuse ;

- l'élément combinatoire du circuit générateur est du type porte NAND.

20 Les différentes caractéristiques supplémentaires du dispositif selon l'invention, dans la mesure où elles ne s'excluent pas mutuellement, sont combinées selon toutes les possibilités d'association pour aboutir à différents exemples de mise en œuvre du procédé selon l'invention.

L'invention et ses différentes applications seront mieux comprises à la lecture de la description qui suit et à l'examen des figures qui  
25 l'accompagnent.

Celles-ci ne sont présentées qu'à titre indicatif et nullement limitatif de l'invention.

30 - la figure 1, illustre de manière schématique un circuit électronique numérique intégrant le dispositif de surveillance selon l'invention ;

## 9

- la figure 2 illustre schématiquement une représentation fonctionnelle d'un circuit de surveillance/observation du dispositif de surveillance/observation selon l'invention ;

5 - la figure 3 illustre différents exemples de réalisation d'un élément de détection de transition du circuit de surveillance/observation du dispositif de surveillance/observation selon l'invention ;

- la figure 4 représente différents chronogrammes de différents signaux intervenant dans un des exemples de circuit de détection de la figure 3 ;

10 - la figure 5 montre un exemple de réalisation d'un élément de mémoire du circuit de surveillance du dispositif de surveillance selon l'invention ;

15 - la figure 6 illustre différents exemples de réalisation d'une structure permettant l'insertion de la fenêtre de détection dans le circuit de détection de transition ;

- la figure 7 illustre différents exemples d'utilisation possible du dispositif de surveillance/observation selon l'invention ;

20 - la figure 8 montre un exemple de réalisation d'un circuit générateur de fenêtre temporelle utilisée dans le dispositif de surveillance selon l'invention.

Les différents éléments apparaissant sur différentes figures auront conservé, sauf précision contraire, les mêmes références.

Sur la figure 1, on a représenté schématiquement une partie d'un circuit numérique 100 avec un premier chemin 101 conducteur de données et un deuxième chemin 102 conducteur de données reliant respectivement  
25 un premier élément séquentiel d'entrée 103 de type bascule à un premier élément séquentiel de destination 104 de type bascule, et un deuxième élément séquentiel d'entrée 105 de type bascule à un deuxième élément séquentiel de destination 106. Chaque chemin de données est typiquement  
30 constitué d'éléments combinatoires, de type portes logiques, qui sont traversés par les données circulant sur les chemins considérés. Selon

## 10

l'invention, on insère dans le circuit numérique un circuit de détection de transition S1, qui reçoit en entrée des signaux de données D1 et D2 circulant sur le premier chemin 101 et le deuxième chemin 102, respectivement par une première liaison de dérivation 107 et par une deuxième liaison de dérivation. 108. Un premier signal d'horloge Clk est transmis après passage  
5 dans une partie de l'arbre d'horloge aux bascules 103 et 105 (clk1), ainsi qu'en parallèle au reste de l'arbre d'horloge puis à un circuit générateur de fenêtres temporelles S2. Le circuit générateur de fenêtres temporelles S2 fournit un deuxième signal d'horloge Clk2 aux bascules 104 et 106, et un  
10 signal temporel, consistant en au moins une fenêtre de détection variable au circuit de détection S1. Le dispositif de surveillance selon l'invention est, dans la pratique, essentiellement constitué du circuit de détection S1 et du circuit générateur S2.

Ainsi, comme représenté à la figure 1, le circuit de détection S1  
15 s'insère, dans le circuit numérique 100, au niveau des chemins de données, à proximité des bascules du circuit. Le circuit de détection S1 reçoit comme signaux d'entrée n1 signaux venant de la partie combinatoire (chemins de données) et n2 signaux venant du circuit générateur S2, dont la fonction est de calibrer une ou plusieurs fenêtres temporelles de détection qui seront  
20 utilisées par le circuit de détection S1. Le circuit de détection S1 fournit n3 sorties qui sont activées lorsqu'une transition dans un signal de données a été effectivement détectée pendant qu'au moins une fenêtre temporelle de détection était active, comme il le sera décrit plus en détail par la suite.

Le circuit générateur S2 s'insère donc dans le chemin d'horloge du  
25 circuit numérique 100. Le circuit générateur S2 peut, d'une façon générale, être localisé n'importe où dans le circuit numérique 100 ; il est cependant préférable de respecter une insertion homogène selon la symétrie de l'arbre d'horloge. Il est également avantageux de disposer le circuit générateur S2 au plus près des bascules, c'est-à-dire en bout de feuille de l'arbre d'horloge,  
30 c'est à dire à proximité du circuit de détection S1 afin d'éviter l'introduction

## 11

de problèmes de décalage des temps d'arrivée du signal d'horloge au bout des différentes feuilles de l'arbre (skew).

S2 prend en entrée le signal d'horloge, et génère un ou plusieurs signaux clkw permettant de calibrer le(s) fenêtre(s) de détection et envoyant  
5 les signaux sur S1, tout en continuant d'amener l'horloge à sa destination. S2 peut également prendre des signaux de contrôle permettant de choisir les fenêtres de détection à envoyer via les fils n2.

Comme illustré schématiquement à la figure 2, le circuit de détection S1 fonctionne selon le principe connu dit de XOR par déchargement de la  
10 capacité d'entrée de la porte suivante. Il est ainsi composé des éléments suivants :

- des moyens de détection de transition, également désignés comme détecteurs de transition, X1 ; on compte, selon l'invention, autant de détecteurs de transition X1 que le circuit de détection S1 admet de signaux  
15 d'entrée, n1 dans l'exemple représenté ;

- au moins un élément de mémoire X2, au nombre de n3 - n3 étant également le nombre de bits de sortie du circuit de détection de transition S1 - dans l'exemple représenté, dont la fonction est de mémoriser une information sur les transitions détectées dans les signaux de données  
20 pendant l'activation des fenêtres temporelles ; chaque élément de mémoire peut également admettre en entrée un signal de contrôle externe apte à vider le contenu de la mémoire considérée ;

- au moins un élément X3, au nombre de n2 dans l'exemple représenté, d'insertion de la fenêtre de détection de transition, pour  
25 l'insertion de la fenêtre de détection dans le circuit de détection S1 au niveau des détecteurs de transition X1. Il faut noter qu'il y a autant de bits de sortie du circuit de détection de transition S1 qu'il y a de fenêtres de détection X3 activées à la fois.

La figure 3 illustre deux exemples de réalisation d'un détecteur de  
30 transition X1.

Un premier exemple 300 de réalisation présente l'architecture

## 12

suivante :

- un premier transistor à effet de champ (FET) (canal N) T11 reçoit sur sa grille un signal de donnée D1 ; le drain du FET T11 est relié à un élément de mémoire X2 ;

5 - un deuxième FET canal N T12 reçoit également sur sa grille le signal D1 après passage par un premier délai inverseur 301 et un délai non inverseur 302 ; la fonction d'un délai total inverseur est de retarder un signal et de l'inverser ; les délais inverseurs sont par exemple élaborés au moyen de cellules logiques ; le drain du FET T12 est relié à la source du FET T11 ;

10 - un troisième FET canal N T 13 reçoit sur sa grille le signal D1 après passage par le premier délai inverseur 301 ; le drain du FET T13 est relié à l'élément de mémoire X2 ;

- un quatrième FET canal N reçoit sur sa grille le signal D1 après un passage par le délai inverseur 301, le délai non inverseur 302 et par un délai inverseur 303 ; le drain du FET T14 est relié à la source du FET T12 ;

15 - la source du FET T12 et la source du FET T14 sont reliées à un élément X3.

Un deuxième exemple 310 de réalisation présente l'architecture suivante :

20 - un premier FET canal N T21 reçoit sur sa grille un signal de donnée D1 ; le drain du FET T21 est relié à un élément de mémoire X2 ;

- un deuxième FET canal N T22 reçoit également sur sa grille le signal D1 après passage par un premier délai inverseur 311 ; le drain du FET T22 est relié à la source du FET T21 ;

25 - un troisième FET canal N T 23 reçoit sur sa grille le signal D1 après un passage par le premier délai inverseur 311 et par un deuxième délai inverseur 312; le drain du FET T23 est relié à l'élément de mémoire X2 ; la source du FET T23 est reliée au drain du FET T22 ;

- la source du FET T22 est reliée à un élément X3.

30 Ainsi, d'une manière générale, le détecteur de transition X1 prend en entrée les données arrivant en avant de la bascule et détecte les fronts

## 13

montants ou descendants. Il est, dans les exemples décrits, simplement composé de transistors N permettant la décharge de la capacité d'entrée de la porte de connexion contenue dans X2, élément mémoire permettant de sauvegarder la valeur de décharge et délivrant un signal 0 ou un 1 selon la polarité souhaitée. On notera que bien évidemment une structure tout à fait équivalente peut être faite en logique duale à base de transistors PMOS, voire avec une combinaison de NMOS et PMOS.

Dans le cas de plusieurs entrées, la structure du détecteur de transition X1 est répétée en parallèle autant de fois qu'il y a de signal de données d'entrée. On notera également qu'une structure similaire peut aussi être implémentée en logique dynamique, reprenant tous les éléments du détecteur de transition X1 (sur une ou plusieurs entrées), associé à un module X2 qui précharge la sortie de X1 pendant la phase d'horloge où celui-ci n'est pas évalué et génère un signal pouvant être mémorisé à plus haut niveau.

Au moyen des chronogrammes de la figure 4, on explique à présent comment le deuxième exemple de réalisation 310 permet de réaliser une détection de transition du signal de donnée D1.

Sur cette figure :

- 20 - un premier chronogramme 401 illustre l'évolution temporelle du signal d'horloge clk du circuit numérique 100 ;
- un deuxième chronogramme 402 illustre l'évolution temporelle de la fenêtre de détection clkw ;
- un troisième chronogramme 403 illustre l'évolution temporelle du signal de donnée D1 ;
- 25 - un quatrième chronogramme 404 illustre l'évolution temporelle du caractère passant/bloqué du premier FET T21 ;
- un cinquième chronogramme 405 illustre l'évolution temporelle du caractère passant/bloqué du deuxième FET T22 ;
- 30 - un sixième chronogramme 406 illustre l'évolution temporelle du caractère passant/bloqué du troisième FET T23 ;

## 14

- un septième chronogramme 407 illustre l'évolution d'un signal de réinitialisation de l'élément de mémoire X2 ;

- un huitième chronogramme 408 illustre l'évolution de l'information d'erreur mémorisée dans l'élément de mémoire X2 dans le cas où la polarité choisie est telle qu'il y ait détection quand le paramètre "erreur" prend la valeur "1" .

Dans l'exemple représenté, selon l'architecture du deuxième exemple 310, il y a décharge à l'entrée de l'élément de mémoire X2 si une des deux combinaisons suivantes est observée :

10 - la fenêtre de détection est active (le signal clkw est à la valeur binaire 1), et les FET 21 et 22 sont passants ; on détecte alors une transition de 0 à 1 du signal de donnée D1 ;

- la fenêtre de détection est active, et les FET 23 et 22 sont passants ; on détecte alors une transition de 1 à 0 du signal de donnée D1.

15 Ainsi, les chronogrammes représentés correspondent au cas où une erreur a été détectée à un instant t1, la donnée D1 arrivant (front montant 411) au niveau de la bascule après le front montant de la fenêtre de détection (front montant 412). Une telle observation permet d'affirmer que le chemin parcouru par D1 est trop long par rapport à la fréquence d'horloge  
20 utilisée. La fréquence d'horloge devra en conséquence être diminuée.

A l'inverse, à un instant t2, qui suit directement le passage du signal de donnée de la valeur 1 à la valeur 0, aucune erreur n'est détectée, le signal de donnée D1 présentant un front descendant 413 arrivant suffisamment avant une nouvelle fenêtre de détection repérée par un front  
25 montant 414. Le chemin emprunté ici par la donnée D1 est plus court que le précédent chemin qui a provoqué l'erreur à l'instant t1.

La figure 5 illustre un exemple de réalisation d'un élément de mémoire X2. L'élément de mémoire X2 est dans cet exemple constitué d'un circuit inverseur 501 et d'un circuit logique de type NAND 502, ce dernier  
30 permettant la conservation en mémoire d'une information d'erreur détectée. Le signal issu du détecteur de transition X1 est transmis à la fois au circuit

## 15

inverseur 501 et au circuit logique de type NAND 502, ces deux circuits étant par ailleurs reliés entre eux par une liaison 503.

Ainsi, d'une manière générale, l'élément de mémoire X2 garde la valeur de détection de transition, avantageusement pour la transmettre à plus haut niveau dans un système global incorporant le dispositif de surveillance selon l'invention ; le module de mémoire X2 peut avantageusement être remis à zéro grâce à un signal spécifique Ss transmis au circuit logique de type NAND 502. L'élément de mémoire X2 peut bien évidemment être implémenté de manières très diverses (verrou, inverseur + bascule, ...).

Afin de discrétiser les informations provenant de fenêtres temporelles différentes, il convient d'avoir autant d'éléments mémoire X2 que de fenêtres temporelles créées provenant du circuit générateur de fenêtres temporelles S2.

La figure 6 illustre différents exemples de réalisation d'une structure X3 permettant l'insertion de la fenêtre de détection dans le circuit de détection de transition. Le rôle de la structure X3 dans le circuit de détection de transition S1 est de permettre la décharge d'un signal révélateur d'une transition d'un signal de donnée si et seulement si la fenêtre de détection est active. Selon un premier mode de réalisation de la structure X3, correspondant au cas où un unique pulse produit par le circuit générateur S2 est suffisant pour couvrir la fenêtre désirée, un unique transistor 603 est nécessaire. Selon un deuxième mode de réalisation de la structure X3, correspondant au cas où le circuit générateur S2 produit un premier signal 605 destiné à ouvrir la fenêtre de détection, et un deuxième signal 604, destiné à fermer la fenêtre de détection, il est nécessaire d'utiliser un premier transistor 606 et un deuxième transistor 607, par exemple des transistors FET de type N, la source du premier transistor 606 étant reliée au drain du deuxième transistor 607, les signaux générés par le circuit générateur étant reçus par les grilles des deux transistors. De plus, il est tout à fait possible d'inclure de la logique de contrôle avant ou intégrée à la

## 16

structure X3 permettant l'activation ou non du système de capteur.

Le dispositif de surveillance selon l'invention peut être utilisé selon différents modes, notamment ceux illustrés à la figure 7.

5 Dans un premier mode d'utilisation 701, le dispositif est utilisé en anticipateur de fautes en localisant une fenêtre de détection 711 avant le front montant du signal d'horloge.

Dans un deuxième mode d'utilisation 702 et 703, le dispositif est utilisé en détecteur de fautes en localisant une fenêtre de détection 712 autour du front montant du signal d'horloge. Dans le premier cas 702, une  
10 faute est détectée, le signal de donnée D1 présentant un front montant 715 pendant la fenêtre de détection 712. Dans le deuxième cas 703, aucune faute n'est détectée, le signal de donnée D1 présentant un front montant 716 après la fenêtre de détection 712 ; ces différents cas de figure ont été détaillés en référence à la figure 4.

15 Dans un troisième mode d'utilisation 704, le dispositif est utilisé en discriminateur d'avertissement de fautes en générant plusieurs fenêtres de détection, par exemple une première fenêtre 713 et une deuxième fenêtre 714, localisées respectivement avant et sur le front d'horloge. Dans l'invention, lorsqu'il y a plusieurs fenêtres de détection, les signaux associés  
20 auxdites fenêtres peuvent être indépendamment générés puis propagés par le circuit générateur S2, ou bien être créés en interne du circuit de détection de transition S1 à partir de signaux de départ grâce à l'introduction de délais dans le circuit S1 ; dans le deuxième cas de figure, on limite le nombre de fils conducteurs présents en entrée du circuit S1.

25 La figure 8 illustre un exemple de réalisation d'un circuit générateur S2 dont la fonction est de propager, au niveau d'une première branche 803, un signal d'horloge clk de qualité aux bascules tout en générant, au niveau d'une deuxième branche 804, à partir de ce même signal d'horloge clk les éléments nécessaires à la constitution des fenêtres de détection clkw. A cet  
30 effet, on propose, dans l'invention, d'utiliser les temps de propagation du

## 17

signal d'horloge, notamment au travers d'éléments de type inverseurs, pour pouvoir bien calibrer et ajuster la fenêtre de détection et le signal d'horloge.

Ainsi, dans l'exemple illustré, on implémente, pour former un chemin long, une succession d'inverseurs 801 et de buffers sur une première liaison  
5 805 de la deuxième branche 804, le nombre d'inverseurs et de buffers dépendant notamment des variations de retard observées avec les variations de l'alimentation ou de la température. La génération de la fenêtre de détection se fait par la présence d'une porte NAND 802 recevant en entrée d'une part la première liaison 805 et d'autre part une deuxième liaison 806  
10 de la deuxième branche 804 véhiculant le signal d'horloge clk, ladite deuxième liaison formant un chemin court. Ainsi, on obtient une fenêtre de détection présentant une alternance haute de durée inférieure à l'alternance haute du signal d'horloge.

Le dispositif de surveillance selon l'invention, outre son rôle d'anticipation  
15 des violations des contraintes temporelles, offre ainsi une grande résolution temporelle, tout en évitant l'ajout de buffers pour combler les éventuelles fautes de temps de maintien des bascules disposées sur différents chemins. La détection en ligne de la criticité de signaux est avantageusement utilisée pour asservir la fréquence d'horloge et/ou la tension de fonctionnement et/ou  
20 la tension de substrat afin de maintenir la fonction numérique dans une zone de fonctionnement fiable et optimale.

## 18

REVENDICATIONS

1- Circuit électronique numérique (100) comprenant :

- 5                   - une pluralité d'éléments séquentiels (103 ; 104 ; 105 ; 106) ;  
                  - au moins un chemin conducteur de données (101 ; 102) reliant  
                  un élément séquentiel d'entrée à un élément séquentiel de  
                  destination ;  
                  - une horloge délivrant un signal d'horloge (clk) sur un arbre  
                  d'horloge pour cadencer les éléments séquentiels ;  
10                caractérisé en ce qu'il comprend un dispositif de surveillance (S1; S2)  
                  qui reçoit en entrée au moins un signal de donnée (D1, D2) circulant sur un  
                  chemin conducteur et arrivant sur un élément séquentiel de destination, le  
                  dispositif de surveillance comprenant :
- 15                   - des moyens (S2 ; X3) pour définir, à partir de l'arbre d'horloge, au  
                  moins une fenêtre de détection ; et  
                  - des moyens (X1) de détection d'une transition de chaque signal  
                  de donnée reçu pendant une fenêtre de détection ; et  
                  dans lequel chaque fenêtre de détection est définie pour permettre la  
                  détection ou l'anticipation d'une faute correspondant à une violation d'un  
20                temps d'établissement ou d'un temps de maintien d'un signal de donnée par  
                  rapport à un front du signal d'horloge reçu par l'élément séquentiel de  
                  destination recevant ce signal de donnée.

25                2- Circuit électronique selon la revendication 1, dans lequel lesdits  
                  moyens de détection du dispositif de surveillance détectent une transition de  
                  signal sur une même fenêtre de détection pour plusieurs signaux de  
                  données reçus arrivant respectivement sur plusieurs éléments séquentiels  
                  de destination.

30                3 - Circuit électronique selon l'une des revendications précédentes,  
                  dans lequel lesdits moyens pour définir au moins une fenêtre de détection  
                  comprennent un circuit générateur (S2) qui est inséré dans l'arbre d'horloge,  
                  ledit circuit générateur propageant ledit signal d'horloge jusqu'à au moins un  
                  élément séquentiel de destination et délivrant au moins un signal temporel  
35                (clkw) permettant la génération d'au moins une fenêtre de détection.

4 – Circuit selon l'une des revendications précédentes, dans lequel au  
5 moins une fenêtre de détection est variable, lesdits moyens de définition  
d'une fenêtre de détection recevant au moins un signal de contrôle  
permettant la définition d'une fenêtre de détection variable.

5 - Circuit selon l'une des revendications précédentes caractérisé en  
10 ce qu'au moins une fenêtre de détection (711) est localisée avant un front  
du signal d'horloge.

6 - Circuit selon l'une des revendications 1 à 4, caractérisé en ce  
qu'au moins une fenêtre de détection (712) est localisée autour d'un front du  
15 signal d'horloge.

7 - Circuit selon l'une des revendications 1 à 4, caractérisé en ce  
qu'au moins une fenêtre de détection est localisée après un front du signal  
d'horloge.

20

8- Circuit selon l'une au moins des revendications précédentes  
caractérisé en ce que le circuit de surveillance comporte au moins un  
élément mémoire (X2) pour mémoriser au moins une transition détectée  
avec les moyens de détection (X1) de transition.

25

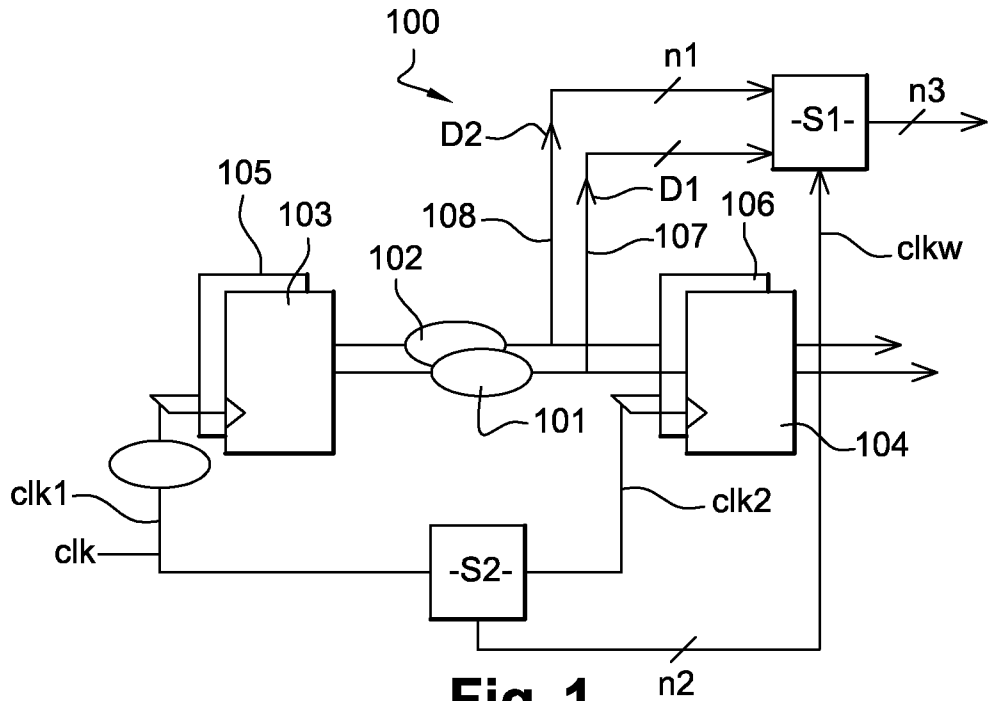
9 - Circuit selon la revendication 5, comprenant en outre des moyens  
de réglage de la fréquence du signal d'horloge en fonction des transitions  
détectées par les moyens de détection de transition (X1).

10 – Circuit selon la revendication 7, comprenant en outre des  
moyens de réglage de la tension de fonctionnement du circuit et/ou de la  
tension du substrat en fonction des transitions détectées par les moyens de  
détection de transition (X1).

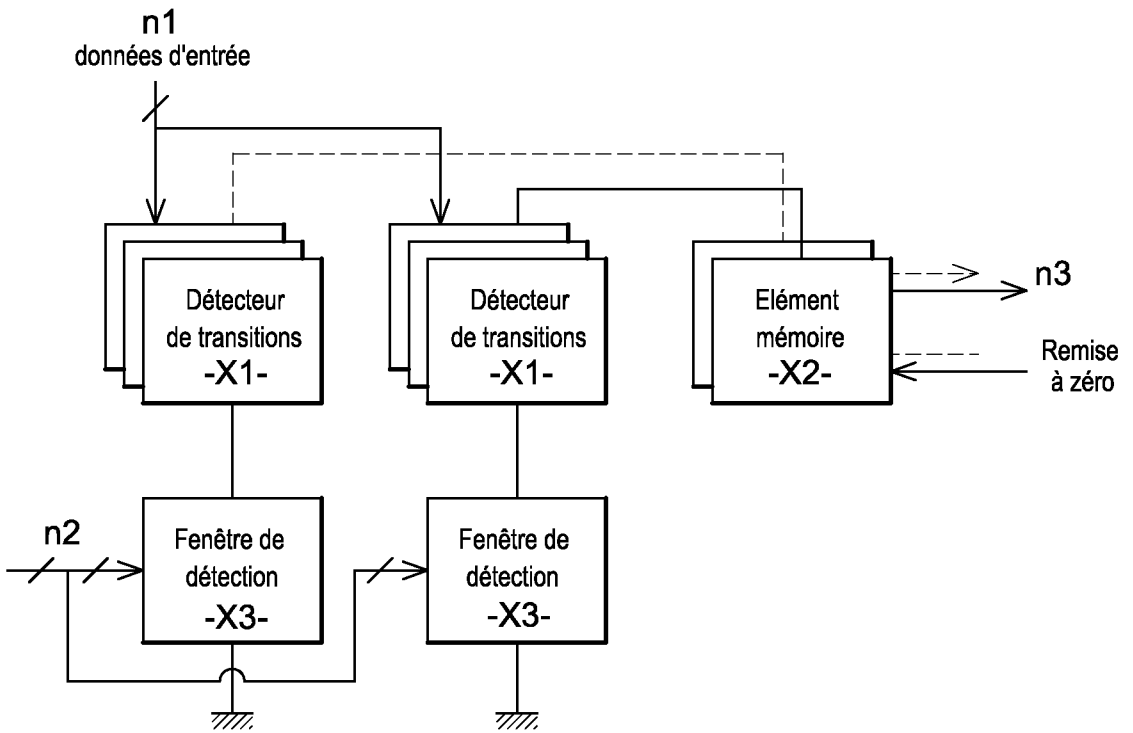
35 11 – Circuit selon l'une des revendications précédentes, dans lequel

**20**

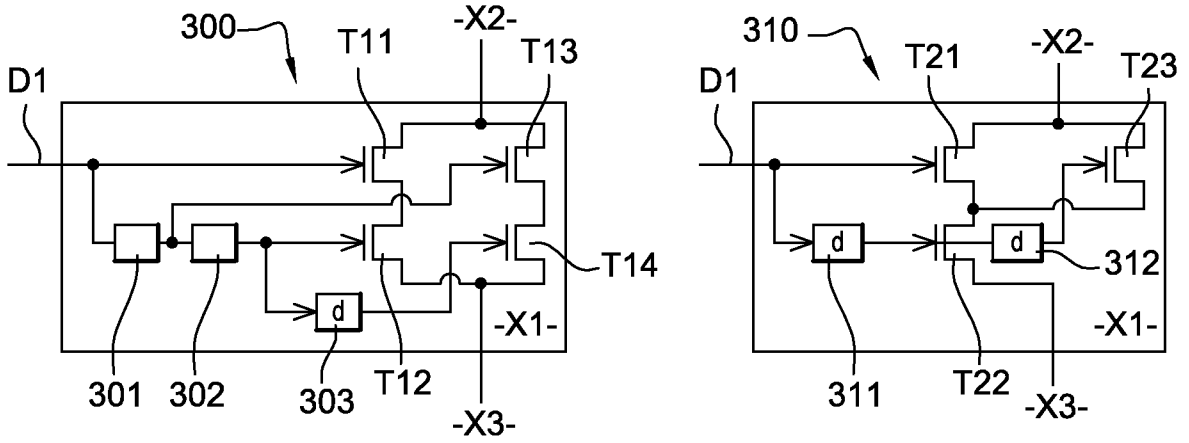
les éléments séquentiels sont des bascules du type passantes sur un front du signal d'horloge.



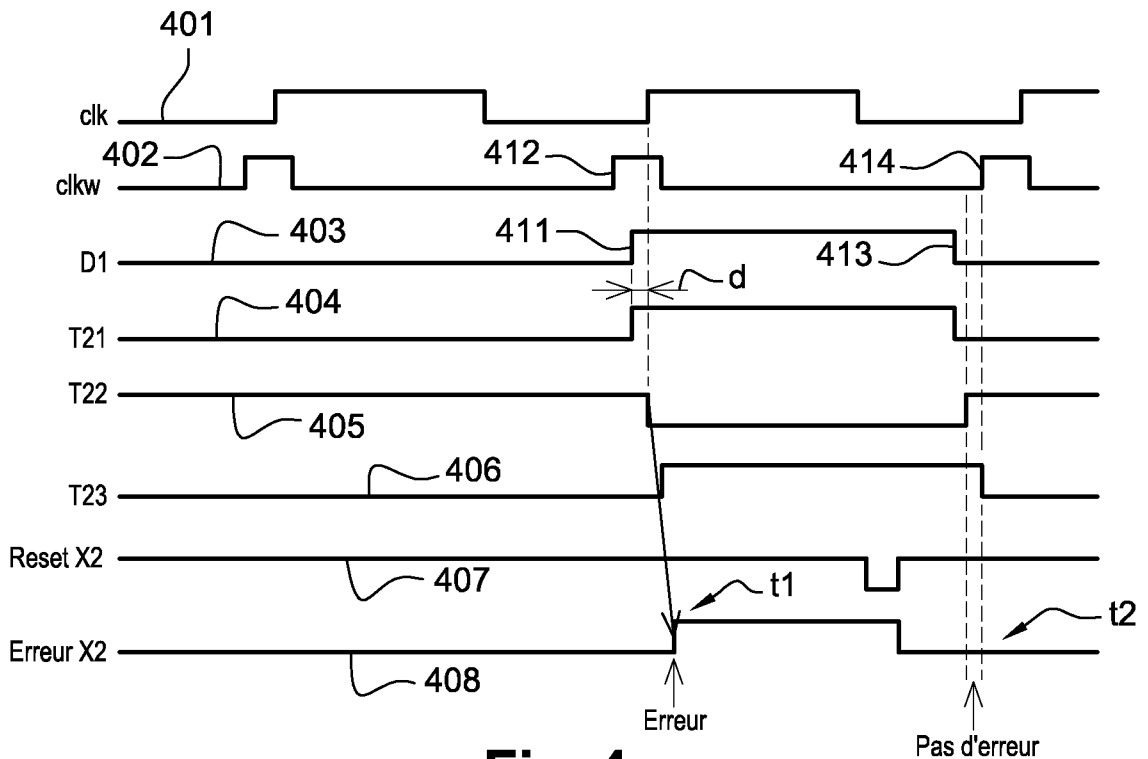
**Fig. 1**



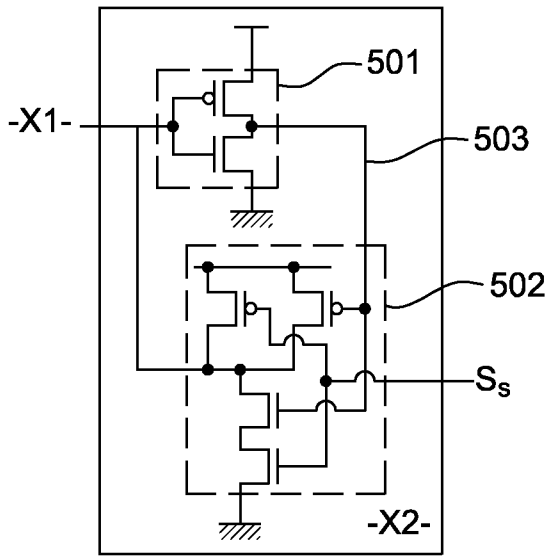
**Fig. 2**



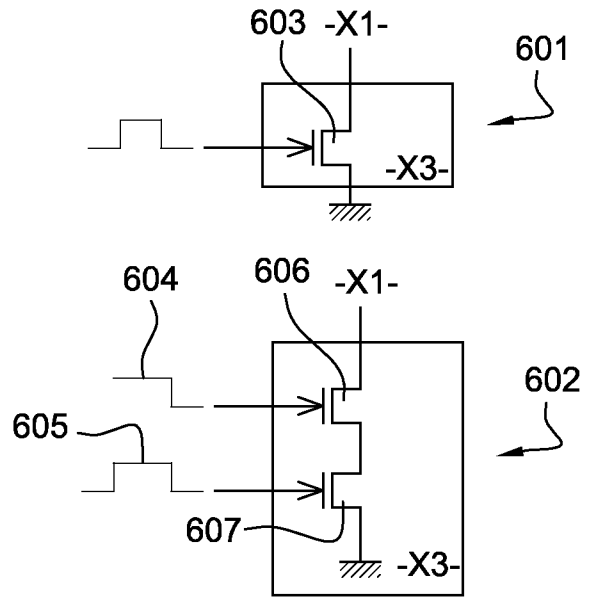
**Fig. 3**



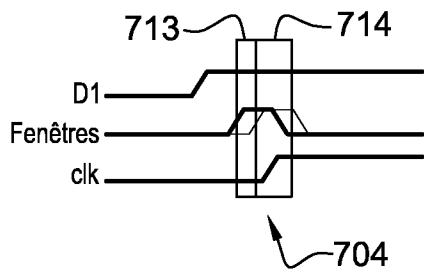
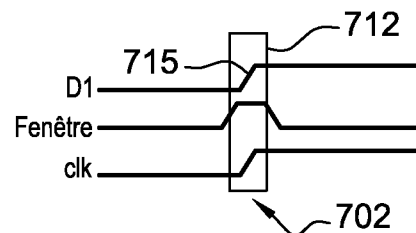
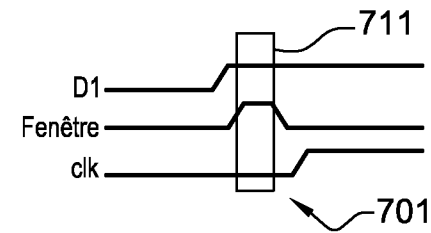
**Fig. 4**



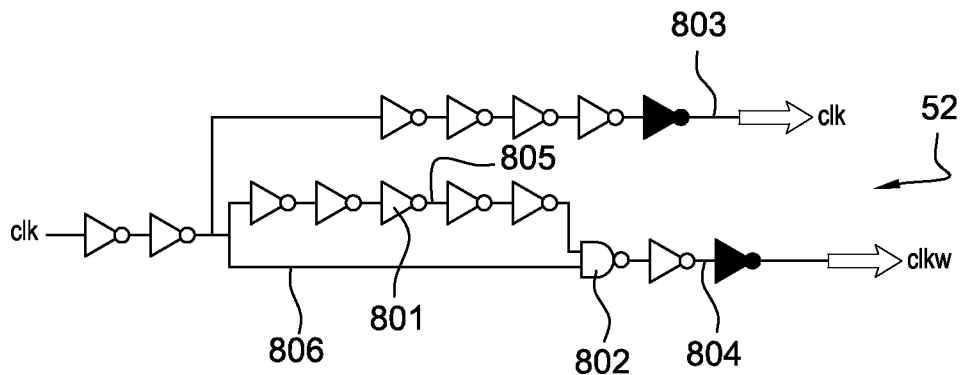
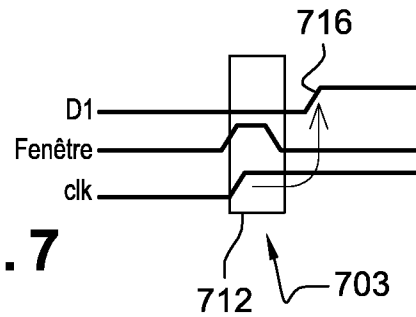
**Fig. 5**



**Fig. 6**



**Fig. 7**



**Fig. 8**

**INTERNATIONAL SEARCH REPORT**

International application No  
PCT/EP2010/055222

**A. CLASSIFICATION OF SUBJECT MATTER**  
 INV. G01R31/317  
 ADD.  
 According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**  
 Minimum documentation searched (classification system followed by classification symbols)  
 G01R

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)  
 EPO-Internal, INSPEC

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	DAS S ET AL: "RazorII: In Situ Error Detection and Correction for PVT and SER Tolerance" IEEE JOURNAL OF SOLID-STATE CIRCUITS, IEEE SERVICE CENTER, PISCATAWAY, NJ, US, vol. 44, no. 1, 1 January 2009 (2009-01-01), pages 32-48, XP011241059 ISSN: 0018-9200 Chapter III (p. 34-39)	1-11

Further documents are listed in the continuation of Box C.       See patent family annex.

\* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"E" earlier document but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
"O" document referring to an oral disclosure, use, exhibition or other means	"&" document member of the same patent family
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search  <b>27 May 2010</b>	Date of mailing of the international search report  <b>07/06/2010</b>
---	---

Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016	Authorized officer  <b>Meggyesi, Zoltán</b>
--	---

## INTERNATIONAL SEARCH REPORT

International application No  
PCT/EP2010/055222

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	<p>KALISZ J ET AL: "Dual-edge late-transition detector for testing the metastability effect in flip-flops" MICROELECTRONICS, 2004. ICM 2004 PROCEEDINGS. THE 16TH INTERNATIONAL CONFERENCE ON TUNIS, TUNISIA DEC. 6-8, 2004, PISCATAWAY, NJ, USA, IEEE LNKD-DOI:10.1109/ICM.2004.1434782, 6 December 2004 (2004-12-06), pages 780-782, XP010800934 ISBN: 978-0-7803-8656-3 the whole document</p> <p>-----</p>	1-11
A	<p>US 2006/119397 A1 (FERRAILO FRANK D [US] ET AL FERRAILO FRANK DAVID [US] ET AL) 8 June 2006 (2006-06-08) paragraph [0009] - paragraph [0015]</p> <p>-----</p>	1-11
A	<p>SATISH YADA ET AL: "Modified Stability Checking for On-line Error Detection" VLSI DESIGN, 2007. HELD JOINTLY WITH 6TH INTERNATIONAL CONFERENCE ON EMBEDDED SYSTEMS., 20TH INTERNATIONAL CONFERENCE ON, IEEE, PI, 1 January 2007 (2007-01-01), pages 787-792, XP031044498 ISBN: 978-0-7695-2762-8 cited in the application Chapter 1-3</p> <p>-----</p>	1-11
A	<p>MRIDUL AGARWAL ET AL: "Optimized Circuit Failure Prediction for Aging: Practicality and Promise" TEST CONFERENCE, 2008. ITC 2008. IEEE INTERNATIONAL, IEEE, PISCATAWAY, NJ, USA, 28 October 2008 (2008-10-28), pages 1-10, XP031372401 ISBN: 978-1-4244-2402-3 cited in the application Chapter 2.1 (p. 2-3)</p> <p>-----</p>	1-11

# INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/EP2010/055222

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2006119397	A1	NONE	

# RAPPORT DE RECHERCHE INTERNATIONALE

Demande internationale n°

PCT/EP2010/055222

**A. CLASSEMENT DE L'OBJET DE LA DEMANDE**

INV. G01R31/317

ADD.

Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB

**B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE**

Documentation minimale consultée (système de classification suivi des symboles de classement)

G01R

Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche

Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si cela est réalisable, termes de recherche utilisés)

EPO-Internal, INSPEC

**C. DOCUMENTS CONSIDERES COMME PERTINENTS**

Catégorie*	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
X	DAS S ET AL: "RazorII: In Situ Error Detection and Correction for PVT and SER Tolerance" IEEE JOURNAL OF SOLID-STATE CIRCUITS, IEEE SERVICE CENTER, PISCATAWAY, NJ, US, vol. 44, no. 1, 1 janvier 2009 (2009-01-01), pages 32-48, XP011241059 ISSN: 0018-9200 Chapter III (p. 34-39)	1-11



Voir la suite du cadre C pour la fin de la liste des documents



Les documents de familles de brevets sont indiqués en annexe

\* Catégories spéciales de documents cités:

"A" document définissant l'état général de la technique, non considéré comme particulièrement pertinent

"E" document antérieur, mais publié à la date de dépôt international ou après cette date

"L" document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée)

"O" document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens

"P" document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée

"T" document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention

"X" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément

"Y" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier

"&amp;" document qui fait partie de la même famille de brevets

Date à laquelle la recherche internationale a été effectivement achevée

27 mai 2010

Date d'expédition du présent rapport de recherche internationale

07/06/2010

Nom et adresse postale de l'administration chargée de la recherche internationale

 Office Européen des Brevets, P.B. 5818 Patentlaan 2  
 NL - 2280 HV Rijswijk  
 Tel. (+31-70) 340-2040,  
 Fax: (+31-70) 340-3016

Fonctionnaire autorisé

Meggyesi, Zoltán

C(suite). DOCUMENTS CONSIDERES COMME PERTINENTS		
Catégorie*	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
A	<p>KALISZ J ET AL: "Dual-edge late-transition detector for testing the metastability effect in flip-flops" MICROELECTRONICS, 2004. ICM 2004 PROCEEDINGS. THE 16TH INTERNATIONAL CONFERENCE ON TUNIS, TUNISIA DEC. 6-8, 2004, PISCATAWAY, NJ, USA, IEEE LNKD-DOI:10.1109/ICM.2004.1434782, 6 décembre 2004 (2004-12-06), pages 780-782, XP010800934 ISBN: 978-0-7803-8656-3 le document en entier</p> <p>-----</p>	1-11
A	<p>US 2006/119397 A1 (FERRAILO FRANK D [US] ET AL FERRAILO FRANK DAVID [US] ET AL) 8 juin 2006 (2006-06-08) alinéa [0009] - alinéa [0015]</p> <p>-----</p>	1-11
A	<p>SATISH YADA ET AL: "Modified Stability Checking for On-line Error Detection" VLSI DESIGN, 2007. HELD JOINTLY WITH 6TH INTERNATIONAL CONFERENCE ON EMBEDDED SYSTEMS., 20TH INTERNATIONAL CONFERENCE ON, IEEE, PI, 1 janvier 2007 (2007-01-01), pages 787-792, XP031044498 ISBN: 978-0-7695-2762-8 cité dans la demande Chapter 1-3</p> <p>-----</p>	1-11
A	<p>MRIDUL AGARWAL ET AL: "Optimized Circuit Failure Prediction for Aging: Practicality and Promise" TEST CONFERENCE, 2008. ITC 2008. IEEE INTERNATIONAL, IEEE, PISCATAWAY, NJ, USA, 28 octobre 2008 (2008-10-28), pages 1-10, XP031372401 ISBN: 978-1-4244-2402-3 cité dans la demande Chapter 2.1 (p. 2-3)</p> <p>-----</p>	1-11

# RAPPORT DE RECHERCHE INTERNATIONALE

Renseignements relatifs aux membres de familles de brevets

Demande internationale n°

PCT/EP2010/055222

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 2006119397	A1	08-06-2006	AUCUN