

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6440246号
(P6440246)

(45) 発行日 平成30年12月19日 (2018.12.19)

(24) 登録日 平成30年11月30日 (2018.11.30)

(51) Int.Cl.		F I		
H O 1 L 21/336 (2006.01)		H O 1 L 29/78		3 O 1 H
H O 1 L 29/78 (2006.01)		H O 1 L 21/324		X
H O 1 L 21/324 (2006.01)		H O 1 L 21/316		A
H O 1 L 21/316 (2006.01)				

請求項の数 3 (全 14 頁)

(21) 出願番号	特願2014-182774 (P2014-182774)	(73) 特許権者	504157024
(22) 出願日	平成26年9月8日 (2014.9.8)		国立大学法人東北大学
(65) 公開番号	特開2016-58500 (P2016-58500A)		宮城県仙台市青葉区片平二丁目1番1号
(43) 公開日	平成28年4月21日 (2016.4.21)	(74) 代理人	100186750
審査請求日	平成29年7月4日 (2017.7.4)		弁理士 藤本 健司
		(72) 発明者	後藤 哲也
			宮城県仙台市青葉区片平二丁目1番1号
		(72) 発明者	寺本 章伸
			宮城県仙台市青葉区片平二丁目1番1号
		(72) 発明者	黒田 理人
			宮城県仙台市青葉区片平二丁目1番1号
		(72) 発明者	諏訪 智之
			宮城県仙台市青葉区片平二丁目1番1号
		審査官	宇多川 勉

最終頁に続く

(54) 【発明の名称】 半導体素子の形成方法

(57) 【特許請求の範囲】

【請求項 1】

F E T の形成過程において、表面に素子分離パターンが形成されている S i 半導体基板を不活性ガス雰囲気中に配し、9 0 0 以下で所定時間アニール処理する工程を含み、前記アニール処理は、ゲート絶縁膜を形成すべきシリコン表面の酸化膜を除去した状態で、ゲート絶縁膜形成の直前に行ない、

前記アニール処理前に、前記 S i 半導体基板を不活性ガス雰囲気中で、3 0 0 ~ 3 8 0 で所定時間加熱するプレ・アニール処理を実施し、そのまま昇温して前記アニール処理を実施する、

半導体素子の形成方法。

【請求項 2】

前記プレ・アニール処理は、排気された不活性ガス中の酸素濃度及び水分濃度が 1 0 0 p p b 以下になるまで実施する、請求項 1 に記載の半導体素子の形成方法。

【請求項 3】

前記不活性ガスが、アルゴン (A r)、クリプトン (K r)、キセノン (X e) の少なくともいずれか 1 つである、請求項 1 に記載の半導体素子の形成方法。

【発明の詳細な説明】

【技術分野】

10

20

【 0 0 0 1 】

本発明は、I C、L S I等の半導体装置を構成する半導体素子の形成方法に関するものである。

【背景技術】

【 0 0 0 2 】

I C、L S I等の半導体装置の歴史は、高集積化と構成する半導体素子（トランジスタ等）の微細化の歴史でもある。半導体素子の代表的なものにM O S F E T（Metal Oxide Semiconductor Field Effect Transistor）がある。M O S F E Tは、一方のサイドにソース領域が、他方のサイドにドレイン領域が形成され、その間にチャネル領域が形成される半導体領域（活性領域）が形成されている。そして、該半導体領域上には、ゲート酸化膜が設けられているのが一般的である。該ゲート酸化膜上にはゲート電極が設けてある。前記チャネル領域は、素子の駆動時に該ゲート酸化膜の直下に形成され、その中を移動する電荷量をコントロールすることで素子のO N - O F F（スイッチング）動作がなされる。即ち、前記ゲート電極に、O N - O F F信号を印加して前記チャネル領域を流れる電流をO N - O F Fする（電流駆動）。

【 0 0 0 3 】

図1 A、1 B、1 Cに、M O S F E Tの代表例の構造を模式的に示す。

図1 Aに示すM O S F E T 1 0 0は、単結晶のシリコン（S i）半導体基板（シリコンウェーハ）1 0 1にソース領域1 0 2、ドレイン領域1 0 3、これらに挟まれてチャネル領域が形成される半導体領域（活性領域）1 0 4が形成されている。

半導体領域1 0 4上には、ゲート酸化膜1 0 5、ゲート電極1 0 6が設けられえてある。図1 A、1 Bには、半導体領域1 0 4とゲート酸化膜1 0 5との界面（I）の様子が模式的に拡大して示してある。図1 Bには、界面（I）が凹凸性であり、図1 Cには、界面（I）が平滑性である場合が一部誇張して記載されてある。M O S F E T 1 0 0が、それ程、微細でない場合は、図1 Bに示す界面（I）の凹凸性の影響は、チャネル領域を移動する多量の電荷（electron、hole）に対しては無視できるが、2 2、1 4 nmと素子サイズが小さくなるにつれ、電荷の移動に対するこの凹凸性の影響が大きくなっていく。そのため、図1 Cに示すように、界面（I）の平滑性は、素子サイズが小さくなるにつれ原子オーダーレベルの平滑性までもが要求されていく。即ち、微細化の要求からM O S F E Tの素子自体が小さくなるに連れ、前記電流駆動の能力（電流駆動能力）は、前記ゲート酸化膜と前記半導体領域の界面（I）の平坦性の影響が大きくなる。即ち、図1 Cに示すように、界面（I）の平滑性が優れていると、電荷はソース領域1 0 2からドレイン領域1 0 3に向かって、矢印Bで示す様に直進するのに対して、図1 Cに示すように、界面（I）に凹凸性があると、電荷は、この凹凸に移動方向を左右されて矢印Aで図示するように依れてドレイン領域1 0 3まで移動する。

【 0 0 0 4 】

その結果、界面（I）の平坦性が悪いと前記電流駆動能力は低下し素子の高速動作に不向きになるので、単結晶のシリコン（S i）半導体基板（シリコンウェーハ）表面を、極力、平坦にすることが求められる（非特許文献1）。そのため、従来は、M O S F E Tを高集積に形成する単結晶のシリコン（S i）半導体基板（シリコンウェーハ）の表面に予め原子オーダーの平坦化処理を施していた（例えば、非特許文献2、特許文献1、2）。

しかしながら、実際には、半導体領域上にゲート酸化膜を形成する直前までに、S i半導体基板は、種々のプロセス（イオン注入、ウェル形成、素子分離、エッチング、洗浄、リンスなど）が適用されるため、前記半導体領域表面の当初の原子オーダー平坦性をゲート酸化膜形成後も維持し続けることは極めて難しい。

その解決法の一つとして提案されているのが、洗浄には、光・大気を完全に遮断し室温で実施する無アルカリ洗浄を採用し、ゲート酸化膜形成には、ラジカル酸化法を採用する方法である（従来法A）。

【先行技術文献】

【非特許文献】

【 0 0 0 5 】

【非特許文献 1】T. Ohmi, K. Kotani, A. Teramoto, and M. Miyashita, IEEE Elec. Dev. Lett., 12, 652 (1991).

【非特許文献 2】L. Zhong, A. Hojo, Y. Matsushita, Y. Aiba, K. Hayashi, R. Takeda, H. Shirai, and H. Saito, Phys. Rev. B. 54, 2304 (1996).

【特許文献】

【 0 0 0 6 】

【特許文献 1】国際公開 WO 2 0 1 1 / 0 9 6 4 1 7 A 1

【特許文献 2】国際公開 WO 2 0 1 3 / 1 5 0 6 3 6 A 1

【発明の概要】

10

【発明が解決しようとする課題】

【 0 0 0 7 】

しかしながら、前記従来法 A では、アルカリ洗浄が採用できないので、半導体基板の被処理表面上に残るパーティクルの完全除去は難しい。

更に、光・大気を完全遮断が必要であるから、そのための製造装置を用意しなければならず製造コスト増は避けられない。そのために製造される半導体装置の営業利益を圧迫することになる。

そこで、素子分離パターン形成後に、従来の原子オーダー平坦化処理のためのアニール処理を施すことも考えられるが、平坦化の原理がシリコン (Si) のマイグレーションによるため、Si 表面に加え SiO₂ 表面も共存すると、SiO₂ 膜の膜質が高品質 (化学量論的関係を満たしている) でない場合は、プロセス雰囲気中に僅かでも酸素や水分が存在すると、シリコン (Si) が酸素や水分と反応して、SiO 若しくは SiH₄ となって膜から離脱してしまうことが懸念されている。

20

そのため、素子製造プロセス実施中の処理雰囲気においては、酸素や水分を可能な限り除外する必要がある。

更に、SiO₂ 膜の膜質が高品質でないと、製造プロセス実施過程で、SiO₂ 膜は、処理雰囲気中から酸素や水分を膜中に取り込みやすくなり、また、その表面に水分を吸着しやすくなる傾向がある。

そのため、SiO₂ 膜にアニール処理を施すと、その処理過程で、膜中より酸素や水分を放出し、放出した酸素や水分が Si 膜の Si と反応し、SiO 若しくは SiH₄ となっ

30

て膜から離脱してしまう懸念がある。

一方、高品質の SiO₂ 膜は、今のところ熱酸化膜でないと得られていないが、高品質の SiO₂ 膜としての熱酸化膜は、1000 以上の高温でないと容易には得られないという課題がある。

しかし、これまでは MOSFET の形成においては、このような高温プロセスを適用すると、素子領域も酸化してしまうため、スパッタリング法や CVD 法で素子分離膜・ゲート酸化膜を形成しているが、このような方法では、熱酸化膜のような高品質の膜は得られないとされている。

加えて、Si 層の表面は、フッ酸洗浄後の状態で水素終端されているが、その水素は、温度を上げていくと、380 ~ 450 の領域で Si 層の表面から離脱する。終端の水素が無くなると Si 層の表面は非常に酸化されやすくなり、シリコン酸化膜が形成されることが多い。このシリコン酸化膜が形成されると、その後の平坦化処理を阻害することになる。

40

【 0 0 0 8 】

本発明は、上記の問題に鑑みてなされたものであり、その目的の一つは、素子形成前に予め原子オーダー平坦化表面処理をシリコンウェーハに施さなくても、チャネル形成用の半導体領域 (以後、「半導体領域 (Ch)」と記すこともある) とゲート酸化膜の界面 (I) が原子オーダーの平坦性を備えた半導体素子を形成することが出来る半導体素子の形成方法を提供することである。

本発明のもう一つの目的は、素子の微細化が進んでも、形成される素子の上記界面 (I

50

)の平坦性は、原子オーダーレベルで形成でき、より一層の高速動作と高機能化が可能な半導体素子の形成方法を提供することである

【課題を解決するための手段】

【0009】

本発明の側面の一つは、FETの形成過程において、表面に素子分離パターンが形成されているSi半導体基板を不活性ガス雰囲気中に配し、900以下で所定時間アニール処理する工程を含む半導体素子の形成方法にある。

本発明のもう一つの側面は、前記アニール処理前に、該アニール処理のアニール温度より低い温度での加熱処理を施す工程を含む半導体素子の形成方法にある。

本発明の更にもう一つの側面は、前記アニール処理前に、プラズマ励起によるラジカル酸化処理を施す工程を含む半導体素子の形成方法にある。

【発明の効果】

【0010】

本発明によれば、チャンネル形成用の半導体領域とゲート酸化膜の界面(I)に原子オーダーの平坦性を備えることが出来、一層の高速動作・高機能化が可能な半導体素子を提供できる。

【図面の簡単な説明】

【0011】

【図1A】代表的構造例のMOSFETにおけるチャンネル領域を移動する電荷の移動状態がゲート絶縁膜直下の界面の平坦性に依存することを説明するための模式的構造説明図。

【図1B】図1Aの点線で示す円内の拡大図であって、界面(I)が凹凸性である構造の一例を示す図。

【図1C】図1Aの点線で示す円内の拡大図であって、界面(I)が平滑性である構造の一例を示す図。

【図2】本発明に関わる、MOSFETの代表例の構造を模式的に示す模式的構造説明図。

【図3】本発明に関わる製造方法の製造プロセスの好適な一例を示す図。

【図4A】図3の各プロセスを模式的に示す断面図。

【図4B】図4Aに続く各プロセスを模式的に示す断面図。

【図5】本発明に関わって作成された試料の測定結果の一例を示すグラフ。

【図6】本発明に関わって作成された試料の測定結果の他の例を示すグラフ。

【図7】本発明における試料作製の際の温度シーケンス(アニール条件(i))を示すグラフ。

【図8】本発明における試料作製の際のもう一つの温度シーケンス(アニール条件(ii))を示すグラフ。

【発明を実施するための形態】

【0012】

ここで、本実施形態に係るMOSFETの形成方法について、図2、3を参照して説明する。

【0013】

図2は、本発明に関わる、MOSFETの代表例の構造を模式的に示す模式的構造説明図である。

図2に示すMOSFET900は、STI(Shallow trench Isolation)素子分離法によって、各素子(MOSFET)が分離された構造をしている。

MOSFET900は、半導体基板901、フィールド絶縁膜(埋め込み酸化膜)902a、902b、ソース領域906、ドレイン領域907、ゲート絶縁膜904、ゲート電極905、シリサイド膜903a、903b、903c、層間絶縁膜908a、908b、ゲート取り出し電極909、ソース取り出し電極910、ドレイン取り出し電極911、サイドウォール912で構成されている。

【0014】

10

20

30

40

50

図 3 , 図 4 A , 4 B は、本発明に関わる製造プロセスの一部の好適な一例を説明するための模式的製造プロセス説明図である。

図 3 に示す各工程は、以下の通りである。

工程 (A) ・ ・ ・ パッド酸化膜 (SiO_2 膜) 3 0 1 、 C V D による窒化膜 3 0 2 の形成

工程 (B) ・ ・ ・ 窒化膜 (Si_3N_4) 3 0 2 、 酸化膜 (SiO_2) 3 0 1 、 (Si) 半導体基板 9 0 1 をエッチングしての浅溝 3 0 3 の形成と、トレンチ酸化膜 (SiO_2) 3 0 4 の形成

工程 (C) ・ ・ ・ フィールド絶縁膜 (SiO_2 膜) 9 0 2 の形成とその上部、トレンチ酸化膜 3 0 3 を C M P で除去

工程 (D) ・ ・ ・ 自然酸化膜、窒化膜 3 0 2 の除去

工程 (E) ・ ・ ・ パッド酸化膜 3 0 1 の除去

工程 (F) ・ ・ ・ イオン注入前の W e t 酸化による酸化膜 3 0 5 の形成

工程 (G) ・ ・ ・ ウェル形成 (イオン注入)

工程 (H) ・ ・ ・ イオン注入前酸化膜 3 0 5 の除去

工程 (I) ・ ・ ・ 原子オーダー平坦化处理

工程 (J) ・ ・ ・ ラジカル酸化によるゲート絶縁膜 (酸化膜) 9 0 4 の形成

工程 (K) ・ ・ ・ ゲート電極 9 0 5 の形成

【 0 0 1 5 】

先ず、半導体基板 9 0 1 (シリコンウェーハ、シリコン半導体基板) の表面を、アルカリ溶液を用いた洗浄法によって洗浄し、純粋水でリンスする。

次に、素子形成領域を定めるために、半導体基板 9 0 1 表面上にパッド SiO_2 膜 3 0 1 と Si_3N_4 膜 3 0 2 とを形成し、次いで、半導体基板 9 0 1 の所定部位をエッチングして底が浅い分離溝 3 0 3 (3 0 3 a 、 3 0 3 b) を形成する。

溝 3 0 3 の内壁を熱酸化してトレンチ酸化膜 3 0 4 を形成した後に、必要に応じて溝底面や溝側面にチャンネルストッパ不純物を導入する。

その後、C V D による SiO_2 で溝 3 0 3 内を埋めるように十分量の SiO_2 を堆積してフィールド絶縁膜 9 0 2 (9 0 2 a 、 9 0 2 b) を形成する。

この際、C M P (Chemical Mechanical Polishing) などの平坦化技術を用いて C V D - SiO_2 で構成された余分な領域を平坦に削って窒化膜 3 0 2 を露出させる。

最後に窒化膜 3 0 2 を取り除いて素子分離構造を完成させる (「 工程 (D) 」) 。

次いで、パッド酸化膜 3 0 1 を除去する (「 工程 (E) 」) 。

その後、イオン注入前に、ウェット酸化を行い (「 工程 (F) 」) 、次いで、所定領域にイオン注入を行ってウェルを形成して、ソース領域 9 0 6 とドレイン領域 9 0 7 を設ける (「 工程 (G) 」) 。

その次に、工程 (F) での酸化処理で形成した酸化膜を除去する (「 工程 (H) 」) 。

次いで、本発明に関わる原子オーダー平坦化处理を行う (「 工程 (I) 」) 。

その後、ラジカル酸化処理を行って、ゲート絶縁膜 9 0 4 を形成する (「 工程 (J) 」) 。

ゲート絶縁膜 9 0 4 上にポリシリコン (Poly-Si) 膜を堆積させてゲート電極 9 0 5 を形成する (「 工程 (K) 」) 。

その後、必要に応じて、シリコン窒化膜などでサイドウォール 9 1 2 (9 1 2 a 、 9 1 2 b) を形成する。

その次に、好ましい態様として、ゲート電極 9 0 5 表面、ソース領域 9 0 6 表面、ドレイン領域 9 0 7 表面にシリサイド処理を施して、C o S i 等からなるシリサイド膜 9 0 3 (9 0 3 a 、 9 0 3 b 、 9 0 3 c) を設けるのが望ましい。

その後に、層間絶縁膜 9 0 8 を設け、該層間絶縁膜 9 0 8 の所定位置にコンタクトホールを形成し、次いで、該コンタクトホールを所望の金属で埋めて、ゲート取り出し金属電極 9 0 9 、ソース取り出し金属電極 9 1 0 、ドレイン取り出し金属電極 9 1 1 をそれぞれ形成する。

以上の様にして、図 2 に示すような構造の M O S F E T を形成する。

10

20

30

40

50

【 0 0 1 6 】

又、トランジスタを同一半導体基板に多数形成する場合の各トランジスタ間の素子分離方法は、図 2 , 3 , 4 A , 4 B で説明した様に、分離溝をエッチングにより予め形成した後にフィールド絶縁膜を該溝中に埋め込む S T I (Shallow trench Isolation) の他、 L O C O S (Local

Oxidation of Silicon) 素子分離法、 S O I (Silicon on Insulator) に M O S F E T を形成する際に採用されるメサ分離法、トレンチ分離法、等が用いられる。

微細化においては、 S T I が有利であり、 S O I の場合は、トレンチ分離、特に、 S i 層を部分的に残すトレンチ分離が好ましく採用される。

更に、本発明は、 F I N - F E T などのマルチ・チャンネル F E T にも適用され得ることは、当業者なら容易に想到出来る。

10

【 0 0 1 7 】

本発明の半導体素子の形成方法においては、上記の M O S F E T 形成過程において、表面に素子分離パターンが形成されている半導体基板をアルゴン (A r) 等の不活性ガス雰囲気中、 9 0 0 以下で所定時間アニールする工程を含む。

この工程を実施することで、ゲート絶縁膜を形成する活性化領域表面は原子オーダーレベルでの平滑性 (平坦性) となる。この平滑性を備えた活性化領域表面にゲート絶縁膜を形成すれば、活性化領域とゲート絶縁膜の接触界面は該平滑性が維持された状態で M O S F E T が形成できる。

不活性ガスとしては、 A r ガスの他、ヘリウム (H e) 、ネオン (N e) 、クリプトン (K r) 、キセノン (X e) 、窒素 (N 2) などが使用され得る。

20

本発明においては、素子分離パターン形成直後であると、半導体基板の被処理表面は、 S i 表面の他、酸化シリコン (S i O 2) 表面も存在するため、 S i O 2 膜の膜質が高品質 (化学量論的關係を満たしている) でない場合、プロセス雰囲気中に僅かでも酸素や水素が存在すると、シリコン (S i) が酸素や水素と反応して、 S i O 若しくは S i H 4 となって膜から離脱してしまうことが考えられるので、素子製造プロセス実施中の処理雰囲気からは、酸素や水分を可能な限り除外する。

本発明においては処理雰囲気形成のために処理雰囲気形成空間に導入される不活性ガス中の酸素・水分濃度は、 1 0 0 ppb 以下、好ましくは、 3 0 ppb 以下、より好ましくは 10 ppb 以下とするのが望ましい。

30

又、本発明における平坦化処理を実施する前に、素子分離パターンが形成されている半導体基板にプレ・アニール処理を施して、事前に該半導体基板から酸素・水分を除去しておくのが好ましい。

その際、除去時に揮発した酸素・水分がシリコン膜の S i と反応してシリコン酸化膜を作るとその後の平坦化を阻害してしま恐れがあるので、プレ・アニール処理は低温で行うのが好ましい。

更に、原子オーダー平坦化時には、 S i 膜の表面はフッ酸洗浄後の状態で水素終端されているが、その水素は、温度を上げていくと、 3 8 0 ~ 4 5 0 の温度領域で S i 膜から離脱する。そのために、終端の水素が S i 膜表面から無くなると S i 膜表面は非常に酸化されやすくなる。

40

以上の点をトータルに考慮すると、酸素・水分除去処理は、 3 8 0 以下で行うことが望ましい。低温すぎると、酸素・水分除去効果が小さくなるので、より好ましくは、 3 0 0 ~ 3 8 0 の温度領域で行うのが望ましい。

プレ・アニール処理の雰囲気は、平坦化処理の雰囲気と同じである必要はないが、望ましくは、煩雑さを避けるために、プレ・アニール処理の雰囲気と平坦化処理の雰囲気と同じにするのが好ましい。

上記の酸素・水分除去のプレ・アニール処理は、排気された不活性ガス中の酸素・水分濃度が好ましくは、 1 0 0 ppb 以下、より好ましくは、 3 0 ppb 以下、更に好ましくは、 10 ppb 以下となるまで行うのが望ましい。

【 実施例 】

50

【 0 0 1 8 】

以下、実施例に基づき本発明をさらに詳細に説明する。

「試料 1 の作成」

先ず、口径 2 0 0 m m ϕ 、表面が (1 0 0) 配向のシリコンウェーハ (S i 半導体基板) を用意し、以下の手順でシリコンウェーハ (半導体基板) 表面の洗浄を行った。

即ち、オゾン (O 3) 水を用いてシリコンウェーハ表面を 1 0 分間洗浄し、希 H F (0 . 5 w t %) を用いて 1 分間洗浄し、最後に、超純水リンスを 3 分間行った。

このように表面を洗浄処理された半導体基板 (1) を利用して、公知の MOS デバイス作成プロセスで、シャロートレンチ分離 (S T I) を行い、Pウェル、Nウェルをイオン注入で作成し、ゲート絶縁膜を 850 のウェット熱酸化により形成し、その後、ゲート電極形成、ソース領域・ドレイン領域の形成、層間絶縁膜の形成、コンタクトホール形成、メタルコンタクトの形成等を行い、N M O S T r (ゲート長 : 0 . 4 μ m) を、半導体基板 (1) に 1 3 1 0 7 2 個、作成した。

上記のようにして N M O S T r を作り込まれた半導体基板は、ラジカル酸化 (Kr / O 2 プラズマによるラジカル酸化) でゲート酸化膜を形成する直前に、希フッ酸 (0 . 5 %) 処理を 1 分間施して自然酸化膜を除去した。

次いで、純水リンスを 10 分間した直後にアニール処理装置の所定位置にセットしてアニール処理 (本発明における平坦化処理) を施した。この際のアニール条件は図 7 に示す温度シーケンスのアニール条件 (i) (試料 1 - 1) 。

ゲート長 L が、0 . 2 8 μ m (試料 1 - 2)、0 . 2 5 μ m (試料 1 - 3)、0 . 2 2 μ m (試料 1 - 4) とした以外は、試料 1 - 1 と同様な手順と条件で、半導体基板に N M O S T r を 1 3 1 0 7 2 個、それぞれに作り込んだ。

【 0 0 1 9 】

「試料 A (比較例 A) の作成」

先ず、口径 2 0 0 m m ϕ 、表面が (1 0 0) 配向のシリコンウェーハ (「半導体基板 (2) 」) を用意し、半導体基板 (2) 表面の洗浄とリンスを試料 1 と同様に行った。

この半導体基板 (2) を用いて、試料 1 と同様に、公知の C M O S デバイス作成プロセスで、シャロートレンチ分離 (S T I) を行い、Pウェル、Nウェルをイオン注入で作成し、ゲート絶縁膜を 850 のウェット熱酸化により形成し、その後、ゲート電極形成、ソース・ドレイン形成、層間絶縁膜形成、コンタクトホール形成、メタルコンタクト形成等を行い、N M O S T r (ゲート長 L 0 . 4 0 μ m) を作成した (試料 A) 。

半導体基板 (2) に作り込まれた N M O S T r は、1 3 1 0 7 2 個である。

【 0 0 2 0 】

「試料 B の作成 (比較例 B) 」

後で詳述するように、口径 2 0 0 m m ϕ 、表面が (1 0 0) 配向のシリコンウェーハ (「半導体基板 (3) 」) を用意し、半導体基板 (3) 表面の洗浄とリンスを行い、次いで、このように洗浄処理した半導体基板 (3) を、図 7 に示す温度シーケンスに従って、8 5 0 度で 3 0 0 分 (「工程 (5) 」) アニール処理して平坦化を図った。加熱中のアルゴン (A r) 流量は、2 8 L / 分であった。

先ず、口径 2 0 0 m m ϕ 、表面が (1 0 0) 配向の半導体基板 (3) を用意し、

オゾン (O 3) 水を用いて半導体基板 (3) 表面を 1 0 分間洗浄し、その後、希 H F (0 . 5 w t %) を用いて 1 分間洗浄し、最後に、超純水リンスを 3 分間行った。

その後、上記のように洗浄・リンス処理を施した半導体基板 (3) を熱処理装置内に載置した。次いで、該熱処理装置内の熱処理空間に、水分が 0 . 2 p p b 以下、酸素 (O 2) が 0 . 1 p p b 以下のアルゴン (A r) ガスを 2 0 L / m i n 流しながら、熱処理温度 8 5 0 、熱処理時間 3 0 0 分の条件下で前記半導体基板 (3) に対し熱処理を行った。

この際の熱処理の温度シーケンスが、図 7 に示される。

即ち、先ず、シリコンウェーハの温度が30℃の状態を60分間維持した(「工程(1)」)。その後、5℃/分の昇温スピードでシリコンウェーハの温度が200℃になるまで昇温し、200℃で120分保持した(「工程(2)」)。

次いで、4℃/分の昇温スピードでシリコンウェーハの温度が600℃になるまで昇温し、600℃で20分保持した(「工程(3)」)。

引き続き、3℃/分の昇温スピードでシリコンウェーハの温度が800℃になるまで昇温し、800℃で20分保持した(「工程(4)」)。

次いで、1.5℃/分の昇温スピードでシリコンウェーハの温度が850℃になるまで昇温し、850℃で300分保持した(「工程(5)」)。

その後、図7に示す温度シーケンスでシリコンウェーハの温度が30℃になるまで降温した。

10

即ち、工程(5)の後、1℃/分の降温スピードでシリコンウェーハの温度が800℃になるまで降温し、800℃で20分保持した(「工程(6)」)。

その後、1.5℃/分の降温スピードで、シリコンウェーハの温度が30℃になるまで降温させた。その後、熱処理装置のヒータをOFFにした。

このようにして準備した半導体基板(3)に、以下のようにして、131072個のNMOSTransistors(Tr)を作り込んだ。

先ず、上記のようにして準備した半導体基板(3)の表面を、T. Ohmi, "Total room temperature wet cleaning Si substrate surface," J. Electrochem. Soc., Vol. 143, No. 9, pp.2957-2964, Sep. 1996.に記載された、アルカリ溶液を用いない洗浄法によって洗浄した。

20

【0021】

次に、図2, 3で説明した手順で、上記の処理を施した半導体基板(3)に、STIによる素子分離法を適用して、フィールド酸化膜902を形成した。

次いで、図2, 3で説明した手順と条件に従って、また、図2, 3の説明にはないことは、当業者が容易に実施できる他の公知の方法を用いて、図2に示すような構造のNMOSTrを131072個、半導体基板(3)に形成した。

尚、試料1-1~1-4、試料A, B共に、ゲート酸化膜は、原子オーダー平坦面を荒らさない、Kr/O₂プラズマによるラジカル酸化により形成した。

30

【0022】

「各試料の評価」

試料1-1、試料A, Bにおいて、131072個のNMOSTrの、ドレイン電流5μAの時のノイズ電圧(ゲート-ソース間電圧の揺らぎ)を評価し、累積頻度確率が99%のNMOSTrのノイズ電圧を評価したところ、図5に示される結果が得られた。

この結果から、試料1-1、試料B共に、試料Aよりノイズ低減が実現されたことが判る。

しかし、試料Bの場合は、平坦化アニールの後、原子オーダー平坦面を維持するのに、アルカリ洗浄を用いることが出来ない(アルカリ洗浄すると平坦面が荒れる傾向がある)ために、水素水超音波洗浄等でパーティクルを除去する必要があった。そのために、除去効率が悪く、長時間の洗浄が必要で、生産効率が著しく下がった。又、形成した平坦面を荒らさないために、ウェット洗浄時に完全遮光しなくてはならず、プロセス工程が煩雑となった。

40

以上のことから、試料1-1に実施した本発明に関わる半導体素子の形成方法が格段に優れていることが示された。

【0023】

実施例2

「試料2-1~2-3の作成」

アニール条件を、図7に示す温度シーケンスのアニール条件(i)にした以外は、試料1-

50

2 - 1 - 4 と同様の手順と条件で、試料 2 - 1 ~ 2 - 3 を作成した。

- ・ 試料 2 - 1 : ゲート長 $L \cdots 0.28 \mu m$
- ・ 試料 2 - 2 : ゲート長 $L \cdots 0.25 \mu m$
- ・ 試料 2 - 3 : ゲート長 $L \cdots 0.22 \mu m$

図 8 に示す温度シーケンスは、工程 (c) が加わった以外は、図 7 に示す温度シーケンスの場合と本質的に同じである。

本実施例において、この工程 (c) を導入した理由は、図 7 に示す温度シーケンスで平坦化アニール処理を施した場合に、Ar 排ガス中の水分濃度を、350 に昇温した直後に計測すると、サンプルによっては、1 ppm 程度観測されたので、この水分の影響を極力避けるためである。

その理由は、観測された水分は、純水リンス時に Si 半導体基板上の素子分離用の SiO₂ 膜に付着した水と考えられ、この状態で更に昇温すると、水と Si 表面が反応して平坦化を阻害する恐れがあると推察されたことによる。

図 8 に示すように、350 で 300 分加熱維持する工程 (c) を設けた場合は、工程 (c) 以降の工程での、Ar 排ガス中の水分濃度は、10 ppb 以下まで下げることが出来た。

これにより、その後 850 まで昇温しても、水分を殆ど放出することなく、平坦化処理を完了することが出来た。

試料 1 - 1 と同様の評価を、試料 1 - 2 ~ 1 - 4、試料 2 - 1 ~ 2 - 3 にも適用した。

すると、トランジスタのゲート長 L を短くしていくと、図 6 のグラフ C に示すように、試料 1 の素子作成方法だと、微細化が進むに連れ、ノイズ電圧の低減効果が低減する様子が見られるようになった。

これに対して、試料 2 - 1 ~ 2 - 3 の場合は、図 6 のグラフ E に示されるように、微細化が進むに連れて、ノイズ電圧の低減効果が低減する様子は見られなかった。

原因を調べてみると、試料 1 - 2 ~ 1 - 4 の場合は、素子分離パターンのエッジに問題があり、素子の微細化が進むとその影響が効いてくるのではないかと推測された。

【0024】

実施例 3

「試料 3 - 1 ~ 3 - 3 の作成」

平坦化アニール処理の前に、2.45 GHz のマイクロ波励起のプラズマ (Kr / O₂ プラズマ) により、ラジカル酸化する処理工程を加えた以外は、試料 1 - 2 ~ 1 - 4 と同様の手順と条件で、試料 3 - 1 ~ 3 - 3 を作成した。

この際のラジカル酸化の条件は、以下の通りであった。

- ・ 半導体基板 : 200 mm ウェーハ
- ・ ガス流量 : クリプトン (Kr) $\cdots 1000 \text{ sccm}$
- 酸素 (O₂) ガス $\cdots 10 \text{ sccm}$
- ・ マイクロ波パワー : 3500 W
- ・ マイクロ波パワー投入時間 : 4 分

- ・ 試料 3 - 1 : ゲート長 $L \cdots 0.28 \mu m$
- ・ 試料 3 - 2 : ゲート長 $L \cdots 0.25 \mu m$
- ・ 試料 3 - 3 : ゲート長 $L \cdots 0.22 \mu m$

【0025】

試料 1 - 1 と同様の評価を、試料 3 - 2 ~ 3 - 3 にも適用した。その結果が、図 6 のグラフ D に示される。

図 6 の結果から明らかなように、試料 3 - 1 ~ 3 - 3 の場合は、微細化が進むに連れて、ノイズ電圧の低減効果の向上が継続される様子が見られる。

これは、平坦化アニール処理の前にラジカル酸化処理を行うことにより、S i 領域部分の表面には、4 nm程度の酸化膜が形成され、また、S i O₂ 膜の部分は、弱い結合がラジカルにより酸化されて脱ガスの少ない膜となったものと推察される。

【 0 0 2 6 】

実施例 4

「試料 4 - 1 ~ 3 - 4 の作成」

実施例 1 において、平坦化処理のアニール条件を、工程 (4) の経過後の 1 . 5 / 分のスピードでの昇温の時間を、実施例 1 の場合より延ばして 9 0 0 まで昇温し、この温度で工程 (5) を実施した以外は、実施例の場合と同様の手順と条件で、4 つの試料、試料 4 - 1 ~ 4 - 4 を作成した。

試料 1 - 1 ~ 1 - 4 と同様の評価をしたら、試料 1 - 1 ~ 1 - 4 よりやや効果は下がるものの、比較例 A , B と比べると遥かに優れた結果を示した。

- ・ 試料 4 - 1 : ゲート長 L . . . 0 . 4 0 μ m
- ・ 試料 4 - 2 : ゲート長 L . . . 0 . 2 8 μ m
- ・ 試料 4 - 3 : ゲート長 L . . . 0 . 2 5 μ m
- ・ 試料 4 - 4 : ゲート長 L . . . 0 . 2 2 μ m

【 産業上の利用可能性 】

【 0 0 2 7 】

本発明は、M O S F E T に用いた場合についてのみ説明したが、本発明は何らこれに限定されることなく、他の F E T にも幅広く応用できるもので、F E T 搭載のあらゆる集積半導体装置に適用される。

また、これまでの本発明の説明においては、ゲート絶縁膜の形成は、典型的ということで、ラジカル酸化、ラジカル窒化、ラジカル酸・窒化の場合について記したが、本発明はこれに限定される訳ではない。この他、C V D、スパッター、蒸着等の方法で、堆積による膜形成を行う場合も本発明の範疇であることは、当分野の当業者なら容易想到のことであることは断わるまでもないことが理解される。

例えば、F I N - F E T 等で採用されている、A L D (Atomic Layer Deposition : , 原子層堆積法) 等で酸化ハフニウム等を形成している場合にも、有効に本発明は適用され得る。

以上の説明から容易に推察されるように、本発明は、半導体に関わる多くの分野に大いに貢献し得るものである。

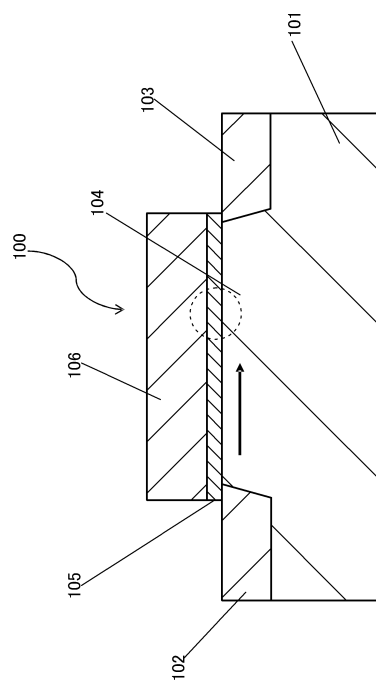
【 符号の説明 】

【 0 0 2 8 】

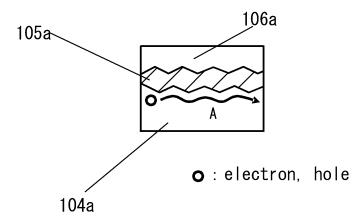
- 1 0 0 . . . M O S F E T
- 1 0 2 . . . ソ - ス領域
- 1 0 3 . . . ドレイン領域
- 1 0 4 . . . 半導体領域
- 1 0 5 . . . ゲート酸化膜
- 1 0 6 . . . ゲート電極
- 3 0 1 . . . S i O₂ 膜
- 3 0 2 . . . S i₃ N₄ 膜
- 3 0 3 . . . 浅溝
- 3 0 4 . . . トレンチ酸化膜
- 3 0 5 . . . 酸化膜
- 9 0 0 . . . M O S F E T
- 9 0 1 . . . 半導体基板
- 9 0 2 . . . フィールド絶縁膜
- 9 0 3 . . . シリサイド膜
- 9 0 4 . . . ゲート絶縁膜

- 905・・・ゲート電極
- 906・・・ソース領域
- 907・・・ドレイン領域
- 908・・・層間絶縁膜
- 909・・・ゲート取り出し電極
- 910・・・ソース取り出し電極
- 911・・・ドレイン取り出し電極
- 912・・・サイドウォール

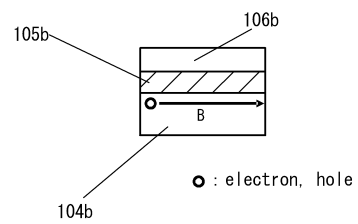
【図 1 A】



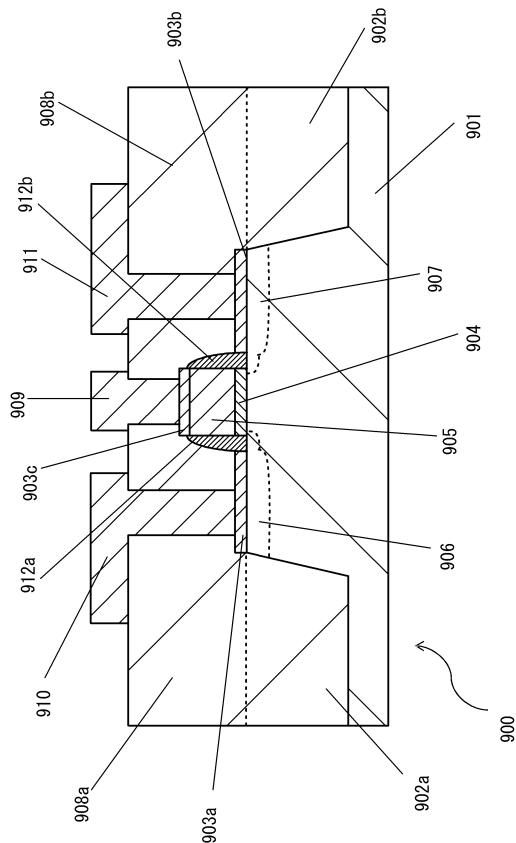
【図 1 B】



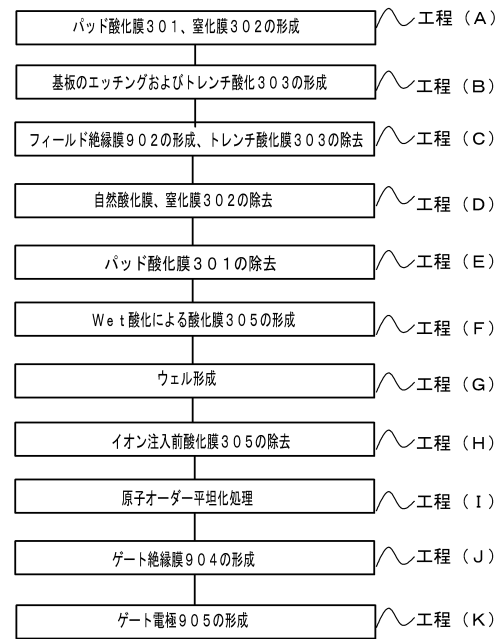
【図 1 C】



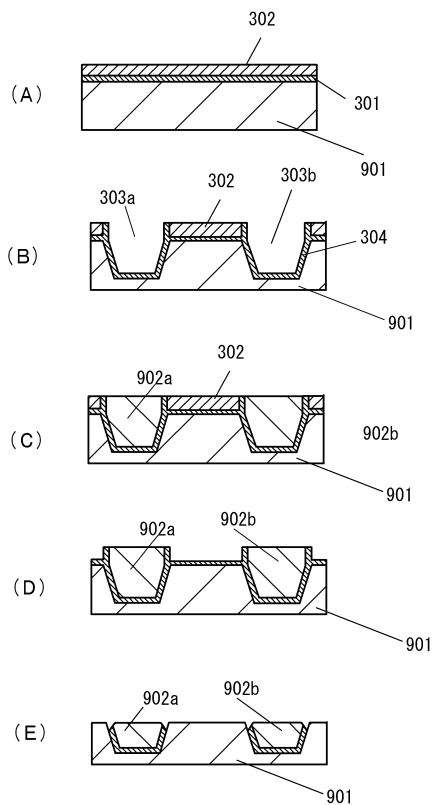
【図 2】



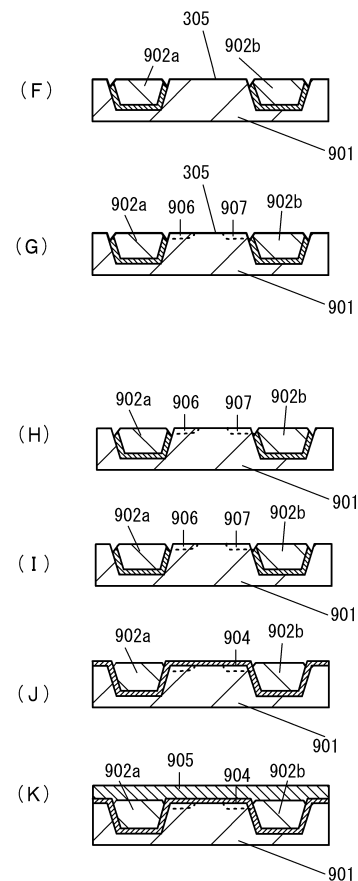
【図 3】



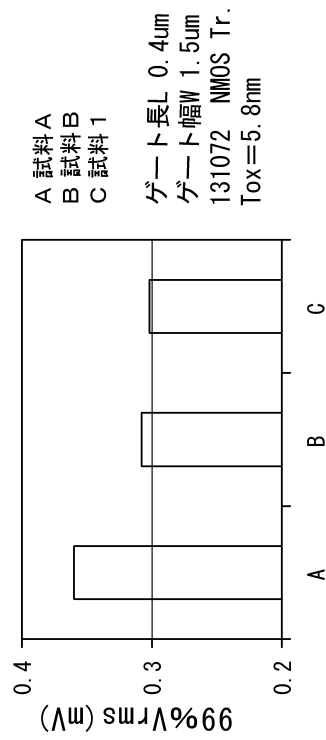
【図 4 A】



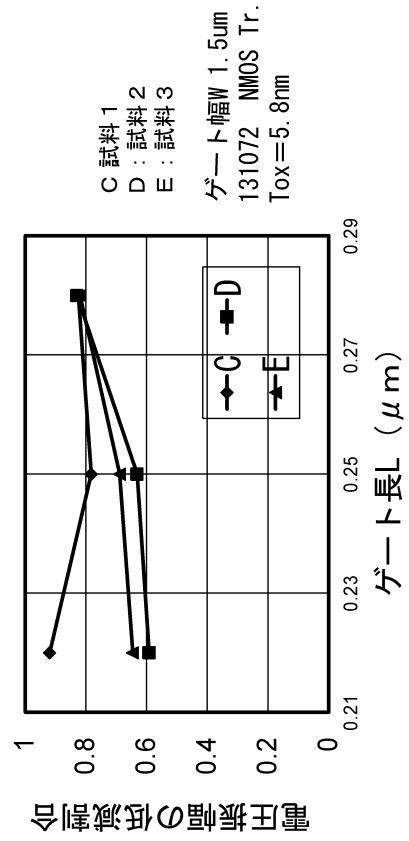
【図 4 B】



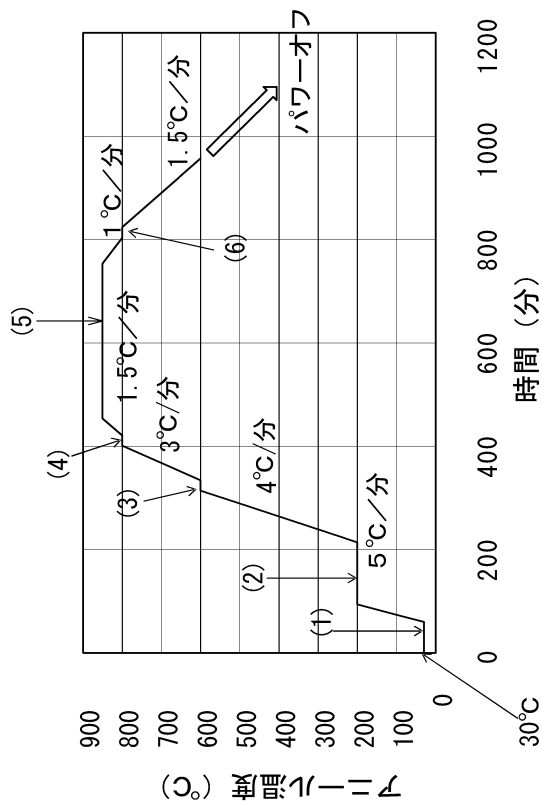
【図 5】



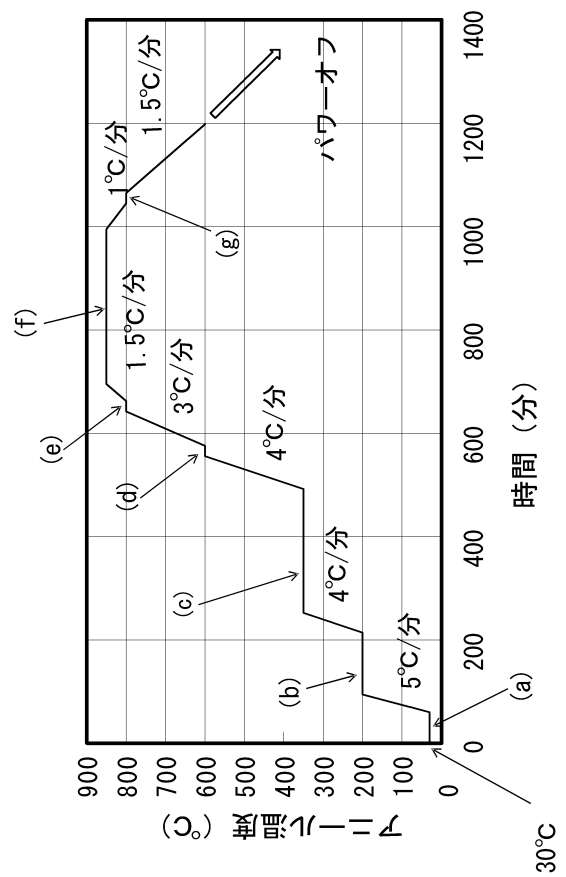
【図 6】



【図 7】



【図 8】



フロントページの続き

(56)参考文献 国際公開第2013/073671(WO, A1)
特開平04-373177(JP, A)
特開2001-217306(JP, A)
特開平09-326487(JP, A)
特開平11-008206(JP, A)
特開平09-148455(JP, A)
特開平03-050823(JP, A)
特開昭62-040746(JP, A)
特開2003-133309(JP, A)
国際公開第2006/129643(WO, A1)
特開2013-157425(JP, A)
特開2007-221058(JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L	21/336
H01L	21/316
H01L	21/324
H01L	29/78