

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3916931号
(P3916931)

(45) 発行日 平成19年5月23日(2007.5.23)

(24) 登録日 平成19年2月16日(2007.2.16)

(51) Int.CI.

F 1

HO3K 19/0185 (2006.01)

HO3K 19/00 101D

請求項の数 11 (全 14 頁)

(21) 出願番号 特願2001-353576 (P2001-353576)
 (22) 出願日 平成13年11月19日 (2001.11.19)
 (65) 公開番号 特開2003-152525 (P2003-152525A)
 (43) 公開日 平成15年5月23日 (2003.5.23)
 審査請求日 平成16年11月12日 (2004.11.12)

(73) 特許権者 000005223
 富士通株式会社
 神奈川県川崎市中原区上小田中4丁目1番
 1号
 (74) 代理人 100068755
 弁理士 恩田 博宣
 (74) 代理人 100105957
 弁理士 恩田 誠
 (72) 発明者 鈴木 久雄
 愛知県春日井市高蔵寺町二丁目1844番
 2 富士通ヴィエルエスアイ株式会社内
 審査官 宮島 郁美

最終頁に続く

(54) 【発明の名称】電圧発生回路、レベルシフト回路及び半導体装置

(57) 【特許請求の範囲】

【請求項 1】

高電位側電源と低電位側電源との間に接続され、前記高電位側電源と前記低電位側電源との間の少なくとも一つの中間電圧を生成する電圧発生回路であって、

前記高電位側電源と前記低電位側電源との間に直列に接続され、前記高電位側電源と前記低電位側電源との電位差を分圧して前記中間電圧を生成する複数のPチャネルMOSトランジスタを備え、

前記複数のPチャネルMOSトランジスタは、ゲート端子に供給されるゲート電圧に応答して前記中間電圧を変化させる第1のPチャネルMOSトランジスタと、ゲート端子がドレイン端子に接続される第2のPチャネルMOSトランジスタと含み、

前記中間電圧は前記第2のPチャネルMOSトランジスタの接続ノードに生成されることを特徴とする電圧発生回路。

【請求項 2】

高電位側電源と低電位側電源との間に接続され、前記高電位側電源と前記低電位側電源との間の少なくとも一つの中間電圧を生成する電圧発生回路であって、

前記高電位側電源と前記低電位側電源との間に直列に接続され、前記高電位側電源と前記低電位側電源との電位差を分圧して前記中間電圧を生成する複数のPチャネルMOSトランジスタと、

前記高電位電源よりも低電位の電圧源により駆動される第1のインバータと、

前記中間電圧と前記低電位側電源との間に接続され、前記第1のインバータへの入力信

10

20

号により制御される第 2 のインバータとを備え、

前記複数の P チャネルMOSトランジスタは、ゲート端子に供給されるゲート電圧に応答して前記中間電圧を変化させる第 1 の P チャネルMOSトランジスタと、ゲート端子がドレイン端子に接続される第 2 の P チャネルMOSトランジスタとを含み、

前記中間電圧は前記第 2 の P チャネルMOSトランジスタの接続ノードに生成されることを特徴とする電圧発生回路。

【請求項 3】

前記第 1 の P チャネルMOSトランジスタを前記複数の P チャネルMOSトランジスタの中で低電位側に接続し、前記第 1 の P チャネルMOSトランジスタのゲート電圧の制御に基づいて該第 1 の P チャネルMOSトランジスタのオン抵抗を制御することを特徴とする請求項 1 または 2 記載の電圧発生回路。

10

【請求項 4】

前記高電位側電源と前記低電位側電源との間に、第 1 及び第 2 の P チャネルMOSトランジスタを含む 3 つの P チャネルMOSトランジスタを直列に接続し、最も低電位側に前記第 1 の P チャネルMOSトランジスタを接続して該第 1 の P チャネルMOSトランジスタのゲート電圧を制御するとともに、低電位側に接続された 2 つの P チャネルMOSトランジスタのソースから前記中間電圧を出力電圧として出力することを特徴とする請求項 1 または 2 記載の電圧発生回路。

【請求項 5】

第 1 の電圧と、第 1 の電圧よりも低電位の第 2 の電圧との間に接続され、前記第 1 の電圧と前記第 2 の電圧との間の少なくとも 1 つの中間電圧を生成する電圧発生回路であって

20

前記第 2 の電圧と前記中間電圧との間に接続される第 1 の P チャネルMOSトランジスタと、

前記中間電圧と前記第 1 の電圧との間に接続され、且つ、そのドレイン端子が前記第 1 の P チャネルMOSトランジスタのソース端子と接続される第 2 の P チャネルMOSトランジスタと、

前記第 1 の電圧と異なる電圧により駆動され、前記第 1 の P チャネルMOSトランジスタのゲート端子にゲート電圧を供給する第 1 のインバータと、

前記中間電圧と前記第 2 の電圧との間に接続され、前記第 1 のインバータへの入力信号により制御される第 2 のインバータとを備え、

30

前記第 2 の P チャネルMOSトランジスタのゲート端子とドレイン端子とを接続し、前記ゲート端子とドレイン端子とが接続された接続ノードに前記中間電圧が生成され、

前記第 1 の P チャネルMOSトランジスタは、そのゲート端子に前記第 1 のインバータから供給される前記ゲート電圧に応答して前記中間電圧を変化させることを特徴とする電圧発生回路。

【請求項 6】

入力信号が入力される入力段インバータ回路と、

出力段インバータ回路と、

前記入力段インバータ回路の出力信号に基づいて前記出力段インバータ回路を駆動するレベルシフト部とを備えたレベルシフト回路であって、

40

前記レベルシフト部は、

第一の高電位側電源電圧を分圧した中間電圧を、前記入力段インバータ回路の出力信号に基づいて該中間電圧の電圧値を変動させて出力する電圧発生回路と、前記電圧発生回路の中間電圧を電源として動作して、前記入力信号に基づいて前記出力段インバータ回路を駆動するレベルシフト用インバータ回路とから構成されることを特徴とするレベルシフト回路。

【請求項 7】

前記電圧発生回路は、前記第一の高電位側電源と低電位側電源との間に複数の分圧素子を直列に接続して、前記第一の高電位側電源と前記低電位側電源との電位差を分圧した前

50

記中間電圧を出力可能とし、前記分圧素子の少なくとも一つは、ゲート電圧の制御に基いてオン抵抗を制御可能としたMOSトランジスタで構成して、該MOSトランジスタのオン抵抗を制御することにより前記中間電圧レベルを昇降可能としたことを特徴とする請求項6記載のレベルシフト回路。

【請求項8】

前記電圧発生回路は、前記第一の高電位側電源と低電位側電源との間に複数のMOSトランジスタを直列に接続し、前記MOSトランジスタはゲート端子とドレイン端子とを短絡することにより、前記各トランジスタのドレインから前記第一の高電位側電源と前記低電位側電源との電位差を分圧した前記中間電圧を出力可能とし、少なくとも一つのMOSトランジスタのゲート電圧を制御することにより、前記中間電圧レベルを昇降可能としたことを特徴とする請求項6記載のレベルシフト回路。10

【請求項9】

前記ゲート電圧と、前記レベルシフト用インバータ回路に入力される電圧とを逆相としたことを特徴とする請求項7または8記載のレベルシフト回路。

【請求項10】

前記レベルシフト用インバータ回路は、直列に接続された複数のインバータ回路で構成し、前記各インバータ回路は前記電圧発生回路の複数の中間電圧のいずれかをそれぞれ電源として動作することを特徴とする請求項6乃至9のいずれかに記載のレベルシフト回路。10

【請求項11】

異なる電源電圧で動作する内部回路間に請求項6乃至10のいずれかに記載のレベルシフト回路を搭載したことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、異なる電源電圧間で信号を伝達するレベルシフト回路に関するものである。

【0002】

近年、半導体集積回路装置の多機能化にともない、電源電圧の低電圧化あるいは複数電源化が進んでいる。このような半導体集積回路装置において、異なる電源電圧で動作する回路間にインターフェース回路としてレベルシフト回路が使用される。そして、低電源電圧でも安定して動作するレベルシフト回路が必要となっている。30

【0003】

【従来の技術】

図6は、レベルシフト回路の従来例を示す。入力信号INが入力されるインバータ回路1には高電位側電源として例えば1Vの電源VD2が供給され、低電位側電源としてグランドGND電位が供給される。

【0004】

前記インバータ回路1の出力端子は、NチャネルMOSトランジスタTr1のゲートに入力され、そのトランジスタTr1のドレインはPチャネルMOSトランジスタTr2のドレインに接続され、ソースはグランドGNDに接続される。そして、トランジスタTr1, Tr2のドレインから出力信号OUTが出力される。40

【0005】

前記入力信号INは、NチャネルMOSトランジスタTr3のゲートに入力され、そのトランジスタTr3のドレインはPチャネルMOSトランジスタTr4のドレインに接続され、ソースはグランドGNDに接続される。

【0006】

前記トランジスタTr2, Tr4のソースには、例えば3Vの電源VD1が供給され、トランジスタTr2のゲートがトランジスタTr4のドレインに接続されるとともに、トランジスタTr4のゲートがトランジスタTr2のドレインに接続されている。

【0007】

10

20

30

40

50

このようなレベルシフト回路では、入力信号INがHレベル、すなわち約1Vとなると、インバータ回路1の出力信号はLレベルとなってほぼグランドGNDレベルとなり、トランジスタTr1はオフされて、トランジスタTr4がオフされる。また、トランジスタTr3はオンされて、トランジスタTr2がオンされる。

【0008】

この結果、出力信号OUTはHレベル、すなわちほぼ電源VD1レベルとなる。
入力信号INがLレベル、すなわちほぼグランドGNDレベルとなると、インバータ回路1の出力信号はHレベルとなってほぼ電源VD2レベルとなり、トランジスタTr1がオンされて、トランジスタTr4がオフされる。また、トランジスタTr3がオフされて、トランジスタTr2がオフされる。

10

【0009】

この結果、出力信号OUTはLレベル、すなわちグランドGNDレベルとなる。
従って、電源VD2とグランドGNDレベルとの間で変化する入力信号INに基づいて、電源VD1とグランドGNDとの間で変化する出力信号OUTが出力され、このような回路は、電源VD1で動作する回路と、電源VD2で動作する回路との間に介在されるインターフェース回路として使用される。

【0010】

【発明が解決しようとする課題】
上記のようなレベルシフト回路では、トランジスタTr1がオフされるとき、トランジスタTr2はオンされて、トランジスタTr1のドレイン・ソース間電圧は約3Vとなる。

20

【0011】

同様に、トランジスタTr3がオフされるとき、トランジスタTr4はオンされて、トランジスタTr3のドレイン・ソース間電圧は約3Vとなる。
従って、トランジスタTr1, Tr3は、3Vのドレイン・ソース間電圧に耐え得る高耐圧トランジスタで構成され、これに対しインバータ回路1を構成するトランジスタは約1Vの耐圧を備えた低耐圧トランジスタで構成される。

【0012】

ところが、図7に示すように、上記のような高耐圧トランジスタは低耐圧トランジスタに比べて、より高いゲート・ソース間電圧でオン動作が開始される。

従って、電源VD2が低電圧化されると、入力信号INがHレベルとなっても、トランジスタTr3を十分にオンさせ得ない場合、あるいはインバータ回路1のHレベルの出力信号でトランジスタTr1を十分にオンさせ得ない場合が生じ、このような場合には出力信号OUTを確実に反転させることができなくなる。

30

【0013】

一方、トランジスタTr1, Tr3を低耐圧トランジスタで構成すれば、入力信号IN及びインバータ回路1の出力信号に基づいて、トランジスタTr1, Tr3を確実にオン・オフさせることができる。

【0014】

ところが、トランジスタTr1, Tr3がオフされるとき、そのドレイン・ソース間には電源VD1とグランドGNDとの電位差が印加されるため、その電位差がトランジスタTr1, Tr3の耐圧を越えると、トランジスタTr1, Tr3が破壊されるおそれがある。

40

【0015】

この発明の目的は、入力側の高電位側電源電圧が低電圧化されても、出力側の高耐圧素子を確実に駆動可能として、安定して動作するレベルシフト回路及びそのレベルシフト回路を構成する電圧発生回路を提供することにある。

【0016】

【課題を解決するための手段】

図1に示す電圧発生回路は、高電位側電源と低電位側電源との間に接続され、前記高電位側電源と前記低電位側電源との間の少なくとも一つの中間電圧を生成する電圧発生回路であり、前記高電位側電源と前記低電位側電源との間に直列に接続され、前記高電位側電

50

源と前記低電位側電源との電位差を分圧して前記中間電圧を生成する複数のPチャネルMOSトランジスタを備え、前記複数のPチャネルMOSトランジスタは、ゲート端子に供給されるゲート電圧に応答して前記中間電圧を変化させる第1のPチャネルMOSトランジスタと、ゲート端子がドレイン端子に接続される第2のPチャネルMOSトランジスタとを含み、前記中間電圧は前記複数のPチャネルMOSトランジスタの接続ノードに生成される。

【0017】

また、図1に示すレベルシフト回路は、入力信号が入力される入力段インバータ回路と、前記入力段インバータ回路に供給される第二の高電位側電源電圧とは異なる第一の高電位側電源電圧で動作する出力段インバータ回路と、前記入力段インバータ回路と前記出力段インバータ回路との間に介在されて、前記入力段インバータ回路の出力信号に基づいて前記出力段インバータ回路を駆動するレベルシフト部とを備える。前記レベルシフト部は、前記入力段インバータ回路の出力信号に基づいて、前記第一の高電位側電源電圧を分圧した中間電圧を出力する電圧発生回路と、前記電圧発生回路の中間電圧を電源として動作して、前記入力段インバータ回路の出力信号に基づいて前記出力段インバータ回路を駆動するレベルシフト用インバータ回路とから構成される。

【0018】

【発明の実施の形態】

(第一の実施の形態)

図1は、この発明を具体化したレベルシフト回路の第一の実施の形態を示す。入力信号INは、インバータ回路2を構成するPチャネルMOSトランジスタTr5及びNチャネルMOSトランジスタTr6のゲートに入力される。前記トランジスタTr5のソースには、第二の高電位側電源として例えば1.5Vの電源VD2が供給され、トランジスタTr6のソースはグランドGNDに接続される。

【0019】

前記トランジスタTr5, Tr6は、耐圧約1.5Vの低耐圧トランジスタで構成され、トランジスタTr5のバックゲートには前記電源VD2が供給され、トランジスタTr6のバックゲートにはグランドGNDが供給される。

【0020】

このように構成されたインバータ回路2では、入力信号INがHレベルとなると、LレベルすなわちほぼグランドGNDレベルの出力信号Vaを出力し、入力信号INがLレベルとなると、Hレベルすなわちほぼ電源VD2レベルの出力信号Vaを出力する。

【0021】

前記インバータ回路2の出力信号VaはPチャネルMOSトランジスタTr7のゲートに入力され、そのトランジスタTr7のドレインはグランドGNDに接続される。

【0022】

前記トランジスタTr7のソースは、PチャネルMOSトランジスタTr8のドレイン及びゲートに接続され、そのトランジスタTr8のソースには第一の高電位側電源である例えば3Vの電源VD1が供給される。

【0023】

前記トランジスタTr8のバックゲートには電源VD1が供給され、前記トランジスタTr7のバックゲートは同トランジスタTr7のソースに接続される。そして、前記トランジスタTr7, Tr8は耐圧約3Vの高耐圧トランジスタで構成される。

【0024】

前記トランジスタTr7, Tr8は、インバータ回路2の出力信号Vaに基づいて、トランジスタTr7のソースから所定の出力電圧Vbを出力する電圧発生回路3aとして動作する。

【0025】

すなわち、前記インバータ回路2の出力信号VaがLレベルとなると、トランジスタTr7のゲート及びドレインがほぼ同電位となり、トランジスタTr7がオンされる。

【0026】

10

20

30

40

50

すると、トランジスタ Tr7, Tr8は同条件でオンされる状態となり、電圧発生回路 3 a の出力電圧 V b は第一の高電位側電源 V D 1の電圧を 2 等分した分圧電圧、すなわち第二の高電位側電源 V D 2 とほぼ等しい 1 . 5 V を出力する。

【 0 0 2 7 】

また、インバータ回路 2 の出力信号 V a が H レベルとなると、トランジスタ Tr7のゲート・ドレイン間電圧がほぼ 1 . 5 V となるため、トランジスタ Tr8に対しトランジスタ Tr7 のオン抵抗が増大する。

【 0 0 2 8 】

すなわち、図 3 に示すように、高電位側電源 V D がソースに供給され、低電位側電源としてグランド G N D がドレインに供給された P チャネルMOSトランジスタ Trpは、図 4 に示すように、ゲート電圧 V g が高電位側電源 V D に近づくにつれて、ソース・ドレイン間のオン抵抗が増大する。

10

【 0 0 2 9 】

従って、インバータ回路 2 の出力信号 V a が H レベルとなると、トランジスタ Tr8のオン抵抗に対し、トランジスタ Tr7のオン抵抗が増大して、電圧発生回路 3 a の出力電圧 V b は高電位側電源 V D 1 と低電位側電源 V D 2 のほぼ中間レベルとなるように設定されている。

【 0 0 3 0 】

前記入力信号 I N は、レベルシフト用のインバータ回路 4 a に入力される。前記インバータ回路 4 a は、P チャネルMOSトランジスタ Tr9とNチャネルMOSトランジスタ Tr1 20 0とで構成され、前記トランジスタ Tr9のソースに前記電圧発生回路 3 a の出力電圧 V b が高電位側電源として供給される。

20

【 0 0 3 1 】

トランジスタ Tr10のソースはグランド G N D に接続され、トランジスタ Tr9, Tr10のゲートに前記入力信号 I N が入力される。また、トランジスタ Tr9のバックゲートには第一の高電位側電源 V D 1 が供給され、トランジスタ Tr10のバックゲートにはグランド G N D 電位が供給される。前記トランジスタ Tr9, Tr10は、高耐圧トランジスタで構成される。

【 0 0 3 2 】

このように構成されたインバータ回路 4 a では、入力信号 I N が H レベルとなると、出力信号 V c は L レベル、すなわちグランド G N D レベルとなり、入力信号 I N が L レベルとなると、出力信号 V c は H レベル、すなわち電圧発生回路 3 a の出力電圧 V b レベルとなる。

30

【 0 0 3 3 】

前記インバータ回路 4 a の出力信号 V c は、出力段のインバータ回路 4 b に入力される。前記インバータ回路 4 b は、P チャネルMOSトランジスタ Tr11とNチャネルMOSトランジスタ Tr12とで構成され、前記トランジスタ Tr11のソースに第一の高電位側電源 V D 1 が供給される。

【 0 0 3 4 】

トランジスタ Tr12のソースはグランド G N D に接続され、トランジスタ Tr11, Tr12のゲートに前記インバータ回路 4 a の出力信号 V c が入力される。また、トランジスタ Tr11のバックゲートには第一の高電位側電源 V D 1 が供給され、トランジスタ Tr12のバックゲートにはグランド G N D 電位が供給される。前記トランジスタ Tr11, Tr12は、高耐圧トランジスタで構成される。

40

【 0 0 3 5 】

このように構成されたインバータ回路 4 b では、入力信号 V c が H レベルとなると、出力信号 O U T は L レベル、すなわちグランド G N D レベルとなり、入力信号 V c が H レベルとなると、出力信号 O U T は H レベル、すなわち第一の高電位側電源 V D 1 レベルとなる。

【 0 0 3 6 】

50

前記インバータ回路4a, 4bは、高電位側電源電圧の1/2の電圧レベルをしきい値として出力信号を反転せしように設定されている。

次に、上記のように構成されたレベルシフト回路の動作を図2に従って説明する。

【0037】

入力信号INがHレベルとなると、インバータ回路2の出力信号VaはLレベル、すなわちグランドGNDレベルとなる。すると、電圧発生回路3aの出力電圧Vbは、第一の高電位側電源VD1の1/2の電圧レベル、すなわちほぼ第二の高電位側電源VD2レベルとなる。

【0038】

また、Hレベルの入力信号INに基づいて、インバータ回路4aの出力信号VcはLレベル、すなわちグランドGNDレベルとなり、その出力信号Vcに基づいてインバータ回路4bの出力信号OUTはHレベル、すなわち第一の高電位側電源VD1レベルとなる。 10

【0039】

入力信号INがLレベルとなると、インバータ回路2の出力信号VaはHレベル、すなわち第二の高電位側電源VD2レベルとなる。すると、電圧発生回路3aの出力電圧Vbは、第一の高電位側電源VD1と第二の高電位側電源VD2の中間レベルとなる。

【0040】

また、Lレベルの入力信号INに基づいて、インバータ回路4aの出力信号Vcは電圧発生回路3aの出力電圧Vbレベルとなり、その出力信号Vcに基づいてインバータ回路4bの出力信号OUTはLレベル、すなわちグランドGNDレベルとなる。 20

【0041】

上記のように構成されたレベルシフト回路では、次に示す作用効果を得ることができる。

(1) 第二の高電位側電源VD2とグランドGNDとの間で反転する入力信号INを、第一の高電位側電源VD1とグランドGNDとの間で反転する出力信号OUTにレベルシフトして出力することができる。

(2) 第一の高電位側電源VD1が供給されるトランジスタTr8~Tr12は高耐圧トランジスタで構成されるので、第一の高電位側電源VD1の印加による破壊を防止することができる。

(3) インバータ回路2の出力信号Vaの反転により、電圧発生回路3aの出力電圧Vbを、第一の高電位側電源VD1の1/2の電圧レベル、すなわち第二の高電位側電源VD2の電圧レベルと、第一の高電位側電源VD1と第二の高電位側電源VD2の中間レベルとのいずれかに切換えて出力することができる。 30

(4) 入力信号INがHレベル、すなわち第二の高電位側電源VD2レベルとなるとき、インバータ回路4aには、第一の高電位側電源VD1の1/2の電圧レベルとなる電圧発生回路3aの出力電圧Vbが高電位側電源として供給される。従って、インバータ回路4aは入力信号INを確実にHレベルと判定して、LレベルすなわちグランドGNDレベルの出力信号Vcを出力することができる。

(5) 入力信号INがLレベル、すなわちグランドGNDレベルとなったとき、インバータ回路4aの出力信号VcはHレベル、すなわち電圧発生回路3aの出力電圧Vbレベルとなる。このとき、電圧発生回路3aの出力電圧Vbは第一の高電位側電源VD1と第二の高電位側電源VD2の中間レベルであるので、インバータ回路4bはインバータ回路4aのHレベルの出力信号Vcを確実にHレベルと判定して、LレベルすなわちグランドGNDレベルの出力信号OUTを出力することができる。従って、入力信号INと電圧発生回路3aの出力電圧Vbに基づいて、インバータ回路4a, 4bを確実に動作させて、入力信号INをレベルシフトした出力信号OUTを出力することができる。 40

(第二の実施の形態)

図5は、第二の実施の形態を示す。インバータ回路5a, 5bには1Vの第二の高電位側電源VD2が供給されるとともに、低電位側電源としてグランドGNDが供給される。そして、インバータ回路5a, 5bは、第二の高電位側電源VD2とグランドGNDレベルの中間電位をしきい値として出力信号を反転させる。

【0042】

入力信号INは、インバータ回路5aに入力され、インバータ回路5aの出力信号Vdがインバータ回路5bに入力される。従って、入力信号INがHレベルとなると、インバータ回路5aの出力信号VdはLレベル、すなわちグランドGNDレベルとなり、インバータ回路5bの出力信号VeはHレベル、すなわち電源VD2レベルとなる。

【0043】

また、入力信号INがLレベルとなると、インバータ回路5aの出力信号VdはHレベル、すなわち電源VD2レベルとなり、インバータ回路5bの出力信号VeはLレベル、すなわちグランドGNDレベルとなる。

【0044】

前記インバータ回路5a, 5bを構成するトランジスタは、耐圧1Vの低耐圧トランジスタで構成される。10

電圧発生回路3bは、耐圧3Vの高耐圧トランジスタで構成されるPチャネルMOSトランジスタTr13～Tr15が第一の高電位側電源VD1とグランドGNDとの間で直列に接続され、トランジスタTr13, Tr14のゲートは各ドレインに接続され、トランジスタTr15のゲートには前記インバータ回路5bの出力信号Veが入力される。

【0045】

また、各トランジスタTr13～Tr15のバックゲートには、それぞれそのソース電位が供給される。そして、トランジスタTr14のソースから第一の出力電圧Vref1が出力され、トランジスタTr15のソースから第二の出力電圧Vref2が出力される。20

【0046】

このような電圧発生回路3bは、インバータ回路5bの出力信号VeがLレベルとなると、トランジスタTr13～Tr15は同条件でオンされる状態となり、第一及び第二の出力電圧Vref1, Vref2は、第一の高電位側電源VD1の電圧を3等分した分圧電圧となる。従って、第一の出力電圧Vref1は2V、第二の出力電圧Vref2は1Vとなる。

【0047】

また、インバータ回路5bの出力信号VeがHレベルとなると、トランジスタTr15のオン抵抗が増大する。このとき、第二の出力電圧Vref2は1.6Vとなるように設定され、第一の出力電圧Vref1は第一の高電位側電源VD1と1.6Vとの中間レベルである2.3Vとなる。30

【0048】

直列に接続されたインバータ回路6a～6eは、耐圧3Vの高耐圧用トランジスタで構成され、インバータ回路6a～6dはレベルシフト用として動作し、インバータ回路6eは出力段インバータ回路として動作する。

【0049】

インバータ回路6aには、高電位側電源として前記電圧発生回路3bの第二の出力電圧Vref2が入力され、低電位側電源としてグランドGNDが供給され、前記インバータ回路5aの出力信号Vdが入力される。

【0050】

従って、入力信号INがHレベルとなると、インバータ回路6aの入力信号VdはLレベルとなり、電圧発生回路3bの第二の出力電圧Vref2は1.6Vとなる。すると、インバータ回路6aはHレベル、すなわち1.6Vの出力信号Vfをインバータ回路6bに出力する。40

【0051】

また、入力信号INがLレベルとなると、インバータ回路6aの入力信号VdはHレベルとなり、電圧発生回路3bの第二の出力電圧Vref2は1Vとなる。すると、インバータ回路6aは入力信号Vdを確実にHレベルと判定して、Lレベル、すなわちグランドGNDレベルの出力信号Vfをインバータ回路6bに出力する。

【0052】

前記インバータ回路6b, 6cには、高電位側電源として電圧発生回路3bの第一の出力50

電圧 V_{ref1} が供給され、低電位側電源としてグランド GND が供給される。

【0053】

そして、インバータ回路 6 b の入力信号 V_f が H レベル、すなわち 1.6V となったとき、高電位側電源として入力される第一の出力電圧 V_{ref1} は 2.3V となるため、インバータ回路 6 b は 1.6V の入力信号 V_f を確実に H レベルと判定して、L レベルすなわちグランド GND レベルの出力信号 V_g をインバータ回路 6 c に出力する。

【0054】

また、インバータ回路 6 b の入力信号 V_f が L レベルとなるとき、高電位側電源として入力される第一の出力電圧 V_{ref1} は 2V となるため、インバータ回路 6 b は H レベル、すなわち 2V の出力信号 V_g をインバータ回路 6 c に出力する。 10

【0055】

インバータ回路 6 c は、入力信号 V_g が H レベルとなると、高電位側電源として入力される第一の出力電圧 V_{ref1} は 2V となるため、入力信号 V_g を確実に H レベルと判定して、L レベルすなわちグランド GND レベルの出力信号 V_h をインバータ回路 6 d に出力する。

【0056】

また、入力信号 V_g が L レベルとなると、高電位側電源として入力される第一の出力電圧 V_{ref1} は 2.3V となるため、H レベルすなわち 2.3V の出力信号 V_h をインバータ回路 6 d に出力する。 20

【0057】

インバータ回路 6 d, 6 e には、高電位側電源として第一の高電位側電源 VD1 が供給され、低電位側電源としてグランド GND が供給される。

インバータ回路 6 d の入力信号 V_h が H レベル、すなわち 2.3V となると、その入力信号 V_h は第一の高電位側電源 VD1 とグランド GND との中間レベルより高電位であるので、インバータ回路 6 d は入力信号 V_h を確実に H レベルと判定して、L レベルすなわちグランド GND レベルの出力信号 V_i をインバータ回路 6 e に出力する。

【0058】

また、入力信号 V_h が L レベル、すなわちグランド GND レベルとなると、インバータ回路 6 d は H レベル、すなわち第一の高電位側電源 VD1 レベルの出力信号 V_i をインバータ回路 6 e に出力する。 30

【0059】

インバータ回路 6 e は、入力信号 V_i を反転させて、出力信号 OUT として出力する。このような動作により、入力信号 IN は 6 段のインバータ回路 5 a, 6 a ~ 6 e を介して出力信号 OUT として出力されるため、入力信号 IN と出力信号 OUT は同相の信号となる。

【0060】

上記のように構成されたレベルシフト回路では、次に示す作用効果を得ることができる。
(1) 第二の高電位側電源 VD2 とグランド GND との間で反転する入力信号 IN を、第一の高電位側電源 VD1 とグランド GND との間で反転する出力信号 OUT にレベルシフトして出力することができる。 40

(2) 第一の高電位側電源 VD1 が供給されるトランジスタ Tr13 ~ Tr15 及びインバータ回路 6 a ~ 6 e は高耐圧トランジスタで構成されるので、第一の高電位側電源 VD1 の印加による破壊を防止することができる。

(3) インバータ回路 5 b の出力信号 V_e の反転により、電圧発生回路 3 b の第一及び第二の出力電圧 V_{ref1} , V_{ref2} を、第一の高電位側電源 VD1 とグランド GND との電位差を 3 等分した電圧レベルと、それより高電位側にシフトした電圧レベルとのいずれかに切換えて出力することができる。

(4) 入力信号 IN が L レベルとなって、インバータ回路 5 a の出力信号 V_d が H レベル、すなわち第二の高電位側電源 VD2 レベルである 1V となるとき、インバータ回路 6 a には、電圧発生回路 3 b から第一の高電位側電源 VD1 の 1/3 の電圧レベル、すなわち 50

1 V の出力電圧 V_{ref2} が高電位側電源として供給される。従って、インバータ回路 6 a は入力信号 V_d を確実に H レベルと判定して、L レベル、すなわちグランド GND レベルの出力信号 V_f を出力することができる。

(5) 入力信号 IN が H レベルとなって、インバータ回路 5 a の出力信号 V_d がグランド GND レベルとなったとき、インバータ回路 6 a には電圧発生回路 3 b から 1.6 V の第二の出力電圧 V_{ref2} が高電位側電源として入力され、インバータ回路 6 b には 2.3 V の第一の出力電圧 V_{ref1} が高電位側電源として入力される。すると、インバータ回路 6 a から出力される H レベルの出力信号 V_f は、1.6 V となり第一の出力信号 V_{ref1} の中間レベルより高電位となるので、インバータ回路 6 b では入力信号 V_f を確実に H レベルと判定して、L レベルの出力信号 V_g を出力することができる。10

(6) インバータ回路 6 b が L レベルの出力信号 V_g を出力するとき、インバータ回路 6 c の出力信号 V_h は H レベル、すなわち 2.3 V となる。すると、インバータ回路 6 d では、入力信号 V_h は第一の高電位側電源 VD_1 の中間レベルより高電位であるので、入力信号 V_h を確実に H レベルと判定して、L レベルの出力信号 V_i を出力することができる。

(7) 電圧発生回路 3 b で第一の高電位側電源 VD_1 を分圧して、インバータ回路 6 a ~ 6 e を 3 段階の電源で駆動することができる。従って、前記第一の実施の形態に比して、第一の高電位側電源 VD_1 と、第二の高電位側電源 VD_2 との電位差が大きくなつても、すなわち第二の高電位側電源 VD_2 が低電圧化されても、高耐圧トランジスタで構成されるインバータ回路 6 a ~ 6 d を確実に動作させることができる。20

(8) 入力段インバータ回路の出力信号は、電圧発生回路及びレベルシフト用インバータ回路を構成するトランジスタのゲートにのみ入力される。従って、電圧発生回路及びレベルシフト用インバータ回路の動作に基づいて、低耐圧トランジスタで構成される入力段インバータ回路が破壊されることはない。

【0061】

上記実施の形態は、次に示すように変更することもできる。

- ・電圧発生回路は、さらに多数の P チャネル MOS トランジスタを直列に接続して、さらに多種類の出力電圧を生成するようにしてもよい。
- ・電圧発生回路は、P チャネル MOS トランジスタに代えて、N チャネル MOS トランジスタで構成してもよい。この場合には、最も高電位側のトランジスタのゲート電圧を制御し、他のトランジスタのゲートをドレインに接続する。30
- ・前記電圧生成回路を構成するトランジスタのうち、ゲートをドレインに接続したトランジスタを固定抵抗に置換してもよい。

(付記 1) 高電位側電源と低電位側電源との間に複数の分圧素子を直列に接続して、高電位側電源と低電位側電源との電位差を分圧した出力電圧を出力可能とし、前記分圧素子の少なくとも一つは、ゲート電圧の制御に基づいてオン抵抗を制御可能とした MOS トランジスタで構成して、該 MOS トランジスタのオン抵抗を制御することにより前記出力電圧レベルを昇降可能としたことを特徴とする電圧発生回路。

(付記 2) 高電位側電源と低電位側電源との間に複数の MOS トランジスタを直列に接続し、前記 MOS トランジスタはゲート端子とドレイン端子とを短絡することにより、前記各トランジスタのドレインから前記高電位側電源と低電位側電源との電位差を分圧した出力電圧を出力可能とし、少なくとも一つの MOS トランジスタのゲート電圧を制御することにより、前記出力電圧レベルを昇降可能としたことを特徴とする電圧発生回路。40

(付記 3) 前記 MOS トランジスタは、P チャネル MOS トランジスタで構成し、低電位側に接続された P チャネル MOS トランジスタのゲート電圧の制御に基づいてオン抵抗を制御することを特徴とする付記 2 記載の電圧発生回路。

(付記 4) 高電位側電源と低電位側電源との間に 3 つの P チャネル MOS トランジスタを直列に接続し、最も低電位側に接続された P チャネル MOS トランジスタのゲート電圧を制御するとともに、低電位側に接続された 2 つの P チャネル MOS トランジスタのソースから出力電圧を出力することを特徴とする付記 2 記載の電圧発生回路。50

(付記 5) 前記分圧素子は、固定抵抗素子で形成したことを特徴とする付記 1 記載の電圧発生回路。

(付記 6) 入力信号が入力される入力段インバータ回路と、出力段インバータ回路と、前記入力段インバータ回路の出力信号に基づいて前記出力段インバータ回路を駆動するレベルシフト部とを備えたレベルシフト回路であって、前記レベルシフト部は、前記入力段インバータ回路の出力信号に基づいて、前記第一の高電位側電源電圧を分圧した出力電圧を出力する電圧発生回路と、前記電圧発生回路の出力電圧を電源として動作して、前記入力信号に基づいて前記出力段インバータ回路を駆動するレベルシフト用インバータ回路から構成したことを特徴とするレベルシフト回路。

(付記 7) 前記電圧発生回路は、第一の高電位側電源と低電位側電源との間に複数の分圧素子を直列に接続して、第一の高電位側電源と低電位側電源との電位差を分圧した出力電圧を出力可能とし、前記分圧素子の少なくとも一つは、ゲート電圧の制御に基づいてオン抵抗を制御可能としたMOSトランジスタで構成して、該MOSトランジスタのオン抵抗を制御することにより前記出力電圧レベルを昇降可能としたことを特徴とする付記 6 記載のレベルシフト回路。 10

(付記 8) 前記電圧発生回路は、第一の高電位側電源と低電位側電源との間に複数のMOSトランジスタを直列に接続し、前記MOSトランジスタはゲート端子とドレイン端子とを短絡することにより、前記各トランジスタのドレインから前記第一の高電位側電源と低電位側電源との電位差を分圧した出力電圧を出力可能とし、少なくとも一つのMOSトランジスタのゲート電圧を制御することにより、前記出力電圧レベルを昇降可能としたことを特徴とする付記 6 記載のレベルシフト回路。 20

(付記 9) 前記ゲート電圧と、前記レベルシフト用インバータ回路に入力される電圧とを逆相としたことを特徴とする付記 7 または 8 記載のレベルシフト回路。

(付記 10) 前記MOSトランジスタは、PチャネルMOSトランジスタで構成し、最も低電位側に接続されたPチャネルMOSトランジスタのゲート電圧の制御に基づいてオン抵抗を制御することを特徴とする付記 7 記載のレベルシフト回路。

(付記 11) 前記レベルシフト用インバータ回路は、直列に接続された複数のインバータ回路で構成し、前記各インバータ回路は前記電圧発生回路の複数の出力電圧のいずれかをそれぞれ電源として動作することを特徴とする付記 6 乃至 9 のいずれかに記載のレベルシフト回路。 30

(付記 12) 前記電圧発生回路の同一レベルの出力電圧を電源として動作する複数のレベルシフト用インバータ回路のうち、最終段のインバータ回路の入力信号は、前記レベルシフト用インバータ回路の初段の入力信号と同相としたことを特徴とする付記 11 記載のレベルシフト回路。

(付記 13) 前記入力段インバータ回路は、低耐圧トランジスタで構成し、前記電圧発生回路及びレベルシフト用インバータ回路は、高耐圧トランジスタで構成したことを特徴とする付記 6 乃至 12 のいずれかに記載のレベルシフト回路。

(付記 14) 前記入力段インバータ回路は、その出力信号を前記電圧発生回路及びレベルシフト用インバータ回路を構成するトランジスタのゲートに出力して、該電圧発生回路及びレベルシフト用インバータ回路を制御することを特徴とする付記 6 乃至 13 のいずれかに記載のレベルシフト回路。 40

(付記 15) 異なる電源電圧で動作する内部回路間に付記 6 乃至 15 のいずれかに記載のレベルシフト回路を搭載したことを特徴とする半導体装置。

【0062】

【発明の効果】

以上詳述したように、この発明は入力側の低電位側電源電圧が低電圧化されても、出力側の高耐圧素子を確実に駆動可能として、安定して動作するレベルシフト回路及びそのレベルシフト回路を構成する電圧発生回路を提供することができる。

【図面の簡単な説明】

【図1】 第一の実施の形態を示す回路図である。

【図2】 第一の実施の形態の動作を示すタイミング波形図である。

【図3】 PチャネルMOSトランジスタを示す回路図である。

【図4】 PチャネルMOSトランジスタの特性を示す説明図である。

【図5】 第二の実施の形態を示す回路図である。

【図6】 従来例を示す回路図である。

【図7】 低耐圧トランジスタ及び高耐圧トランジスタの特性を示す説明図である。

【符号の説明】

2, 5a 入力段インバータ回路

3a, 3b 電圧発生回路

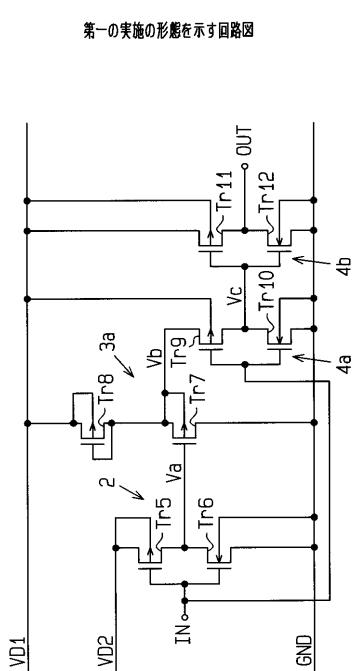
4a, 6a ~ 6d レベルシフト用インバータ回路 10

4b, 6e 出力段インバータ回路

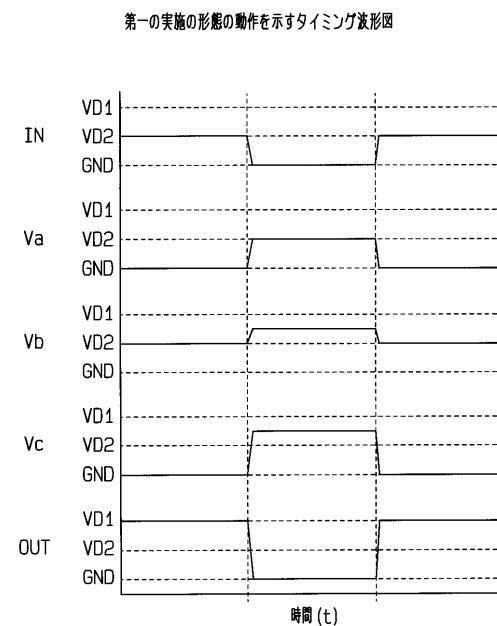
V D 1 第一の高電位側電源

V D 2 第二の高電位側電源

【図1】

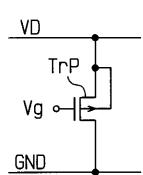


【図2】



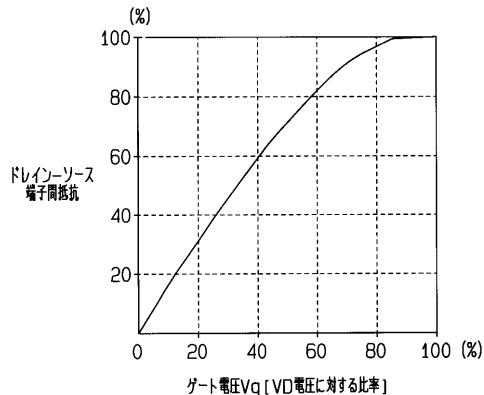
【図3】

PチャネルMOSトランジスタを示す回路図



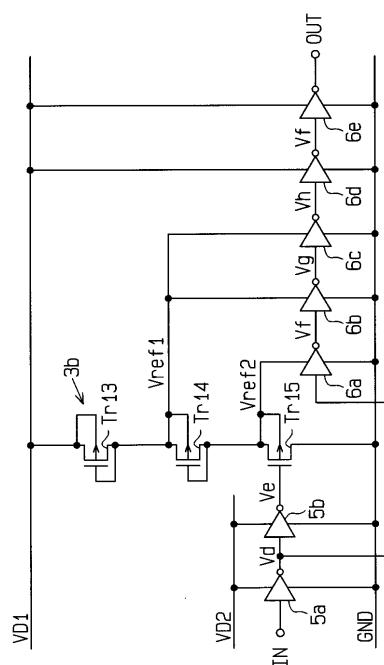
【図4】

PチャネルMOSトランジスタの特性を示す説明図



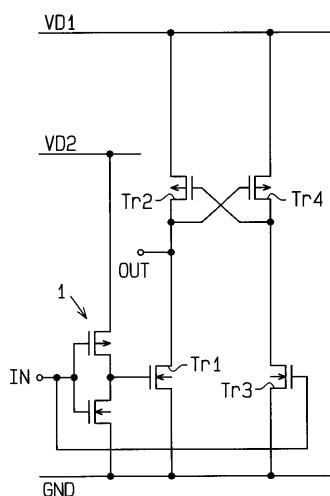
【図5】

第二の実施の形態を示す回路図



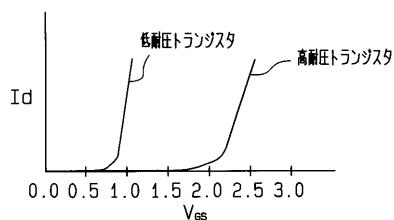
【図6】

従来例を示す回路図



【図7】

低耐圧トランジスタ及び高耐圧トランジスタの特性を示す説明図



フロントページの続き

(56)参考文献 特開昭62-145917(JP,A)
特開昭52-113670(JP,A)
特開平06-224648(JP,A)
特開2001-274676(JP,A)
特開2000-357958(JP,A)
特開平07-231253(JP,A)
特開2001-068978(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03K19/00,19/01-19/082,19/092-19/096