

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3916931号

(P3916931)

(45) 発行日 平成19年5月23日(2007.5.23)

(24) 登録日 平成19年2月16日(2007.2.16)

(51) Int. Cl.

H03K 19/0185 (2006.01)

F I

H03K 19/00 I O I D

請求項の数 11 (全 14 頁)

(21) 出願番号	特願2001-353576 (P2001-353576)	(73) 特許権者	000005223
(22) 出願日	平成13年11月19日(2001.11.19)		富士通株式会社
(65) 公開番号	特開2003-152525 (P2003-152525A)		神奈川県川崎市中原区上小田中4丁目1番
(43) 公開日	平成15年5月23日(2003.5.23)		1号
審査請求日	平成16年11月12日(2004.11.12)	(74) 代理人	100068755
			弁理士 恩田 博宣
		(74) 代理人	100105957
			弁理士 恩田 誠
		(72) 発明者	鈴木 久雄
			愛知県春日井市高蔵寺町二丁目1844番
			2 富士通ヴィエルエスアイ株式会社内
		審査官	宮島 郁美

最終頁に続く

(54) 【発明の名称】 電圧発生回路、レベルシフト回路及び半導体装置

(57) 【特許請求の範囲】

【請求項1】

高電位側電源と低電位側電源との間に接続され、前記高電位側電源と前記低電位側電源との間の少なくとも一つの間電圧を生成する電圧発生回路であって、

前記高電位側電源と前記低電位側電源との間に直列に接続され、前記高電位側電源と前記低電位側電源との電位差を分圧して前記中間電圧を生成する複数のPチャネルMOSトランジスタを備え、

前記複数のPチャネルMOSトランジスタは、ゲート端子に供給されるゲート電圧にตอบสนองして前記中間電圧を変化させる第1のPチャネルMOSトランジスタと、ゲート端子がドレイン端子に接続される第2のPチャネルMOSトランジスタとを含み、

前記中間電圧は前記第2のPチャネルMOSトランジスタの接続ノードに生成されることを特徴とする電圧発生回路。

【請求項2】

高電位側電源と低電位側電源との間に接続され、前記高電位側電源と前記低電位側電源との間の少なくとも一つの間電圧を生成する電圧発生回路であって、

前記高電位側電源と前記低電位側電源との間に直列に接続され、前記高電位側電源と前記低電位側電源との電位差を分圧して前記中間電圧を生成する複数のPチャネルMOSトランジスタと、

前記高電位電源よりも低電位の電圧源により駆動される第1のインバータと、

前記中間電圧と前記低電位側電源との間に接続され、前記第1のインバータへの入力信

10

20

号により制御される第 2 のインバータとを備え、

前記複数の P チャンネル MOS トランジスタは、ゲート端子に供給されるゲート電圧に
応答して前記中間電圧を変化させる第 1 の P チャンネル MOS トランジスタと、ゲート端子が
ドレイン端子に接続される第 2 の P チャンネル MOS トランジスタとを含み、

前記中間電圧は前記第 2 の P チャンネル MOS トランジスタの接続ノードに生成されるこ
とを特徴とする電圧発生回路。

【請求項 3】

前記第 1 の P チャンネル MOS トランジスタを前記複数の P チャンネル MOS トランジスタ
の中で低電位側に接続し、前記第 1 の P チャンネル MOS トランジスタのゲート電圧の制御
に基づいて該第 1 の P チャンネル MOS トランジスタのオン抵抗を制御することを特徴とす
る請求項 1 または 2 記載の電圧発生回路。

10

【請求項 4】

前記高電位側電源と前記低電位側電源との間に、第 1 及び第 2 の P チャンネル MOS トラ
ンジスタを含む 3 つの P チャンネル MOS トランジスタを直列に接続し、最も低電位側に前
記第 1 の P チャンネル MOS トランジスタを接続して該第 1 の P チャンネル MOS トランジス
タのゲート電圧を制御するとともに、低電位側に接続された 2 つの P チャンネル MOS トラ
ンジスタのソースから前記中間電圧を出力電圧として出力することを特徴とする請求項 1
または 2 記載の電圧発生回路。

【請求項 5】

第 1 の電圧と、第 1 の電圧よりも低電位の第 2 の電圧との間に接続され、前記第 1 の電
圧と前記第 2 の電圧との間の少なくとも 1 つの中間電圧を生成する電圧発生回路であって

20

、
前記第 2 の電圧と前記中間電圧との間に接続される第 1 の P チャンネル MOS トランジス
タと、

前記中間電圧と前記第 1 の電圧との間に接続され、且つ、そのドレイン端子が前記第 1
の P チャンネル MOS トランジスタのソース端子と接続される第 2 の P チャンネル MOS トラ
ンジスタと、

前記第 1 の電圧と異なる電圧により駆動され、前記第 1 の P チャンネル MOS トランジス
タのゲート端子にゲート電圧を供給する第 1 のインバータと、

前記中間電圧と前記第 2 の電圧との間に接続され、前記第 1 のインバータへの入力信号
により制御される第 2 のインバータとを備え、

30

前記第 2 の P チャンネル MOS トランジスタのゲート端子とドレイン端子とを接続し、前
記ゲート端子とドレイン端子とが接続された接続ノードに前記中間電圧が生成され、

前記第 1 の P チャンネル MOS トランジスタは、そのゲート端子に前記第 1 のインバータ
から供給される前記ゲート電圧に応答して前記中間電圧を変化させることを特徴とする電
圧発生回路。

【請求項 6】

入力信号が入力される入力段インバータ回路と、

出力段インバータ回路と、

前記入力段インバータ回路の出力信号に基づいて前記出力段インバータ回路を駆動する
レベルシフト部とを備えたレベルシフト回路であって、

40

前記レベルシフト部は、

第一の高電位側電源電圧を分圧した中間電圧を、前記入力段インバータ回路の出力信号
に基づいて該中間電圧の電圧値を変動させて出力する電圧発生回路と、前記電圧発生回路
の中間電圧を電源として動作して、前記入力信号に基づいて前記出力段インバータ回路を
駆動するレベルシフト用インバータ回路とから構成されることを特徴とするレベルシフト
回路。

【請求項 7】

前記電圧発生回路は、前記第一の高電位側電源と低電位側電源との間に複数の分圧素子
を直列に接続して、前記第一の高電位側電源と前記低電位側電源との電位差を分圧した前

50

記中間電圧を出力可能とし、前記分圧素子の少なくとも一つは、ゲート電圧の制御に基づいてオン抵抗を制御可能としたMOSトランジスタで構成して、該MOSトランジスタのオン抵抗を制御することにより前記中間電圧レベルを昇降可能としたことを特徴とする請求項6記載のレベルシフト回路。

【請求項8】

前記電圧発生回路は、前記第一の高電位側電源と低電位側電源との間に複数のMOSトランジスタを直列に接続し、前記MOSトランジスタはゲート端子とドレイン端子とを短絡することにより、前記各トランジスタのドレインから前記第一の高電位側電源と前記低電位側電源との電位差を分圧した前記中間電圧を出力可能とし、少なくとも一つのMOSトランジスタのゲート電圧を制御することにより、前記中間電圧レベルを昇降可能としたことを特徴とする請求項6記載のレベルシフト回路。

10

【請求項9】

前記ゲート電圧と、前記レベルシフト用インバータ回路に入力される電圧とを逆相としたことを特徴とする請求項7または8記載のレベルシフト回路。

【請求項10】

前記レベルシフト用インバータ回路は、直列に接続された複数のインバータ回路で構成し、前記各インバータ回路は前記電圧発生回路の複数の中間電圧のいずれかをそれぞれ電源として動作することを特徴とする請求項6乃至9のいずれかに記載のレベルシフト回路。

。

【請求項11】

20

異なる電源電圧で動作する内部回路間に請求項6乃至10のいずれかに記載のレベルシフト回路を搭載したことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、異なる電源電圧間で信号を伝達するレベルシフト回路に関するものである。

【0002】

近年、半導体集積回路装置の多機能化にともない、電源電圧の低電圧化あるいは複数電源化が進んでいる。このような半導体集積回路装置において、異なる電源電圧で動作する回路間にインターフェース回路としてレベルシフト回路が使用される。そして、低電源電圧でも安定して動作するレベルシフト回路が必要となっている。

30

【0003】

【従来の技術】

図6は、レベルシフト回路の従来例を示す。入力信号INが入力されるインバータ回路1には高電位側電源として例えば1Vの電源VD2が供給され、低電位側電源としてグランドGND電位が供給される。

【0004】

前記インバータ回路1の出力端子は、NチャネルMOSトランジスタTr1のゲートに入力され、そのトランジスタTr1のドレインはPチャネルMOSトランジスタTr2のドレインに接続され、ソースはグランドGNDに接続される。そして、トランジスタTr1、Tr2のドレインから出力信号OUTが出力される。

40

【0005】

前記入力信号INは、NチャネルMOSトランジスタTr3のゲートに入力され、そのトランジスタTr3のドレインはPチャネルMOSトランジスタTr4のドレインに接続され、ソースはグランドGNDに接続される。

【0006】

前記トランジスタTr2、Tr4のソースには、例えば3Vの電源VD1が供給され、トランジスタTr2のゲートがトランジスタTr4のドレインに接続されるとともに、トランジスタTr4のゲートがトランジスタTr2のドレインに接続されている。

【0007】

50

このようなレベルシフト回路では、入力信号 I N が H レベル、すなわち約 1 V となると、インバータ回路 1 の出力信号は L レベルとなってほぼグランド G N D レベルとなり、トランジスタ T r1 はオフされて、トランジスタ T r4 がオンされる。また、トランジスタ T r3 はオンされて、トランジスタ T r2 がオンされる。

【 0 0 0 8 】

この結果、出力信号 O U T は H レベル、すなわちほぼ電源 V D 1 レベルとなる。

入力信号 I N が L レベル、すなわちほぼグランド G N D レベルとなると、インバータ回路 1 の出力信号は H レベルとなってほぼ電源 V D 2 レベルとなり、トランジスタ T r1 がオンされて、トランジスタ T r4 がオンされる。また、トランジスタ T r3 がオフされて、トランジスタ T r2 がオフされる。

10

【 0 0 0 9 】

この結果、出力信号 O U T は L レベル、すなわちグランド G N D レベルとなる。

従って、電源 V D 2 とグランド G N D レベルとの間で変化する入力信号 I N に基づいて、電源 V D 1 とグランド G N D との間で変化する出力信号 O U T が出力され、このような回路は、電源 V D 1 で動作する回路と、電源 V D 2 で動作する回路との間に介在されるインターフェース回路として使用される。

【 0 0 1 0 】

【 発明が解決しようとする課題 】

上記のようなレベルシフト回路では、トランジスタ T r1 がオフされるとき、トランジスタ T r2 はオンされて、トランジスタ T r1 のドレイン・ソース間電圧は約 3 V となる。

20

【 0 0 1 1 】

同様に、トランジスタ T r3 がオフされるとき、トランジスタ T r4 はオンされて、トランジスタ T r3 のドレイン・ソース間電圧は約 3 V となる。

従って、トランジスタ T r1, T r3 は、3 V のドレイン・ソース間電圧に耐え得る高耐圧トランジスタで構成され、これに対しインバータ回路 1 を構成するトランジスタは約 1 V の耐圧を備えた低耐圧トランジスタで構成される。

【 0 0 1 2 】

ところが、図 7 に示すように、上記のような高耐圧トランジスタは低耐圧トランジスタに比べて、より高いゲート・ソース間電圧でオン動作が開始される。

従って、電源 V D 2 が低電圧化されると、入力信号 I N が H レベルとなっても、トランジスタ T r3 を十分にオンさせ得ない場合、あるいはインバータ回路 1 の H レベルの出力信号でトランジスタ T r1 を十分にオンさせ得ない場合が生じ、このような場合には出力信号 O U T を確実に反転させることができなくなる。

30

【 0 0 1 3 】

一方、トランジスタ T r1, T r3 を低耐圧トランジスタで構成すれば、入力信号 I N 及びインバータ回路 1 の出力信号に基づいて、トランジスタ T r1, T r3 を確実にオン・オフさせることができる。

【 0 0 1 4 】

ところが、トランジスタ T r1, T r3 がオフされるとき、そのドレイン・ソース間には電源 V D 1 とグランド G N D との電位差が印加されるため、その電位差がトランジスタ T r1, T r3 の耐圧を越えると、トランジスタ T r1, T r3 が破壊されるおそれがある。

40

【 0 0 1 5 】

この発明の目的は、入力側の高電位側電源電圧が低電圧化されても、出力側の高耐圧素子を確実に駆動可能として、安定して動作するレベルシフト回路及びそのレベルシフト回路を構成する電圧発生回路を提供することにある。

【 0 0 1 6 】

【 課題を解決するための手段 】

図 1 に示す電圧発生回路は、高電位側電源と低電位側電源との間に接続され、前記高電位側電源と前記低電位側電源との間の少なくとも一つの間電圧を生成する電圧発生回路であり、前記高電位側電源と前記低電位側電源との間に直列に接続され、前記高電位側電

50

源と前記低電位側電源との電位差を分圧して前記中間電圧を生成する複数のPチャネルMOSトランジスタを備え、前記複数のPチャネルMOSトランジスタは、ゲート端子に供給されるゲート電圧にตอบสนองして前記中間電圧を変化させる第1のPチャネルMOSトランジスタと、ゲート端子がドレイン端子に接続される第2のPチャネルMOSトランジスタとを含み、前記中間電圧は前記複数のPチャネルMOSトランジスタの接続ノードに生成される。

【0017】

また、図1に示すレベルシフト回路は、入力信号が入力される入力段インバータ回路と、前記入力段インバータ回路に供給される第二の高電位側電源電圧とは異なる第一の高電位側電源電圧で動作する出力段インバータ回路と、前記入力段インバータ回路と前記出力段インバータ回路との間に介在されて、前記入力段インバータ回路の出力信号に基づいて前記出力段インバータ回路を駆動するレベルシフト部とを備える。前記レベルシフト部は、前記入力段インバータ回路の出力信号に基づいて、前記第一の高電位側電源電圧を分圧した中間電圧を出力する電圧発生回路と、前記電圧発生回路の中間電圧を電源として動作して、前記入力段インバータ回路の出力信号に基づいて前記出力段インバータ回路を駆動するレベルシフト用インバータ回路とから構成される。

10

【0018】

【発明の実施の形態】

(第一の実施の形態)

図1は、この発明を具体化したレベルシフト回路の第一の実施の形態を示す。入力信号INは、インバータ回路2を構成するPチャネルMOSトランジスタTr5及びNチャネルMOSトランジスタTr6のゲートに入力される。前記トランジスタTr5のソースには、第二の高電位側電源として例えば1.5Vの電源VD2が供給され、トランジスタTr6のソースはグランドGNDに接続される。

20

【0019】

前記トランジスタTr5、Tr6は、耐圧約1.5Vの低耐圧トランジスタで構成され、トランジスタTr5のバックゲートには前記電源VD2が供給され、トランジスタTr6のバックゲートにはグランドGNDが供給される。

【0020】

このように構成されたインバータ回路2では、入力信号INがHレベルとなると、LレベルすなわちほぼグランドGNDレベルの出力信号Vaを出力し、入力信号INがLレベルとなると、Hレベルすなわちほぼ電源VD2レベルの出力信号Vaを出力する。

30

【0021】

前記インバータ回路2の出力信号VaはPチャネルMOSトランジスタTr7のゲートに入力され、そのトランジスタTr7のドレインはグランドGNDに接続される。

【0022】

前記トランジスタTr7のソースは、PチャネルMOSトランジスタTr8のドレイン及びゲートに接続され、そのトランジスタTr8のソースには第一の高電位側電源である例えば3Vの電源VD1が供給される。

【0023】

前記トランジスタTr8のバックゲートには電源VD1が供給され、前記トランジスタTr7のバックゲートは同トランジスタTr7のソースに接続される。そして、前記トランジスタTr7、Tr8は耐圧約3Vの高耐圧トランジスタで構成される。

40

【0024】

前記トランジスタTr7、Tr8は、インバータ回路2の出力信号Vaに基づいて、トランジスタTr7のソースから所定の出力電圧Vbを出力する電圧発生回路3aとして動作する。

【0025】

すなわち、前記インバータ回路2の出力信号VaがLレベルとなると、トランジスタTr7のゲート及びドレインがほぼ同電位となり、トランジスタTr7がオンされる。

【0026】

50

すると、トランジスタ T_{r7} 、 T_{r8} は同条件でオンされる状態となり、電圧発生回路3 aの出力電圧 V_b は第一の高電位側電源 V_{D1} の電圧を2等分した分圧電圧、すなわち第二の高電位側電源 V_{D2} とほぼ等しい1.5 Vを出力する。

【0027】

また、インバータ回路2の出力信号 V_a がHレベルとなると、トランジスタ T_{r7} のゲート・ドレイン間電圧がほぼ1.5 Vとなるため、トランジスタ T_{r8} に対しトランジスタ T_{r7} のオン抵抗が増大する。

【0028】

すなわち、図3に示すように、高電位側電源 V_D がソースに供給され、低電位側電源としてグランド GND がドレインに供給されたPチャネルMOSトランジスタ T_{rp} は、図4に示すように、ゲート電圧 V_g が高電位側電源 V_D に近づくにつれて、ソース・ドレイン間のオン抵抗が増大する。

10

【0029】

従って、インバータ回路2の出力信号 V_a がHレベルとなると、トランジスタ T_{r8} のオン抵抗に対し、トランジスタ T_{r7} のオン抵抗が増大して、電圧発生回路3 aの出力電圧 V_b は高電位側電源 V_{D1} と低電位側電源 V_{D2} のほぼ中間レベルとなるように設定されている。

【0030】

前記入力信号 I_N は、レベルシフト用のインバータ回路4 aに入力される。前記インバータ回路4 aは、PチャネルMOSトランジスタ T_{r9} とNチャネルMOSトランジスタ T_{r10} とで構成され、前記トランジスタ T_{r9} のソースに前記電圧発生回路3 aの出力電圧 V_b が高電位側電源として供給される。

20

【0031】

トランジスタ T_{r10} のソースはグランド GND に接続され、トランジスタ T_{r9} 、 T_{r10} のゲートに前記入力信号 I_N が入力される。また、トランジスタ T_{r9} のバックゲートには第一の高電位側電源 V_{D1} が供給され、トランジスタ T_{r10} のバックゲートにはグランド GND 電位が供給される。前記トランジスタ T_{r9} 、 T_{r10} は、高耐圧トランジスタで構成される。

【0032】

このように構成されたインバータ回路4 aでは、入力信号 I_N がHレベルとなると、出力信号 V_c はLレベル、すなわちグランド GND レベルとなり、入力信号 I_N がLレベルとなると、出力信号 V_c はHレベル、すなわち電圧発生回路3 aの出力電圧 V_b レベルとなる。

30

【0033】

前記インバータ回路4 aの出力信号 V_c は、出力段のインバータ回路4 bに入力される。前記インバータ回路4 bは、PチャネルMOSトランジスタ T_{r11} とNチャネルMOSトランジスタ T_{r12} とで構成され、前記トランジスタ T_{r11} のソースに第一の高電位側電源 V_{D1} が供給される。

【0034】

トランジスタ T_{r12} のソースはグランド GND に接続され、トランジスタ T_{r11} 、 T_{r12} のゲートに前記インバータ回路4 aの出力信号 V_c が入力される。また、トランジスタ T_{r11} のバックゲートには第一の高電位側電源 V_{D1} が供給され、トランジスタ T_{r12} のバックゲートにはグランド GND 電位が供給される。前記トランジスタ T_{r11} 、 T_{r12} は、高耐圧トランジスタで構成される。

40

【0035】

このように構成されたインバータ回路4 bでは、入力信号 V_c がHレベルとなると、出力信号 OUT はLレベル、すなわちグランド GND レベルとなり、入力信号 V_c がHレベルとなると、出力信号 OUT はHレベル、すなわち第一の高電位側電源 V_{D1} レベルとなる。

【0036】

50

前記インバータ回路 4 a , 4 b は、高電位側電源電圧の $1/2$ の電圧レベルをしきい値として出力信号を反転させるように設定されている。

次に、上記のように構成されたレベルシフト回路の動作を図 2 に従って説明する。

【 0 0 3 7 】

入力信号 I_N が H レベルとなると、インバータ回路 2 の出力信号 V_a は L レベル、すなわちグランド GND レベルとなる。すると、電圧発生回路 3 a の出力電圧 V_b は、第一の高電位側電源 V_{D1} の $1/2$ の電圧レベル、すなわちほぼ第二の高電位側電源 V_{D2} レベルとなる。

【 0 0 3 8 】

また、H レベルの入力信号 I_N に基づいて、インバータ回路 4 a の出力信号 V_c は L レベル、すなわちグランド GND レベルとなり、その出力信号 V_c に基づいてインバータ回路 4 b の出力信号 OUT は H レベル、すなわち第一の高電位側電源 V_{D1} レベルとなる。

10

【 0 0 3 9 】

入力信号 I_N が L レベルとなると、インバータ回路 2 の出力信号 V_a は H レベル、すなわち第二の高電位側電源 V_{D2} レベルとなる。すると、電圧発生回路 3 a の出力電圧 V_b は、第一の高電位側電源 V_{D1} と第二の高電位側電源 V_{D2} の中間レベルとなる。

【 0 0 4 0 】

また、L レベルの入力信号 I_N に基づいて、インバータ回路 4 a の出力信号 V_c は電圧発生回路 3 a の出力電圧 V_b レベルとなり、その出力信号 V_c に基づいてインバータ回路 4 b の出力信号 OUT は L レベル、すなわちグランド GND レベルとなる。

20

【 0 0 4 1 】

上記のように構成されたレベルシフト回路では、次に示す作用効果を得ることができる。

(1) 第二の高電位側電源 V_{D2} とグランド GND との間で反転する入力信号 I_N を、第一の高電位側電源 V_{D1} とグランド GND との間で反転する出力信号 OUT にレベルシフトして出力することができる。

(2) 第一の高電位側電源 V_{D1} が供給されるトランジスタ $T_{r8} \sim T_{r12}$ は高耐圧トランジスタで構成されるので、第一の高電位側電源 V_{D1} の印加による破壊を防止することができる。

(3) インバータ回路 2 の出力信号 V_a の反転により、電圧発生回路 3 a の出力電圧 V_b を、第一の高電位側電源 V_{D1} の $1/2$ の電圧レベル、すなわち第二の高電位側電源 V_{D2} の電圧レベルと、第一の高電位側電源 V_{D1} と第二の高電位側電源 V_{D2} の中間レベルとのいずれかに切換えて出力することができる。

30

(4) 入力信号 I_N が H レベル、すなわち第二の高電位側電源 V_{D2} レベルとなると、インバータ回路 4 a には、第一の高電位側電源 V_{D1} の $1/2$ の電圧レベルとなる電圧発生回路 3 a の出力電圧 V_b が高電位側電源として供給される。従って、インバータ回路 4 a は入力信号 I_N を確実に H レベルと判定して、L レベルすなわちグランド GND レベルの出力信号 V_c を出力することができる。

(5) 入力信号 I_N が L レベル、すなわちグランド GND レベルとなったとき、インバータ回路 4 a の出力信号 V_c は H レベル、すなわち電圧発生回路 3 a の出力電圧 V_b レベルとなる。このとき、電圧発生回路 3 a の出力電圧 V_b は第一の高電位側電源 V_{D1} と第二の高電位側電源 V_{D2} との中間レベルであるので、インバータ回路 4 b はインバータ回路 4 a の H レベルの出力信号 V_c を確実に H レベルと判定して、L レベルすなわちグランド GND レベルの出力信号 OUT を出力することができる。従って、入力信号 I_N と電圧発生回路 3 a の出力電圧 V_b に基づいて、インバータ回路 4 a , 4 b を確実に動作させて、入力信号 I_N をレベルシフトした出力信号 OUT を出力することができる。

40

(第二の実施の形態)

図 5 は、第二の実施の形態を示す。インバータ回路 5 a , 5 b には 1 V の第二の高電位側電源 V_{D2} が供給されるとともに、低電位側電源としてグランド GND が供給される。そして、インバータ回路 5 a , 5 b は、第二の高電位側電源 V_{D2} とグランド GND レベルの中間電位をしきい値として出力信号を反転させる。

50

【 0 0 4 2 】

入力信号 I_N は、インバータ回路 5 a に入力され、インバータ回路 5 a の出力信号 V_d がインバータ回路 5 b に入力される。従って、入力信号 I_N が H レベルとなると、インバータ回路 5 a の出力信号 V_d は L レベル、すなわちグランド GND レベルとなり、インバータ回路 5 b の出力信号 V_e は H レベル、すなわち電源 V_{D2} レベルとなる。

【 0 0 4 3 】

また、入力信号 I_N が L レベルとなると、インバータ回路 5 a の出力信号 V_d は H レベル、すなわち電源 V_{D2} レベルとなり、インバータ回路 5 b の出力信号 V_e は L レベル、すなわちグランド GND レベルとなる。

【 0 0 4 4 】

前記インバータ回路 5 a , 5 b を構成するトランジスタは、耐圧 1 V の低耐圧トランジスタで構成される。

電圧発生回路 3 b は、耐圧 3 V の高耐圧トランジスタで構成される P チャネル MOS トランジスタ $T_{r13} \sim T_{r15}$ が第一の高電位側電源 V_{D1} とグランド GND との間で直列に接続され、トランジスタ T_{r13} , T_{r14} のゲートは各ドレインに接続され、トランジスタ T_{r15} のゲートには前記インバータ回路 5 b の出力信号 V_e が入力される。

【 0 0 4 5 】

また、各トランジスタ $T_{r13} \sim T_{r15}$ のバックゲートには、それぞれそのソース電位が供給される。そして、トランジスタ T_{r14} のソースから第一の出力電圧 V_{ref1} が出力され、トランジスタ T_{r15} のソースから第二の出力電圧 V_{ref2} が出力される。

【 0 0 4 6 】

このような電圧発生回路 3 b は、インバータ回路 5 b の出力信号 V_e が L レベルとなると、トランジスタ $T_{r13} \sim T_{r15}$ は同条件でオンされる状態となり、第一及び第二の出力電圧 V_{ref1} , V_{ref2} は、第一の高電位側電源 V_{D1} の電圧を 3 等分した分圧電圧となる。従って、第一の出力電圧 V_{ref1} は 2 V、第二の出力電圧 V_{ref2} は 1 V となる。

【 0 0 4 7 】

また、インバータ回路 5 b の出力信号 V_e が H レベルとなると、トランジスタ T_{r15} のオン抵抗が増大する。このとき、第二の出力電圧 V_{ref2} は 1 . 6 V となるように設定され、第一の出力電圧 V_{ref1} は第一の高電位側電源 V_{D1} と 1 . 6 V との中間レベルである 2 . 3 V となる。

【 0 0 4 8 】

直列に接続されたインバータ回路 6 a ~ 6 e は、耐圧 3 V の高耐圧用トランジスタで構成され、インバータ回路 6 a ~ 6 d はレベルシフト用として動作し、インバータ回路 6 e は出力段インバータ回路として動作する。

【 0 0 4 9 】

インバータ回路 6 a には、高電位側電源として前記電圧発生回路 3 b の第二の出力電圧 V_{ref2} が入力され、低電位側電源としてグランド GND が供給され、前記インバータ回路 5 a の出力信号 V_d が入力される。

【 0 0 5 0 】

従って、入力信号 I_N が H レベルとなると、インバータ回路 6 a の入力信号 V_d は L レベルとなり、電圧発生回路 3 b の第二の出力電圧 V_{ref2} は 1 . 6 V となる。すると、インバータ回路 6 a は H レベル、すなわち 1 . 6 V の出力信号 V_f をインバータ回路 6 b に出力する。

【 0 0 5 1 】

また、入力信号 I_N が L レベルとなると、インバータ回路 6 a の入力信号 V_d は H レベルとなり、電圧発生回路 3 b の第二の出力電圧 V_{ref2} は 1 V となる。すると、インバータ回路 6 a は入力信号 V_d を確実に H レベルと判定して、L レベル、すなわちグランド GND レベルの出力信号 V_f をインバータ回路 6 b に出力する。

【 0 0 5 2 】

前記インバータ回路 6 b , 6 c には、高電位側電源として電圧発生回路 3 b の第一の出力

10

20

30

40

50

電圧 V_{ref1} が供給され、低電位側電源としてグラウンド GND が供給される。

【0053】

そして、インバータ回路 6 b の入力信号 V_f が H レベル、すなわち 1.6 V となったとき、高電位側電源として入力される第一の出力電圧 V_{ref1} は 2.3 V となるため、インバータ回路 6 b は 1.6 V の入力信号 V_f を確実に H レベルと判定して、L レベルすなわちグラウンド GND レベルの出力信号 V_g をインバータ回路 6 c に出力する。

【0054】

また、インバータ回路 6 b の入力信号 V_f が L レベルとなると、高電位側電源として入力される第一の出力電圧 V_{ref1} は 2 V となるため、インバータ回路 6 b は H レベル、すなわち 2 V の出力信号 V_g をインバータ回路 6 c に出力する。

10

【0055】

インバータ回路 6 c は、入力信号 V_g が H レベルとなると、高電位側電源として入力される第一の出力電圧 V_{ref1} は 2 V となるため、入力信号 V_g を確実に H レベルと判定して、L レベルすなわちグラウンド GND レベルの出力信号 V_h をインバータ回路 6 d に出力する。

【0056】

また、入力信号 V_g が L レベルとなると、高電位側電源として入力される第一の出力電圧 V_{ref1} は 2.3 V となるため、H レベルすなわち 2.3 V の出力信号 V_h をインバータ回路 6 d に出力する。

【0057】

インバータ回路 6 d、6 e には、高電位側電源として第一の高電位側電源 V_{D1} が供給され、低電位側電源としてグラウンド GND が供給される。

20

インバータ回路 6 d の入力信号 V_h が H レベル、すなわち 2.3 V となると、その入力信号 V_h は第一の高電位側電源 V_{D1} とグラウンド GND との中間レベルより高電位であるので、インバータ回路 6 d は入力信号 V_h を確実に H レベルと判定して、L レベルすなわちグラウンド GND レベルの出力信号 V_i をインバータ回路 6 e に出力する。

【0058】

また、入力信号 V_h が L レベル、すなわちグラウンド GND レベルとなると、インバータ回路 6 d は H レベル、すなわち第一の高電位側電源 V_{D1} レベルの出力信号 V_i をインバータ回路 6 e に出力する。

30

【0059】

インバータ回路 6 e は、入力信号 V_i を反転させて、出力信号 OUT として出力する。このような動作により、入力信号 IN は 6 段のインバータ回路 5 a、6 a ~ 6 e を介して出力信号 OUT として出力されるため、入力信号 IN と出力信号 OUT は同相の信号となる。

【0060】

上記のように構成されたレベルシフト回路では、次に示す作用効果を得ることができる。

(1) 第二の高電位側電源 V_{D2} とグラウンド GND との間で反転する入力信号 IN を、第一の高電位側電源 V_{D1} とグラウンド GND との間で反転する出力信号 OUT にレベルシフトして出力することができる。

40

(2) 第一の高電位側電源 V_{D1} が供給されるトランジスタ $Tr13 \sim Tr15$ 及びインバータ回路 6 a ~ 6 e は高耐圧トランジスタで構成されるので、第一の高電位側電源 V_{D1} の印加による破壊を防止することができる。

(3) インバータ回路 5 b の出力信号 V_e の反転により、電圧発生回路 3 b の第一及び第二の出力電圧 V_{ref1} 、 V_{ref2} を、第一の高電位側電源 V_{D1} とグラウンド GND との電位差を 3 等分した電圧レベルと、それより高電位側にシフトした電圧レベルとのいずれかに切換えて出力することができる。

(4) 入力信号 IN が L レベルとなって、インバータ回路 5 a の出力信号 V_d が H レベル、すなわち第二の高電位側電源 V_{D2} レベルである 1 V となると、インバータ回路 6 a には、電圧発生回路 3 b から第一の高電位側電源 V_{D1} の $1/3$ の電圧レベル、すなわち

50

1 V の出力電圧 V_{ref2} が高電位側電源として供給される。従って、インバータ回路 6 a は入力信号 V_d を確実に H レベルと判定して、L レベル、すなわちグラウンド GND レベルの出力信号 V_f を出力することができる。

(5) 入力信号 I_N が H レベルとなって、インバータ回路 5 a の出力信号 V_d がグラウンド GND レベルとなったとき、インバータ回路 6 a には電圧発生回路 3 b から 1 . 6 V の第二の出力電圧 V_{ref2} が高電位側電源として入力され、インバータ回路 6 b には 2 . 3 V の第一の出力電圧 V_{ref1} が高電位側電源として入力される。すると、インバータ回路 6 a から出力される H レベルの出力信号 V_f は、1 . 6 V となり第一の出力信号 V_{ref1} の中間レベルより高電位となるので、インバータ回路 6 b では入力信号 V_f を確実に H レベルと判定して、L レベルの出力信号 V_g を出力することができる。

10

(6) インバータ回路 6 b が L レベルの出力信号 V_g を出力するとき、インバータ回路 6 c の出力信号 V_h は H レベル、すなわち 2 . 3 V となる。すると、インバータ回路 6 d では、入力信号 V_h は第一の高電位側電源 V_{D1} の中間レベルより高電位であるので、入力信号 V_h を確実に H レベルと判定して、L レベルの出力信号 V_i を出力することができる。

(7) 電圧発生回路 3 b で第一の高電位側電源 V_{D1} を分圧して、インバータ回路 6 a ~ 6 e を 3 段階の電源で駆動することができる。従って、前記第一の実施の形態に比して、第一の高電位側電源 V_{D1} と、第二の高電位側電源 V_{D2} との電位差が大きくなっても、すなわち第二の高電位側電源 V_{D2} が低電圧化されても、高耐圧トランジスタで構成されるインバータ回路 6 a ~ 6 d を確実に動作させることができる。

20

(8) 入力段インバータ回路の出力信号は、電圧発生回路及びレベルシフト用インバータ回路を構成するトランジスタのゲートにのみ入力される。従って、電圧発生回路及びレベルシフト用インバータ回路の動作に基づいて、低耐圧トランジスタで構成される入力段インバータ回路が破壊されることはない。

【0061】

上記実施の形態は、次に示すように変更することもできる。

- ・電圧発生回路は、さらに多数の P チャネル MOS トランジスタを直列に接続して、さらに多種類の出力電圧を生成するようにしてもよい。

- ・電圧発生回路は、P チャネル MOS トランジスタに代えて、N チャネル MOS トランジスタで構成してもよい。この場合には、最も高電位側のトランジスタのゲート電圧を制御し、他のトランジスタのゲートをドレインに接続する。

30

- ・前記電圧生成回路を構成するトランジスタのうち、ゲートをドレインに接続したトランジスタを固定抵抗に置換してもよい。

(付記 1) 高電位側電源と低電位側電源との間に複数の分圧素子を直列に接続して、高電位側電源と低電位側電源との電位差を分圧した出力電圧を出力可能とし、前記分圧素子の少なくとも一つは、ゲート電圧の制御に基づいてオン抵抗を制御可能とした MOS トランジスタで構成して、該 MOS トランジスタのオン抵抗を制御することにより前記出力電圧レベルを昇降可能としたことを特徴とする電圧発生回路。

(付記 2) 高電位側電源と低電位側電源との間に複数の MOS トランジスタを直列に接続し、前記 MOS トランジスタはゲート端子とドレイン端子とを短絡することにより、前記各トランジスタのドレインから前記高電位側電源と低電位側電源との電位差を分圧した出力電圧を出力可能とし、少なくとも一つの MOS トランジスタのゲート電圧を制御することにより、前記出力電圧レベルを昇降可能としたことを特徴とする電圧発生回路。

40

(付記 3) 前記 MOS トランジスタは、P チャネル MOS トランジスタで構成し、低電位側に接続された P チャネル MOS トランジスタのゲート電圧の制御に基づいてオン抵抗を制御することを特徴とする付記 2 記載の電圧発生回路。

(付記 4) 高電位側電源と低電位側電源との間に 3 つの P チャネル MOS トランジスタを直列に接続し、最も低電位側に接続された P チャネル MOS トランジスタのゲート電圧を制御するとともに、低電位側に接続された 2 つの P チャネル MOS トランジスタのソースから出力電圧を出力することを特徴とする付記 2 記載の電圧発生回路。

50

(付記 5) 前記分圧素子は、固定抵抗素子で形成したことを特徴とする付記 1 記載の電圧発生回路。

(付記 6) 入力信号が入力される入力段インバータ回路と、出力段インバータ回路と、前記入力段インバータ回路の出力信号に基づいて前記出力段インバータ回路を駆動するレベルシフト部とを備えたレベルシフト回路であって、前記レベルシフト部は、前記入力段インバータ回路の出力信号に基づいて、前記第一の高電位側電源電圧を分圧した出力電圧を出力する電圧発生回路と、前記電圧発生回路の出力電圧を電源として動作して、前記入力信号に基づいて前記出力段インバータ回路を駆動するレベルシフト用インバータ回路とから構成したことを特徴とするレベルシフト回路。

(付記 7) 前記電圧発生回路は、第一の高電位側電源と低電位側電源との間に複数の分圧素子を直列に接続して、第一の高電位側電源と低電位側電源との電位差を分圧した出力電圧を出力可能とし、前記分圧素子の少なくとも一つは、ゲート電圧の制御に基づいてオン抵抗を制御可能とした MOS トランジスタで構成して、該 MOS トランジスタのオン抵抗を制御することにより前記出力電圧レベルを昇降可能としたことを特徴とする付記 6 記載のレベルシフト回路。

(付記 8) 前記電圧発生回路は、第一の高電位側電源と低電位側電源との間に複数の MOS トランジスタを直列に接続し、前記 MOS トランジスタはゲート端子とドレイン端子とを短絡することにより、前記各トランジスタのドレインから前記第一の高電位側電源と低電位側電源との電位差を分圧した出力電圧を出力可能とし、少なくとも一つの MOS トランジスタのゲート電圧を制御することにより、前記出力電圧レベルを昇降可能としたことを特徴とする付記 6 記載のレベルシフト回路。

(付記 9) 前記ゲート電圧と、前記レベルシフト用インバータ回路に入力される電圧とを逆相としたことを特徴とする付記 7 または 8 記載のレベルシフト回路。

(付記 10) 前記 MOS トランジスタは、P チャネル MOS トランジスタで構成し、最も低電位側に接続された P チャネル MOS トランジスタのゲート電圧の制御に基づいてオン抵抗を制御することを特徴とする付記 7 記載のレベルシフト回路。

(付記 11) 前記レベルシフト用インバータ回路は、直列に接続された複数のインバータ回路で構成し、前記各インバータ回路は前記電圧発生回路の複数の出力電圧のいずれかをそれぞれ電源として動作することを特徴とする付記 6 乃至 9 のいずれかに記載のレベルシフト回路。

(付記 12) 前記電圧発生回路の同一レベルの出力電圧を電源として動作する複数のレベルシフト用インバータ回路のうち、最終段のインバータ回路の入力信号は、前記レベルシフト用インバータ回路の初段の入力信号と同相としたことを特徴とする付記 11 記載のレベルシフト回路。

(付記 13) 前記入力段インバータ回路は、低耐圧トランジスタで構成し、前記電圧発生回路及びレベルシフト用インバータ回路は、高耐圧トランジスタで構成したことを特徴とする付記 6 乃至 12 のいずれかに記載のレベルシフト回路。

(付記 14) 前記入力段インバータ回路は、その出力信号を前記電圧発生回路及びレベルシフト用インバータ回路を構成するトランジスタのゲートに出力して、該電圧発生回路及びレベルシフト用インバータ回路を制御することを特徴とする付記 6 乃至 13 のいずれかに記載のレベルシフト回路。

(付記 15) 異なる電源電圧で動作する内部回路間に付記 6 乃至 15 のいずれかに記載のレベルシフト回路を搭載したことを特徴とする半導体装置。

【0062】

【発明の効果】

以上詳述したように、この発明は入力側の低電位側電源電圧が低電圧化されても、出力側の高耐圧素子を確実に駆動可能として、安定して動作するレベルシフト回路及びそのレベルシフト回路を構成する電圧発生回路を提供することができる。

【図面の簡単な説明】

【図 1】 第一の実施の形態を示す回路図である。

- 【図 2】 第一の実施の形態の動作を示すタイミング波形図である。
 【図 3】 PチャネルMOSトランジスタを示す回路図である。
 【図 4】 PチャネルMOSトランジスタの特性を示す説明図である。
 【図 5】 第二の実施の形態を示す回路図である。
 【図 6】 従来例を示す回路図である。
 【図 7】 低耐圧トランジスタ及び高耐圧トランジスタの特性を示す説明図である。

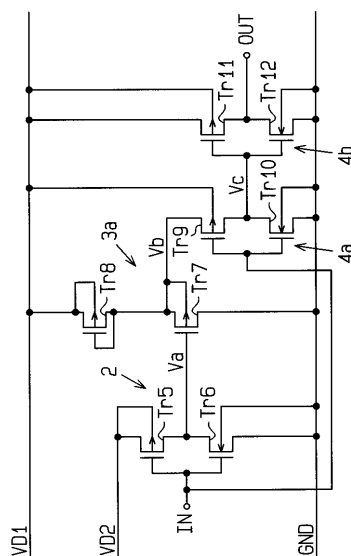
【符号の説明】

- 2, 5 a 入力段インバータ回路
 3 a, 3 b 電圧発生回路
 4 a, 6 a ~ 6 d レベルシフト用インバータ回路
 4 b, 6 e 出力段インバータ回路
 VD 1 第一の高電位側電源
 VD 2 第二の高電位側電源

10

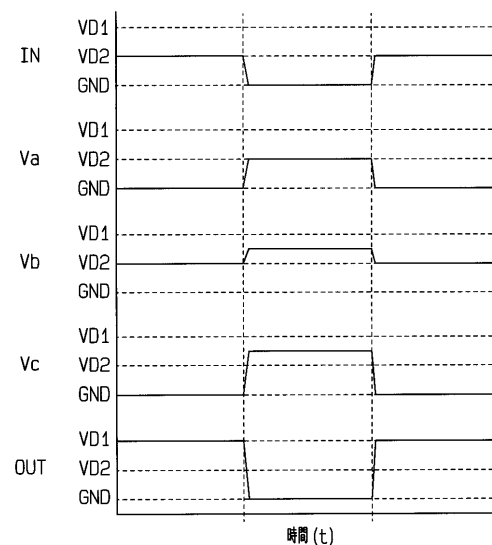
【図 1】

第一の実施の形態を示す回路図



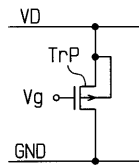
【図 2】

第一の実施の形態の動作を示すタイミング波形図



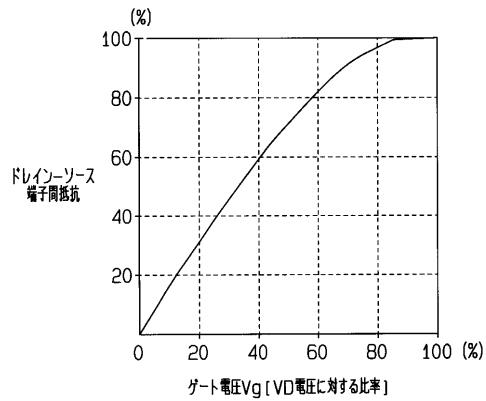
【図 3】

PチャネルMOSトランジスタを示す回路図



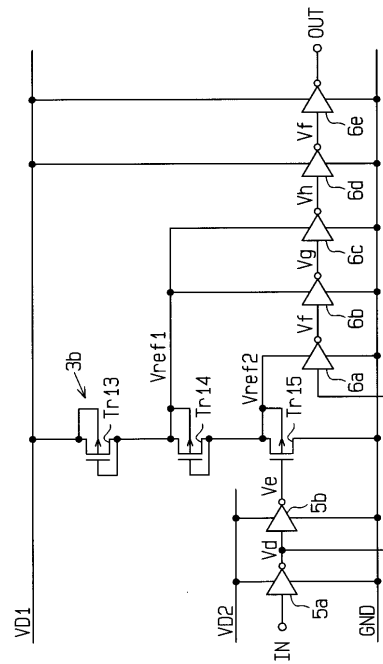
【図 4】

PチャネルMOSトランジスタの特性を示す説明図



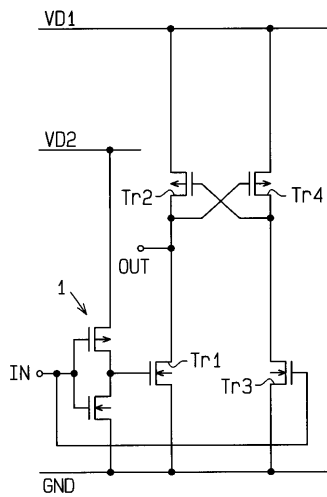
【図 5】

第二の実施の形態を示す回路図



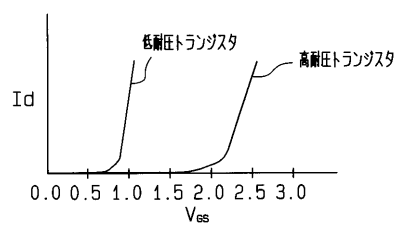
【図 6】

従来例を示す回路図



【図 7】

低耐圧トランジスタ及び高耐圧トランジスタの特性を示す説明図



フロントページの続き

- (56)参考文献 特開昭62-145917(JP,A)
特開昭52-113670(JP,A)
特開平06-224648(JP,A)
特開2001-274676(JP,A)
特開2000-357958(JP,A)
特開平07-231253(JP,A)
特開2001-068978(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03K19/00, 19/01-19/082, 19/092-19/096