

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2015-534420

(P2015-534420A)

(43) 公表日 平成27年11月26日(2015.11.26)

(51) Int.Cl.		F I		テーマコード (参考)
<b>H03F 1/22</b>	<b>(2006.01)</b>	H03F 1/22		5 J 5 0 0
<b>H03F 1/44</b>	<b>(2006.01)</b>	H03F 1/44		

審査請求 未請求 予備審査請求 未請求 (全 27 頁)

(21) 出願番号 特願2015-542025 (P2015-542025) (86) (22) 出願日 平成25年11月12日(2013.11.12) (85) 翻訳文提出日 平成27年7月9日(2015.7.9) (86) 国際出願番号 PCT/US2013/069752 (87) 国際公開番号 W02014/078333 (87) 国際公開日 平成26年5月22日(2014.5.22) (31) 優先権主張番号 13/677,017 (32) 優先日 平成24年11月14日(2012.11.14) (33) 優先権主張国 米国 (US)	(71) 出願人 595020643 クアルコム・インコーポレイテッド QUALCOMM INCORPORATED アメリカ合衆国、カリフォルニア州 92 121-1714、サン・ディエゴ、モア ハウス・ドライブ 5775 (74) 代理人 100108855 弁理士 蔵田 昌俊 (74) 代理人 100109830 弁理士 福原 淑弘 (74) 代理人 100158805 弁理士 井関 守三 (74) 代理人 100194814 弁理士 奥村 元宏
--	--

最終頁に続く

(54) 【発明の名称】 全帯域増幅器

## (57) 【要約】

複数の帯域グループをサポートする全帯域増幅器が開示される。典型的な設計では、装置（例えば、ワイヤレスデバイス、集積回路等）は、複数の帯域グループのための複数のカスコードトランジスタおよび少なくとも1つの利得トランジスタを含む。各帯域グループは、複数の帯域をカバーする。（複数を含む）利得トランジスタは、入力無線周波数（RF）信号を受信する。カスコードトランジスタは、（複数を含む）利得トランジスタに結合され、複数の帯域グループのうちの1つのための出力RF信号を供給する。典型的な設計では、（複数を含む）利得トランジスタは、複数の帯域グループのために複数の利得トランジスタを含む。1つの利得トランジスタおよび1つのカスコードトランジスタは、入力RF信号を増幅し、選択された帯域グループのための出力RF信号を供給することが可能にされる。利得トランジスタは、単一のソースデジェネレーションインダクタの異なるタップに、または異なるソースデジェネレーションインダクタに結合されうる。

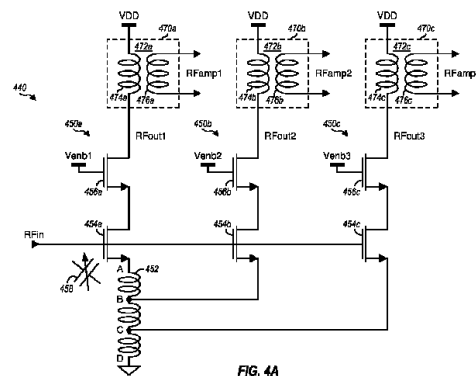


FIG. 4A

**【特許請求の範囲】****【請求項 1】**

入力無線周波数（R F）信号を受信するように構成された少なくとも 1 つの利得トランジスタと、

前記少なくとも 1 つの利得トランジスタに結合され、複数の帯域グループのうちの 1 つのための出力 R F 信号を供給するように構成された、前記複数の帯域グループのための複数のカスコードトランジスタと、

を備える、装置。

**【請求項 2】**

前記少なくとも 1 つの利得トランジスタは、前記複数の帯域グループのために複数の利得トランジスタを備える、請求項 1 に記載の装置。

10

**【請求項 3】**

前記複数の利得トランジスタと回路接地とに結合された複数のタップを備えるインダクタ

をさらに備える、請求項 2 に記載の装置。

**【請求項 4】**

前記複数の利得トランジスタと回路接地との間で結合された複数のインダクタ

をさらに備える、請求項 2 に記載の装置。

**【請求項 5】**

前記少なくとも 1 つの利得トランジスタは、前記複数のカスコードトランジスタに結合された単一の利得トランジスタを備える、請求項 1 に記載の装置。

20

**【請求項 6】**

前記複数のカスコードトランジスタのうちの少なくとも 1 つと前記少なくとも 1 つの利得トランジスタとの間で結合されたフィードバック回路

をさらに備える、請求項 1 に記載の装置。

**【請求項 7】**

前記少なくとも 1 つの利得トランジスタに結合され、受信された R F 信号を受信することと、前記入力 R F 信号を提供することを行うように構成された、調節可能な整合回路をさらに備える、請求項 1 に記載の装置。

**【請求項 8】**

前記複数のカスコードトランジスタに結合された複数の変圧器をさらに備え、前記複数の変圧器の各々は、前記複数の帯域グループのうちの 1 つのために使用される、請求項 1 に記載の装置。

30

**【請求項 9】**

前記少なくとも 1 つの利得トランジスタは、第 1 の帯域グループのための第 1 の利得トランジスタと、第 2 の帯域グループのための第 2 の利得トランジスタとを備え、前記複数のカスコードトランジスタは、前記第 1 の帯域グループのための第 1 のカスコードトランジスタと前記第 2 の帯域グループのための第 2 のカスコードトランジスタとを備える、請求項 1 に記載の装置。

**【請求項 10】**

前記第 1 の利得トランジスタと回路接地との間で結合され、前記第 2 の利得トランジスタに結合されたタップを備える、インダクタ

をさらに備える、請求項 9 に記載の装置。

40

**【請求項 11】**

前記第 1 のカスコードトランジスタに結合された前記第 1 の帯域グループのための第 1 の変圧器と、

前記第 2 のカスコードトランジスタに結合された前記第 2 の帯域グループのための第 2 の変圧器と、

をさらに備える、請求項 9 に記載の装置。

**【請求項 12】**

50

前記第 1 の変圧器は、伝導レイヤ上で形成された第 1 の 1 次コイルを備え、前記第 2 の変圧器は、前記伝導レイヤ上の前記第 1 の 1 次コイル内で形成された第 2 の 1 次コイルを備える、請求項 11 に記載の装置。

【請求項 13】

前記少なくとも 1 つの利得トランジスタは、第 3 の帯域グループのための第 3 の利得トランジスタをさらに備え、前記複数のカスコードトランジスタは、前記第 3 の帯域グループのための第 3 のカスコードトランジスタをさらに備える、請求項 9 に記載の装置。

【請求項 14】

前記複数の利得トランジスタは、異なるトランジスタのサイズ、または異なるバイアス電流、または両方を有する、請求項 2 に記載の装置。

10

【請求項 15】

前記複数の帯域グループは、低帯域、中間帯域、および高帯域のうちの少なくとも 1 つを含む、請求項 1 に記載の装置。

【請求項 16】

増幅された信号を取得するために少なくとも 1 つの利得トランジスタのうちの 1 つを用いて入力無線周波数 (RF) 信号を増幅することと、

複数の帯域グループのうちの 1 つのために出力 RF 信号を取得するために前記複数の帯域グループのために複数のカスコードトランジスタのうちの 1 つを用いて前記増幅された信号をバッファリングすることと、

を備える、方法。

20

【請求項 17】

前記少なくとも 1 つの利得トランジスタに結合されたインダクタを用いて前記 1 つの利得トランジスタのソースをデジェネレートすること

をさらに備える、請求項 16 に記載の方法。

【請求項 18】

増幅された RF 信号を取得するために、前記出力 RF 信号を前記複数の帯域グループのための複数の変圧器のうちの 1 つと結合すること

をさらに備える、請求項 16 に記載の方法。

【請求項 19】

入力無線周波数 (RF) 信号を受信するように構成された少なくとも 1 つの増幅する手段と、

30

前記少なくとも 1 つの増幅する手段に結合され、複数の帯域グループのうちの 1 つのための出力 RF 信号を提供するように構成された、前記複数の帯域グループのための複数のバッファリングする手段と、

を備える、装置。

【請求項 20】

前記少なくとも 1 つの増幅する手段は、前記複数の帯域グループのための複数の増幅する手段を備え、前記装置は、

前記複数の増幅する手段と回路接地とに結合された複数のタップを備えるソースデジェネレーション手段

40

をさらに備える、請求項 19 に記載の装置。

【請求項 21】

前記複数のバッファリングする手段に結合された複数の変圧する手段をさらに備え、前記複数の変圧する手段の各々は、前記複数の帯域グループのうちの 1 つのために使用される、請求項 19 に記載の装置。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、一般に、エレクトロニクスに関し、より具体的には、増幅器に関する。

50

## 【背景技術】

## 【0002】

[0002] ワイヤレス通信システムにおけるワイヤレスデバイス（例えば、セルラ電話またはスマートフォン）は、双方向通信のためにデータを送信および受信しうる。ワイヤレスデバイスは、データ送信用の送信機と、データ受信用の受信機とを含みうる。データ送信の場合、送信機は、変調されたRF信号を取得するために、無線周波数（RF）キャリア信号をデータで変調し、適正な出力電力レベルを有する増幅されたRF信号を取得するために、変調されたRF信号を増幅し、アンテナを介して増幅されたRF信号を基地局に送信しうる。データ受信のために、受信機は、アンテナを介して受信されたRF信号を取得することがあり、基地局によって送られたデータを復元するために、受信されたRF信号を増幅および処理することがある。

10

## 【0003】

[0003] ワイヤレスデバイスは、広い周波数範囲にわたって動作をサポートしうる。ワイヤレスデバイスは、多くの（a number of）増幅器を含むことがあり、各増幅器は、ワイヤレスデバイスによってサポートされる広い周波数範囲の一部分にわたって動作するように設計される。できるだけ少ない増幅器で広い周波数範囲にわたって動作をサポートすることが望ましい。

## 【図面の簡単な説明】

## 【0004】

【図1】[0004] 図1は、ワイヤレスシステムと通信するワイヤレスデバイスを示す。

20

【図2】[0005] 図2は、3つの典型的な帯域グループを示す。

【図3】[0006] 図3は、図1におけるワイヤレスデバイスのブロック図を示す。

【図4A】[0007] 図4Aは、共有されたソースデジェネレーション（degeneration）インダクタを有する全帯域低雑音増幅器（LNA）を示す。

【図4B】図4Bは、共有されたソースデジェネレーションインダクタを有する全帯域低雑音増幅器（LNA）を示す。

【図4C】図4Cは、共有されたソースデジェネレーションインダクタを有する全帯域低雑音増幅器（LNA）を示す。

【図4D】図4Dは、共有されたソースデジェネレーションインダクタを有する全帯域低雑音増幅器（LNA）を示す。

30

【図5】[0008] 図5は、別個のソースデジェネレーションインダクタを有する全帯域LNAを示す。

【図6】[0009] 図6は、ソースデジェネレーションインダクタを有さない全帯域LNAを示す。

【図7】[0010] 図7は、共有されたソースデジェネレーションインダクタおよびフィードバックを有する全帯域LNAを示す。

【図8】[0011] 図8は、調節可能な整合回路（tunable matching circuit）を有する全帯域LNAを示す。

【図9A】[0012] 図9Aは、調節可能な整合回路の6つの典型的な設計のうちの1つを示す。

40

【図9B】図9Bは、調節可能な整合回路の6つの典型的な設計のうちの1つを示す。

【図9C】図9Cは、調節可能な整合回路の6つの典型的な設計のうちの1つを示す。

【図9D】図9Dは、調節可能な整合回路の6つの典型的な設計のうちの1つを示す。

【図9E】図9Eは、調節可能な整合回路の6つの典型的な設計のうちの1つを示す。

【図9F】図9Fは、調節可能な整合回路の6つの典型的な設計のうちの1つを示す。

【図10】[0013] 図10は、3つの帯域グループごとの3つの変圧器（transformers）の上面図を示す。

【図11】[0014] 図11は、信号増幅を実行するためのプロセスを示す。

## 【詳細な説明】

## 【0005】

50

[0015] 以下に記載される詳細な説明は、本開示の典型的な設計の説明として意図され、本開示が実現されうる唯一の設計を表すようには意図されない。ここで、「典型的な(exemplary)」という用語は、「例として、事例として、あるいは実例として機能すること」を意味するために、使用される。「典型的な」ものとして、ここで説明するいずれの設計も、他の設計と比較して、必ずしも、好ましいまたは効果的なものと解釈されるべきものではない。詳細な説明は、本開示の典型的な設計の完全な理解を提供することを目的とした特定の詳細を含む。ここで説明される典型的な設計は、これらの特定の詳細なしで実現されることが当業者に明らかになるであろう。いくつかの事例では、周知の構造およびデバイスが、ここで提示される例示的な設計の新規性を曖昧にすることを避けるために、ブロック図の形式で示される。

10

#### 【0006】

[0016] 複数の帯域グループをカバーしている広い周波数範囲をサポートする全帯域増幅器がここに開示される。全帯域増幅器はまた、ユニバーサル増幅器(universal amplifiers)等と称されうる。全帯域増幅器は、ワイヤレス通信デバイスなどの様々なタイプの電子デバイスのために使用されうる。

#### 【0007】

[0017] 図1は、ワイヤレス通信システム120と通信するワイヤレスデバイス110を示す。ワイヤレスシステム120は、ロングタームエボリューション(LTE)システム、符号分割多元接続(CDMA)システム、Global System for Mobile Communications(GSM(登録商標))system、無線ローカルエリアネットワーク(WLAN)システム、または他の何らかのワイヤレスシステムでありうる。CDMAシステムは、広帯域CDMA(WCDMA(登録商標))、CDMA 1X、エボリューションデータ最適化(EVDO)、時分割同期CDMA(TD-SCDMA)、または他の何らかのバージョンのCDMAをインプリメントしうる。簡単にするために、図1は、2つの基地局130および132、および1つのシステムコントローラ140を含むワイヤレスシステム120を示す。一般的に、ワイヤレスシステムは、任意の数の基地局と、任意のセットのネットワークエンティティを含みうる。

20

#### 【0008】

[0018] ワイヤレスデバイス110はまた、ユーザ機器(UE)、移動局、端末、アクセス端末、加入者ユニット、局等と称されうる。ワイヤレスデバイス110は、セルラ電話、スマートフォン、タブレット、ワイヤレスモデム、携帯情報端末(PDA)、ハンドヘルドデバイス、ラップトップコンピュータ、スマートブック、ネットブック、コードレス電話、無線ローカルループ(WLL)局、ブルートゥース(登録商標)デバイス等でありうる。ワイヤレスデバイス110は、ワイヤレスシステム120と通信しうる。ワイヤレスデバイス110はまた、ブロードキャスト局(例えば、ブロードキャスト局134)からの信号、1つまたは複数のグローバルナビゲーション衛星システム(GNSS)における衛星(例えば、衛星150)からの信号等を受信しうる。ワイヤレスデバイス110は、LTE、WCDMA、CDMA 1X、EVDO、TD-SCDMA、GSM、802.11等のようなワイヤレス通信のための1つまたは複数の無線技術をサポートしうる。

30

40

#### 【0009】

[0019] 図2は、ワイヤレスデバイス110によってサポートされうる、3つの典型的な帯域グループを示す。ワイヤレスデバイス110は、1000メガヘルツ(MHz)よりも低い周波数をカバーする低帯域(LB)、1000MHzから2300MHzの周波数をカバーする中間帯域(MB: mid-band)、および/または2300MHzよりも高い周波数をカバーする高帯域(HB)、において動作することが可能でありうる。例えば、図2に示されるように、低帯域は、698から960MHzをカバーすることがあり、中間帯域は、1475から2170MHzをカバーすることがあり、高帯域は、2300から2690MHzおよび3400から3800MHzをカバーすることがある。低帯域、中間帯域、および高帯域は、帯域の3つのグループ(または帯域グループ)を指し、各帯

50

域グループは、多くの周波数帯域（または簡潔に、「帯域」）を含む。各帯域は、200 MHzまでカバーしうる。LTEリリース11は、35個の帯域をサポートし、これはLTE/UMTS帯域と称され、3GPP TS 36.101において載せられている。

#### 【0010】

[0020] 一般的に、任意の数の帯域グループが定義づけられうる。各帯域グループは、周波数の任意の範囲をカバーすることがあり、これは、図2において示された周波数範囲の何れとも整合しないこともあり、することもある。各帯域グループはまた、任意の数の帯域を含みうる。

#### 【0011】

[0021] 図3は、図1におけるワイヤレスデバイス110の典型的な設計のブロック図を示す。この典型的な設計では、ワイヤレスデバイス110は、1次アンテナ310に結合されたトランシーバ320、2次アンテナ312に結合されたトランシーバ322、およびデータプロセッサ/コントローラ380を含む。トランシーバ320は、複数の周波数帯域、複数の無線技術、キャリアアグリゲーション等をサポートするために、複数（K個）の受信機330paから330pkおよび複数（K個）の送信機350paから350pkを含む。トランシーバ322は、複数の周波数帯域、複数の無線技術、キャリアアグリゲーション、受信ダイバーシチ、複数の送信アンテナから複数の受信アンテナへの多入力多出力（MIMO）送信等をサポートするために、L個の受信機330saから330slおよびL個の送信機350saから350slを含む。

#### 【0012】

[0022] 図3において示される典型的な設計では、各受信機330は、LNA 340および受信回路342を含む。データ受信のために、アンテナ310は、基地局および/または他の送信局から信号を受信し、受信されたRF信号を供給し、それはアンテナインターフェース（antenna interface）回路324を通してルーティングされ（routed）、選択された受信機に入力RF信号として提示される。アンテナインターフェース回路324は、スイッチ、デュプレクサ、送信フィルタ、受信フィルタ、整合回路等を含みうる。以下の説明は、受信機330paが選択された受信機であると仮定する。受信機330pa内で、LNA 340paは、入力RF信号を増幅し、出力RF信号を供給する。受信回路342paは、RFからベースバンドへ出力RF信号をダウンコンバートし、ダウンコンバートされた信号を増幅およびフィルタし、アナログ入力信号をデータプロセッサ380へ供給する。受信回路342paは、ミキサ、フィルタ、増幅器、整合回路、発振器、ローカル発振器（LO）ジェネレータ、位相同期ループ（PLL：phase locked loop）等を含みうる。トランシーバ320および322における各残りの受信機330は、受信機330paと同様の方法で動作しうる。

#### 【0013】

[0023] 図3において示される典型的な設計では、各送信機350は、送信回路352および電力増幅器（PA）354を含む。データ送信のために、データプロセッサ380は、送信されるべきデータを処理（例えば、符号化および変調）し、選択された送信機へアナログ出力信号を供給する。以下の説明は、送信機350paが選択された送信機であると仮定する。送信機350pa内では、送信回路352paが、アナログ出力信号をベースバンドからRFに増幅、フィルタ、およびアップコンバートして、変調されたRF信号を供給する。送信回路352paは、増幅器、フィルタ、ミキサ、整合回路、発振器、LOジェネレータ、PLL等を含みうる。PA 354paは、変調されたRF信号を受信および増幅して、適正な出力電力レベルを有する送信RF信号を供給する。送信RF信号は、アンテナインターフェース回路324を通してルーティングされ、アンテナ310を介して送信される。トランシーバ320および322における各残りの送信機350は、送信機350paと同様の方法で動作しうる。

#### 【0014】

[0024] 図3は、受信機330および送信機350の典型的な設計を示す。受信機および送信機はまた、図3において示されない、フィルタ、整合回路等のような他の回路を含

10

20

30

40

50

みうる。トランシーバ 3 2 0 および 3 2 2 の全てまたは一部は、1 つまたは複数のアナログ集積回路 (IC)、RF IC (RF IC)、混合信号 IC (mixed-signal ICs) 等上でインプリメントされうる。例えば、LNA 3 4 0 および受信回路 3 4 2 は、1 つのモジュール上でインプリメントされることがあり、それは RF IC 等でありうる。トランシーバ 3 2 0 および 3 2 2 における回路はまた、他の方法でインプリメントされうる。

【0015】

[0025] データプロセッサ/コントローラ 3 8 0 は、ワイヤレスデバイス 1 1 0 のための様々な機能を実行しうる。例えば、データプロセッサ 3 8 0 は、受信機 3 3 0 を介して受信されているデータおよび送信機 3 5 0 を介して送信されているデータについて処理を実行しうる。コントローラ 3 8 0 は、トランシーバ 3 2 0 および 3 2 2 内の様々な回路の動作を制御しうる。メモリ 3 8 2 は、データプロセッサ/コントローラ 3 8 0 のためのプログラムコードおよびデータを格納しうる。データプロセッサ/コントローラ 3 8 0 は、1 つまたは複数の特定用途向け集積回路 (ASIC) および/または他の IC 上でインプリメントされうる。

【0016】

[0026] ワイヤレスデバイス 1 1 0 は、複数の帯域グループ、複数の無線技術、および/または複数のアンテナをサポートしうる。ワイヤレスデバイス 1 1 0 は、複数の帯域グループ、複数の無線技術、および/または複数のアンテナを介する受信をサポートするために、多くの LNA を含みうる。

【0017】

[0027] 本開示の態様において、全帯域 LNA は、複数の帯域グループを介する受信をサポートするために使用されうる。全帯域 LNA は、複数の帯域グループをサポートする LNA であり、(i) 全てのサポートされる帯域グループのための単一の入力、および (ii) 例えば、各帯域グループのための 1 つの出力というような、複数の帯域グループのための複数の出力を有する。全帯域 LNA は、その入力において入力 RF 信号を受信することがあり、その複数の出力のうちの 1 つにおいて出力 RF 信号を供給することがある。全帯域 LNA は、複数の帯域グループをカバーし、同じ帯域グループにおける複数の帯域をカバーするマルチバンド LNA とは異なる。

【0018】

[0028] 全帯域 LNA は、様々な回路設計でインプリメントされうる。全帯域 LNA のいくつかの典型的な設計が以下に説明される。全帯域 LNA はまた、様々なタイプのトランジスタでインプリメントされうる。N 型金属酸化膜半導体 (NMOS: N-channel metal oxide semiconductor) トランジスタでインプリメントされる全帯域 LNA のいくつかの典型的な設計が以下に説明される。

【0019】

[0029] 図 4 A は、共有されるソースデジェネレーションインダクタを有する全帯域 LNA 4 4 0 の典型的な設計の概略図を示す。全帯域 LNA 4 4 0 は、図 3 における LNA 3 4 0 のうちの任意の 1 つのために使用されうる。図 4 A において示される典型的な設計では、全帯域 LNA 4 4 0 は、低帯域、中間帯域、高帯域の 3 つの帯域グループそれぞれのための 3 つの増幅回路 4 5 0 a、4 5 0 b および 4 5 0 c を含む。

【0020】

[0030] 図 4 A において示される典型的な設計では、各増幅回路 4 5 0 は、カスコードトランジスタ 4 5 6 に、また、マルチタップ (multi-tap) ソースデジェネレーションインダクタ 4 5 2 にも結合された利得トランジスタ 4 5 4 を含む。低帯域のための増幅回路 4 5 0 a 内で、利得トランジスタ 4 5 4 a は、そのゲートに入力 RF 信号 (RF<sub>in</sub>) を受信させ、そのソースをマルチタップインダクタ 4 5 2 の一端に結合させる。マルチタップインダクタ 4 5 2 は、4 つのタップ A、B、C および D を有し、タップ A および D は、インダクタ 4 5 2 の 2 つの末端に対応する。インダクタ 4 5 2 は、利得トランジスタ 4 5 4 a のソースに結合されたタップ A および回路接地に結合されたタップ D を有する。カスコードトランジスタ 4 5 6 a は、そのソースを利得トランジスタ 4 5 4 a のドレインに結合

10

20

30

40

50

させ、そのゲートに低帯域のための第 1 のイネーブル制御信号 (enable control signal) (Venb 1) を受信させ、そのドレインを増幅回路 450 a の出力に結合させる。

【0021】

[0031] 中間帯域のための増幅回路 450 b は、利得トランジスタ 454 b およびカスコードトランジスタ 456 b を含み、それらは低帯域のための増幅回路 450 a におけるカスコードトランジスタ 456 a および利得トランジスタ 454 a と同様の方法で結合される。高帯域のための増幅回路 450 c は、利得トランジスタ 454 c およびカスコードトランジスタ 456 c を含み、それらもまた、低帯域のための増幅回路 450 a におけるカスコードトランジスタ 456 a および利得トランジスタ 454 a と同様の方法で結合される。中間帯域のための利得トランジスタ 454 b のソースは、マルチタップインダクタ 452 のタップ B に結合され、高帯域のための利得トランジスタ 454 c のソースはマルチタップインダクタ 452 のタップ C に結合される。利得トランジスタ 454 a から 454 c およびカスコードトランジスタ 456 a から 456 c は、図 4 A において示されるように NMOS トランジスタで、または他のタイプのトランジスタで、インプリメントされうる。

10

【0022】

[0032] インダクタ 452 は、3 つすべての利得トランジスタ 454 a、454 b および 454 c のためのソースデジェネレーションインダクタとしての役割を果たし、それらは、インダクタ 452 の異なるタップにおけるそれらの接続のために、徐々に小さくなるソースインダクタンスを観察 (observe) する。特に、高帯域のための利得トランジスタ 454 c は、タップ C に結合され、それは回路接地に最も近く、したがって最も小さいソースデジェネレーションインダクタンスを観察する。中間帯域のための利得トランジスタ 454 b は、より高いタップ B に結合され、したがって、より大きなソースデジェネレーションインダクタンスを観察する。低帯域のための利得トランジスタ 454 a は、タップ A におけるインダクタ 452 のトップエンド (top end) に結合され、したがって最も大きいソースデジェネレーションインダクタンスを観察する。

20

【0023】

[0033] 図 4 A において示される典型的な設計では、様々なキャパシタ 458 は、利得トランジスタ 454 a のソースおよびゲートにわたって存在しうる。キャパシタ 458 は、利得トランジスタ 454 a、454 b および 454 c の寄生キャパシタンス (parasitic capacitance) を含みうる。キャパシタ 458 はまた、切り替え可能なキャパシタのバンクを含むことがあり、それは利得トランジスタ 454 a のソースとゲートとの間で結合されることがあり、全帯域 LNA 440 の入力インピーダンスを微調整 (fine-tune) するために使用されることがある。各切り替え可能なキャパシタは、スイッチと直列に結合されたキャパシタでインプリメントされうる。バンクにおけるキャパシタは、全帯域 LNA 440 のための優良な入力整合 (good input matching) を取得するために選択されうる。

30

【0024】

[0034] 増幅回路 450 a、450 b および 450 c は、それぞれ 3 つの負荷回路 470 a、470 b および 470 c に結合される。図 4 A において示される典型的な設計では、各負荷回路 470 は、1 次コイル 474 および 2 次コイル 476 を備える変圧器 472 を含む。コイルはまた、インダクタコイル、巻線 (winding)、コンダクタ等とも称されうる。低帯域のための負荷回路 470 a 内では、変圧器 472 a は (i) 増幅回路 450 a の出力と電源 (VDD) との間で結合される 1 次コイル 474 a および (ii) 低帯域のためのダウンコンバータ (図 4 A に図示せず) に第 1 の差動増幅 RF 信号 (RF amp 1) を供給する 2 次コイル 476 a を含む。中間帯域のための負荷回路 470 b は、(i) 増幅回路 450 b の出力と VDD 電源との間で結合される 1 次コイル 474 b および (ii) 中間帯域のためのダウンコンバータ (図 4 A に図示せず) に第 2 の差動増幅 RF 信号 (RF amp 2) を供給する 2 次コイル 476 b を有する変圧器 472 b を含む。高帯域のための負荷回路 470 c は、(i) 増幅回路 450 c の出力と VDD 電源との間で結合される

40

50



1 次コイル 4 7 4 c および (ii) 高帯域のためのダウンコンバータ (図 4 A に図示せず) に第 3 の差動増幅 R F 信号 (R F amp 3) を供給する 2 次コイル 4 7 6 c を有する変圧器 4 7 2 c を含む。変圧器 4 7 2 a、4 7 2 b および 4 7 2 c は、カスコードトランジスタ 4 5 6 a、4 5 6 b、および 4 5 6 c それぞれのドレインに結合される。変圧器 4 7 2 a、4 7 2 b および 4 7 2 c は、低帯域、中間帯域、および高帯域それぞれのために優れたパフォーマンスを提供するように設計されう。

【0025】

[0035] 1 つの典型的な設計では、各負荷回路 4 7 0 は、別個のダウンコンバータに結合されう。別の典型的な設計では、複数の負荷回路 4 7 0 は、スイッチを介して共有されるダウンコンバータに結合されう。スイッチは、任意の所与の瞬間において共有されるダウンコンバータに 1 つの負荷回路から増幅された R F 信号を通過するように制御されう。両方の典型的な設計のために、各ダウンコンバータは、R F からベースバンドまたは中間周波数 (I F : intermediate frequency) の何れかに増幅された R F 信号の直交ダウンコンバージョンを実行するために、2 つのミキサを含みう。

10

【0026】

[0036] 負荷回路 4 7 0 はまた、他の方法でもインプリメントされう。別の典型的な設計では、負荷回路は、増幅回路の出力と V D D 電源との間で結合される可能性のあるキャパシタおよびインダクタを含みう。さらに別の典型的な設計では、負荷回路は、そのソースを V D D 電源に結合させ、そのドレインをカスコードトランジスタ 4 5 6 のドレインに結合させる P 型金属酸化膜半導体 (P M O S : P-channel metal oxide semiconductor) トランジスタを含みう。P M O S トランジスタは、カスコードトランジスタ 4 5 6 のためのアクティブな負荷を提供しう。

20

【0027】

[0037] 増幅回路 4 5 0 a、4 5 0 b および 4 5 0 c は、様々な方法でインプリメントされう。典型的な設計では、利得トランジスタ 4 5 4 a、4 5 4 b および 4 5 4 c は、同様のトランジスタサイズを有することがあり、カスコードトランジスタ 4 5 6 a、4 5 6 b および 4 5 6 c もまた、同様のトランジスタサイズを有することがある。別の典型的な設計では、利得トランジスタ 4 5 4 a、4 5 4 b および 4 5 4 c は、異なるトランジスタサイズを有することがあり、および / またはカスコードトランジスタ 4 5 6 a、4 5 6 b および 4 5 6 c は、異なるトランジスタサイズを有することがある。典型的な設計では、利得トランジスタ 4 5 4 a、4 5 4 b および 4 5 4 c は、同様のバイアス電流を有することがあり、それは 3 つすべての帯域グループに優れたパフォーマンスを提供するために選択されることがある。別の典型的な設計では、利得トランジスタ 4 5 4 a、4 5 4 b、および 4 5 4 c は、異なるバイアス電流を有しう。各利得トランジスタ 4 5 4 のためのバイアス電流は、関連付けられた帯域グループに優れたパフォーマンスを提供するために選択されう。

30

【0028】

[0038] 図 4 A は、3 つの帯域グループのための 3 つの増幅回路 4 5 0 a、4 5 0 b および 4 5 0 c を含む全帯域 L N A 4 4 0 を示す。全帯域 L N A は、より少ないまたはより多い帯域グループのための 3 つよりも少ないまたは多い増幅回路 4 5 0 を含みう。

40

【0029】

[0039] 全帯域 L N A 4 4 0 は、入力 R F 信号を受信し、それは 3 つすべての増幅回路 4 5 0 a、4 5 0 b および 4 5 0 c に適用される。入力 R F 信号は、対象の帯域グループ、すなわち、選択された帯域グループにおける 1 つまたは複数の帯域における 1 つまたは複数の送信を含みう。選択された帯域グループのための増幅回路 4 5 0 は、入力 R F 信号を増幅し、選択された帯域グループのための出力 R F 信号を供給することが可能にされう。選択された帯域グループのための負荷回路 4 7 0 は、イネーブルされた増幅回路 4 5 0 から出力 R F 信号を受信し、選択された帯域グループのための増幅された R F 信号を供給しう。他の帯域グループのための残りの増幅回路 4 5 0 は、ディスエーブル (disabled) されう。

50

## 【 0 0 3 0 】

[0040] 図 4 B は、低帯域が選択される場合の全帯域 L N A 4 4 0 の動作を示す。この場合において、増幅回路 4 5 0 a は、カスコードトランジスタ 4 5 6 a のゲートにおいて V e n b 1 信号上で適切なバイアス電圧を提供することによって低帯域のための第 1 の出力 R F 信号 ( R F o u t 1 ) を生成することがイネーブルされる。負荷回路 4 7 0 a は、R F o u t 1 信号を受信し、低帯域のためにダウンコンバータへ R F a m p 1 信号を供給する。利得トランジスタ 4 5 4 a は、全体のインダクタ 4 5 2 を介して大きいソースデジェネレーションインダクタンスを観察する。増幅回路 4 5 0 b および 4 5 0 c は、カスコードトランジスタ 4 5 6 b および 4 5 6 c それぞれのゲートにおいて V e n b 2 および V e n b 3 信号上で低い電圧を供給することによってディスエーブルされる。

10

## 【 0 0 3 1 】

[0041] 図 4 C は、中間帯域が選択される場合の全帯域 L N A 4 4 0 の動作を示す。この場合において、増幅回路 4 5 0 b は、カスコードトランジスタ 4 5 6 b のゲートにおいて V e n b 2 信号上で適切なバイアス電圧を供給することによって中間帯域のための第 2 の出力 R F 信号 ( R F o u t 2 ) を生成することがイネーブルされる。負荷回路 4 7 0 b は、R F o u t 2 信号を受信し、中間帯域のためにダウンコンバータへ R F a m p 2 信号を供給する。利得トランジスタ 4 5 4 b は、タップ B から回路接地へインダクタ 4 5 2 の一部を介して中間の ( medium ) ソースデジェネレーションインダクタンスを観察する。増幅回路 4 5 0 a および 4 5 0 c は、カスコードトランジスタ 4 5 6 a および 4 5 6 c それぞれのゲートにおいて V e n b 1 および V e n b 3 信号上で低い電圧を供給することによってディスエーブルされる。

20

## 【 0 0 3 2 】

[0042] 図 4 D は、高帯域が選択される場合の全帯域 L N A 4 4 0 の動作を示す。この場合において、増幅回路 4 5 0 c は、カスコードトランジスタ 4 5 6 c のゲートにおいて V e n b 3 信号上で適切なバイアス電圧を供給することによって高帯域のための第 3 の出力 R F 信号 ( R F o u t 3 ) を生成することがイネーブルされる。負荷回路 4 7 0 c は、R F o u t 3 信号を受信し、高帯域のためにダウンコンバータへ R F a m p 3 信号を供給する。利得トランジスタ 4 5 4 c は、タップ C から回路接地へインダクタ 4 5 2 の一部を介して小さい ( small ) ソースデジェネレーションインダクタンスを観察する。増幅回路 4 5 0 a および 4 5 0 b は、カスコードトランジスタ 4 5 6 a および 4 5 6 b それぞれのゲートにおいて V e n b 1 および V e n b 2 信号上で低い電圧を供給することによってディスエーブルされる。

30

## 【 0 0 3 3 】

[0043] 典型的な設計では、増幅回路における利得トランジスタは、( i ) 増幅回路がイネーブルされるとき飽和領域 ( saturation region ) または ( ii ) 増幅回路がディスエーブルされるとき線形領域 ( linear region ) において動作しうる。増幅回路がディスエーブルされるとき線形領域における利得トランジスタを動作することは、増幅回路または帯域グループのどちらが選択されるかに関わらず、全帯域 L N A 4 4 0 の入力インピーダンスにおける変化を減少させる。利得トランジスタの入力キャパシタンス (  $C_{IN}$  ) は、

40

【数 1】

$$C_{IN} = \frac{2}{3} \cdot W \cdot L \cdot C_{OX}$$

増幅回路がイネーブルされるとき 式 ( 1 )、および

## 【数 2】

増幅回路がディスエーブルされるとき 式 (2)

$$C_{IN} = \frac{1}{2} \cdot W \cdot L \cdot C_{OX}$$

## 【0034】

のように表される。ここで、Wは幅を示し、Lは利得トランジスタの長さを示し、 $C_{OX}$ は利得トランジスタのゲート酸化キャパシタンス (oxide capacitance) を示す。

## 【0035】

[0044] 式 (1) および式 (2) において示されるように、増幅回路がイネーブルであるかディスエーブルであるかに依存して利得トランジスタの入力インピーダンスにおける有限の (finite) 変化がありうる。しかしながら、全帯域 LNA 440 の入力インピーダンスは、どの増幅回路が選択されるかに関わらず、および、たとえ (even) 利得トランジスタの入力インピーダンスにおける変化を伴って (with) も、許容範囲の制限内で維持されうる。許容範囲の制限内で全帯域 LNA 440 の入力インピーダンスを維持することは、全ての帯域グループのためのインピーダンス整合および / または電力を改良 (improve) する。

## 【0036】

[0045] 図 5 は、別個のソースデジェネレーションインダクタを有する全帯域 LNA 540 の典型的な設計の概略図を示す。全帯域 LNA 540 はまた、図 3 における LNA 340 のうちの任意の 1 つのために使用されうる。図 5 において示される典型的な設計では、全帯域 LNA 540 は、低帯域、中間帯域、および高帯域それぞれのために 3 つの増幅回路 550 a、550 b および 550 c を含む。各増幅回路 550 は、カスコードトランジスタ 556 に、また、ソースデジェネレーションインダクタ 552 にも結合される利得トランジスタ 554 を含む。低帯域のための増幅回路 550 a 内で、利得トランジスタ 554 a は、そのゲートに入力 RF 信号を受信させ、そのソースをインダクタ 552 a の一端に結合させる。インダクタ 552 a のもう一端は、回路接地に結合される。カスコードトランジスタ 556 a は、そのソースを利得トランジスタ 554 a のドレインに結合させ、そのゲートに低帯域のための第 1 のイネーブル制御信号 (Venb1) を受信させ、そのドレインを増幅回路 550 a の出力に結合させる。

## 【0037】

[0046] 中間帯域のための増幅回路 550 b は、利得トランジスタ 554 b、カスコードトランジスタ 556 b、およびインダクタ 552 b を含み、それらは低帯域のための増幅回路 550 a におけるインダクタ 552 a、カスコードトランジスタ 556 a、および利得トランジスタ 554 a と同様の方法で結合される。高帯域のための増幅回路 550 c は、利得トランジスタ 554 c、カスコードトランジスタ 556 c、およびインダクタ 552 c を含み、それらは低帯域のための増幅回路 550 a におけるインダクタ 552 a、カスコードトランジスタ 556 a、および利得トランジスタ 554 a と同様の方法で結合される。インダクタ 552 a、552 b および 552 c は、低帯域、中間帯域、および高帯域それぞれのために優れたパフォーマンスを提供するように設計されうる。カスコードトランジスタ 556 a、556 b、および 556 c のドレインは、それぞれ負荷回路 570 a、570 b および 570 c に結合され、(例えば、図 4 A に示されるような) 変圧器および / または他の回路を備えうる。負荷回路 570 a、570 b および 570 c は、低帯域、中間帯域、および高帯域それぞれのために優れたパフォーマンスを提供するように設計されうる。

## 【0038】

[0047] 図 6 は、ソースデジェネレーションインダクタを有さない全帯域 LNA 640 の典型的な設計の概略図を示す。全帯域 LNA 640 はまた、図 3 における LNA 340 のうちの任意の 1 つのために使用されうる。図 6 において示される典型的な設計では

、全帯域 LNA 640 は、低帯域、中間帯域、および高帯域それぞれのために 3 つのカ  
スコードトランジスタ 656 a、656 b、および 656 c と共通 (common) 利得トラン  
ジスタ 654 を含む。利得トランジスタ 654 は、そのゲートに入力 RF 信号 (RF in  
) を受信させ、そのソースを回路接地に結合させる。カスコードトランジスタ 656 a は  
、そのソースを利得トランジスタ 654 のドレインに結合させ、そのゲートに低帯域のため  
の第 1 のイネーブル制御信号 (Venb 1) を受信させ、そのドレインを低帯域のための負  
荷回路 670 a に結合させる。カスコードトランジスタ 656 b は、そのソースを利得ト  
ランジスタ 654 のドレインに結合させ、そのゲートに中間帯域のための第 2 のイネー  
ブル制御信号 (Venb 2) を受信させ、そのドレインを中間帯域のための負荷回路 670 b に  
結合させる。カスコードトランジスタ 656 c は、そのソースを利得トランジスタ 654  
のドレインに結合させ、そのゲートに高帯域のための第 3 のイネーブル制御信号 (Venb 3  
) を受信させ、そのドレインを高帯域のための負荷回路 670 c に結合させる。負荷回路  
670 a、670 b および 670 c は、(図 4 A に示されるような) 変圧器および / また  
は他の回路を備えうる。負荷回路 670 a、670 b および 670 c は、低帯域、中間帯  
域、および高帯域それぞれのために優れたパフォーマンスを提供するように設計されう  
る。

10

20

30

40

50

#### 【0039】

[0048] 図 7 は、共有されるソースデジェネレーションインダクタおよびフィードバッ  
クを有する全帯域 LNA 442 の典型的な設計の概略図を示す。全帯域 LNA 442 は  
また、図 3 における LNA 340 のうちの任意の 1 つのためにも使用されうる。図 7 に  
おいて示される典型的な設計では、図 4 A のために上記で説明されるように、全帯域 LNA  
442 は、低帯域、中間帯域、および高帯域それぞれのために 3 つの増幅回路 450  
a、450 b および 450 c を含む。全帯域 LNA 442 はさらに、カスコードトラン  
ジスタ 456 a、456 b および 456 c のドレインと利得トランジスタ 454 a、454  
b および 454 c のゲートとの間、すなわち、増幅回路 450 a、450 b および 450  
c の共通入力および出力との間で結合されたフィードバック回路 460 を含む。

#### 【0040】

[0049] 図 7 において示される典型的な設計では、フィードバック回路 460 は、スイ  
ッチ 462 a、462 b、および 462 c、レジスタ 464、およびキャパシタ 466 を  
含む。レジスタ 464 およびキャパシタ 466 は、直列に結合され、キャパシタ 466 の  
下部端末 (bottom terminal) は利得トランジスタ 454 a、454 b および 454 c の  
ゲートに結合される。スイッチ 462 a、462 b、および 462 c は、1 つの端末をレ  
ジスタ 464 に結合させ、もう 1 つの端末をカスコードトランジスタ 456 a、456 b  
および 456 c それぞれのドレインに結合させる。スイッチ 462 a、462 b、および  
462 c は、それぞれフィードバック回路 460 をその関連付けられたカスコードトラン  
ジスタ 456 へ接続するためにクローズ (closed) されることがあり、フィードバック回  
路 460 を関連付けられたカスコードトランジスタ 456 から切断する (disconnect) た  
めに開かれる (opened) ことがある。フィードバック回路 460 はまた、トランジスタの  
ような 1 つまたは複数のアクティブな回路を含みうる。

#### 【0041】

[0050] 典型的な設計では、フィードバック回路 460 は、入力電力整合 (match) を  
提供するために低帯域のためにイネーブルされおよび使用されうる。中間帯域および高帯  
域のために、フィードバック回路 460 はディスエーブルされることがあり、ソースデ  
ジェネレーションインダクタ 452 は入力電力整合のために使用されうる。フィードバック  
回路 460 はまた、他の方法で使用されうる。

#### 【0042】

[0051] フィードバック回路 460 は、全帯域 LNA 442 のための入力整合を支援  
しうる。フィードバック回路 460 はまた、増幅回路 450 a、450 b および / または  
450 c の線形性 (linearity) を改良しうる。各増幅回路 450 は、(i) 関連付けられ  
たスイッチ 462 がクローズされている場合、フィードバック回路 460 およびソースデ

ジェネレーションインダクタ 452 の両方または (ii) 関連付けられたスイッチ 462 が開いている場合、ソースジェネレーションインダクタ 452 のみによって線形にされ (linearized) うる。フィードバック回路 460 で改良された線形性 (The improved linearity with feedback circuit 460) は、より小さいインダクタ 452 に、所望の線形性を取得するために使用されることを可能にしている。

【0043】

[0052] 図 8 は、調節可能な整合回路 830 を有する全帯域 LNA 840 の典型的な設計の概略図を示す。全帯域 LNA 840 は、上記で説明された全帯域 LNA の設計のうちの任意のものに基づいてインプリメントされうる。全帯域 LNA 840 は、入力 RF 信号 (RF<sub>in</sub>) を受信する入力と K 個の帯域グループのために出力 RF 信号 (RF<sub>out1</sub> から RF<sub>outK</sub>) を供給する K 個の出力を含み、ここで、K は 1 より大きい任意の整数値でありうる。調節可能な整合回路 830 は、全帯域 LNA 840 の入力に結合され、LNA 840 のための入力整合を実行する。整合回路 830 は、受信された RF 信号 (RF<sub>rx</sub>) を受信し、全帯域 LNA 840 へ入力 RF 信号を供給する。K 個の負荷回路 870a から 870k は、全帯域 LNA 840 の K 個の出力に結合され、K 個の帯域グループのために設計される。各負荷回路 870 は、(例えば、図 4A に示されるような) 変圧器および / または他の回路要素を備えうる。

【0044】

[0053] 調節可能な整合回路 830 は、様々な方法でインプリメントされうる。調節可能な整合回路 830 のいくつかの典型的な設計が以下に説明される。

【0045】

[0054] 図 9A は、L トポロジ (L topology) に基づいて調節可能な整合回路 830a の典型的な設計を示す。L トポロジは、シャント回路要素に結合された直列回路要素を含む。直列回路要素は、2 つのノード間で接続された回路要素である。シャント回路要素は、ノードと回路接地との間で接続された回路要素である。回路要素は、インダクタ、キャパシタ、レジスタ等でありうる。整合回路 830a は、(i) 整合回路 830a の入力と出力との間で結合された直列インダクタ 912 および (ii) 整合回路 830a の出力と回路接地との間で結合された調節可能なシャントキャパシタ 914 を含む。

【0046】

[0055] 図 9B は、L トポロジに基づいて調節可能な整合回路 830b の典型的な設計を示す。整合回路 830b は、(i) 整合回路 830b の入力と出力との間に結合された調節可能な直列キャパシタ 922、(ii) 整合回路 830b の出力と回路接地との間で結合されたシャントインダクタ 924 を含む。

【0047】

[0056] 図 9C は、R トポロジ (R topology) に基づいて調節可能な整合回路 830c の典型的な設計を示す。R トポロジは、直列回路要素に結合されたシャント回路要素を含む。整合回路 830c は、(i) 整合回路 830c の入力と回路接地との間に結合された調節可能なシャントキャパシタ 932 および (ii) 整合回路 830c の入力と出力との間で結合された直列インダクタ 934 を含む。

【0048】

[0057] 図 9D は、Pi トポロジ (Pi topology) に基づいて調節可能な整合回路 830d の典型的な設計を示す。Pi トポロジは、直列回路要素に結合されたシャント回路要素を含み、これは、別のシャント回路要素に結合される。整合回路 830d は、(i) 整合回路 830d の入力と回路接地との間で結合されたシャントキャパシタ 942、(ii) 整合回路 830d の入力と出力との間で結合される直列インダクタ 944、および (iii) 整合回路 830d の出力と回路接地との間で結合される調節可能なシャントキャパシタ 946 を含む。

【0049】

[0058] 図 9E は、2 つの R セクションを有する調節可能な整合回路 830e の典型的な設計を示す。整合回路 830e は、(i) 整合回路 830e の入力と VDD 電源との間

10

20

30

40

50

で結合されるシャントインダクタ 952、(ii) 整合回路 830e の入力とノード E との間で結合される直列キャパシタ 954、(iii) ノード E と回路接地との間で結合される調節可能なシャントキャパシタ 956、および (iv) 整合回路 830e の出力とノード E との間で結合される直列インダクタ 958 を含む。

【0050】

[0059] 図 9F は、Pit ポロジに基づいて調節可能な整合回路 830f の典型的な設計を示す。整合回路 830f は、(i) 整合回路 830f の入力と VDD 電源との間で結合されたシャントインダクタ 962、(ii) 整合回路 830f の入力と出力との間で結合される直列キャパシタ 964、(iii) 整合回路 830f の出力と回路接地との間で結合される調節可能なシャントキャパシタ 966、および (iv) 整合回路 830f の出力と回路接地との間で結合されるシャントインダクタ 968 を含む。

10

【0051】

[0060] 固定された (fixed) 整合回路はまた、図 9A から 9F において示される典型的な設計のうちの任意のものに基づいてインプリメントされうる。この場合において、各調整可能な回路要素 (例えば、各調整可能なキャパシタ) は、固定された回路要素 (例えば、固定されたキャパシタ) と置き換えられうる。

【0052】

[0061] 異なる帯域グループのための変圧器は、様々な方法でインプリメントされうる。変圧器の 1 次および 2 次コイルは、所望のインダクタンスおよびカップリング (coupling) を取得するために、様々なパターンでインプリメントされうる。1 次および 2 次コイルはまた、1 つまたは複数の伝導レイヤ (conductive layers) 上に組み立てられうる。

20

【0053】

[0062] 図 10 は、3 つの帯域グループのための 3 つの変圧器の典型的な設計の上面図を示す。3 つの変圧器は、図 4A における変圧器 472a から 472c、図 5 における負荷回路 570a から 570c、図 6 における負荷回路 670a から 670c、図 8 における負荷回路 870a から 870c のために使用されうる。

【0054】

[0063] 図 10 において示される典型的な設計では、低帯域のための変圧器は、第 1 の伝導レイヤ上の渦巻きパターン (spiral pattern) で形成された 1 次コイル 1074a を含む。中間帯域のための変圧器は、第 1 の伝導レイヤ上の 1 次コイル 1074a の内部に渦巻きパターンで形成された 1 次コイル 1074b を含む。高帯域のための変圧器は、第 1 の伝導レイヤ上の 1 次コイル 1074b の内部に渦巻きパターンで形成された 1 次コイル 1074c を含む。接地ガードリング (ground guard ring) 1080 は、1 次コイル 1074a と 1074b との間に位置し、これら 2 つの 1 次コイル間で絶縁を提供する。接地ガードリング 1082 は、これらの 1 次コイル 1074b と 1074c との間に位置し、これらの 1 次コイル間で絶縁を提供する。

30

【0055】

[0064] 典型的な設計では、3 つの変圧器のための 2 次コイルは、第 2 の伝導レイヤ上に渦巻きパターンで配置されうる。各変圧器 1072 のための 2 次コイルは、その変圧器についての 1 次コイルの下に (underneath) 直接形成されうる。

40

【0056】

[0065] 図 10 は、3 つの帯域グループのための 3 つの変圧器についての 3 つの 1 次コイル 1074a、1074b および 1074c が互いの内側に形成される典型的な設計を示し、それはスペースを節約しうる。一般に、異なる帯域グループについての変圧器の 1 次および 2 次コイルは、任意のレイアウト、任意のパターン、および任意の数のターンでインプリメントされうる。ターンの数、ターンの直径、各コイルの幅および高さ、各変圧器についての 1 次と 2 次コイルとの間の間隔、および / または 2 つのコイルの他の特性 (attributes) は、コイル間の所望の結合係数 (coupling coefficient) および各コイルのための品質ファクタ (Q) および所望のインダクタンスを取得するために選択されうる。カップリング係数は、コイル間の距離および / またはコイルの配置 (placement) を制御

50

することによって変化する。

【0057】

[0066] 図10におけるスタックされた(stacked)トポロジは、変圧器がより小さいエリアにおいて組み立てられることを可能にし、また、差別設計のための2次コイルの2つの末端部の間のより良い整合をもたらす。変圧器はまた、並んでいる(side-by-side)トポロジまたは他のトポロジでインプリメントされうる。一般に、異なるトポロジ、レイアウトパターン、および組み立て技法は、変圧器に異なる利点を提供する。

【0058】

[0067] ここで説明される全帯域増幅器(例えば、LNA)は、様々な利点を提供する。第一に、全帯域増幅器は、複数の帯域グループをカバーしている広い周波数範囲をサポートすることができ、それは異なる帯域グループにおける多くの帯域をサポートするために要求される新しいワイヤレスデバイスのために極めて望ましい(highly desirable)ことがある。第二に、全帯域増幅器は、すべてのサポートされる帯域グループのために、例えば、各帯域グループのためのソースデジェネレーションおよび変圧器の使用を介して、優れたパフォーマンスを有する。第三に、全帯域増幅器は、単一の入力/出力(I/O)ピンが複数の帯域グループをサポートするために入力RF信号を供給することができるため、ICチップ上のI/Oピンの数を低減させる。第四に、全帯域増幅器は、各I/Oピンが任意の帯域グループをサポートするように構成されることができ、より多くの柔軟性を提供する。例えば、ICは、20個の全帯域LNAを含むことがあり、(i)20個の低帯域受信機、または(ii)10個の低帯域受信器、5個の中間帯域受信機、および5個の高帯域受信機、または(iii)10個の中間帯域受信機および10個の高帯域受信機、または(iv)受信器の他の何らかの組合せをサポートするように構成されることがある。全帯域増幅器は、他の利点を有する。

【0059】

[0068] 典型的な設計では、装置(例えば、ワイヤレスデバイス、IC、回路モジュール等)は、複数の帯域グループのための複数のカスコードトランジスタおよび少なくとも1つの利得トランジスタを含む。少なくとも1つの利得トランジスタ(例えば、図4Aにおける利得トランジスタ454)は、入力RF信号を受信することがあり、共に結合された(複数を含む)入力を有することがある。複数のカスコードトランジスタ(例えば、カスコードトランジスタ456)は、少なくとも1つの利得トランジスタに結合されることがあり、複数の帯域グループのうちの1つについての出力RF信号を供給することがある。複数の帯域グループは、低帯域、中間帯域、および/または高帯域を含む。各帯域グループは、複数の帯域をカバーする。

【0060】

[0069] 図4Aにおいて示される典型的な設計では、少なくとも1つの利得トランジスタは、複数の帯域グループのための複数の利得トランジスタ(例えば、利得トランジスタ454)を備える。複数の利得トランジスタのうちの1つおよび複数のカスコードトランジスタのうちの1つは、入力RF信号を増幅し、選択された帯域グループのための出力RF信号を供給することが可能にされる。典型的な設計では、複数の利得トランジスタは、異なるトランジスタのサイズおよび/または異なるバイアス電流を有する。典型的な設計では、装置は、複数の利得トランジスタおよび回路接地に結合された複数のタップを有するインダクタ(例えば、図4Aにおけるインダクタ452)をさらに備える。別の典型的な設計では、装置は、複数の利得トランジスタと回路接地との間で結合される複数のインダクタ(例えば、図5におけるインダクタ552)をさらに備える。

【0061】

[0070] 図6において示される別の典型的な設計では、少なくとも1つの利得トランジスタは、複数のカスコードトランジスタに結合される単一の利得トランジスタ(例えば、利得トランジスタ654)を備える。この利得トランジスタは、そのソースを(図6に示されるように)直接回路接地にまたはソースデジェネレーションインダクタに結合させる。

10

20

30

40

50

## 【 0 0 6 2 】

[0071] 典型的な設計では、装置は、少なくとも1つの利得トランジスタと複数のカスコードトランジスタのうちの少なくとも1つとの間で結合されるフィードバック回路（例えば、図7におけるフィードバック回路460）を含みうる。フィードバック回路は、レジスタ、またはキャパシタ、またはトランジスタ、または他の何らかの回路要素、またはそれらの組合せを備えうる。フィードバック回路は、例えば、選択された増幅器回路のための利得トランジスタとカスコードトランジスタとの間の、選択された増幅回路のまわりでクローズされうる。

## 【 0 0 6 3 】

[0072] 典型的な設計では、装置は、少なくとも1つの利得トランジスタに結合された調節可能な整合回路（例えば、図8における調節可能な整合回路830）をさらに備えうる。調節可能な整合回路は、受信されたRF信号を受信し、入力RF信号を供給しうる。調節可能な整合回路は、少なくとも1つの調整可能な回路要素（例えば、調整可能なキャパシタ）を備えうる。

## 【 0 0 6 4 】

[0073] 典型的な設計では、装置は、複数のカスコードトランジスタに結合された複数の変圧器（例えば、図4Aにおける変圧器472）をさらに備えうる。複数の変圧器の各々は、複数の帯域グループのうちの1つのために使用されうる。

## 【 0 0 6 5 】

[0074] 典型的な設計では、少なくとも1つの利得トランジスタは、第1の帯域グループのための第1の利得トランジスタおよび第2の帯域グループのための第2の利得トランジスタを備えうる。複数のカスコードトランジスタは、第1の帯域グループのための第1のカスコードトランジスタおよび第2の帯域グループのための第2のカスコードトランジスタを備えうる。第1の利得トランジスタは、第1のカスコードトランジスタに結合されうる。第2の利得トランジスタは、第2のカスコードトランジスタに結合されうる。インダクタは、第1の利得トランジスタと回路接地との間で結合されることがあり、第2の利得トランジスタに結合されるタップを備えうる。第1の帯域グループのための第1の変圧器は、第1のカスコードトランジスタに結合されうる。第2の帯域グループのための第2の変圧器は、第2のカスコードトランジスタに結合されうる。第1の変圧器は、伝導レイヤ上に形成された第1の1次コイルを備えうる。第2の変圧器は、（図10において示されるように）伝導レイヤ上の第1の1次コイル内で形成される第2の1次コイルを備えうる。

## 【 0 0 6 6 】

[0075] 典型的な設計では、少なくとも1つの利得トランジスタは、第3の帯域グループのための第3の利得トランジスタをさらに備えうる。複数のカスコードトランジスタは、第3の帯域グループのための第3のカスコードトランジスタをさらに備えうる。第3の利得トランジスタは、第3のカスコードトランジスタに結合されうる。第3の帯域グループのための第3の変圧器は、第3のカスコードトランジスタに結合されうる。

## 【 0 0 6 7 】

[0076] 図11は、信号増幅を実行するためのプロセス1100の典型的な設計を示す。増幅された信号を取得するために、入力RF信号が少なくとも1つの利得トランジスタのうちの1つを用いて増幅されうる（ブロック1112）。複数の帯域グループのうちの1つのために出力RF信号を取得するために、増幅された信号は、複数の帯域グループのための複数のカスコードトランジスタのうちの1つを用いてバッファされうる（ブロック1114）。1つの利得トランジスタのソースは、少なくとも1つの利得トランジスタに結合されたインダクタを用いてデジェネレート（degenerated）されうる（ブロック1116）。出力RF信号は、増幅されたRF信号を取得するために、複数の帯域グループのための複数の変圧器のうちの1つと結合されうる（ブロック1118）。

## 【 0 0 6 8 】

[0077] ここで説明される全帯域増幅器は、IC、アナログIC、RFIC、混合信号

10

20

30

40

50



ＩＣ、ＡＳＩＣ、プリント回路基板（ＰＣＢ）、電子デバイス等上でインプリメントされう。全帯域増幅器はまた、相補形金属酸化膜半導体（ＣＭＯＳ）、Ｎ－チャネルＭＯＳ（ＮＭＯＳ）、Ｐ－チャネルＭＯＳ（ＰＭＯＳ）、バイポーラ接合トランジスタ（ＢＪＴ）、バイポーラ－ＣＭＯＳ（ＢｉＣＭＯＳ）、シリコンゲルマニウム（ＳｉＧｅ）、ガリウム砒素（ＧａＡｓ）、ヘテロ接合バイポーラトランジスタ（ＨＢＴ）、高電子移動度トランジスタ（ＨＥＭＴ）、シリコン・オン・インシュレータ（ＳＯＩ）等のような、様々なＩＣの加工技術を用いて製造されう。

【００６９】

【0078】 ここで説明される全帯域増幅器をインプリメントする装置は、独立型（stand-alone）デバイスでありえ、またはより大きなデバイスの一部分でありう。デバイスは、（i）独立型ＩＣ、（ii）データおよび／または命令を記憶するためのメモリＩＣを含みうる１つまたは複数のＩＣのセット、（iii）ＲＦ受信機（ＲＦＲ）またはＲＦ送信機／受信機（ＲＴＲ）のようなＲＦＩＣ、（iv）移動局モデム（ＭＳＭ）のようなＡＳＩＣ、（v）他のデバイスに埋め込まれうるモジュール、（vi）受信機、セルラ電話、無線デバイス、ハンドセット、またはモバイル・ユニット、（vii）などでありう。

10

【００７０】

【0079】 １つまたは複数の例示的な設計では、記述された機能はハードウェア、ソフトウェア、ファームウェア、またはこれらの任意の組み合わせでインプリメントされう。ソフトウェアでインプリメントされる場合に、機能は、１つまたは複数の命令またはコードとして、コンピュータ可読媒体上に記憶されることができ、あるいは、１つまたは複数の命令またはコードとして、コンピュータ可読媒体上に送信されることができる。コンピュータ可読媒体は、１つの場所から別の場所へのコンピュータプログラムの転送を容易にする任意の媒体を含む通信媒体とコンピュータ記憶媒体との両方を含む。記憶媒体は、コンピュータによってアクセスされうる任意の利用可能な媒体でありう。限定ではなく例として、このようなコンピュータ可読媒体は、ＲＡＭ、ＲＯＭ、ＥＥＰＲＯＭ（登録商標）、ＣＤ－ＲＯＭまたは他の光ディスク記憶装置、磁気ディスク記憶装置またはその他の磁気記憶デバイス、あるいは、データ構造または命令の形式で所望のプログラムコードを記憶または伝送するために使用されうことができ、かつコンピュータによってアクセスされうるその他任意の媒体を備えう。また、任意の接続は、コンピュータ可読媒体と厳密には称されう。例えば、ソフトウェアが、同軸ケーブル、光ファイバーケーブル、ツイストペア、デジタル加入者回線（ＤＳＬ）、または赤外線、無線、およびマイクロ波のようなワイヤレス技術を使用して、ウェブサイト、サーバ、または他のリモートソースから送信される場合、この同軸ケーブル、光ファイバーケーブル、ツイストペア、ＤＳＬ、または赤外線、無線、およびマイクロ波のようなワイヤレス技術は、媒体の定義に含まれる。ここで使用される場合、ディスク（disk）およびディスク（disc）は、コンパクトディスク（ＣＤ）、レーザーディスク（登録商標）、光ディスク、デジタル多目的ディスク（ＤＶＤ）、フロッピー（登録商標）ディスクおよびブルーレイ（Blu-ray（登録商標））ディスクを含み、ここでディスク（disk）は、通常磁氣的にデータを再生し、一方ディスク（disc）は、レーザーを用いて光学的にデータを再生する。先のものを組み合わせたものもまた、コンピュータ可読媒体の範囲内に含まれるべきである。

20

30

40

【００７１】

【0080】 本開示の上述記載は、当業者が本開示を実施および使用することを可能にするために提供される。本開示に対する様々な変更は、当業者にとって容易に明らかであろう、また、ここで定義される一般的な原理は、本開示の範囲から逸脱することなく他の変更適用されう。したがって、本開示は、ここで説明される実例および設計に限定されるように意図されたものではなく、ここで開示された原理および新規の特徴と矛盾しない最大範囲であると認められるべきである。

【図 1】

図 1

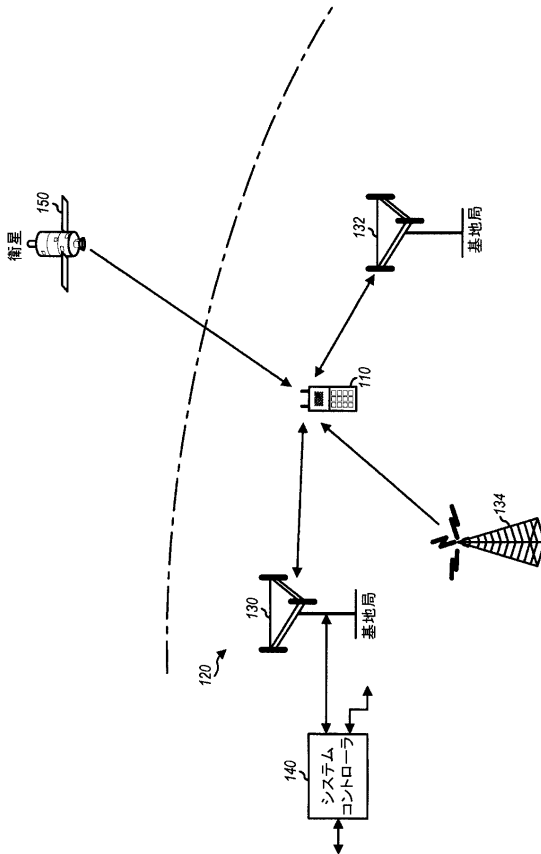


FIG. 1

【図 2】

図 2

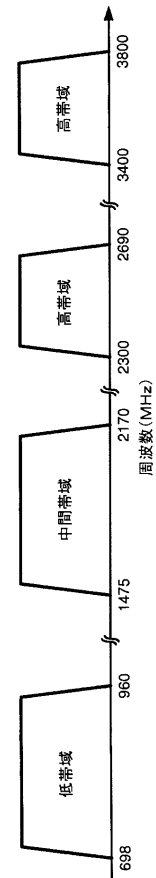


FIG. 2

【図 3】

図 3

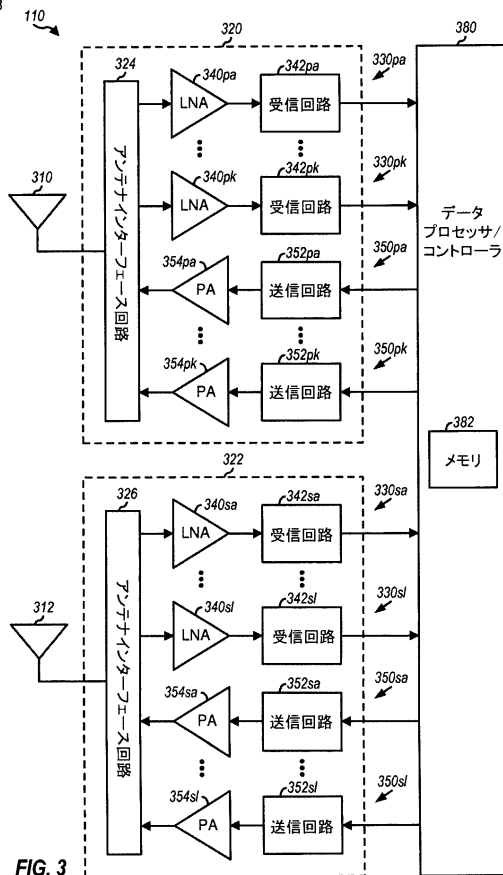


FIG. 3

【図 4 A】

図 4A

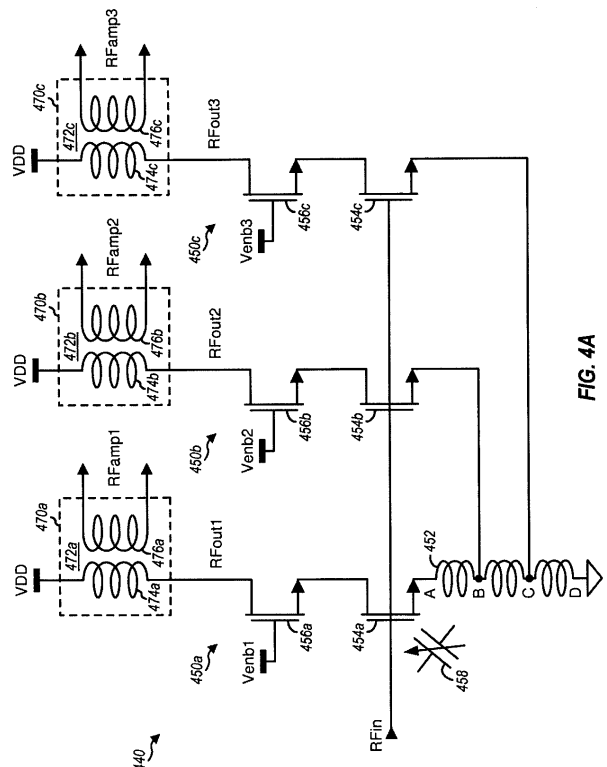
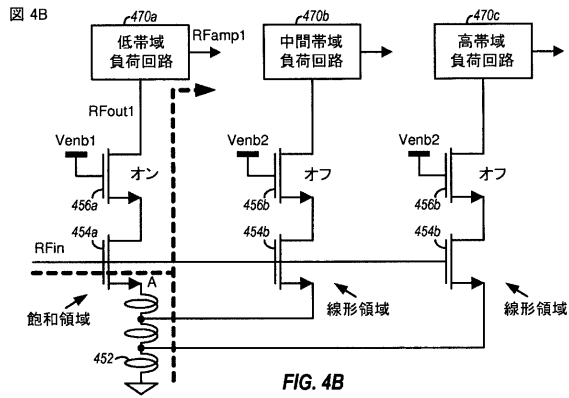
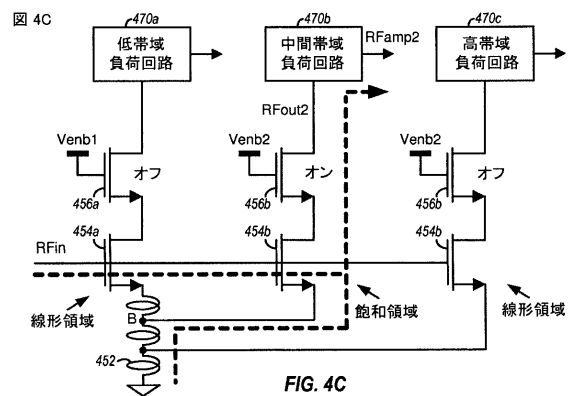


FIG. 4A

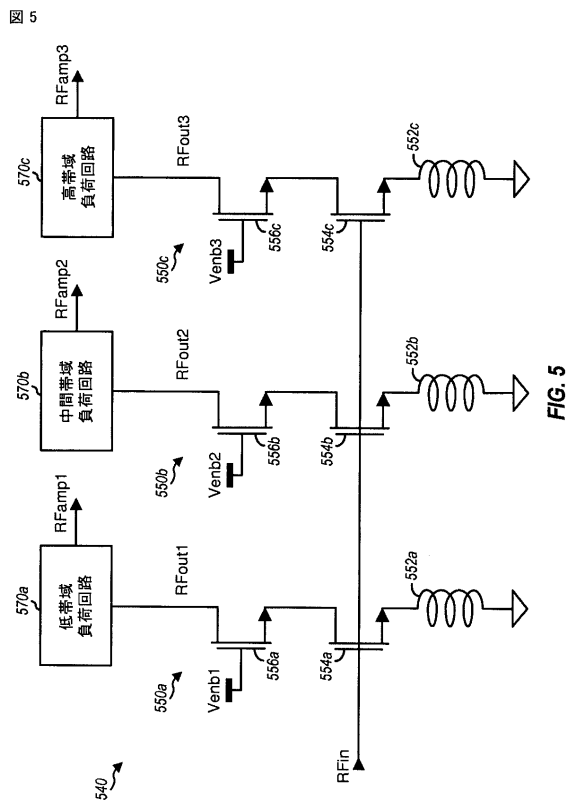
【図 4 B】



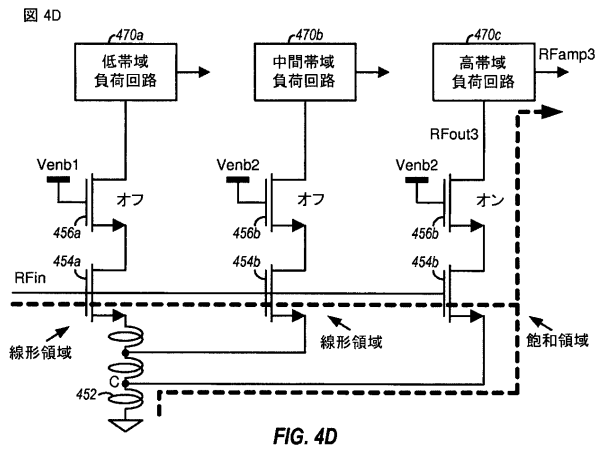
【図 4 C】



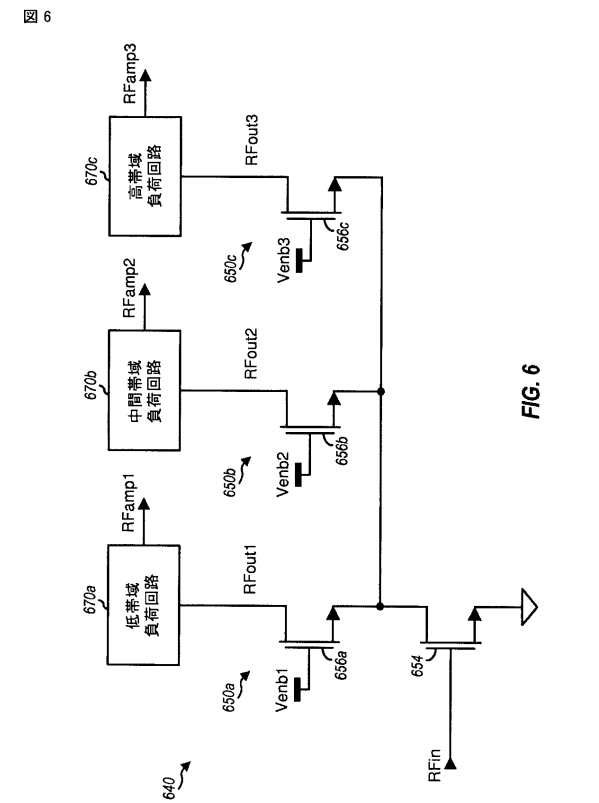
【図 5】



【図 4 D】



【図 6】



【図 7】

図 7

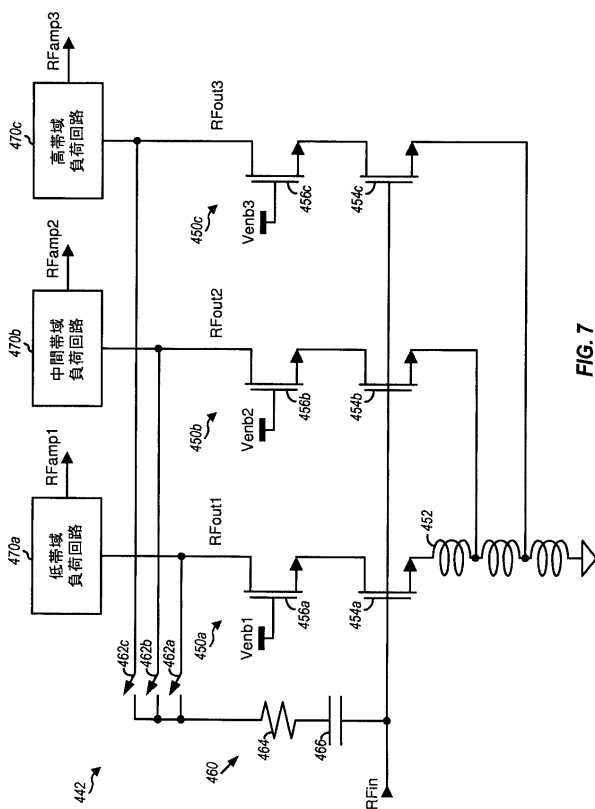


FIG. 7

【図 8】

図 8

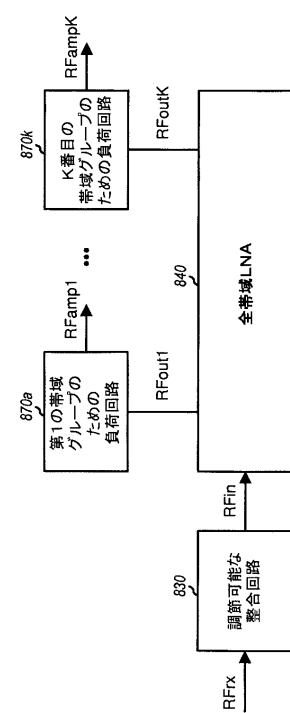


FIG. 8

【図 9 A】

図 9A

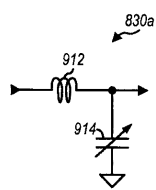


FIG. 9A

【図 9 D】

図 9D

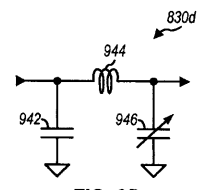


FIG. 9D

【図 9 B】

図 9B

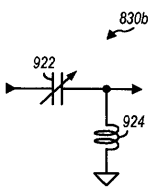


FIG. 9B

【図 9 E】

図 9E

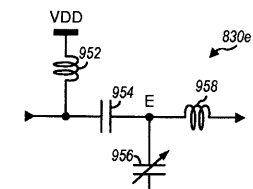


FIG. 9E

【図 9 C】

図 9C

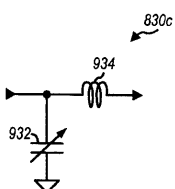


FIG. 9C

【図 9 F】

図 9F

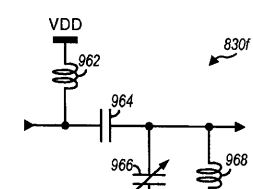


FIG. 9F

【図 10】

図 10

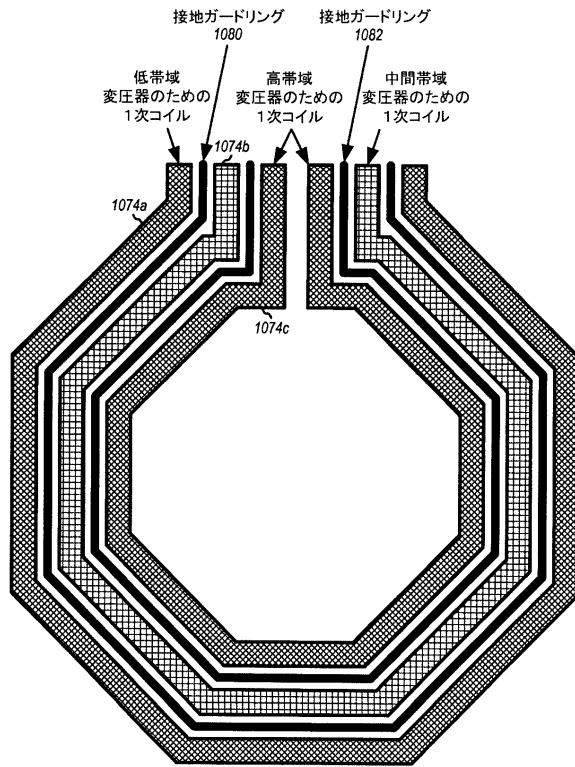


FIG. 10

【図 11】

図 11

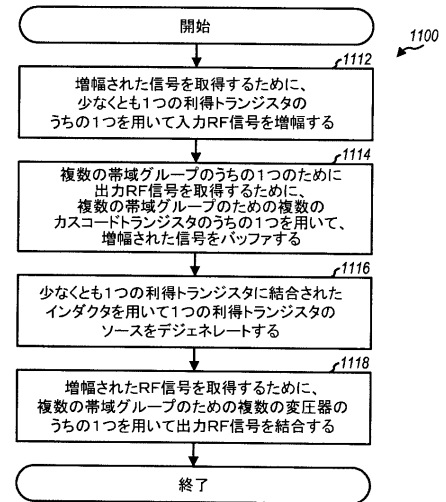


FIG. 11

## 【 国際調査報告 】

## INTERNATIONAL SEARCH REPORT

International application No

PCT/US2013/069752

## A. CLASSIFICATION OF SUBJECT MATTER

INV. H03F3/193 H03F3/68 H04B1/16  
ADD.

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03F H04B

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPO-Internal, WPI Data

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	ITO T ET AL: "Characterization of On-Chip Multiport Inductors for Small-Area RF Circuits", IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS I: REGULAR PAPERS, IEEE, US, vol. 56, no. 8, 1 August 2009 (2009-08-01) , pages 1590-1597, XP011333489, ISSN: 1549-8328, DOI: 10.1109/TCSI.2008.2010096 Section B. Proposed DA; figure 6  ----- -/-	1-3,7, 15-17, 19,20

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

## \* Special categories of cited documents :

\*A\* document defining the general state of the art which is not considered to be of particular relevance

\*E\* earlier application or patent but published on or after the international filing date

\*L\* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

\*O\* document referring to an oral disclosure, use, exhibition or other means

\*P\* document published prior to the international filing date but later than the priority date claimed

\*T\* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

\*X\* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

\*Y\* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

\*&amp;\* document member of the same patent family

Date of the actual completion of the international search

18 February 2014

Date of mailing of the international search report

13/05/2014

Name and mailing address of the ISA/

European Patent Office, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040,  
Fax: (+31-70) 340-3016

Authorized officer

Lorenzo, Carlos

## INTERNATIONAL SEARCH REPORT

International application No

PCT/US2013/069752

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	ZHANG F ET AL: "An Agile, Ultra-Wideband Pulse Radio Transceiver With Discrete-Time Wideband-IF", IEEE JOURNAL OF SOLID-STATE CIRCUITS, IEEE SERVICE CENTER, PISCATAWAY, NJ, USA, vol. 44, no. 5, 1 May 2009 (2009-05-01), pages 1336-1351, XP011256780, ISSN: 0018-9200, DOI: 10.1109/JSSC.2009.2020681 Section A. DLNA; figure 5 -----	1,2,4,7, 15-17, 19,20
X	ZHANG F ET AL: "Low power programmable-gain CMOS distributed LNA for ultra-wideband applications", VLSI CIRCUITS, 2005. DIGEST OF TECHNICAL PAPERS. 2005 SYMPOSIUM ON, IEEE, PISCATAWAY, NJ, USA, 16 June 2005 (2005-06-16), pages 78-81, XP010818340, DOI: 10.1109/VLSIC.2005.1469338 ISBN: 978-4-900784-01-7 Section: Distributed Amplifier Tradeoffs; figure 1 -----	1,2,4,7, 15-17, 19,20
X	KWANG-JIN KOH ET AL: "A merged structure of LNA & sub-harmonic mixer for multi-band DCR applications", 2003 IEEE MTT-S INTERNATIONAL MICROWAVE SYMPOSIUM DIGEST.(IMS 2003). PHILADELPHIA, PA, JUNE 8 - 13, 2003; [IEEE MTT-S INTERNATIONAL MICROWAVE SYMPOSIUM], NEW YORK, NY : IEEE, US, 8 June 2003 (2003-06-08), pages 243-246vol.1, XP032412376, DOI: 10.1109/MWSYM.2003.1210925 ISBN: 978-0-7803-7695-3 Section A. Low Noise Amplifier Design; figure 2 -----	1,2,4,7, 15-17, 19,20

## INTERNATIONAL SEARCH REPORT

International application No.  
PCT/US2013/069752**Box No. II Observations where certain claims were found unsearchable (Continuation of Item 2 of first sheet)**

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:  
because they relate to subject matter not required to be searched by this Authority, namely:
  
2. ☐ Claims Nos.:  
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
  
3. ☐ Claims Nos.:  
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

**Box No. III Observations where unity of invention is lacking (Continuation of Item 3 of first sheet)**

This International Searching Authority found multiple inventions in this international application, as follows:

see additional sheet

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
  
2. ☐ As all searchable claims could be searched without effort justifying an additional fees, this Authority did not invite payment of additional fees.
  
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
  
4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

see annex

**Remark on Protest**

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.



International Application No. PCT/ US2013/ 069752

**FURTHER INFORMATION CONTINUED FROM PCT/ISA/ 210**

This International Searching Authority found multiple (groups of) inventions in this international application, as follows:

1. claims: 1-4, 7, 14-17, 19, 20

An apparatus comprising: at least one gain transistor configured to receive an input radio frequency (RF) signal; and a plurality of cascode transistors for a plurality of band groups coupled to the at least one gain transistor and configured to provide an output RF signal for one of the plurality of band groups, further comprising an inductor comprising a plurality of taps coupled to the plurality of gain transistors and circuit ground.

1.1. claim: 7

An apparatus comprising: at least one gain transistor configured to receive an input radio frequency (RF) signal; and a plurality of cascode transistors for a plurality of band groups coupled to the at least one gain transistor and configured to provide an output RF signal for one of the plurality of band groups, further comprising a tunable matching circuit coupled to the at least one gain transistor and configured to receive a received RF signal and provide the input RF signal.

---

2. claim: 5

An apparatus comprising: at least one gain transistor configured to receive an input radio frequency (RF) signal; and a plurality of cascode transistors for a plurality of band groups coupled to the at least one gain transistor and configured to provide an output RF signal for one of the plurality of band groups, the at least one gain transistor comprising a single gain transistor coupled to the plurality of cascode transistors.

---

3. claim: 6

An apparatus comprising: at least one gain transistor configured to receive an input radio frequency (RF) signal; and a plurality of cascode transistors for a plurality of band groups coupled to the at least one gain transistor and configured to provide an output RF signal for one of the plurality of band groups, further comprising a feedback circuit coupled between at least one of the plurality of cascode transistors and the at least one gain transistor.

---

4. claims: 8, 18, 21

An apparatus comprising: at least one gain transistor configured to receive an input radio frequency (RF) signal;

International Application No. PCT/US2013/069752

FURTHER INFORMATION CONTINUED FROM PCT/ISA/ 210

and a plurality of cascode transistors for a plurality of band groups coupled to the at least one gain transistor and configured to provide an output RF signal for one of the plurality of band groups, further comprising a plurality of transformers coupled to the plurality of cascode transistors, each of the plurality of transformers being used for one of the plurality of band groups.

---

## 5. claims: 9-13

An apparatus comprising: at least one gain transistor configured to receive an input radio frequency (RF) signal; and a plurality of cascode transistors for a plurality of band groups coupled to the at least one gain transistor and configured to provide an output RF signal for one of the plurality of band groups, the at least one gain transistor comprising a first gain transistor for a first band group and a second gain transistor for a second band group, and the plurality of cascode transistors comprising a first cascode transistor for the first band group and a second cascode transistor for the second band group.

---

## フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US

(72)発明者 タシック、アレクサンダー・ミオドラグ  
アメリカ合衆国、カリフォルニア州 9 2 1 2 1、サン・ディエゴ、モアハウス・ドライブ 5 7 7 5

(72)発明者 デビルワラ、アノッシュ・ボミ  
アメリカ合衆国、カリフォルニア州 9 2 1 2 1、サン・ディエゴ、モアハウス・ドライブ 5 7 7 5

(72)発明者 ナラソング、チューチャー  
アメリカ合衆国、カリフォルニア州 9 2 1 2 1、サン・ディエゴ、モアハウス・ドライブ 5 7 7 5

(72)発明者 バン・ザリンジ、クラス  
アメリカ合衆国、カリフォルニア州 9 2 1 2 1、サン・ディエゴ、モアハウス・ドライブ 5 7 7 5

F ターム(参考) 5J500 AA01 AA13 AA51 AC62 AF15 AF18 AH10 AH25 AH29 AH30  
AH33 AM17 AS13