

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6246608号
(P6246608)

(45) 発行日 平成29年12月13日(2017.12.13)

(24) 登録日 平成29年11月24日(2017.11.24)

| | | | |
|---------------------------|----------------|---------|--|
| (51) Int.Cl. | F I | | |
| H O 1 L 21/822 (2006.01) | H O 1 L 27/04 | T | |
| H O 1 L 27/04 (2006.01) | H O 1 L 29/78 | 6 1 8 B | |
| H O 1 L 29/786 (2006.01) | H O 1 L 29/78 | 6 1 3 B | |
| H O 1 L 21/82 (2006.01) | H O 1 L 21/82 | A | |
| H O 1 L 21/8238 (2006.01) | H O 1 L 27/092 | G | |
| 請求項の数 1 (全 34 頁) 最終頁に続く | | | |

| | | | |
|--------------|-------------------------------|-----------|---------------------|
| (21) 出願番号 | 特願2014-23904 (P2014-23904) | (73) 特許権者 | 000153878 |
| (22) 出願日 | 平成26年2月11日(2014.2.11) | | 株式会社半導体エネルギー研究所 |
| (65) 公開番号 | 特開2014-207434 (P2014-207434A) | | 神奈川県厚木市長谷398番地 |
| (43) 公開日 | 平成26年10月30日(2014.10.30) | (72) 発明者 | 黒川 義元 |
| 審査請求日 | 平成28年12月12日(2016.12.12) | | 神奈川県厚木市長谷398番地 株式会社 |
| (31) 優先権主張番号 | 特願2013-24732 (P2013-24732) | | 半導体エネルギー研究所内 |
| (32) 優先日 | 平成25年2月12日(2013.2.12) | | |
| (33) 優先権主張国 | 日本国(JP) | 審査官 | 市川 武宜 |

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

複数の組み合わせ回路、及び複数段のフリップフロップを有するシフトレジスタを有し、

前記フリップフロップは、第1の記憶回路乃至第3の記憶回路を有し、

前記第1の記憶回路は、前記複数の組み合わせ回路のうち、いずれか1つのレジスタとしての機能を有し、

前記第2の記憶回路は、前記第1の記憶回路のデータを前記第3の記憶回路に書き込む機能と、前記第3の記憶回路のデータを前記第1の記憶回路に書き込む機能と、を有し、

前記第3の記憶回路は、端子から入力されたデータを格納する機能と、格納しているデータを次段の前記フリップフロップの前記第3の記憶回路に転送する機能と、を有し、

前記第2の記憶回路及び前記第3の記憶回路は、電源供給が停止されている期間においてデータを保持する機能を有することを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、物、方法、又は製造方法に関する。または、本発明は、プロセス、マシン、マニファクチャ、又は組成物（コンポジション・オブ・マター）に関する。例えば、本明細書では、半導体装置、表示装置、蓄電装置、その駆動方法、及びその作製方法等について説明する。本明細書では、半導体装置として、例えば、記憶回路、記憶回路を含むプロ

セッサ（代表的には、プログラマブル・ロジック・デバイス、CPU、マイクロコントローラ）、及び同プロセッサを備えた電子機器等に関して説明される。

【0002】

なお、本明細書において、半導体装置とは、半導体素子（トランジスタ、ダイオード等）を含む回路を有する装置をいう。または、半導体装置とは、半導体特性を利用することで機能しうる装置全般をいう。例えば、集積回路、集積回路を備えたチップ、表示装置、発光装置、及び電子機器等は、半導体装置に含まれている場合や、半導体装置を有する場合がある。

【0003】

プログラマブル・ロジック・デバイス（PLD：Programmable Logic Device）は集積回路の一種であり、出荷後にユーザがプログラミングにより内部回路の構造を変更できる集積回路である。例えば、ユーザがプログラム可能なデバイスとして、小規模な集積回路であるPAL（Programmable Array Logic）及びGAL（Generic Array Logic）等、並びに大規模な集積回路であるCPLD（Complex Programmable Logic Device）、及びFPGA（Field Programmable Gate Array）等が挙げられる。本明細書では、PLDとは、これらを含め、プログラム可能な集積回路のことをいう。

10

【0004】

なお、マイクロコントローラは、集積回路の一種であり、「マイクロコントローラユニット」、「マイクロプロセッサユニット」、「MCU」、「 μ C」等と呼ばれることがある。

20

【背景技術】

【0005】

集積回路の動作検証方法の一つに、スキャン・テストがある。

【0006】

これは、集積回路内部のフリップフロップ（以下、『FF』とも呼ぶ。）を一連のシフトレジスタとみなし、通常の回路動作とは独立に、FFに格納されたデータを、順次集積回路の外部端子から取得する、もしくは、集積回路の外部端子からFFに順次データを格納することで行うテストである。FFは、組み合わせ回路のレジスタとして用いられているので、スキャン・テストにより、FFに格納されたデータを検証することができるだけでなく、FFのデータを利用する論理回路（組み合わせ回路）の動作を検証することもできる。

30

【0007】

スキャン・テスト回路のシフトレジスタをスキャン・チェーンと呼ぶことがある。また、スキャン・チェーン（シフトレジスタ）を構成するFFをスキャン・フリップフロップと呼ぶことがある。

【0008】

また、集積回路の消費電力削減のため、動作に必要な回路への電源供給を停止することが行われている。しかしながら、レジスタを構成するフリップフロップは、一般的には揮発性の記憶回路である。電源供給の停止によりレジスタのデータが失われてしまうと、電源供給を再開しても、集積回路での継続した処理は困難となる。そのため、電源供給を停止する前に、レジスタのデータを不揮発性メモリに退避することが提案されている。例えば、特許文献1には、スキャン・テスト用のシフトレジスタを利用して、スキャンFFに記憶されているデータを強誘電体メモリに退避することが開示されている。

40

【先行技術文献】

【特許文献】

【0009】

【特許文献1】特開平10-078836号公報

【発明の概要】

50

【発明が解決しようとする課題】**【0010】**

スキャン・テストは、集積回路の不良解析などには有効であるが、その一方、集積回路内に、通常のFFの代わりにスキャンFFを配置しておく必要がある。従って、通常動作には全く関係のない部分を含む回路が集積回路内に存在することになる。スキャン・テストには、利点がある反面、チップ面積の増大に伴う製造コストの上昇、配線遅延による動作特性の低下などの悪影響を伴うことが知られている。

【0011】

また、特許文献1のように、スキャンFFのデータを退避するための不揮発性メモリを設けることも、チップ面積の増大につながる。

10

【0012】

そこで、本発明の一形態の課題の1つは、スキャン・テストを行うための新規なシフトレジスタを組み込んだ半導体装置などを提供することである。または、本発明の一形態の課題の1つは、チップ面積の増大を抑制しつつ、スキャン・テストを行うためのシフトレジスタを組み込んだ半導体装置などを提供することである。または、本発明の一形態の課題の1つは、チップ面積の増大を抑制しつつ、スキャンFFのデータを退避することが可能な半導体装置などを提供することである。または、本発明の一形態の課題の1つは、低消費電力な半導体装置などを提供することである。または、本発明の一形態の課題の1つは、新規な半導体装置などを提供することである。

【0013】

20

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一形態は、これらの課題の全てを解決する必要はない。なお、これら以外の課題は、明細書、図面、請求項等の記載から、自ずと明らかとなるものであり、明細書、図面、請求項等の記載から、これら以外の課題を抽出することが可能である。

【課題を解決するための手段】**【0014】**

本発明の一形態は、複数のフリップフロップを有するレジスタを含む半導体装置である。各フリップフロップは第1乃至第3の記憶回路を有する。第1の記憶回路は、組み合わせ回路のレジスタとして機能する記憶回路である。第2の記憶回路は、第1の記憶回路のバックアップ用の記憶回路である。また、第2の記憶回路は、第1の記憶回路のデータを第3の記憶回路に書き込む機能、第3の記憶回路のデータを第1の記憶回路に書き込む機能を備える。第3の記憶回路は、データを次段のフリップフロップの第3の記憶回路に転送する機能を有する。よって、本形態に係る半導体装置は、任意の時間において、第1の記憶回路のデータを外部に取り出すこと、また、第1の記憶回路に外部からデータを設定することができる。

30

【0015】

また、上記形態において、第2の記憶回路には、酸化物半導体でチャネルが形成されているトランジスタを設けることができる。また、第3の記憶回路には、酸化物半導体でチャネルが形成されているトランジスタを設けることができる。

【0016】

40

本明細書では、チャネルが酸化物半導体で形成されているトランジスタを酸化物半導体トランジスタ、又はOSトランジスタと呼ぶこともある。

【発明の効果】**【0017】**

本発明の一形態により、レジスタとして機能する複数のフリップフロップで、スキャン・テスト用のシフトレジスタを構成することが可能になる。または、本発明の一形態により、低消費電力な半導体装置を提供することができる。または、本発明の一形態により、信頼性を向上した半導体装置を提供することができる。または、チップ面積の増加を抑制しつつ、スキャン・テストが可能な半導体装置を提供することが可能になる。

【図面の簡単な説明】

50

【 0 0 1 8 】

【図 1】スキャン・テスト用のシフトレジスタの構成の一例を示す回路図。

【図 2】A：スキャン・テスト用のシフトレジスタの構成の一例を示すブロック図。B：スキャン・フリップフロップの構成の一例を示すブロック図。

【図 3】スキャン・テストが可能な集積回路の構成の一例を示すブロック図。

【図 4】図 1 のシフトレジスタの駆動方法の一例を示すタイミングチャート。

【図 5】図 1 のシフトレジスタの駆動方法の一例を示すタイミングチャート。

【図 6】集積回路の構成の一例を示す断面図。

【図 7】A：酸化物半導体トランジスタの構成の一例を示す上面図。B：線 B 1 - B 2 による図 A の断面図。C：線 B 3 - B 4 による図 A の断面図。

【図 8】A - C：図 7 A のトランジスタの作製方法の一例を説明するための断面図。

【図 9】A、B：同作製方法の一例を説明するための断面図。

【図 10】A：酸化物半導体トランジスタの構成の一例を示す上面図。B：線 B 1 - B 2 による図 A の断面図。C：線 B 3 - B 4 による図 A の断面図。

【図 11】A - D：図 10 A のトランジスタの作製方法の一例を説明するための断面図。

【図 12】A - D：同作製方法の一例を説明するための断面図。

【図 13】A - F：電子機器の一例を説明するための外観図。

【発明を実施するための形態】

【 0 0 1 9 】

以下に、図面を用いて、本発明の実施の形態について詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解される。従って、本発明は、以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【 0 0 2 0 】

また、発明の実施の形態の説明に用いられる図面において、同一部分または同様な機能を有する部分には同一の符号を付し、その繰り返しの説明は省略することがある。

【 0 0 2 1 】

(実施の形態 1)

本実施の形態では、半導体装置の一例として、スキャン・テストに用いることが可能なシフトレジスタについて説明する。以下、図 1 - 図 5 を用いて、本実施の形態を説明する。

【 0 0 2 2 】

本実施の形態のシフトレジスタは、記憶回路及びスキャン・テスト用の検証回路として、PLD、CPU、MPU等の各種の集積回路に組み込むことができる。

【 0 0 2 3 】

<シフトレジスタの構成例>

図 2 A は、スキャン・テスト用のシフトレジスタ(スキャン・チェーン)の構成の一例を示すブロック図である。図 2 B は、シフトレジスタを構成するスキャン・フリップフロップの構成の一例を示すブロック図である。また、図 3 は、図 2 A のシフトレジスタを備えた集積回路のブロック図である。

【 0 0 2 4 】

図 2 A のシフトレジスタ 100 は、カスケード接続された複数のスキャン・フリップフロップ 110 を有する。図 2 A に示すように、各スキャン・フリップフロップ 110 の出力端子 OUT は、次段のスキャン・フリップフロップ 110 の入力端子 IN に接続されている。

【 0 0 2 5 】

シフトレジスタ 100 は、プロセッサなどの論理回路を有する各種の集積回路に組み込むことが可能である。入力端子 121 (SCN-IN) は、スキャン・テスト用データの入力端子であり、出力端子 122 (SCN-OUT) はその出力端子である。入力端子 121 から入力されたデータを、任意のスキャン・フリップフロップ 110 に書き込むことができる。また、各スキャン・フリップフロップ 110 に記憶されているデータは、シフト

10

20

30

40

50

レジスタ１００のシフト動作により、次段のスキャン・フリップフロップ１１０に送られ、出力端子１２２から取り出すことができる。

【００２６】

また、スキャン・フリップフロップ１１０は、集積回路が通常動作時には、組み合わせ回路のデータ記憶部、いわゆるレジスタとして機能する。組み合わせ回路の出力が端子Ｄから入力され、スキャン・フリップフロップ１１０で保持される。また、スキャン・フリップフロップ１１０で保持されているデータは、端子Ｑから組み合わせ回路に出力される。

【００２７】

<スキャンＦＦ；ＳＣＮ－ＦＦの構成例>

図２Ｂに示すように、スキャン・フリップフロップ１１０（ＳＣＮ－ＦＦ）は、３つの記憶回路１１１－１１３を有する。

10

【００２８】

記憶回路１１１（ＭｅｍＡ）は、組み合わせ回路のデータ記憶部であり、いわゆるレジスタとして機能する。集積回路が通常動作時には、端子Ｄに組み合わせ回路からデータが入力され、記憶回路１１１はそのデータを格納する。また、格納したデータは、端子Ｑから組み合わせ回路に出力される。

【００２９】

記憶回路１１２（ＭｅｍＢ）は、記憶回路１１１のバックアップ用の記憶回路である。制御信号に従い、記憶回路１１１のデータが、記憶回路１１２に書き込まれ、格納される。また、記憶回路１１２に格納されているデータが、記憶回路１１１へ書き戻される。また、記憶回路１１２は、スキャン・フリップフロップ１１０への電源電位の供給が遮断されている期間でも、データに対応する電位を保持することが可能であり、いわゆる不揮発性メモリの機能を有する。

20

【００３０】

このように、レジスタのバックアップ用の記憶部を設けることで、半導体装置の電源供給を適宜停止することが可能になるため、半導体装置の消費電力を削減することができる。

【００３１】

記憶回路１１３（ＭｅｍＣ）は、端子ＩＮから入力されたデータを格納する機能、及び格納しているデータを端子ＯＵＴから出力する機能を有する。つまり、記憶回路１１３は、記憶しているデータを次段のスキャン・フリップフロップ１１０の記憶回路１１３に転送する機能を備える。複数のスキャン・フリップフロップ１１０がシフトレジスタとして機能することが可能になる。

30

【００３２】

記憶回路１１３は、記憶回路１１２と同様に、スキャン・フリップフロップ１１０への電源電位の供給が遮断されている期間でも、データに対応する電位を保持することが可能であり、いわゆる不揮発性メモリの機能を有する。

【００３３】

記憶回路１１２は、記憶回路１１１に記憶されているデータを記憶回路１１３に書き込む機能、及び記憶回路１１３に記憶されているデータを記憶回路１１１に書き込む機能を、更に有する。記憶回路１１２、記憶回路１１３の機能により、シフトレジスタ１００の任意の記憶回路１１１に入力端子１２１から入力されたデータを書き込むこと、また、任意の記憶回路１１１に記憶されているデータを出力端子１２２から取り出すことができる。

40

【００３４】

<スキャン・テスト可能な集積回路の構成例>

図３は、シフトレジスタ１００が組み込まれた集積回路の構成の一例を示すブロック図である。図３では、一例として、４つのスキャン・フリップフロップ１１０を有するシフトレジスタが集積回路１０に設けられている。また、図３では、集積回路１０の構成の一例として、２つのスキャン・フリップフロップ１１０の間に組み合わせ回路１５０（ＣＭＢ）を接続した構造を示している。入力端子１５１からは、集積回路１０で処理するデータが入力される。出力端子１５２からは、集積回路１０で処理されたデータが出力される。

50

【 0 0 3 5 】

なお、図3で使用されている、番号[1]等は、同じ機能を有する回路、信号等を識別するための番号であり、他の図面でも同様に使用されることがある。

【 0 0 3 6 】

通常動作時には、入力端子151から入力されたデータがCMB[1]で処理される。CMB[1]からの出力データは、SCN - FF[1]のMemAに格納され、CMB[2]に出力される。CMB[2]からの出力データは、SCN - FF[2]のMemAに格納され、CMB[3]に出力される。同様な処理がCMB[3] - [5]及びSCN - FF[3] - [4]でも行われ、最終的にCMB[5]の出力データが、出力端子152から集積回路10の外部に取り出される。

10

【 0 0 3 7 】

また、SCN - FF[1] - [4]をシフトレジスタとして機能させる場合は、SCN - FF[1]から、MemCで記憶されているデータを出力させ、SCN - FF[2]のMemCに書き込む。この動作がSCN - FF[2] - [4]で順次実行され、最終的に、SCN - FF[4]のMemCに記憶されているデータが、出力端子122から出力される。

【 0 0 3 8 】

スキャン・テストの一例を以下に示す。まず、集積回路10をシフト動作モードで動作させる。シフト動作モードは、SCN - FF[1] - [4]をシフトレジスタとして動作させるモードである。入力端子121から、テスト用のデータを入力し、SCN - FF[1] - [4]にテスト用の初期データを記憶させる。SCN - FF[1] - [4]において、初期データは、MemCからMemBを経てMemAに書き込まれる。

20

【 0 0 3 9 】

次いで、通常動作モードで集積回路10を動作させる。初期データを用いてCMB[1] - [5]が動作し、CMB[1] - [4]での処理結果は、各SCN - FF[1] - [4]のMemAで記憶される。CMB[5]での処理結果は、出力端子152から出力される。次いで、SCN - FF[1] - [4]において、MemBを動作させ、MemAで記憶されているデータをMemCに書き込む。再び、シフト動作モードを実行し、SCN - FF[1] - [4]で保持されているデータを、出力端子122(SCN - OUT)から取り出す。この出力端子122からの出力データの値を、不具合がない場合に出力される値(期待値)と比較することで、集積回路10の動作検証を行うことができる。

30

【 0 0 4 0 】

また、集積回路10を省電力モードにする場合等、CMB[1] - [5]への電源供給を停止させる場合は、SCN - FF[1] - [4]において、MemAで記憶されているデータが、MemBに退避される。そして、電源供給を再開する場合は、SCN - FF[1] - [4]において、MemBで記憶されているデータが、MemAに書き戻される。そのため、集積回路10は、電源供給停止時の状態から継続して処理を行うことができる。

【 0 0 4 1 】

また、MemAにデータを書き戻したら、集積回路10を直ちに通常動作モードで動作させるのではなく、MemBでバックアップされていたデータを検証してから通常動作モードに復帰させることもできる。

40

【 0 0 4 2 】

この場合、SCN - FF[1] - [4]への電源供給を再開し、CMB[1] - [5]への電源供給は停止しておく。まず、SCN - FF[1] - [4]をシフト動作モードで動作させる。SCN - FF[1] - [4]では、MemBでバックアップされていたデータが、MemCを通じて、出力端子122(SCN - OUT)から出力される。出力端子122からの出力データを検証することで、SCN - FF[1] - [4]でバックアップされていたデータのエラー検証を行うことができる。このエラー検証結果により、データにエラーがあった場合、エラーを訂正するデータを入力端子121から入力し、SCN - FF[1] - [4]のデータを書き換えるような動作が可能である。

50

【 0 0 4 3 】

< シフトレジスタの回路構成例 >

以下、図 1 の回路図を用いて、シフトレジスタ 1 0 0 及びスキャン・フリップフロップ 1 1 0 のより詳細な構成、及び動作方法を説明する。図 1 には、説明を簡単にするため、2 つのスキャン・フリップフロップ 1 1 0 となるシフトレジスタ 1 0 0 を示している。

【 0 0 4 4 】

[第 1 の記憶回路 ; M e m A の構成例]

記憶回路 1 1 1 (M e m A) は、一般的なフリップフロップで構成することができる。図 1 の例では、インバータ 2 1 2、及びクロックドインバータ 2 1 3 となるループ回路が設けられている。クロックドインバータ 2 1 3 は、クロック信号 C K B により制御される。このループ回路の入力ノード (ノード M D) は、スイッチ 2 1 1 を介して端子 D に接続され、同出力ノード (ノード M Q) は、インバータ 2 1 4 を介して端子 Q に接続されている。スイッチ 2 1 1 は、クロック信号 C K により制御される。クロック信号 C K B は、クロック信号 C K の反転信号である。

10

【 0 0 4 5 】

記憶回路 1 1 1 は、クロック信号 C K 及びクロック信号 C K B により、データの書き込み、読み出しが制御される。クロック信号 C K の電位がハイレベル (H レベル) のとき、スイッチ 2 1 1 はオンとなり、クロックドインバータ 2 1 3 はインバータとして機能する。クロック信号 C K の電位がローレベル (L レベル) のとき、スイッチ 2 1 1 はオフとなり、クロックドインバータ 2 1 3 の出力はハイインピーダンスとなる。

20

【 0 0 4 6 】

また、ノード M D、ノード M Q は記憶回路 1 1 1 のデータ保持部であり、データに対応する電位を保持する機能を有する。ノード M D は、端子 D から入力された電位を保持する機能を有する。ノード M Q は、ノード M D で保持されている電位を反転させた電位を保持する機能を有する。ノード M Q で保持されている電位は、インバータ 2 1 4 により反転され、端子 Q から出力される。

【 0 0 4 7 】

以下、クロック信号 C K を、信号 C K、または C K と呼ぶことがある。他の信号、電位についても同様に、省略して呼ぶことがある。

【 0 0 4 8 】

[第 2 の記憶回路 ; M e m B の構成例]

記憶回路 1 1 2 (M e m B) は、8 つのトランジスタ 2 2 1 - 2 2 8 を有する。ここでは、トランジスタ 2 2 1 - 2 2 8 を n チャネル型トランジスタとしている。記憶回路 1 1 2 は、制御信号 (S T、L D) により制御され、ノード M D、M Q で保持されているデータをノード N D、N Q に書き込む機能、及びノード N D、N Q で保持されているデータをノード M D、M Q に書き込む機能を有する。記憶回路 1 1 2 は、セット信号 S T に従い、記憶回路 1 1 1 に記憶されているデータの退避動作を行い、ロード信号 L D に従い、記憶回路 1 1 1 へのデータの復帰動作を行う。

30

【 0 0 4 9 】

トランジスタ 2 2 1、及びトランジスタ 2 2 2 は、ノード M D のデータをノード N D に読み出す読み出し回路として機能する。また、トランジスタ 2 2 3、及びトランジスタ 2 2 4 は、ノード M Q のデータをノード N Q に読み出す読み出し回路として機能する。直列に接続されたトランジスタ 2 2 1、及びトランジスタ 2 2 2 が、低電源電位 V S S を供給する配線とノード M D 間を接続している。トランジスタ 2 2 1 のゲートは、ノード M D に接続されている。トランジスタ 2 2 1 のゲートには、セット信号 S T が入力される。同様に、直列に接続されたトランジスタ 2 2 3、及びトランジスタ 2 2 4 が V S S を供給する配線とノード M Q 間を接続している。

40

【 0 0 5 0 】

セット信号 S T に従い、記憶回路 1 1 2 は、記憶回路 1 1 1 に記憶されているデータを退避する。信号 S T を H レベルとし、トランジスタ 2 2 2、トランジスタ 2 2 4 をオンにし

50

ている期間、ノードMD、MQに保持されているデータに対応する電位が、ノードND、NQに供給される。信号STをLレベルとし、トランジスタ222、トランジスタ224をオフすることで、ノードND、NQにおいて、電位(データ)が保持される。

【0051】

トランジスタ225、及びトランジスタ226は、ノードNDのデータをノードMDに読み出す読み出し回路として機能する。また、トランジスタ227、及びトランジスタ228は、ノードNQのデータをノードMQに読み出す読み出し回路として機能する。直列に接続されたトランジスタ225、及びトランジスタ226が、VSSを供給する配線とノードMD間を接続している。トランジスタ225のゲートは、ノードNDに接続されている。トランジスタ226のゲートには、ロード信号LDが入力されている。同様に、直列に接続されたトランジスタ227、及びトランジスタ228がVSSを供給する配線とノードMQ間を接続している。

10

【0052】

ロード信号LDに従い、記憶回路112は、記憶回路111にデータを復帰する。信号LDをHレベルとし、トランジスタ226、及びトランジスタ228をオンにしている期間、ノードND、NQに保持されているデータに対応する電位が、ノードMD、MQに供給される。信号LDをLレベルとし、トランジスタ226、及びトランジスタ228をオフすることで、ノードMD、MQにおいて、電位(データ)が保持される。

【0053】

図1の構成例では、記憶回路112及び記憶回路113では、データ保持部として、同じノード(ND、NQ)が用いられている。また、ノードND、及びノードNQの電荷保持特性を向上させるため、一方又は双方に、容量素子を接続することも可能である。

20

【0054】

このように、スキャン・フリップフロップ110には、不揮発性のデータ保持部(ノードND、ノードNQ)が設けられているため、信号ST及び信号LDの制御による記憶回路112の動作は、記憶回路111においては、退避動作と復帰動作となるが、記憶回路113においては、データセット動作、データロード動作と呼ぶことができる。信号STによる記憶回路112の動作は、記憶回路111から記憶回路113へデータを書き込む動作でもあるため、信号STによる動作は、記憶回路113に、記憶回路111に記憶されているデータを格納する動作(データセット動作)と呼ぶこともできる。また、信号LDによる記憶回路112の動作は、記憶回路113に記憶されているデータを記憶回路111に格納する動作(データロード動作)と呼ぶこともできる。

30

【0055】

[第3の記憶回路; MemCの構成例]

記憶回路113は、6つのトランジスタ231-236を有する。ここでは、トランジスタ231-236をnチャネル型トランジスタとしている。また、記憶回路113は、4つのクロック信号C1-C4に従い、入力端子121または前段の記憶回路113からデータを取り込み、また、記憶しているデータを次段の記憶回路113に出力する。

【0056】

トランジスタ231は、記憶回路113の入力端子(IN)とノードND間の導通・非導通を制御するスイッチとして機能する。トランジスタ231のゲートは信号C2が入力される。トランジスタ231がオンになることにより、入力端子(IN)から、記憶回路113にデータが入力され、このデータに対応する電位がノードNDに格納される。

40

【0057】

トランジスタ232及びトランジスタ233は、ノードNDで保持されているデータをノードNQに読み出す読み出し回路として機能する。直列に接続されたトランジスタ232及びトランジスタ233が、低電源電位VSSが供給される配線とノードNQ間を接続している。トランジスタ232のゲートはノードNDに接続されている。トランジスタ233のゲートは信号C4が入力される。トランジスタ233がオンになることにより、ノードNDで保持している電位に対応する電位がノードNQに書き込まれる。

50

【 0 0 5 8 】

トランジスタ 2 3 4 は、ノード N Q で保持されているデータを記憶回路 1 1 3 の出力端子 (O U T) に読み出す読み出し回路として機能する。トランジスタ 2 3 4 のゲートはノード N Q に接続されている。トランジスタ 2 3 4 のソースは、V S S が供給される配線に接続され、ドレインは、出力端子 (O U T) に接続されている。

【 0 0 5 9 】

なお、トランジスタは、ゲート、ソース、及びドレインと呼ばれる 3 つの端子 (電極) を有する素子である。ゲートを除く 2 つの端子は、トランジスタの導電型 (n 、 p) 、端子に入力される電位によって、ソース、ドレインとしての機能が入れ替わることがある。よって、シフトレジスタ 1 0 0 においても、ソースとドレインの関係が逆になることがある。この点は他の回路でも同様である。そこで本明細書では、ソース及びドレインと呼ばず、トランジスタのゲート以外の端子 (電極) を第 1 電極、第 2 電極と呼ぶ場合がある。

10

【 0 0 6 0 】

トランジスタ 2 3 5 は、ノード N D と高電源電位 V D D が供給される配線間の導通・非導通を制御するスイッチとして機能する。また、トランジスタ 2 3 5 は、ノード N D の電位をプリチャージするプリチャージ回路と呼ぶこともできる。トランジスタ 2 3 5 のゲートには、信号 C 1 が入力される。ソースは、ノード N D に接続され、ドレインは、V D D が供給される配線に接続されている。トランジスタ 2 3 5 をオンすることにより、ノード N D は、V D D が供給され、H レベルとなる。

【 0 0 6 1 】

トランジスタ 2 3 6 は、ノード N Q と高電源電位 V D D が供給される配線間の導通・非導通を制御するスイッチとして機能する。また、トランジスタ 2 3 6 は、ノード N Q の電位をプリチャージするプリチャージ回路と呼ぶこともできる。トランジスタ 2 3 6 のゲートには、信号 C 3 が入力される。ソースは、ノード N Q に接続され、ドレインは、V D D が供給される配線に接続されている。トランジスタ 2 3 6 をオンすることにより、ノード N Q は、V D D が供給され、H レベルとなる。

20

【 0 0 6 2 】

ノード N D 及びノード N Q のプリチャージ用の回路 (トランジスタ 2 3 5 、トランジスタ 2 3 6) は、必要に応じて設ければよい。

【 0 0 6 3 】

ここで、V D D の供給停止後も、記憶回路 1 1 2 及び記憶回路 1 1 3 でデータを長期間保持させるようにするためには、電氣的に浮遊状態にされたノード N D 、ノード N Q で保持されている電位 (電荷) の変動をできるだけ抑えればよい。そのためには、ノード N D 、ノード N Q からの電荷のリークパスをできるだけ形成しない、またはこのリークパスを流れる電荷をできるだけ少なくすればよい。

30

【 0 0 6 4 】

そのため、トランジスタ 2 2 1 - 2 2 4 及びトランジスタ 2 3 1 - 2 3 6 には、オフ状態でのリーク電流 (オフ電流) が少ないトランジスタが用いられることが好ましい。ここでは、オフ電流が低いとは、室温においてチャネル幅 1 μ m あたりの規格化されたオフ電流が 1 0 z A 以下であることをいう。オフ電流は少ないほど好ましいため、この規格化されたオフ電流値が 1 z A 以下、更に 1 0 y A 以下とし、更に 1 y A 以下であることが好ましい。なお、その場合のソースとドレイン間の電圧は、例えば、0 . 1 V - 3 V の範囲、または 5 V 程度である。このようにオフ電流が少ないトランジスタとしては、チャネルが酸化物半導体で形成されているトランジスタが挙げられる。

40

【 0 0 6 5 】

なお、記憶回路 1 1 2 において、トランジスタ 2 2 1 とトランジスタ 2 2 2 の何れか一方が、オフ電流がきわめて低いトランジスタであればよい。また、トランジスタ 2 2 3 とトランジスタ 2 2 4 の何れか一方が、オフ電流がきわめて低いトランジスタであればよい。

【 0 0 6 6 】

< シフトレジスタの駆動方法例 >

50

以下、図 4、及び図 5 に示すタイミングチャートを用いて、図 1 のシフトレジスタ 100 の駆動方法の一例を説明する。図 4 は、集積回路 10 で処理を実行させる際のシフトレジスタ 100 の駆動方法の一例を示すタイミングチャートである。この動作モードでは、シフトレジスタ 100 の各スキャン・フリップフロップ 110 は、組み合わせ回路 150 のレジスタとして機能する。また、図 5 は、集積回路 10 の動作検証モードでのシフトレジスタ 100 の駆動方法の一例を示すタイミングチャートである。動作検証モードでは、シフトレジスタ 100 はシフトレジスタとして機能する。

【 0067 】

以下の説明では、電位のレベルの呼び方として、H レベルを " H " と呼び、L レベルを " L " と呼ぶことがある。

10

【 0068 】

[駆動方法 1 ; 組み合わせ回路のレジスタとしての動作]

図 4 を参照して、シフトレジスタ 100 の駆動方法の一例を説明する。

【 0069 】

集積回路 10 は、動作に必要な回路への電源供給を停止するパワーゲーティングの機能を備えている。図 4 には、集積回路 10 でパワーゲーティングを行うための、スキャン・フリップフロップ 110 のデータの退避と、その復帰するためのシフトレジスタ 100 の駆動方法の一例が示されている。図 4 に示されているシフトレジスタ 100 の動作モードは、以下のとおりである。

【 0070 】

20

時間 T 1 - 時間 T 5 は、通常動作モードである。時間 T 5 - 時間 T 8 は、動作停止移行モードである。時間 T 8 - 時間 T 9 は、動作停止モードである。時間 T 9 - 時間 T 12 は、動作再開移行モードである。時間 T 12 - 時間 T 15 は、通常動作モードである。

【 0071 】

< T 1 - T 5 : 通常動作モード >

通常動作モードでは、SCN - FF [1]、[2] がレジスタとして機能する。時間 T 1 - 時間 T 5 において、セット信号 ST、及びロード信号 LD は L レベルであり、またクロック信号 C 1 - C 4 も L レベルであり、各 SCN - FF [1]、[2] において、Mem A [1]、[2] のみに制御信号が供給される。そのため、Mem A [1]、[2] が、それぞれ、レジスタとして機能することになる。所定の周期で発振するクロック信号 CK 及びその反転信号 CK B が、Mem A [1]、[2] に入力される。端子 Q [1]、Q [2] は、信号 CK が H レベルのとき、同時点における端子 D [1]、D [2] と同じ電位となる。なお、実際には信号遅延があるため、クロック信号 CK のクロック立ち上がり時点から遅延して、端子 Q [1]、Q [2] の電位が変化する。

30

【 0072 】

< T 5 - T 8 : 動作停止移行モード >

動作停止移行モードは、シフトレジスタ 100 への電源供給を停止するための処理が行われる。具体的には、Mem A [1]、[2] で保持しているデータを Mem B [1]、[2] に退避する処理が実行される。なお、シフトレジスタ 100 の電源供給停止とは、VDD を L レベルにして、VDD と VSS の電位差を 0 V にすることをいう。

40

【 0073 】

時間 T 5 - 時間 T 8 では、信号 CK は " L " に、信号 CK B は " H " に維持される。まず、Mem B [1] のノード (ND [1]、NQ [1])、及び Mem B [2] のノード (ND [2]、NQ [2]) のプリチャージを行う。時間 T 5 - 時間 T 6 で、クロック信号 C 1 及びクロック信号 C 3 を H レベルにすることで、これらのノードの電位を H レベルとする。

【 0074 】

次に、データセット動作を行う。時間 T 6 - 時間 T 7 で、信号 ST を " H " とすることで、Mem B [1] のノード (ND [1]、NQ [1]) に、Mem A [1] のノード (MD [1]、MQ [1]) の電位に対応するデータを書き込み、Mem B [2] のノード (

50

ND[2]、NQ[2])に、MemA[2]のノード(MD[2]、MQ[2])の電位に対応するデータを書き込む。ここでは、ノードND[1]に”L”を、ノードNQ[1]に”H”を、ノードND[2]に”H”を、ノードNQ[2]に”L”を書き込む。

【0075】

時間T7において信号STが立ち下がり、Lレベルとなることで、各ノード(ND[1]、NQ[1]、ND[2]、NQ[2])で電位が保持される状態となる。

【0076】

続いて、時間T8で、VDDをLレベルとする。すなわち、電源電位を遮断する。この時、端子D[1]、端子D[2]、端子Q[1]、端子Q[2]は”L”となり、信号の入力、出力が停止する。また、信号CK、CKBの供給を停止する。従って、信号CK、CKBは”L”となる。

【0077】

<T8 - T9：動作停止モード>

時間T8 時間T9の動作停止モードでは、電源電圧が遮断され、クロック信号(CK、CKB)、入力端子(D[1]、D[2])、並びに出力端子(Q[1]、Q[2])の電位のレベルは全て”L”である。従って、シフトレジスタ100を搭載した集積回路10において、電力を消費させずに、MemB[1]、[2]でデータを保持させることができる。

【0078】

<T9 - T12：動作再開移行モード>

時間T9 時間T12の動作再開移行モードは、通常動作モードの終了時、すなわち、時間T5の状態に、SCN-FF[1]、[2]を復帰させる動作が行われる。具体的には、MemB[1]、[2]に格納されているデータをMemA[1]、[2]に書き込む動作が行われる。

【0079】

時間T9で、信号CK、CKBの電位を時間T5の電位にする。ここでは、信号CKを”L”、信号CKBを”H”とする。続いて、時間T10で、信号LDを”H”にし、時間T11で、VDDの電位をHレベルにする。すなわち、スキャン・フリップフロップ110への電源供給を再開する。信号LDがHレベルの状態、HレベルのVDDを供給することにより、MemB[1]のノード(ND[1]、NQ[1])で保持されているデータに対応する電位が、MemA[1]のノード(MD[1]、MQ[1])に書き込まれ、MemB[2]のノード(ND[2]、NQ[2])で保持されているデータに対応する電位が、MemA[2]のノード(MD[2]、MQ[2])に書き込まれる。これにより、SCN-FF[1]、[2]は時間T5の状態に戻る。

【0080】

時間T12で、信号LDをLレベルにし、クロック信号CK、クロック信号CKBの供給を再開して、シフトレジスタ100を通常動作モードに復帰させる。時間T12以降の通常動作モードにおいて、集積回路10は、時間T5の続きから処理を継続することができる。

【0081】

従って、図4の駆動方法を適用することで、シフトレジスタ100を組み込んだ集積回路10の電源を適宜停止させることができる。また、スキャン・フリップフロップ110は、データのバックアップ部をその内部に有しているため、データ退避及びデータ復帰処理の電力のオーバーヘッド及び時間のオーバーヘッドを小さくすることができる。よって、電源遮断による電力削減の効果を高めることにつながる。

【0082】

[駆動方法2；動作検証モードでのシフトレジスタとしての動作]

図5には、集積回路10の動作検証モードでのシフトレジスタ100の駆動方法の一例を示す。動作検証モードでは、シフトレジスタ100をシフトレジスタとして動作させる。

図5に示されているシフトレジスタ100の動作モードは、以下のとおりである。

10

20

30

40

50

【 0 0 8 3 】

時間 T 2 1 - 時間 T 2 5 は通常動作モードであり、時間 T 2 5 - 時間 T 2 7 はデータセット動作モードであり、時間 T 2 8 - 時間 T 3 2 はシフト動作モードであり、時間 T 3 3 - 時間 T 3 6 はデータロード動作モードであり、時間 T 3 6 以降は通常動作モードである。

【 0 0 8 4 】

< T 2 1 - T 2 5 : 通常動作モード >

時間 T 2 1 時間 T 2 5 でのシフトレジスタ 1 0 0 の動作は、図 4 の時間 T 1 時間 T 5 での動作と同じである。

【 0 0 8 5 】

< T 2 5 - T 2 7 : データセット動作モード >

時間 T 2 5 時間 T 2 7 でのデータセット動作モードでは、信号 C K は L レベルに維持され、信号 C K B は H レベルに維持され、記憶回路 1 1 1 のデータの書き換えが停止する。

時間 T 2 5 時間 T 2 6 で、信号 C 1 及び信号 C 3 を " H " にして、M e m C [1]、[2] のノード (N D [1]、N Q [1]、N D [2]、N Q [2]) をプリチャージして、その電位を H レベルにする。すなわち、ノード (N D [1]、N Q [1]、N D [2]、N Q [2]) の電位をリセットする。

【 0 0 8 6 】

時間 T 2 6 時間 T 2 7 で、信号 S T を " H " にして、M e m C [1] のノード (N D [1]、N Q [1]) に、M e m A [1] のノード (M D [1]、M Q [1]) で保持されているデータに対応する電位を書き込み、M e m C [2] のノード (N D [2]、N Q [2]) に、M e m A [2] のノード (M D [2]、M Q [2]) で保持されているデータに対応する電位を書き込む。時間 T 2 7 で、信号 S T を " L " にして、各ノード (N D [1]、N Q [1]、N D [2]、N Q [2]) で電位を保持させる。ここでは、ノード N D [1] に " L " が、ノード N Q [1] に " H " が、ノード N D [2] に " H " が、ノード N Q [2] に " L " が保持される。このデータセット動作により、時間 T 2 5 時点の M e m A [1]、[2] のデータが、M e m C [1]、[2] に格納されることになる。

【 0 0 8 7 】

< T 2 8 - T 3 2 : シフト動作モード >

次に、時間 T 2 8 時間 T 3 2 のシフト動作モードについて説明する。図 5 に示すように、時間 T 2 8 時間 T 3 2 では、信号 C 1 C 4 を順次 H レベルにすることで、端子 (S C N - I N) から入力されたデータを、順次、ノード (N D [1]、N Q [1]、N D [2]、N Q [2]) に格納して、最終的に、端子 (S C N - O U T) から取り出す動作が行われる。

【 0 0 8 8 】

まず、時間 T 2 8 時間 T 2 9 では、信号 C 1 を " H " とすることで、ノード N D [1]、ノード N D [2] の電位を " H " とする。すなわち、M e m C [1]、[2] の入力側のノード N D [1]、ノード N D [2] の電位をリセットする。

【 0 0 8 9 】

時間 T 2 9 時間 T 3 0 では、信号 C 2 を " H " とすることで、端子 (S C N - I N) のデータに対応する電位を、M e m C [1] のノード N D [1] に供給し、M e m C [1] のノード N Q [1] のデータに対応する電位を M e m C [2] のノード N D [2] に供給する。ここでは、ノード N D [1] に " H " が、ノード N D [2] に " L " が供給される。

【 0 0 9 0 】

時間 T 3 0 時間 T 3 1 では、信号 C 3 を " H " とすることで、ノード N Q [1]、ノード N Q [2] の電位を " H " とする。すなわち、M e m C [1]、[2] の出力側のノード N Q [1]、ノード N Q [2] の電位をリセットする。

【 0 0 9 1 】

次に、時間 T 3 1 時間 T 3 2 では、信号 C 4 を " H " とすることで、M e m C [1] において、ノード N D [1] のデータに対応する電位をノード N Q [1] に供給し、M e m

10

20

30

40

50

C[2]において、ノードND[2]のデータに対応する電位をノードNQ[2]に供給する。ここでは、ノードNQ[1]に" L "が、ノードNQ[2]に" H "が供給される。

【0092】

また、時間T31 時間T32において、端子(SCN-OUT)には、ノードNQ[2]で保持されているデータに対応する電位が出力され、ここでは" L "が出力される。端子(SCN-OUT)から出力されるデータは、時間T25 - 時間T27でのデータセット動作により、ノードNQ[1]に格納されたデータに対応している。つまり、シフトレジスタ100のシフト動作により、MemC[1]で保持していたデータが次段のMemC[2]に転送されていることがわかる。

10

【0093】

< T33 - T36 : データロード動作モード >

時間T33 時間T36では、データロード動作が行われる。信号LDを" H "とすることで、MemC[1]のノード(ND[1]、NQ[1])のデータに対応する電位をMemA[1]のノード(MD[1]、MQ[1])に書き込み、MemC[2]のノード(ND[2]、NQ[2])のデータに対応する電位をMemA[2]のノード(MD[2]、MQ[2])に書き込む。ここでは、ノードMD[1]は" L "となり、ノードMQ[1]は" H "となり、ノードMD[2]は" H "となる。また、ノードMQ[2]は" L "となり、MemA[1]の端子Q[1]は" L "となり、MemA[2]の端子Q[2]は" H "となる。つまり、端子(SCN-IN)を介して、シフトレジスタ100

20

。

【0094】

上述したように、シフトレジスタ100は、任意の時間におけるSCN-FF[1]、[2]のデータを外部へ取り出し、外部から任意のデータをSCN-FF[1]、[2]に設定することが可能である。従って、任意の回路状態から、シフトレジスタ100を組み込んだ集積回路10の動作を開始することが可能となる。従って、シフトレジスタ100を適用することで、集積回路10の不良解析をより効果的に行うことが可能となる。

【0095】

また、SCN-FF[1]、[2]において、組み合わせ回路のレジスタとしてのMemA[1]、[2]の機能を制限することなく、バックアップ用のMemB[1]、[2]、及びデータ転送用のMemC[1]、[2]を設けることができる。

30

【0096】

本実施の形態は、他の実施の形態と適宜組み合わせ実施することが可能である。

【0097】

(実施の形態2)

実施の形態1で示したシフトレジスタ100は、組み合わせ回路等の他の機能回路と共に、1つのICチップに組み込むことができる。本実施の形態では、スキャン・テスト可能な集積回路を1つのICチップとするための構成の一例を示す。

【0098】

図6に、集積回路の断面構造の一例を示す。図6には、集積回路を構成する主要な素子として、酸化物半導体層にチャネル形成領域を有するOSTランジスタと、半導体基板にチャネル形成領域を有する2つのランジスタが示されている。なお、図6の断面図は、集積回路の特定の箇所を切断した断面図ではなく、集積回路の積層構造を説明するための図である。

40

【0099】

半導体基板500は、例えば、n型またはp型の導電性を有する単結晶シリコン基板、化合物半導体基板(GaAs基板、InP基板、GaN基板、SiC基板、ZnSe基板等)等を用いることができる。図6では、n型の導電性を有する単結晶シリコン基板を用いた場合を例示している。

50

【0100】

本明細書では、シリコン基板を用いて作製されたトランジスタを『Siトランジスタ』と呼ぶことがある。

【0101】

図6に示すように、Siトランジスタ561及びSiトランジスタ562は半導体基板500上に形成されている。Siトランジスタ561はpチャネル型トランジスタであり、Siトランジスタ562はnチャネル型トランジスタである。

【0102】

OSTランジスタ560は、シフトレジスタ100の記憶回路112のトランジスタ221 - 224、並びに同記憶回路113のトランジスタ231 - 236に適用される(図1参照)。Siトランジスタ561、及びSiトランジスタ562は、集積回路に設けられているそれら以外のトランジスタに適用される。

10

【0103】

このように、集積回路を構成するトランジスタとして、OSTランジスタと、Siトランジスタの双方を用いることで、シフトレジスタ100において、記憶回路111(MemA)上に、記憶回路112(MemB)の一部、及び記憶回路113(MemC)を積層して設けることができる。つまり、スキャン・テスト用のシフトレジスタを集積回路に組み込むに際して、元々レジスタとして設けられている記憶回路上に、バックアップ用の記憶回路、及びデータ転送用の記憶回路を積層して設けることができるため、チップ面積の増大を抑えることができる。

20

【0104】

本実施の形態の集積回路を構成する膜は、熱酸化法、CVD法、MBE法、スパッタ法などにより形成できる。例えば、導電膜はスパッタ法により形成することができるが、他の方法、例えば、熱CVD法により形成してもよい。熱CVD法の例としてMOCVD(Metal Organic Chemical Vapor Deposition)法やALD(Atomic Layer Deposition)法を使っても良い。

【0105】

例えば、ALDを利用する成膜装置によりタングステン膜を成膜する場合には、WF₆ガスとB₂H₆ガスを順次繰り返し導入して初期タングステン膜を形成し、その後、WF₆ガスとH₂ガスを同時に導入してタングステン膜を形成する。なお、B₂H₆ガスに代えてSiH₄ガスを用いてもよい。

30

【0106】

Siトランジスタ561、562は、素子分離用絶縁膜501により、電氣的に分離されている。素子分離用絶縁膜501の形成には、選択酸化(LOCOS; Local Oxidation of Silicon)法またはトレンチ分離法等を用いることができる。なお、半導体基板500としてSOI型の半導体基板を用いてもよい。この場合、素子分離は、エッチングにより半導体層を素子ごとに分割することにより行われる。

【0107】

Siトランジスタ562が形成される領域には、p型の導電性を付与する不純物元素を選択的に導入することにより、pウェル502が形成されている。

40

【0108】

Siトランジスタ561は、不純物領域503及び低濃度不純物領域504と、ゲート電極505と、半導体基板500とゲート電極505の間に設けられたゲート絶縁膜506とを有する。ゲート電極505には、サイドウォール535が形成されている。

【0109】

Siトランジスタ562は不純物領域507、低濃度不純物領域508、ゲート電極509、及びゲート絶縁膜506を有する。ゲート電極509の周囲にはサイドウォール536が形成されている。

【0110】

Siトランジスタ561及びSiトランジスタ562上には、絶縁膜516が設けられて

50

いる。絶縁膜 5 1 6 には開口部が形成されており、これら開口部に、不純物領域 5 0 3 に接して配線 5 1 0 及び配線 5 1 1 が形成され、不純物領域 5 0 7 に接して配線 5 1 2 及び配線 5 1 3 が形成されている。

【 0 1 1 1 】

そして、配線 5 1 0 は、絶縁膜 5 1 6 上に形成された配線 5 1 7 に接続されており、配線 5 1 1 は、絶縁膜 5 1 6 上に形成された配線 5 1 8 に接続されており、配線 5 1 2 は、絶縁膜 5 1 6 上に形成された配線 5 1 9 に接続されており、配線 5 1 3 は、絶縁膜 5 1 6 上に形成された配線 5 2 0 に接続されている。

【 0 1 1 2 】

配線 5 1 7 5 2 0 上には、絶縁膜 5 2 1 が形成されている。絶縁膜 5 2 1 には開口部が形成されており、絶縁膜 5 2 1 上には、この開口部において配線 5 2 0 に接続された配線 5 2 2、及び配線 5 2 3 が形成されている。配線 5 2 2 及び配線 5 2 3 上には、絶縁膜 5 2 4 が形成されている。

【 0 1 1 3 】

絶縁膜 5 2 4 上に、酸化物半導体層 5 3 0 を有する O S トランジスタ 5 6 0 が形成されている。O S トランジスタ 5 6 0 は、酸化物半導体層 5 3 0 上に、ソース電極またはドレイン電極として機能する導電膜 5 3 2 及び導電膜 5 3 3、ゲート絶縁膜 5 3 1、並びにゲート電極 5 3 4 を有する。導電膜 5 3 2 は、絶縁膜 5 2 4 に設けられた開口部において、配線 5 2 2 に接続されている。

【 0 1 1 4 】

配線 5 2 3 が、絶縁膜 5 2 4 を間に挟んで酸化物半導体層 5 3 0 と重なる位置に設けられている。配線 5 2 3 は、O S トランジスタ 5 6 0 のバックゲートとしての機能を有する。配線 5 2 3 に供給される電位により、O S トランジスタ 5 6 0 のしきい値電圧を制御することができる。配線 5 2 3 は、必要に応じて設ければよい。

【 0 1 1 5 】

O S トランジスタ 5 6 0 は、絶縁膜 5 4 4 及び絶縁膜 5 4 5 に覆われている。絶縁膜 5 4 4 としては、絶縁膜 5 4 5 から放出された水素が酸化物半導体層 5 3 0 に侵入するのを防ぐ機能を有する絶縁膜が好ましい。このような絶縁膜として窒化シリコン膜等がある。

【 0 1 1 6 】

導電膜 5 4 6 が絶縁膜 5 4 5 上に設けられている。絶縁膜 5 4 4、絶縁膜 5 4 5、及びゲート絶縁膜 5 3 1 に設けられた開口部において、導電膜 5 4 6 は導電膜 5 3 2 に接している。

【 0 1 1 7 】

酸化物半導体層 5 3 0 の厚さは、2 nm 以上 40 nm 以下とすればよい。また、酸化物半導体層 5 3 0 において、O S トランジスタ 5 6 0 のチャネル形成領域を構成する領域は、i 型（真性半導体）又は i 型に限りなく近いことが望ましい。電子供与体（ドナー）となる水分または水素等の不純物が低減され、なおかつ酸素欠損が低減された酸化物半導体層は、i 型（真性半導体）又は i 型に限りなく近い。ここでは、このような酸化物半導体層を高純度化された酸化物半導体層と呼ぶことにする。高純度化された酸化物半導体層でチャネルが形成されているトランジスタは、オフ電流が極めて小さく、信頼性が高い。

【 0 1 1 8 】

オフ電流の小さいトランジスタを作製するため、酸化物半導体層 5 3 0 のキャリア密度は、 $1 \times 10^{17} / \text{cm}^3$ 以下が好ましい。より好ましくは $1 \times 10^{16} / \text{cm}^3$ 以下、 $1 \times 10^{15} / \text{cm}^3$ 以下、 $1 \times 10^{14} / \text{cm}^3$ 以下、または $1 \times 10^{13} / \text{cm}^3$ 以下である。

【 0 1 1 9 】

酸化物半導体層 5 3 0 を用いることでオフ状態の O S トランジスタ 5 6 0 のソース - ドレイン電流（オフ電流）を室温（25 程度）にて $1 \times 10^{-18} \text{ A}$ 以下とすることができる。室温（25 程度）におけるオフ電流は、好ましくは $1 \times 10^{-21} \text{ A}$ 以下であり、さらに好ましくは $1 \times 10^{-24} \text{ A}$ 以下である。または 85 にて、オフ電流値を 1×1

10

20

30

40

50

$0 \sim 10^{-15}$ A 以下とすることができ、好ましくは 1×10^{-18} A 以下にし、さらに好ましくは 1×10^{-21} A 以下にする。なお、トランジスタがオフ状態とは、nチャネル型のトランジスタの場合、ゲート電圧がしきい値電圧よりも十分小さい状態をいう。具体的には、ゲート電圧がしきい値電圧よりも1 V以上、2 V以上または3 V以上小さければ、トランジスタはオフ状態である。

【0120】

酸化物半導体層を用いたトランジスタのオフ電流が極めて小さくなることは、種々の実験により証明が可能である。例えば、チャネル幅が $1 \times 10^6 \mu\text{m}$ でチャネル長が $10 \mu\text{m}$ のトランジスタにおいて、ソース・ドレイン間電圧（ドレイン電圧）が1 Vから10 Vの範囲でのオフ電流が、半導体パラメータアナライザの測定限界以下、すなわち 1×10^{-13} A 以下であるという測定データが得られた。この場合、トランジスタのチャネル幅で規格化したオフ電流は $100 \text{ zA} / \mu\text{m}$ 以下になる。

10

【0121】

別の実験として、容量素子にトランジスタを接続して、容量素子に注入または容量素子から放電する電荷をトランジスタで制御する回路を用いて、オフ電流の測定を行う方法がある。この場合、容量素子の単位時間あたりの電荷量の推移からトランジスタのオフ電流を測定する。その結果、ドレイン電圧が3 Vの条件下でトランジスタのオフ電流が数十 yA / μm であることが確認された。従って、高純度化された酸化物半導体層でチャネル形成領域を形成したトランジスタは、オフ電流が結晶性を有するシリコンを用いたトランジスタに比べて著しく小さくなる。

20

【0122】

酸化物半導体層530は、少なくともIn、Ga、Sn及びZnのうちの1種以上の元素を含有する酸化物で形成されることが好ましい。このような酸化物としては、In-Sn-Ga-Zn酸化物や、In-Ga-Zn酸化物、In-Sn-Zn酸化物、In-Al-Zn酸化物、Sn-Ga-Zn酸化物、Al-Ga-Zn酸化物、Sn-Al-Zn酸化物、In-Zn酸化物、Sn-Zn酸化物、Al-Zn酸化物、Zn-Mg酸化物、Sn-Mg酸化物、In-Mg酸化物や、In-Ga酸化物、In酸化物、Sn酸化物、Zn酸化物等を用いることができる。また、これら酸化物にInとGaとSnとZn以外の元素、例えば SiO_2 を含む酸化物半導体を用いることができる。

【0123】

なお、例えば、In-Ga-Zn酸化物とは、In、Ga、及びZnを含む酸化物、という意味であり、In、Ga、及びZnの原子数の比は問わない。

30

【0124】

以下では、酸化物半導体層530を構成する酸化物半導体膜の構造について説明する。ここでは、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。従って、 -5° 以上 5° 以下の場合も含まれる。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。従って、 85° 以上 95° 以下の場合も含まれる。また、結晶が三方晶または菱面体晶である場合、六方晶系として表す。

【0125】

酸化物半導体膜は、非単結晶酸化物半導体膜と単結晶酸化物半導体膜とに大別される。非単結晶酸化物半導体膜とは、CAAC-OS (C Axis Aligned Crystalline Oxide Semiconductor) 膜、多結晶酸化物半導体膜、微結晶酸化物半導体膜、非晶質酸化物半導体膜などをいう。酸化物半導体層530は、例えば、非晶質酸化物半導体膜、微結晶酸化物半導体膜、CAAC-OS膜のうち、二種以上を有する積層膜であってもよい。このように、酸化物半導体層530が複数の構造を有する場合、後述するナノビーム電子回折を用いることで構造解析が可能となる場合がある。

40

【0126】

まず、CAAC-OS膜について説明する。

50

【0127】

C A A C - O S 膜は、c 軸配向した複数の結晶部を有する酸化物半導体膜の一つである。

【0128】

C A A C - O S 膜を透過型電子顕微鏡 (T E M : T r a n s m i s s i o n E l e c t r o n M i c r o s c o p e) によって観察すると、明確な結晶部同士の境界、即ち結晶粒界 (グレインバウンダリーともいう。) を確認することができない。そのため、C A A C - O S 膜は、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

【0129】

C A A C - O S 膜を、試料面と概略平行な方向から T E M によって観察 (断面 T E M 観察) すると、結晶部において、金属原子が層状に配列していることを確認できる。金属原子の各層は、C A A C - O S 膜の膜を形成する面 (被形成面ともいう。) または上面の凹凸を反映した形状であり、C A A C - O S 膜の被形成面または上面と平行に配列する。

10

【0130】

C A A C - O S 膜を、試料面と概略垂直な方向から T E M によって観察 (平面 T E M 観察) すると、結晶部において、金属原子が三角形状または六角形状に配列していることを確認できる。しかしながら、異なる結晶部間で、金属原子の配列に規則性は見られない。

【0131】

断面 T E M 観察および平面 T E M 観察より、C A A C - O S 膜の結晶部は配向性を有していることを確認することができる。

20

【0132】

C A A C - O S 膜に含まれるほとんどの結晶部は、一辺が 1 0 0 n m 未満の立方体内に収まる大きさである。従って、C A A C - O S 膜に含まれる結晶部は、一辺が 1 0 n m 未満、5 n m 未満または 3 n m 未満の立方体内に収まる大きさの場合も含まれる。なお、C A A C - O S 膜に含まれる複数の結晶部が連結することで、一つの大きな結晶領域を形成する場合がある。例えば、平面 T E M 像において、2 5 0 0 n m² 以上、5 μ m² 以上または 1 0 0 0 μ m² 以上となる結晶領域が観察される場合がある。

【0133】

C A A C - O S 膜に対し、X 線回折 (X R D : X - R a y D i f f r a c t i o n) 装置を用いて構造解析を行うと、例えば I n G a Z n O₄ の結晶を有する C A A C - O S 膜の o u t - o f - p l a n e 法による解析では、回折角 (2 θ) が 3 1 ° 近傍にピークが現れる場合がある。このピークは、I n G a Z n O₄ の結晶の (0 0 9) 面に帰属されることから、C A A C - O S 膜の結晶が c 軸配向性を有し、c 軸が被形成面または上面に概略垂直な方向を向いていることが確認できる。

30

【0134】

また、C A A C - O S 膜に対し、c 軸に概略垂直な方向から X 線を入射させる i n - p l a n e 法による解析では、2 θ が 5 6 ° 近傍にピークが現れる場合がある。このピークは、I n G a Z n O₄ の結晶の (1 1 0) 面に帰属される。I n G a Z n O₄ の単結晶酸化物半導体膜であれば、2 θ を 5 6 ° 近傍に固定し、試料面の法線ベクトルを軸 (c 軸) として試料を回転させながら分析 (スキャン) を行うと、(1 1 0) 面と等価な結晶面に帰属されるピークが 6 本観察される。これに対し、C A A C - O S 膜の場合は、2 θ を 5 6 ° 近傍に固定して スキャンした場合でも、明瞭なピークが現れない。

40

【0135】

以上のことから、C A A C - O S 膜では、異なる結晶部間では a 軸および b 軸の配向は不規則であるが、c 軸配向性を有し、かつ c 軸が被形成面または上面の法線ベクトルに平行な方向を向いていることがわかる。従って、前述の断面 T E M 観察で確認された層状に配列した金属原子の各層は、結晶の a b 面に平行な面である。

【0136】

なお、結晶部は、C A A C - O S 膜を成膜した際、または加熱処理などの結晶化処理を行った際に形成される。上述したように、結晶の c 軸は、C A A C - O S 膜の被形成面または上面の法線ベクトルに平行な方向に配向する。従って、例えば、C A A C - O S 膜の形

50

状をエッチングなどによって変化させた場合、結晶の c 軸が C A A C - O S 膜の被形成面または上面の法線ベクトルと平行にならないこともある。

【 0 1 3 7 】

また、C A A C - O S 膜中において、 c 軸配向した結晶部の分布が均一でなくてもよい。例えば、C A A C - O S 膜の結晶部が、C A A C - O S 膜の上面近傍からの結晶成長によって形成される場合、上面近傍の領域は、被形成面近傍の領域よりも c 軸配向した結晶部の割合が高くなることがある。また、不純物の添加された C A A C - O S 膜は、不純物が添加された領域が変質し、部分的に c 軸配向した結晶部の割合の異なる領域が形成されることもある。

【 0 1 3 8 】

なお、 InGaZnO_4 の結晶を有する C A A C - O S 膜の *out - o f - p l a n e* 法による解析では、 2θ が 31° 近傍のピークの他に、 2θ が 36° 近傍にもピークが現れる場合がある。 2θ が 36° 近傍のピークは、C A A C - O S 膜中の一部に、 c 軸配向性を有さない結晶が含まれることを示している。C A A C - O S 膜は、 2θ が 31° 近傍にピークを示し、 2θ が 36° 近傍にピークを示さないことが好ましい。

【 0 1 3 9 】

C A A C - O S 膜は、不純物濃度の低い酸化物半導体膜である。不純物は、水素、炭素、シリコン、遷移金属元素などの酸化物半導体膜の主成分以外の元素である。特に、シリコンなどの、酸化物半導体膜を構成する金属元素よりも酸素との結合力の強い元素は、酸化物半導体膜から酸素を奪うことで酸化物半導体膜の原子配列を乱し、結晶性を低下させる要因となる。また、鉄やニッケルなどの重金属、アルゴン、二酸化炭素などは、原子半径（または分子半径）が大きいため、酸化物半導体膜内部に含まれると、酸化物半導体膜の原子配列を乱し、結晶性を低下させる要因となる。なお、酸化物半導体膜に含まれる不純物は、キャリアトラップやキャリア発生源となる場合がある。

【 0 1 4 0 】

また、C A A C - O S 膜は、欠陥準位密度の低い酸化物半導体膜である。例えば、酸化物半導体膜中の酸素欠損は、キャリアトラップとなることや、水素を捕獲することによってキャリア発生源となることがある。

【 0 1 4 1 】

不純物濃度が低く、欠陥準位密度が低い（酸素欠損の少ない）ことを、高純度真性または実質的に高純度真性と呼ぶ。高純度真性または実質的に高純度真性である酸化物半導体膜は、キャリア発生源が少ないため、キャリア密度を低くすることができる。従って、当該酸化物半導体膜を用いたトランジスタは、しきい値電圧がマイナスとなる電気特性（ノーマリーオンともいう。）になることが少ない。また、高純度真性または実質的に高純度真性である酸化物半導体膜は、キャリアトラップが少ない。そのため、当該酸化物半導体膜を用いたトランジスタは、電気特性の変動が小さく、信頼性の高いトランジスタとなる。なお、酸化物半導体膜のキャリアトラップに捕獲された電荷は、放出するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、不純物濃度が高く、欠陥準位密度が高い酸化物半導体膜を用いたトランジスタは、電気特性が不安定となる場合がある。

【 0 1 4 2 】

C A A C - O S 膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。

【 0 1 4 3 】

次に、微結晶酸化物半導体膜について説明する。

【 0 1 4 4 】

微結晶酸化物半導体膜は、TEM による観察像では、明確に結晶部を確認することができない場合がある。微結晶酸化物半導体膜に含まれる結晶部は、 1 nm 以上 100 nm 以下、または 1 nm 以上 10 nm 以下の大きさであることが多い。特に、 1 nm 以上 10 nm 以下、または 1 nm 以上 3 nm 以下の微結晶であるナノ結晶 (*nc : nanocryst*)

10

20

30

40

50

a1)を有する酸化物半導体膜を、nc-OS(nanocrystalline Oxide Semiconductor)膜と呼ぶ。また、nc-OS膜は、例えば、TEMによる観察像では、結晶粒界を明確に確認できない場合がある。

【0145】

nc-OS膜は、微小な領域(例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域)において原子配列に周期性を有する。また、nc-OS膜は、異なる結晶部間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。従って、nc-OS膜は、分析方法によっては、非晶質酸化物半導体膜と区別が付かない場合がある。例えば、nc-OS膜に対し、結晶部よりも大きい径のX線を用いるXRD装置を用いて構造解析を行うと、out-of-plane法による解析では、結晶面を示すピークが検出されない。また、nc-OS膜に対し、結晶部よりも大きいプローブ径(例えば50nm以上)の電子線を用いる電子回折(制限視野電子回折ともいう。)を行うと、ハローパターンのような回折パターンが観測される。一方、nc-OS膜に対し、結晶部の大きさと近い結晶部より小さいプローブ径の電子線を用いるナノビーム電子回折を行うと、スポットが観測される。また、nc-OS膜に対しナノビーム電子回折を行うと、円を描くように(リング状に)輝度の高い領域が観測される場合がある。また、nc-OS膜に対しナノビーム電子回折を行うと、リング状の領域内に複数のスポットが観測される場合がある。

10

【0146】

nc-OS膜は、非晶質酸化物半導体膜よりも規則性の高い酸化物半導体膜である。そのため、nc-OS膜は、非晶質酸化物半導体膜よりも欠陥準位密度が低くなる。ただし、nc-OS膜は、異なる結晶部間で結晶方位に規則性が見られない。そのため、nc-OS膜は、CAAC-OS膜と比べて欠陥準位密度が高くなる。

20

【0147】

以下、CAAC-OS膜の成膜方法を説明する。

【0148】

CAAC-OS膜は、例えば、多結晶である酸化物半導体スパッタリング用ターゲットを用い、スパッタリング法によって成膜する。当該スパッタリング用ターゲットにイオンが衝突すると、スパッタリング用ターゲットに含まれる結晶領域がa-b面から劈開し、a-b面に平行な面を有する平板状またはペレット状のスパッタリング粒子として剥離することがある。この場合、当該平板状のスパッタリング粒子が、結晶状態を維持したまま基板に到達することで、CAAC-OS膜を成膜することができる。

30

【0149】

また、CAAC-OS膜を成膜するために、以下の条件を適用することが好ましい。

【0150】

成膜時の不純物混入を低減することで、不純物によって結晶状態が崩れることを抑制できる。例えば、成膜室内に存在する不純物濃度(水素、水、二酸化炭素及び窒素等)を低減すればよい。また、成膜ガス中の不純物濃度を低減すればよい。具体的には、露点が-80以下、好ましくは-100以下である成膜ガスを用いる。

【0151】

また、成膜時の基板加熱温度を高めることで、基板到達後にスパッタリング粒子のマイグレーションが起こる。具体的には、基板加熱温度を100以上740以下、好ましくは200以上500以下として成膜する。成膜時の基板加熱温度を高めることで、平板状のスパッタリング粒子が基板に到達した場合、基板上でマイグレーションが起こり、スパッタリング粒子の平らな面が基板に付着する。

40

【0152】

また、成膜ガス中の酸素割合を高め、電力を最適化することで成膜時のプラズマダメージを軽減すると好ましい。成膜ガス中の酸素割合は、30体積%以上、好ましくは100体積%とする。

【0153】

50

スパッタリング用ターゲットの一例として、 In-Ga-Zn-O 化合物ターゲットについて以下に示す。

【0154】

InO_x 粉末、 GaO_y 粉末及び ZnO_z 粉末を所定の mol 数比で混合し、加圧処理後、 1000 以上 1500 以下の温度で加熱処理をすることで多結晶である In-Ga-Zn-O 化合物ターゲットとする。なお、 x 、 y 及び z は任意の正数である。ここで、所定の mol 数比は、例えば、 InO_x 粉末、 GaO_y 粉末及び ZnO_z 粉末が、 $2:2:1$ 、 $8:4:3$ 、 $3:1:1$ 、 $1:1:1$ 、 $4:2:3$ または $3:1:2$ である。なお、粉末の種類、及びその混合する mol 数比は、作製するスパッタリング用ターゲットによって適宜変更すればよい。

10

【0155】

または、複数回、膜を堆積させる方法で CAAC-Os 膜を形成することができる。このような方法の一例を以下に示す。

【0156】

まず、第1の酸化物半導体層を 1nm 以上 10nm 未満の厚さで成膜する。第1の酸化物半導体層はスパッタリング法を用いて成膜する。具体的には、基板温度を 100 以上 500 以下、好ましくは 150 以上 450 以下とし、成膜ガス中の酸素割合を 30 体積%以上、好ましくは 100 体積%として成膜する。

【0157】

次に、加熱処理を行い、第1の酸化物半導体層を結晶性の高い第1の CAAC-Os 膜とする。加熱処理の温度は、 350 以上 740 以下、好ましくは 450 以上 650 以下とする。また、加熱処理の時間は 1 分以上 24 時間以下、好ましくは 6 分以上 4 時間以下とする。また、加熱処理は、不活性雰囲気または酸化性雰囲気で行えばよい。好ましくは、不活性雰囲気で加熱処理を行った後、酸化性雰囲気で加熱処理を行う。不活性雰囲気での加熱処理により、第1の酸化物半導体層の不純物濃度を短時間で低減することができる。一方、不活性雰囲気での加熱処理により第1の酸化物半導体層に酸素欠損が生成されることがある。その場合、酸化性雰囲気での加熱処理によって該酸素欠損を低減することができる。なお、加熱処理は 1000Pa 以下、 100Pa 以下、 10Pa 以下または 1Pa 以下の減圧下で行ってもよい。減圧下では、第1の酸化物半導体層の不純物濃度をさらに短時間で低減することができる。

20

30

【0158】

第1の酸化物半導体層は、厚さが 1nm 以上 10nm 未満であることにより、厚さが 10nm 以上である場合と比べ、加熱処理によって容易に結晶化させることができる。

【0159】

次に、第1の酸化物半導体層と同じ組成の第2の酸化物半導体層を 10nm 以上 50nm 以下の厚さで成膜する。第2の酸化物半導体層はスパッタリング法を用いて成膜する。具体的には、基板温度を 100 以上 500 以下、好ましくは 150 以上 450 以下とし、成膜ガス中の酸素割合を 30 体積%以上、好ましくは 100 体積%として成膜する。

【0160】

次に、加熱処理を行い、第2の酸化物半導体層を第1の CAAC-Os 膜から固相成長させることで、結晶性の高い第2の CAAC-Os 膜とする。加熱処理の温度は、 350 以上 740 以下、好ましくは 450 以上 650 以下とする。また、加熱処理の時間は 1 分以上 24 時間以下、好ましくは 6 分以上 4 時間以下とする。また、加熱処理は、不活性雰囲気または酸化性雰囲気で行えばよい。好ましくは、不活性雰囲気で加熱処理を行った後、酸化性雰囲気で加熱処理を行う。不活性雰囲気での加熱処理により、第2の酸化物半導体層の不純物濃度を短時間で低減することができる。一方、不活性雰囲気での加熱処理により第2の酸化物半導体層に酸素欠損が生成されることがある。その場合、酸化性雰囲気での加熱処理によって該酸素欠損を低減することができる。なお、加熱処理は 1000Pa 以下、 100Pa 以下、 10Pa 以下または 1Pa 以下の減圧下で行ってもよい

40

50

。減圧下では、第2の酸化物半導体層の不純物濃度をさらに短時間で低減することができる。

【0161】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

【0162】

(実施の形態3)

図7A - 図12Dを参照して、本実施形態では、酸化物半導体トランジスタの構成、及びその作製方法を説明する。本実施の形態の酸化物半導体トランジスタは、例えば、図6の集積回路のOSトランジスタ560として作製することができる。

【0163】

<OSトランジスタの構成例1>

図7A - 図7Cに、トップゲート型のOSトランジスタの構成の一例を示す。図7Aは、OSトランジスタ651の上面図である。図7Bは、線B1 - B2による図7Aの断面図であり、図7Cは、線B3 - B4による同断面図である。

【0164】

図7Bに示すように、OSトランジスタ651は、基板600上に設けられた下地絶縁膜602、下地絶縁膜602上に設けられた多層膜606、ソース電極616a、ドレイン電極616b、ゲート絶縁膜612、ゲート電極604、及び保護絶縁膜618を有する。

【0165】

ゲート絶縁膜612は、ソース電極616a及びドレイン電極616b上に設けられている。ソース電極616a及びドレイン電極616bは、下地絶縁膜602及び多層膜606上に設けられている。また、ソース電極616a及びドレイン電極616bは、多層膜606の側端部と接して設けられている。保護絶縁膜618は、ゲート絶縁膜612及びゲート電極604上に設けられている。

【0166】

多層膜606は、下地絶縁膜602上に設けられた酸化物層606a、酸化物層606a上に設けられた酸化物半導体層606b、及び酸化物半導体層606b上に設けられた酸化物層606cを含む。

【0167】

ここでは、3層構造の多層膜606を有するOSトランジスタ651について説明するが、積層される膜の数は3に限定されず、多層膜606は、複数の酸化物層が積層されていればよく、2層または4層構造でもよい。例えば、多層膜606を2層構造とする場合は、酸化物層606aと酸化物半導体層606bで構成することができる。

【0168】

なお、ここでは、下地絶縁膜602及び保護絶縁膜618を、OSトランジスタ651を構成する膜としているが、これらの膜の一方及び双方をOSトランジスタ651を構成する膜としなくともよい。

【0169】

図7Bに示すように、ソース電極616a及びドレイン電極616bに用いられている導電膜の種類によっては、ソース電極616a及びドレイン電極616bにより多層膜606の一部から酸素が奪われて、多層膜606に部分的にn型化領域(ソース領域及びドレイン領域)が形成されることがある。図7Bは、このようにn型化領域が形成されている例を示しており、n型化領域の境界を点線で示す。

【0170】

n型化領域は、多層膜606における酸素欠損が多い領域であり、且つソース電極616a及びドレイン電極616bの成分、例えばソース電極616a及びドレイン電極616bとして、タングステン膜を用いた場合、n型化領域中にタングステンの元素が混入する。また、図示していないが、ソース電極616a及びドレイン電極616bにおいて、多層膜606と接する領域に、多層膜606中の酸素が入り込み、混合層が形成される場合

10

20

30

40

50

がある。

【0171】

図7Aにおいて、ゲート電極604と重なる領域において、ソース電極616aとドレイン電極616bとの間隔をチャンネル長という。ただし、OSトランジスタ651が、ソース領域及びドレイン領域を含む場合、ゲート電極604と重なる領域において、ソース領域とドレイン領域との間隔をチャンネル長といってもよい。

【0172】

なお、チャンネル形成領域とは、多層膜606において、ゲート電極604と重なり、かつソース電極616aとドレイン電極616bとは重ならない領域をいう。また、チャンネルとは、チャンネル形成領域において、電流が主として流れる領域をいう。ここでは、チャンネルは、チャンネル形成領域において酸化物半導体層606bで形成されている部分である。

10

【0173】

酸化物層606cは酸化物半導体層606bを構成する元素1種または2種以上から構成され、伝導帯下端のエネルギーが酸化物半導体層606bよりも0.05eV以上、0.07eV以上、0.1eV以上または0.15eV以上、かつ2eV以下、1eV以下、0.5eV以下または0.4eV以下真空準位に近い酸化物層である。なお、酸化物半導体層606bは少なくともインジウムを含むと、キャリア移動度が高くなるため好ましい。このとき、ゲート電極604に電界を印加すると、多層膜606のうち、伝導帯下端のエネルギーが小さい酸化物半導体層606bにチャンネルが形成される。即ち、酸化物半導体層606bとゲート絶縁膜612との間に酸化物層606cを有することによって、OSトランジスタ651のチャンネルをゲート絶縁膜612と接しない酸化物半導体層606bに形成することができる。また、酸化物半導体層606bを構成する元素1種または2種以上から酸化物層606cが構成されるため、酸化物半導体層606bと酸化物層606cとの界面において、界面散乱が起こりにくい。従って、該界面においてキャリアの動きが阻害されないため、OSトランジスタ651の電界効果移動度が高くなる。

20

【0174】

酸化物層606cの厚さは、3nm以上100nm以下、好ましくは3nm以上50nm以下とする。また、酸化物半導体層606bの厚さは、3nm以上200nm以下、好ましくは3nm以上100nm以下、さらに好ましくは3nm以上15nm以下とする。酸化物層606aの厚さは、3nm以上100nm以下、好ましくは3nm以上50nm以下とする。

30

【0175】

また、酸化物層606aは、酸化物半導体層606bを構成する元素1種または2種以上から構成され、伝導帯下端のエネルギーが酸化物半導体層606bよりも0.05eV以上、0.07eV以上、0.1eV以上または0.15eV以上、かつ2eV以下、1eV以下、0.5eV以下または0.4eV以下真空準位に近い酸化物層である。酸化物半導体層606bを構成する元素1種または2種以上から酸化物層606aが構成されるため、酸化物半導体層606bと酸化物層606aとの界面に界面準位を形成しにくい。該界面が界面準位を有すると、該界面をチャンネルとしたしきい値電圧の異なる第2のトランジスタが形成され、OSトランジスタ651の見かけ上のしきい値電圧が変動することがある。従って、酸化物層606aを設けることにより、OSトランジスタ651のしきい値電圧等の電気特性のばらつきを低減することができる。

40

【0176】

例えば、酸化物層606a及び酸化物層606cは、酸化物半導体層606bと同じ元素（インジウム、ガリウム、亜鉛）を主成分とし、ガリウムを酸化物半導体層606bよりも高い原子数比で含む酸化物層とすればよい。具体的には、酸化物層606a及び酸化物層606cとして、酸化物半導体層606bよりもガリウムを1.5倍以上、好ましくは2倍以上、さらに好ましくは3倍以上高い原子数比で含む酸化物層を用いる。ガリウムは酸素と強く結合するため、酸素欠損が酸化物層に生じることを抑制する機能を有する。即ち、酸化物層606a及び酸化物層606cは酸化物半導体層606bよりも酸素欠損が

50

生じにくい酸化物層である。

【0177】

なお、酸化物層606a、酸化物半導体層606b及び酸化物層606cは、非晶質または結晶質とする。好ましくは、酸化物層606aは非晶質または結晶質とし、酸化物半導体層606bは結晶質とし、酸化物層606cは非晶質とする。チャネルが形成される酸化物半導体層606bが結晶質であることにより、Oストランジスタ651に安定した電気特性を付与することができる。

【0178】

以下では、Oストランジスタ651のその他の構成要素について説明する。

【0179】

基板600としては、ガラス基板、石英基板などの絶縁性基板を用いることができる。また、実施の形態2で示した半導体基板を用いることができる。

【0180】

ソース電極616a及びドレイン電極616bは、アルミニウム、チタン、クロム、コバルト、ニッケル、銅、イットリウム、ジルコニウム、モリブデン、ルテニウム、銀、タンタル及びタングステンを1種以上含む導電膜を、単層で、または積層で用いればよい。なお、ソース電極616aとドレイン電極616bは同一組成であってもよいし、異なる組成であってもよい。例えば、タングステン膜と窒化タンタル膜の積層を用いる。

【0181】

なお、図7Aでは、多層膜606がゲート電極604よりも外側まで形成されているが、多層膜606中で光によってキャリアが生成されることを抑制するために、ゲート電極604の内側に多層膜606が形成されていても構わない。

【0182】

下地絶縁膜602は、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム及び酸化タンタル等の物質を1種以上含む絶縁膜を、単層で、または積層で用いればよい。

【0183】

なお、本明細書においては、酸化窒化物とは、窒素よりも酸素の含有量が多い物質のことをいい、窒化酸化物とは、酸素よりも窒素の含有量が多い物質のことをいう。

【0184】

下地絶縁膜602は、例えば、1層目を窒化シリコン層とし、2層目を酸化シリコン層とした多層膜とすればよい。この場合、酸化シリコン層は酸化窒化シリコン層でも構わない。また、窒化シリコン層は窒化酸化シリコン層でも構わない。酸化シリコン層は、欠陥密度の小さい酸化シリコン層を用いると好ましい。具体的には、ESR（電子スピン共鳴）装置にて測定された、g値が2.001のESR信号に由来するスピンのスピン密度が $3 \times 10^{17} \text{ spins/cm}^3$ 以下、好ましくは $5 \times 10^{16} \text{ spins/cm}^3$ 以下である酸化シリコン層を用いる。窒化シリコン層は水素及びアンモニアの放出量が少ない窒化シリコン層を用いる。水素、アンモニアの放出量は、TDS（昇温脱離ガス分光法分析）分析装置にて測定すればよい。また、窒化シリコン層は、酸素を透過しない、またはほとんど透過しない窒化シリコン層を用いる。

【0185】

または、下地絶縁膜602は、例えば、1層目を第1の窒化シリコン層とし、2層目を第1の酸化シリコン層とし、3層目を第2の酸化シリコン層とした多層膜とすればよい。この場合、第1の酸化シリコン層及び/又は第2の酸化シリコン層は酸化窒化シリコン層でも構わない。また、窒化シリコン層は窒化酸化シリコン層でも構わない。第1の酸化シリコン層は、欠陥密度の小さい酸化シリコン層を用いると好ましい。具体的には、g値が2.001のESR信号に由来するスピンのスピン密度が $3 \times 10^{17} \text{ spins/cm}^3$ 以下、好ましくは $5 \times 10^{16} \text{ spins/cm}^3$ 以下である酸化シリコン層を用いる。第2の酸化シリコン層は、過剰酸素を有する酸化シリコン層を用いる。窒化シリコン層は

10

20

30

40

50

水素及びアンモニアの放出量が少ない窒化シリコン層を用いる。また、窒化シリコン層は、酸素を透過しない、またはほとんど透過しない窒化シリコン層を用いる。

【0186】

過剰酸素を含む酸化シリコン層とは、加熱処理等によって酸素を放出することができる酸化シリコン層をいう。酸化シリコン層を絶縁膜に拡張すると、過剰酸素を有する絶縁膜は、加熱処理によって酸素を放出する機能を有する絶縁膜である。

【0187】

ここで、加熱処理によって酸素を放出する膜は、膜の表面温度が100 以上700 以下、好ましくは100 以上500 以下の加熱処理で行われるTDS分析によって $1 \times 10^{18} \text{ atoms/cm}^3$ 以上、 $1 \times 10^{19} \text{ atoms/cm}^3$ 以上または $1 \times 10^{20} \text{ atoms/cm}^3$ 以上の酸素（酸素原子数に換算）を放出することもある。

【0188】

また、加熱処理によって酸素を放出する膜は、過酸化ラジカルを含むこともある。具体的には、過酸化ラジカルに起因するスピン密度が、 $5 \times 10^{17} \text{ spins/cm}^3$ 以上であることをいう。なお、過酸化ラジカルを含む膜は、ESRにて、g値が2.01近傍に非対称の信号を有することもある。

【0189】

または、過剰酸素を含む絶縁膜は、酸素が過剰な酸化シリコン（ SiO_x （ $x > 2$ ））であってもよい。酸素が過剰な酸化シリコン（ SiO_x （ $x > 2$ ））は、シリコン原子数の2倍より多い酸素原子を単位体積あたりに含むものである。単位体積当たりのシリコン原子数及び酸素原子数は、RBSにより測定した値である。

【0190】

ゲート絶縁膜612及び下地絶縁膜602の少なくとも一方が過剰酸素を含む絶縁膜を含む場合、酸化物半導体層606bの酸素欠損を低減することができる。

【0191】

また、保護絶縁膜618は、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム及び酸化タンタルを1種以上含む絶縁膜を、単層で、または積層で用いればよい。

【0192】

以上のようにして構成されたトランジスタは、多層膜606の酸化物半導体層606bにチャネルが形成されることにより、安定した電気特性を有し、高い電界効果移動度を有する。

【0193】

<OSトランジスタの作製方法例1>

以下、図8A - 図9Bを用いて、OSトランジスタ651の作製方法の一例について説明する。

【0194】

まずは、下地絶縁膜602が形成された基板600を準備する。下地絶縁膜602としては、スパッタリング装置を用い、過剰酸素を含む酸化シリコン層を形成する。

【0195】

次に、酸化物層606aとなる酸化物層を成膜する。酸化物層606aとしては、膜厚20nmのIGZO（ $\text{In}:\text{Ga}:\text{Zn} = 1:3:2$ ）膜を用いる。なお、IGZO（ $\text{In}:\text{Ga}:\text{Zn} = 1:3:2$ ）膜の成膜条件としては、スパッタリング装置を用い、基板温度200、 $\text{Ar}/\text{O}_2 = 30/15 \text{ sccm}$ 、成膜圧力 = 0.4Pa、成膜電力（DC） = 0.5kW、基板 - ターゲット間距離（T - S間距離） = 60mmとする。

【0196】

次に、酸化物半導体層606bとなる酸化物半導体層を成膜する。酸化物半導体層606bとしては、膜厚15nmのIGZO（ $\text{In}:\text{Ga}:\text{Zn} = 1:1:1$ ）膜を用いる。なお、IGZO（ $\text{In}:\text{Ga}:\text{Zn} = 1:1:1$ ）膜の成膜条件としては、スパッタリング

装置を用い、基板温度 300、 $Ar/O_2 = 30/15$ sccm、成膜圧力 = 0.4 Pa、成膜電力 (DC) = 0.5 kW、基板 - ターゲット間距離 (T - S 間距離) = 60 mm とする。

【0197】

次に、酸化物層 606c となる酸化物層を成膜する。酸化物層 606c としては、膜厚 5 nm の IGZO ($In:Ga:Zn = 1:3:2$) 膜を用いる。なお、IGZO ($In:Ga:Zn = 1:3:2$) 膜の成膜条件としては、スパッタリング装置を用い、基板温度 200、 $Ar/O_2 = 30/15$ sccm、成膜圧力 = 0.4 Pa、成膜電力 (DC) = 0.5 kW、基板 - ターゲット間距離 (T - S 間距離) = 60 mm とする。

【0198】

次に、第 1 の加熱処理を行うと好ましい。第 1 の加熱処理は、250 以上 650 以下、好ましくは 300 以上 500 以下で行えばよい。第 1 の加熱処理の雰囲気は、不活性ガス雰囲気、酸化性ガスを 10 ppm 以上、好ましくは 1% 以上、より好ましくは 10% 以上含む雰囲気、または減圧状態で行う。または、第 1 の加熱処理の雰囲気は、不活性ガス雰囲気で加熱処理した後に、脱離した酸素を補うために酸化性ガスを 10 ppm 以上、好ましくは 1% 以上、より好ましくは 10% 以上含む雰囲気で加熱処理を行ってもよい。第 1 の加熱処理によって、酸化物半導体層 606b となる酸化物半導体層の結晶性を高め、さらに下地絶縁膜 602、酸化物層 606a となる酸化物層、酸化物半導体層 606b となる酸化物半導体層及び / 又は酸化物層 606c となる酸化物層から水素や水等の不純物を除去することができる。

【0199】

次に、酸化物層 606a となる酸化物層、酸化物半導体層 606b となる酸化物半導体層及び酸化物層 606c となる酸化物層の一部をエッチングし、酸化物層 606a、酸化物半導体層 606b 及び酸化物層 606c を含む多層膜 606 を形成する (図 8A 参照。)

【0200】

次に、ソース電極 616a 及びドレイン電極 616b となる導電膜を成膜する。次に、この導電膜の一部をエッチングし、ソース電極 616a 及びドレイン電極 616b を形成する (図 8B 参照。)

【0201】

次に、第 2 の加熱処理を行うと好ましい。第 2 の加熱処理は、第 1 の加熱処理と同様に行うことが可能である。第 2 の加熱処理により、多層膜 606 から水素や水等の不純物を除去することができる。

【0202】

次に、ゲート絶縁膜 612 を成膜する (図 8C 参照。)。ゲート絶縁膜 612 は、例えば、1 層目を第 1 の酸化シリコン層とし、2 層目を第 2 の酸化シリコン層とし、3 層目を窒化シリコン層とする多層膜とすればよい。この場合、第 1 の酸化シリコン層及び / 又は第 2 の酸化シリコン層は酸化窒化シリコン層としてもよい。また、窒化シリコン層は窒化酸化シリコン層としてもよい。第 1 の酸化シリコン層は、欠陥密度の小さい酸化シリコン層を用いると好ましい。具体的には、ESR にて g 値が 2.001 の信号に由来するスピンのスピン密度が 3×10^{17} spins/cm³ 以下、好ましくは 5×10^{16} spins/cm³ 以下である酸化シリコン層を用いる。第 2 の酸化シリコン層は、過剰酸素を有する酸化シリコン層を用いる。窒化シリコン層は水素及びアンモニアの放出量が少ない窒化シリコン層を用いる。また、窒化シリコン層は、酸素を透過しない、またはほとんど透過しない窒化シリコン層を用いる。

【0203】

次に、ゲート電極 604 となる導電膜を成膜する。次に、この導電膜の一部をエッチングし、ゲート電極 604 を形成する (図 9A 参照。)。次に、保護絶縁膜 618 を成膜する (図 9B 参照。)

【0204】

以上のようにして、ＯＳトランジスタ６５１を作製することができる。

【０２０５】

ＯＳトランジスタ６５１は、多層膜６０６の酸化物半導体層６０６ｂの酸素欠損が低減されているため、安定した電気特性を有する。

【０２０６】

< ＯＳトランジスタの構成例２ >

次に、図１０Ａ - 図１０Ｃを参照して、ＯＳトランジスタ６５１とは異なる構造のＯＳトランジスタの一例について説明する。

【０２０７】

図１０Ａ - 図１０Ｃに、トップゲート型のＯＳトランジスタの構成の一例を示す。図１０Ａは、ＯＳトランジスタの上面図である。図１０Ｂは、図１０Ａの一点鎖線Ｂ１ - Ｂ２による断面図であり、図１０Ｃは、図１０Ａの一点鎖線Ｂ３ - Ｂ４による断面図である。

10

【０２０８】

図１０Ａ - 図１０Ｃに示すように、ＯＳトランジスタ６５２は、基板６００上に設けられた下地絶縁膜６０２、下地絶縁膜６０２上に設けられた多層膜６０６、ソース電極６１６ａ、ドレイン電極６１６ｂ、ゲート絶縁膜６１２、ゲート電極６０４、及び保護絶縁膜６１８を有する。

【０２０９】

下地絶縁膜６０２上には、酸化物層６０６ａ、酸化物半導体層６０６ｂが積層して設けられている。ソース電極６１６ａ及びドレイン電極６１６ｂは、酸化物層６０６ａと酸化物半導体層６０６ｂとの積層膜上に接して設けられている。また、この積層膜並びにソース電極６１６ａ及びドレイン電極６１６ｂ上に酸化物層６０６ｃが設けられている。酸化物層６０６ｃ上にゲート絶縁膜６１２を介してゲート電極６０４が設けられている。

20

【０２１０】

図１０Ａには、ゲート電極６０４、ゲート絶縁膜６１２及び酸化物層６０６ｃが、概略同一のレイアウト形状（上面から見た形状）を有する例について示すが、これに限定されるものではない。例えば、酸化物層６０６ｃ及び／又はゲート絶縁膜６１２が、ゲート電極６０４の外側まで設けられていても構わない。

【０２１１】

なお、ソース電極６１６ａ及びドレイン電極６１６ｂに用いる導電膜の種類によっては、酸化物半導体層６０６ｂの一部から酸素を奪い、または混合層を形成し、酸化物半導体層６０６ｂ中にｎ型領域を形成することがある。図１０Ｂにおいて、ｎ型化領域の境界を点線で示す。

30

【０２１２】

図１０Ａに示す平面レイアウトにおいて、ゲート電極６０４は、チャネル形成領域全体に重なるように設けられている。このようなレイアウトにすることで、ゲート電極６０４側から光が入射した際に、光によってチャネル形成領域中にキャリアが生成されることを抑制することができる。即ち、図１０Ａの例ではゲート電極６０４は遮光膜としての機能を有する。もちろん、チャネル形成領域はゲート電極６０４と重ならない領域を有していてもよい。

40

【０２１３】

< ＯＳトランジスタの作製方法例２ >

以下では、図１１Ａ - 図１２Ｄを参照して、ＯＳトランジスタ６５２の作製方法の一例について説明する。ＯＳトランジスタ６５１の作製工程と同様な工程は、それに準じて行われる。

【０２１４】

まず、基板６００を準備する。次に、下地絶縁膜６０２を形成する。次に、酸化物層６３６ａ及び酸化物半導体層６３６ｂを、この順番で形成する（図１１Ａ参照。）。

【０２１５】

次に、酸化物層６３６ａ及び酸化物半導体層６３６ｂの一部をエッチングし、島状の酸化

50

物層 6 0 6 a 及び酸化物半導体層 6 0 6 b を形成する (図 1 1 B 参照。)。このエッチングを行う前に、第 1 の加熱処理を行うのが好ましい。

【 0 2 1 6 】

次に、導電膜 6 1 6 を形成する (図 1 1 C 参照。)。導電膜 6 1 6 の形成により、酸化物層 6 0 6 a 及び酸化物半導体層 6 0 6 b の積層膜の上層に n 型領域 6 0 7 が形成される場合がある。

【 0 2 1 7 】

次に、導電膜 6 1 6 の一部をエッチングし、ソース電極 6 1 6 a 及びドレイン電極 6 1 6 b を形成する (図 1 1 D 参照。)。次に、第 2 の加熱処理を行うのが好ましい。第 2 の加熱処理を行うことで、酸化物半導体層 6 0 6 b の露出した n 型領域 6 0 7 が i 型領域にできる場合がある (図 1 1 D 参照。)。

【 0 2 1 8 】

次に、酸化物層 6 3 6 c を形成する (図 1 2 A 参照。)。

【 0 2 1 9 】

次に、絶縁膜 6 4 2 を形成する。絶縁膜 6 4 2 は、例えば、プラズマを用いた C V D 法により形成すればよい。C V D 法では、基板温度を高くするほど、緻密で欠陥密度の低い絶縁膜が得られる。絶縁膜 6 4 2 は、加工後にゲート絶縁膜 6 1 2 として機能するため、緻密で欠陥密度が低いほどトランジスタの電気特性は安定となる。一方、下地絶縁膜 6 0 2 が過剰酸素を含むとき、トランジスタの電気特性は安定となる。ところが、下地絶縁膜 6 0 2 が露出した状態で基板温度を高くすると、下地絶縁膜 6 0 2 から酸素が放出し、過剰酸素が低減してしまう場合がある。ここでは、絶縁膜 6 4 2 の形成時に、下地絶縁膜 6 0 2 が酸化物層 6 3 6 c で覆われているため、下地絶縁膜 6 0 2 からの酸素放出を抑制することができる。そのため、下地絶縁膜 6 0 2 に含まれる過剰酸素を低減させることなく、絶縁膜 6 4 2 を緻密で欠陥密度の低い絶縁膜とすることができる。そのため、トランジスタの信頼性を高めることができる。

【 0 2 2 0 】

次に、導電膜 6 3 4 を形成する (図 1 2 B 参照。)。次に、酸化物層 6 3 6 c、絶縁膜 6 4 2 及び導電膜 6 3 4 の一部をエッチングし、それぞれ酸化物層 6 0 6 c、ゲート絶縁膜 6 1 2 及びゲート電極 6 0 4 とする (図 1 2 C 参照。)。

【 0 2 2 1 】

次に、保護絶縁膜 6 1 8 を形成する。以上で、図 1 0 C に示す O S トランジスタ 6 5 2 を作製することができる (図 1 2 D 参照。)。保護絶縁膜 6 1 8 の形成後に第 3 の加熱処理を行うと好ましい。第 3 の加熱処理は、第 1 の加熱処理と同様に行うことができる。

【 0 2 2 2 】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

【 0 2 2 3 】

(実施の形態 4)

本明細書で開示されるシフトレジスタは、デジタル信号処理、ソフトウェア無線、アビオニクス (通信機器、航法システム、自動操縦装置、飛行管理システム等の航空に関する電子機器)、A S I C のプロトタイピング、医療用画像処理、音声認識、暗号、バイオインフォマティクス (生物情報科学)、機械装置のエミュレータ、バッテリー (2 次電池) を制御する、及びノ又は保護するための I C、及び電波天文学における電波望遠鏡等、幅広い分野の電子機器の集積回路に用いることができる。

【 0 2 2 4 】

このような電子機器の例として、表示機器、パーソナルコンピュータ、記録媒体を備えた画像再生装置 (D V D 等の記録媒体の画像データを読み出し、その画像を表示するディスプレイを有する装置) に用いることができる。その他に、携帯電話、携帯型を含むゲーム機、携帯情報端末、電子書籍、カメラ (ビデオカメラ、デジタルスチルカメラ等)、ゴーグル型ディスプレイ (ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置 (カーオーディオ、デジタルオーディオプレーヤ等)、複写機、ファクシミリ、ブ

10

20

30

40

50

リント、プリンタ複合機等が挙げられる。これら電子機器の具体例を図１３Ａ - 図１３Ｆに示す。

【０２２５】

図１３Ａは携帯型ゲーム機の構成例を示す外観図である。携帯型ゲーム機は、筐体９０１、筐体９０２、表示部９０３、表示部９０４、マイクロホン９０５、スピーカ９０６、操作キー９０７、及びスタイラス９０８等を有する。

【０２２６】

図１３Ｂは携帯情報端末の構成例を示す外観図である。携帯情報端末は、筐体９１１、筐体９１２、表示部９１３、表示部９１４、接続部９１５、及び操作キー９１６等を有する。表示部９１３は筐体９１１に設けられており、表示部９１４は筐体９１２に設けられている。そして、筐体９１１と筐体９１２とは、接続部９１５により接続されており、筐体９１１と筐体９１２の間の角度は、接続部９１５により変更可能となっている。表示部９１３における映像の切り替えを、接続部９１５における筐体９１１と筐体９１２との間の角度に従って行う構成としてもよい。また、表示部９１３及び表示部９１４の少なくとも一方に、位置入力装置としての機能が付加された表示装置を用いるようにしてもよい。なお、位置入力装置としての機能は、表示装置にタッチパネルを設けることで付加することができる。あるいは、位置入力装置としての機能は、フォトセンサとも呼ばれる光電変換素子を表示装置の画素部に設けることで、付加することができる。

【０２２７】

図１３Ｃはノート型パーソナルコンピュータの構成例を示す外観図である。パーソナルコンピュータは、筐体９２１、表示部９２２、キーボード９２３、及びポインティングデバイス９２４等を有する。

【０２２８】

図１３Ｄは、電気冷凍冷蔵庫の構成例を示す外観図である。電気冷凍冷蔵庫は、筐体９３１、冷蔵室用扉９３２、及び冷凍室用扉９３３等を有する。

【０２２９】

図１３Ｅはビデオカメラの構成例を示す外観図である。ビデオカメラは、筐体９４１、筐体９４２、表示部９４３、操作キー９４４、レンズ９４５、及び接続部９４６等を有する。操作キー９４４及びレンズ９４５は筐体９４１に設けられており、表示部９４３は筐体９４２に設けられている。そして、筐体９４１と筐体９４２は、接続部９４６により接続されており、筐体９４１と筐体９４２の間の角度は、接続部９４６により変えることが可能な構造となっている。筐体９４１に対する筐体９４２の角度によって、表示部９４３に表示される画像の向きの変更や、画像の表示／非表示の切り替えを行うことができる。

【０２３０】

図１３Ｆは自動車の構成例を示す外観図である。自動車は、車体９５１、車輪９５２、ダッシュボード９５３、及びライト９５４等を有する。

【０２３１】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することができる。

【符号の説明】

【０２３２】

- １０ 集積回路
- １００ シフトレジスタ
- １１０ スキャン・フリップフロップ
- １１１ １１３ 記憶回路
- １２１ 入力端子
- １２２ 出力端子
- １５０ 組み合わせ回路
- １５１ 入力端子
- １５２ 出力端子
- ２１１ スイッチ

10

20

30

40

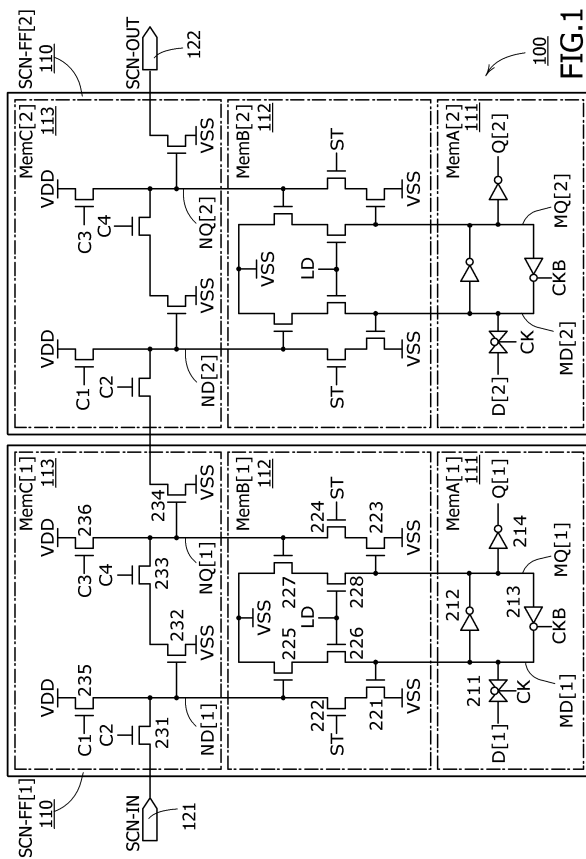
50

| | | |
|-------------------------------|-------------------------------|----------|
| 2 1 2 | インバータ | |
| 2 1 3 | クロックドインバータ | |
| 2 1 4 | インバータ | |
| 2 2 1 | 2 2 8、2 3 1 2 3 6 | トランジスタ |
| 5 0 0 | 半導体基板 | |
| 5 0 1 | 素子分離用絶縁膜 | |
| 5 0 2 | pウェル | |
| 5 0 3 | 不純物領域 | |
| 5 0 4 | 低濃度不純物領域 | |
| 5 0 5 | ゲート電極 | 10 |
| 5 0 6 | ゲート絶縁膜 | |
| 5 0 7 | 不純物領域 | |
| 5 0 8 | 低濃度不純物領域 | |
| 5 0 9 | ゲート電極 | |
| 5 1 0 | 5 1 3、5 1 7 5 2 0、5 2 2、5 2 3 | 配線 |
| 5 1 6、5 2 1、5 2 4、5 4 4、5 4 5 | | 絶縁膜 |
| 5 3 0 | 酸化物半導体層 | |
| 5 3 1 | ゲート絶縁膜 | |
| 5 3 2、5 3 3、5 4 6 | | 導電膜 |
| 5 3 4 | ゲート電極 | 20 |
| 5 3 5、5 3 6 | | サイドウォール |
| 5 6 0 | OSトランジスタ | |
| 5 6 1、5 6 2 | | Siトランジスタ |
| 6 0 0 | 基板 | |
| 6 0 2 | 下地絶縁膜 | |
| 6 0 4 | ゲート電極 | |
| 6 0 6 | 多層膜 | |
| 6 0 6 a | 酸化物層 | |
| 6 0 6 b | 酸化物半導体層 | |
| 6 0 6 c | 酸化物層 | 30 |
| 6 0 7 | n型領域 | |
| 6 1 2 | ゲート絶縁膜 | |
| 6 1 6 | 導電膜 | |
| 6 1 6 a | ソース電極 | |
| 6 1 6 b | ドレイン電極 | |
| 6 1 8 | 保護絶縁膜 | |
| 6 3 4 | 導電膜 | |
| 6 3 6 a | 酸化物層 | |
| 6 3 6 b | 酸化物半導体層 | |
| 6 3 6 c | 酸化物層 | 40 |
| 6 4 2 | 絶縁膜 | |
| 6 5 1、6 5 2 | | OSトランジスタ |
| 9 0 1、9 0 2 | | 筐体 |
| 9 0 3、9 0 4 | | 表示部 |
| 9 0 5 | マイクロホン | |
| 9 0 6 | スピーカ | |
| 9 0 7 | 操作キー | |
| 9 0 8 | スタイラス | |
| 9 1 1、9 1 2 | | 筐体 |
| 9 1 3、9 1 4 | | 表示部 |
| | | 50 |

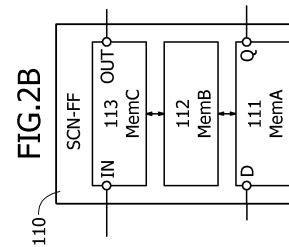
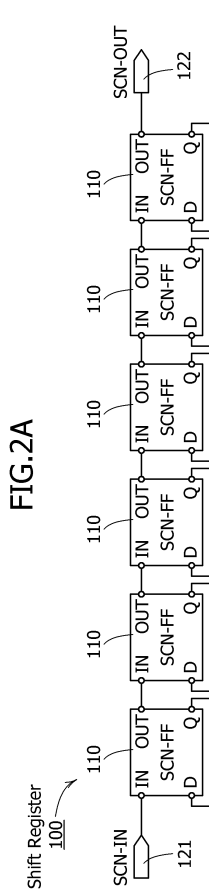
- 9 1 5 接続部
- 9 1 6 操作キー
- 9 2 1 筐体
- 9 2 2 表示部
- 9 2 3 キーボード
- 9 2 4 ポインティングデバイス
- 9 3 1 筐体
- 9 3 2 冷蔵室用扉
- 9 3 3 冷凍室用扉
- 9 4 1、9 4 2 筐体
- 9 4 3 表示部
- 9 4 4 操作キー
- 9 4 5 レンズ
- 9 4 6 接続部
- 9 5 1 車体
- 9 5 2 車輪
- 9 5 3 ダッシュボード
- 9 5 4 ライト

10

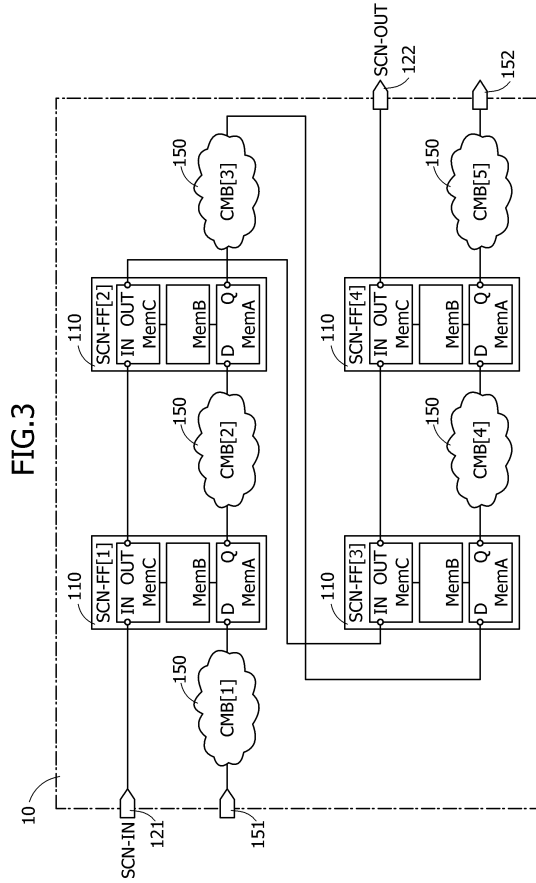
【図 1】



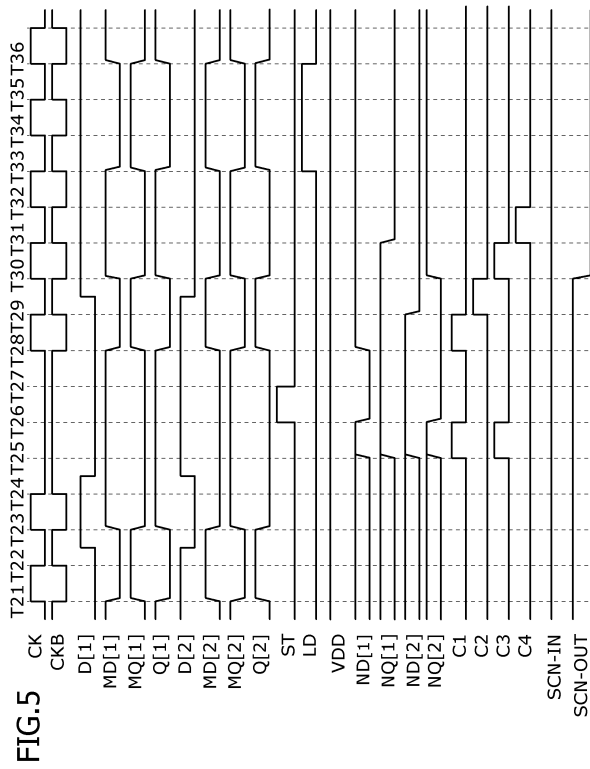
【図 2】



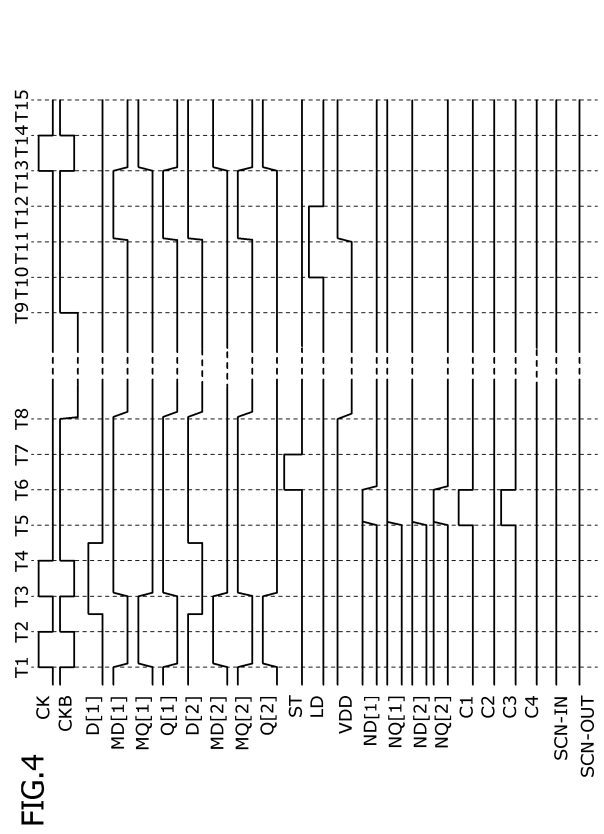
【図 3】



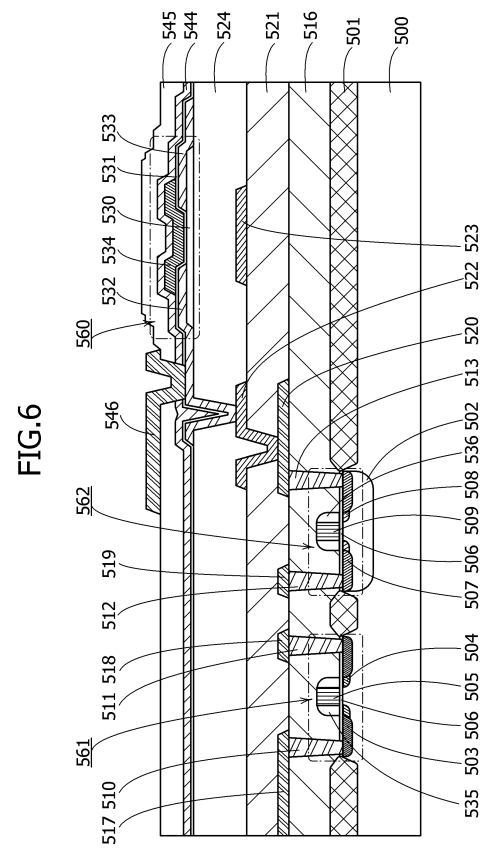
【図 5】



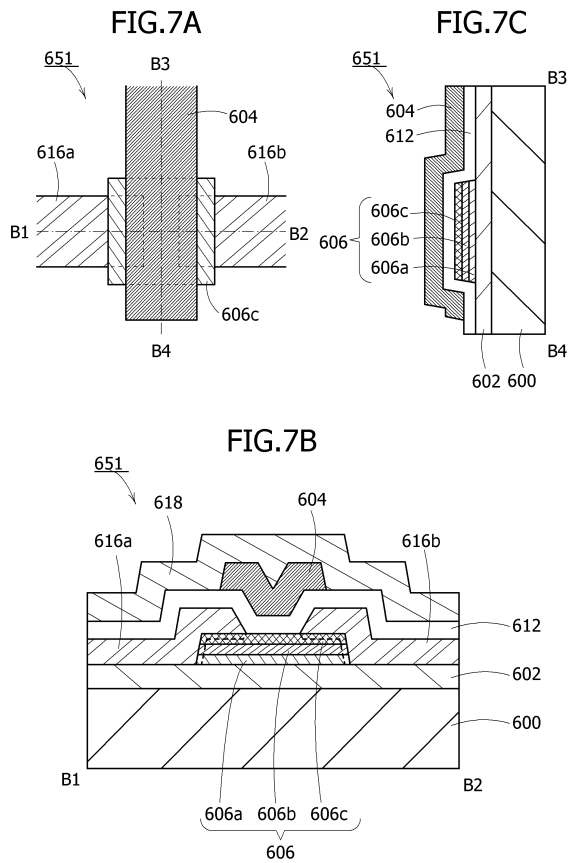
【図 4】



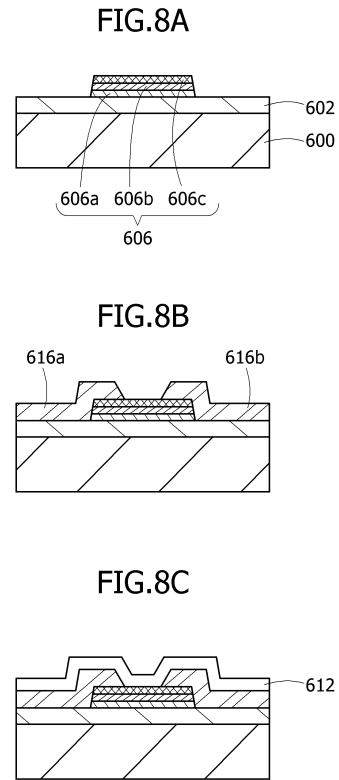
【図 6】



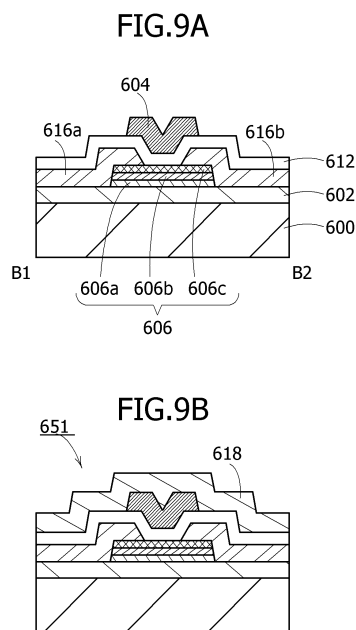
【図 7】



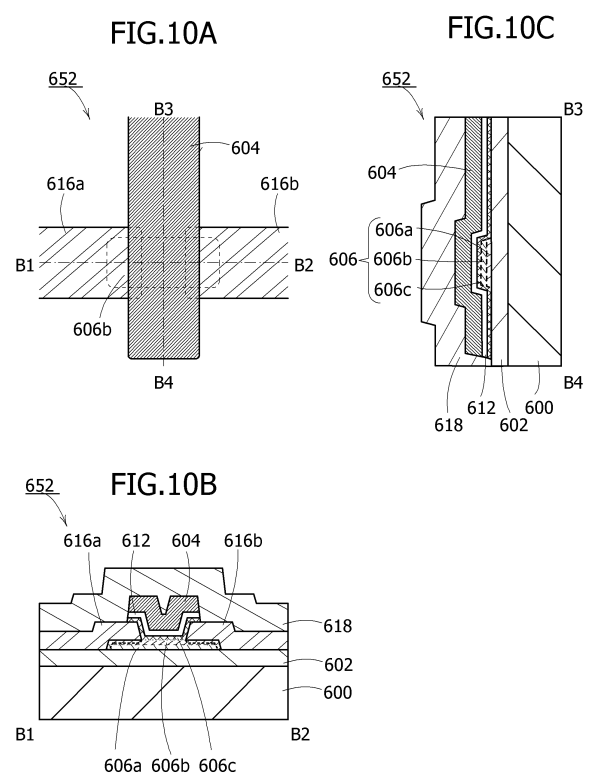
【図 8】



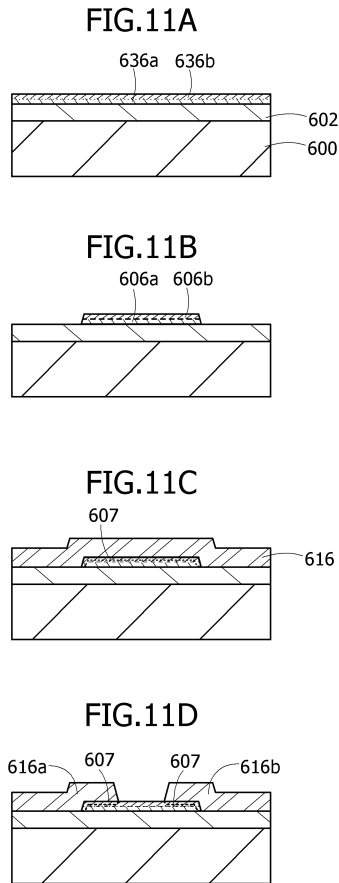
【図 9】



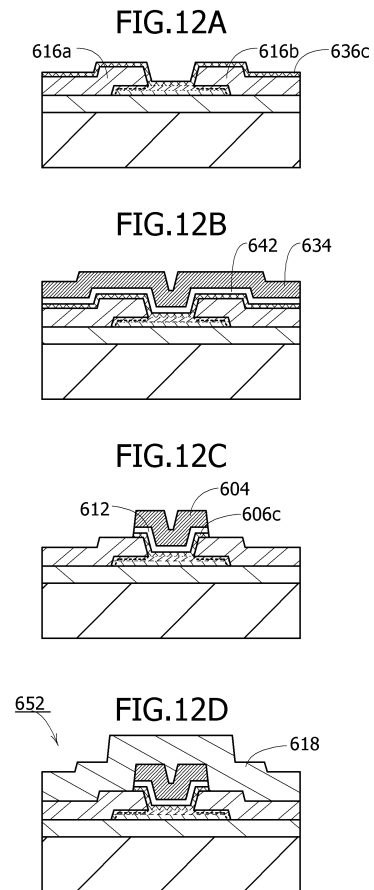
【図 10】



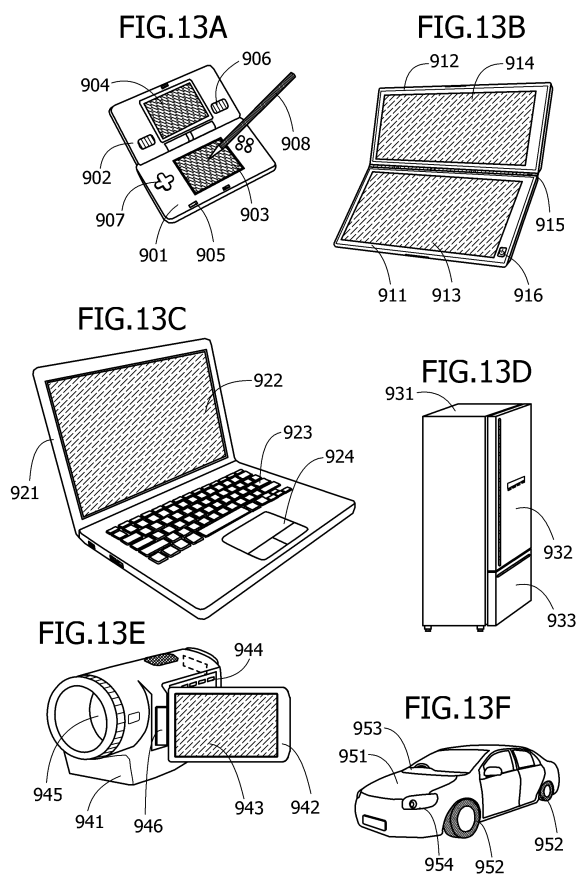
【図 1 1】



【図 1 2】



【図 1 3】



 フロントページの続き

| | | | | |
|----------------|---------------|------------------|----------------|---------------|
| (51)Int.Cl. | | F I | | |
| <i>H 0 1 L</i> | <i>27/092</i> | <i>(2006.01)</i> | <i>H 0 1 L</i> | <i>27/092</i> |
| <i>G 0 1 R</i> | <i>31/28</i> | <i>(2006.01)</i> | <i>G 0 1 R</i> | <i>31/28</i> |
| | | | | L |
| | | | | G |

(56)参考文献 特開 2 0 1 0 - 1 4 5 1 3 4 (J P , A)
 特開 2 0 0 8 - 0 7 8 7 5 4 (J P , A)
 特開 2 0 0 5 - 1 6 7 1 8 4 (J P , A)
 特表 2 0 0 8 - 5 3 5 3 0 0 (J P , A)
 米国特許第 0 7 7 9 6 4 4 5 (U S , B 1)
 特開平 0 5 - 1 1 0 3 9 2 (J P , A)
 特開 2 0 0 0 - 0 7 7 9 8 2 (J P , A)
 特開 2 0 1 2 - 1 3 4 7 2 3 (J P , A)
 特開 2 0 1 2 - 2 5 7 2 0 6 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

| | |
|---------|---------------|
| H 0 1 L | 2 1 / 8 2 2 |
| G 0 1 R | 3 1 / 2 8 |
| H 0 1 L | 2 1 / 8 2 |
| H 0 1 L | 2 1 / 8 2 3 8 |
| H 0 1 L | 2 7 / 0 4 |
| H 0 1 L | 2 7 / 0 9 2 |
| H 0 1 L | 2 9 / 7 8 6 |