

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第6888019号  
(P6888019)

(45) 発行日 令和3年6月16日(2021.6.16)

(24) 登録日 令和3年5月21日(2021.5.21)

(51) Int.Cl.

G06F 12/02 (2006.01)  
G06F 9/34 (2006.01)

F 1

G06F 12/02 560A  
G06F 9/34 350A

請求項の数 14 (全 14 頁)

(21) 出願番号 特願2018-543080 (P2018-543080)  
 (86) (22) 出願日 平成28年11月8日 (2016.11.8)  
 (65) 公表番号 特表2018-537800 (P2018-537800A)  
 (43) 公表日 平成30年12月20日 (2018.12.20)  
 (86) 國際出願番号 PCT/US2016/060995  
 (87) 國際公開番号 WO2017/079769  
 (87) 國際公開日 平成29年5月11日 (2017.5.11)  
 審査請求日 令和1年11月8日 (2019.11.8)

(73) 特許権者 507186492  
 ビバンテ コーポレーション  
 アメリカ合衆国、カリフォルニア州 95  
 002, サンノゼ、ゴールドストリート 2150, スイート 200  
 (74) 代理人 100121083  
 弁理士 青木 宏義  
 (74) 代理人 100138391  
 弁理士 天田 昌行  
 (74) 代理人 100074099  
 弁理士 大菅 義之  
 (74) 代理人 100106851  
 弁理士 野村 泰久

最終頁に続く

(54) 【発明の名称】メモリアクセスコマンドの転送記述子

## (57) 【特許請求の範囲】

## 【請求項 1】

複数の命令のそれぞれが、(a)命令コード、(b)ソースタイプ、および(c)ソースアドレスを含む前記複数の命令を格納するメモリ装置を提供するステップと、

前記メモリ装置に動作可能に接続された処理装置を提供するステップと、

前記複数の命令のうちの第1の命令を前記メモリ装置から前記処理装置が取り出すステップであって、前記第1の命令が第1のメモリアクセス命令である、前記取り出すステップと、

前記処理装置が、前記第1のメモリアクセス命令を前記メモリ装置と前記処理装置との間に介在するメモリ制御システムに入力するステップと、

前記メモリ制御システムが、

前記第1の命令の前記ソースタイプが転送記述子フラグであると判定し、

前記第1の命令の前記ソースタイプが前記転送記述子フラグであると判定することに応じて、第1の中間結果を得るために転送バッファ内の前記第1の命令の前記ソースアドレスに格納された第1の転送記述子を実行し、

前記第1の中間結果と対応する前記メモリ装置のアドレスに格納されたデータ値に前記第1の命令の前記命令コードを実行する、

ことによって、前記第1の命令を処理するステップと、  
を含む、方法。

## 【請求項 2】

10

20

前記複数の命令のうちの第2の命令を前記メモリ装置から前記処理装置が取り出すステップと、

前記メモリ制御システムが、

前記第2の命令の前記ソースタイプが前記転送記述子フラグではないと判定し、

前記第2の命令の前記ソースタイプが前記転送記述子フラグではないと判定することに応じて前記メモリ装置において前記第2の命令の前記ソースアドレスに格納されたデータ値を要求し、及び

前記データ値に対して前記第2の命令の前記命令コードを実行する、

ことによって、前記第2の命令を処理するステップと、  
を更に含み、

10

前記第2の命令の前記命令コードを実行することは、前記第1の命令の前記命令コードを実行することと同じの操作を実行することを含むように、前記第2の命令の前記命令コードは、前記第1の命令の前記命令コードと同一である、ことを特徴とする、請求項1に記載の方法。

**【請求項3】**

前記第1の中間結果に対して前記第1の命令の前記命令コードを実行することは、第1の結果値をもたらし、

前記方法は、

前記第1の命令のデスティネーションタイプが前記転送記述子フラグであると判定するステップと、

20

前記第1の命令の前記デスティネーションタイプが前記転送記述子フラグであると判定することに応じて、前記転送バッファ内の前記第1の命令のデスティネーションアドレスに格納された第2の転送記述子を実行して、第2の中間結果を取得し、

格納された前記第1の結果値を、前記メモリ装置内の前記第2の中間結果に対応するアドレスに格納する、

ことを更に含む、

ことを特徴とする請求項2に記載の方法。

**【請求項4】**

前記データ値に対して前記第2の命令の前記命令コードを実行することにより、第2の結果値がもたらされ、

30

前記方法は、

前記第2の命令の前記デスティネーションタイプが前記転送記述子フラグではないと判定し、

前記第2の命令の前記デスティネーションタイプが前記転送記述子フラグではないと判定することに応じて、前記第2の結果値を前記第2の命令の前記デスティネーションアドレスにおいて前記メモリ装置に格納する、

ことを更に含み、

前記第1の転送記述子を実行するステップは、前記第1の転送記述子の状態を更新するステップを含み、及び

前記第2の転送記述子を実行するステップは、前記第2の転送記述子の状態を更新するステップを含む、

40

ことを特徴とする、請求項3に記載の方法。

**【請求項5】**

前記第1の転送記述子を実行するステップは、

前記第1の転送記述子の前記状態に従って少なくとも1つの読み出しアドレスを識別し、及び

前記メモリ装置内の前記少なくとも1つの読み出しアドレスから少なくとも1つの取り出されたデータ値を取り出す、ことを更に含み

前記第1の中間結果は、前記少なくとも1つの取り出されたデータ値と、前記少なくとも1つの取り出されたデータ値から導出された値とのうちの少なくとも1つである、

50

ことを特徴とする請求項 4 に記載の方法。

【請求項 6】

前記第 1 の命令を処理するステップは、アプリケーションによってインスタンス化された実行の第 1 のスレッドを実行しながら前記処理装置によって実行され、

前記方法は、

前記処理装置によって、前記第 1 の転送記述子および前記第 2 の転送記述子のうちの少なくとも一方の状態を評価するステップと、

前記第 1 の転送記述子の状態と前記第 2 の転送記述子の状態の少なくとも一方が閾値条件を満たすと判定するステップと、及び

前記第 1 の転送記述子の前記状態および前記第 2 の転送記述子の前記状態のうちの少なくとも一方が前記閾値条件を満たすと判定することに応じて、実行の前記第 1 のスレッドの前記少なくとも 1 つ及び、前記アプリケーションによってインスタンス化された実行の別のスレッドのうちの少なくとも一方の実行をブロックするステップと、

を更に含む、請求項 4 に記載の方法。

【請求項 7】

前記転送バッファは、前記メモリ装置とは別のデバイスであり、

前記第 1 の命令の前記ソースタイプが前記転送記述子フラグであると判定するステップと、

前記第 1 の命令の前記ソースタイプが前記転送記述子フラグであると判定することに応じて、前記第 1 の中間結果を得るために前記転送バッファ内の前記第 1 の命令の前記ソースアドレスに格納された前記第 1 の転送記述子を実行するステップと、

の両方が、前記処理装置と前記メモリ装置との間に介在する前記処理装置とは別の装置によって実行される、ことを特徴とする請求項 1 に記載の方法。

【請求項 8】

メモリ装置と、

前記メモリ装置に動作可能に接続された処理装置であって、( a ) 命令コード、( b ) デスティネーションタイプ、及び( c ) デスティネーションアドレスを含む命令を処理するようにプログラムされた前記処理装置と、

を含み、

前記処理装置は、

前記メモリ装置から命令を取り出し、

前記命令の前記命令コードを実行して結果値を取得し、

前記命令の前記デスティネーションタイプを評価し、

前記命令の前記デスティネーションタイプが転送記述子フラグである場合、( v i )

前記命令の前記デスティネーションアドレスに対応するアドレスにおいて転送バッファに格納された第 1 の転送記述子を実行して、第 1 の中間結果を取得し、( v i i ) 前記メモリ装置内の前記第 1 の中間結果に対応するアドレスに前記結果値を格納する、

のに有効であるように、前記メモリ装置と前記処理装置との間に介在するメモリ制御システムにおいて前記命令を処理する、

ようにさらにプログラムされる、ことを特徴とする、システム。

【請求項 9】

前記メモリ制御システムは、

前記命令のソースタイプを評価し、

前記命令の前記ソースタイプが前記転送記述子フラグでない場合、( i v ) 前記命令のソースアドレスにおいて前記メモリ装置に格納されたデータ値を取り出し、及び( v ) 前記命令の前記命令コードを、前記ソースアドレスにおいて前記メモリ装置に格納された前記データ値に対して実行する、ように更にプログラムされることを特徴とする、請求項 8 に記載のシステム。

【請求項 10】

( a ) 前記ソースタイプにかかわらず、前記命令コードに応じて実行される操作が同じ

10

20

30

40

50

であるように、前記命令コードを実行するように前記処理装置がプログラムされることと、並びに、(b)前記メモリ制御システムにおいて前記命令を処理するように前記処理装置はプログラムされており、及び、前記メモリ制御システムは、前記ソースタイプにかかわらず前記命令コードに応じて実行される操作が同じであるように、プログラムされることと、のうちの少なくとも一方であること特徴とする請求項9に記載のシステム。

【請求項11】

前記メモリ制御システムは、

前記命令の前記ソースタイプが前記転送記述子フラグである場合、(i)前記転送バッファ内の前記ソースアドレスと対応するアドレスにおける第2の転送記述子を取り出し  
、(ii)前記第2の転送記述子を実行して第1の中間結果を取得し、(iii)前記第1の中間結果に前記命令の前記命令コードを実行して、結果値を取得し、

前記命令の前記デスティネーションタイプが前記転送記述子フラグでない場合、前記結果値を前記命令の前記デスティネーションアドレスにおいて前記メモリ装置に格納する  
、  
ようにプログラムされ、

前記第1の転送記述子は、前記第1の転送記述子の状態を更新するのに有効な実行可能コードを含み、及び

前記第2の転送記述子は、前記第2の転送記述子の状態を更新するのに有効な実行可能コードを含む、ことを特徴とする請求項10に記載のシステム。

【請求項12】

前記第2の転送記述子は、

前記第1の転送記述子の前記状態に従って少なくとも1つの読み出しアドレスを識別し、及び

前記メモリ装置内の前記少なくとも1つの読み出しアドレスから少なくとも1つの取り出されたデータ値を取り出し、及び

前記取り出されたデータの少なくとも1つとして、前記少なくとも1つの取り出されたデータ値に関しての関数を評価することによって、前記第1の中間結果を計算する、ために有効な実行可能コードを含む、請求項11に記載のシステム。

【請求項13】

前記メモリ制御システムは、

前記第1の転送記述子と前記第2の転送記述子の少なくとも一方の前記状態を評価し、前記第1の転送記述子および前記第2の転送記述子の前記少なくとも一方の前記状態が閾値条件を満たす場合、前記処理装置によって実行される実行の少なくとも1つのスレッドの実行をブロックする、

ように更にプログラムされる、ことを特徴とする、請求項11に記載のシステム。

【請求項14】

前記転送バッファは、前記メモリ装置とは別のデバイスである、請求項8に記載のシステム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、メモリアクセスコマンドを実施するためのシステムおよび方法に関する。

【背景技術】

【0002】

従来のコンピュータシステムでは、メモリアクセスコマンドは、命令(読み出し、書き込み、消去など)、ソースタイプ(例えば、メモリ装置の指定)、ソースアドレス、デスティネーションタイプ、及びデスティネーションアドレスを含む。より複雑な命令は、実行すべき複数の動作を指定し、処理機能の非常に特殊な制御を提供することができる「超長命令語」(VLIW)を用いることによって実装され得る。しかし、VLIWシステム

10

20

30

40

50

は、命令の記憶のために大容量のメモリを必要とし、対応する回路に大きな面積を必要とする。

【0003】

本明細書で開示されるシステムおよび方法は、複雑なコマンド、特にメモリアクセスコマンドを実装するための改良されたアプローチを提供する。

【図面の簡単な説明】

【0004】

本発明の効果が容易に理解されるように、上記に簡単に記述した本発明のより具体的な記述は、添付の図面に示される特定の実施形態を参照して提供される。これらの図面は、本発明の典型的な実施形態のみを示すものであり、したがって、その範囲を限定するものとみなされるべきではないと理解されたく、本発明は、添付の図面の使用を通して、さらなる具体性および詳細とともに記述および説明される。

10

【0005】

【図1】本発明の実施形態に係る方法を実装するのに適したコンピュータシステムの概略ブロック図である。

【図2A】本発明の一実施形態に係る転送記述子を使用するための構成の概略ブロック図である。

【図2B】本発明の一実施形態に係る転送記述子を使用するための構成の概略ブロック図である。

【図2C】本発明の一実施形態に係る転送記述子を使用するための構成の概略ブロック図である。

20

【図2D】本発明の一実施形態に係る転送記述子を使用するための構成の概略ブロック図である。

【図3】従来技術に係る命令語のフィールドの図である。

【図4A】本発明の一実施形態に係るメモリアクセスコマンドにおける転送記述子を処理するための方法のプロセスフロー図を示す。

【図4B】本発明の一実施形態に係る、メモリアクセスコマンドにおける転送記述子を処理するための方法のプロセスフロー図を示す。

【発明を実施するための形態】

【0006】

30

本明細書の図面において概して記述および説明されている本発明の構成要素は、多種多様な異なる構成で配置および設計できることが容易に理解されるであろう。したがって、図面に表された本発明の実施形態の以下のより詳細な説明は、請求される本発明の範囲を限定する意図はではなく、単に本発明に係る現在考えられる実施形態のいくつかの例を表している。現在記述されている実施形態は、同様の部材が全体を通じて同様の数字で示されている図面を参照することで最もよく理解されるであろう。

【0007】

本発明に係る実施形態は、装置、方法、またはコンピュータプログラム製品として具体化され得る。したがって、本発明は、完全にハードウェアの実施形態、完全にソフトウェアの実施形態（ファームウェア、常駐ソフトウェア、マイクロコードなどを含む）、または、本明細書では「モジュール」または「システム」としてすべて参照され得るソフトウェアおよびハードウェアの態様を組み合わせた実施形態の形態をとつてよい。さらに、本発明は、媒体に具体化されたコンピュータ使用可能プログラムコードを有する表現の任意の有形の媒体に具体化されたコンピュータプログラム製品の形態を取つてよい。

40

【0008】

非一時的媒体を含む、1つまたは複数のコンピュータ使用可能媒体またはコンピュータ可読媒体の任意の組み合わせが利用され得る。例えば、コンピュータ可読媒体は、ポータブルコンピュータディスクケット、ハードディスク、ランダムアクセスメモリ（RAM）デバイス、読み出し専用メモリ（ROM）デバイス、消去可能プログラマブル読み出し専用メモリ（EPROMまたはフラッシュメモリ）デバイス、ポータブルコンパクトディスク

50

読み出し専用メモリ( C D R O M )、光記憶装置、および磁気記憶装置の1つまたは複数を含見得る。選ばれた実施形態では、コンピュータ可読媒体は、命令実行システム、装置、またはデバイスによって使用される、又は関連するプログラムを、含む、格納する、通信する、伝播する、または転送することができる任意の非一時的媒体を含み得る。

#### 【 0 0 0 9 】

本発明の操作を実行するためのコンピュータプログラムコードは、 J a v a (登録商標)、 S m a l l t a l k (登録商標)、 C++などのオブジェクト指向プログラミング言語、および"C"プログラミング言語または同様のプログラミング言語などの従来の手続き型プログラミング言語を含む、1つまたは複数のプログラミング言語の任意の組み合わせで記載され得る。プログラムコードは、全体的にスタンドアローンのソフトウェアパッケージとしてコンピュータシステム上で、全体的にスタンドアローンのハードウェアユニット上で、一部がコンピュータからある程度の距離の離れたリモートコンピュータ上で、或いは全体的にリモートコンピュータ上で、又はサーバ上で実行され得る。後者のシナリオでは、リモートコンピュータは、ローカルエリアネットワーク( L A N )またはワイドエリアネットワーク( W A N )を含む任意のタイプのネットワークを介してコンピュータに接続されてもよく、或いは、( 例えは、インターネットサービスプロバイダを使用してインターネットを介して ) 外部コンピュータに接続されてもよい。

#### 【 0 0 1 0 】

本発明の実施形態に係る方法、装置(システム)およびコンピュータプログラム製品のフローチャート図および/またはブロック図を参照して以下に本発明は記載される。フローチャート図および/またはブロック図の各ブロック、ならびにフローチャート図および/またはブロック図におけるブロックの組み合わせは、コンピュータプログラム命令またはコードによって実装できることが理解されよう。これらのコンピュータプログラム命令は、コンピュータまたは他のプログラム可能データ処理装置のプロセッサを介して実行する命令が、フローチャートおよび/またはブロック図のブロックまたは複数のブロックで指定された機能/動作を実装するための手段を作成するように、汎用コンピュータ、専用コンピュータ、または他のプログラム可能データ処理装置のプロセッサに提供されて、機械を製造し得る。

#### 【 0 0 1 1 】

これらのコンピュータプログラム命令は、コンピュータまたは他のプログラム可能データ処理装置に特定の仕方で機能するように指示することができ、コンピュータ可読媒体に格納された命令が、フローチャートおよび/またはブロック図のブロックまたは複数のブロックで指定された機能/動作を実装する命令手段を含む製造品を製造するように、非一時的コンピュータ可読媒体に格納されてもよい。

#### 【 0 0 1 2 】

コンピュータプログラム命令はまた、コンピュータまたは他のプログラム可能装置上で実行される命令が、フローチャートおよび/またはブロック図のブロックまたは複数のブロックで指定される機能/動作を実装するためのプロセスを提供するように、コンピュータまたは他のプログラム可能データ処理装置にロードされて、コンピュータまたは他のプログラム可能装置上で一連の操作ステップを実行させて、コンピュータ実装プロセスを生成してもよい。

#### 【 0 0 1 3 】

図1は、例示的なコンピュータデバイス100を示すブロック図である。コンピュータデバイス100は、本明細書で論じられるものなどの様々な手順を実行するために使用され得る。コンピュータデバイス100は、サーバ、クライアント、または任意の他のコンピューティングエンティティ( other computing entity )として機能することができる。コンピュータデバイスは、本明細書で論じるような様々なモニタリング機能を実行することができ、本明細書に記述するアプリケーションプログラムなどの1つまたは複数のアプリケーションプログラムを実行することができる。コンピュータデバイス100は、例えは、デスクトップコンピュータ、ノートブックコンピュータ、サーバコンピュータ、ハン

10

20

30

40

50

ドヘルドコンピュータ、タブレットコンピュータなどの多種多様なコンピュータデバイスのいずれかとすることができます。

【0014】

コンピュータデバイス100は、1つまたは複数のプロセッサ102、1つまたは複数のメモリ装置104、1つまたは複数のインターフェース106、1つまたは複数の大容量記憶装置108、1つまたは複数の入力/出力(I/O)デバイス、および表示装置130を含み、これらすべてはバス112に接続される。(複数の)プロセッサ102は、(複数の)メモリ装置104および/または(複数の)大容量記憶装置108に格納された命令を実行する1つまたは複数のプロセッサまたはコントローラを含む。(複数の)プロセッサ102は、キャッシュメモリなどの様々な種類のコンピュータ可読媒体を含んでもよい。

10

【0015】

(複数の)メモリ装置104は、揮発性メモリ(例えば、ランダムアクセスメモリ(RAM)114)および/または不揮発性メモリ(例えば、読み出し専用メモリ(ROM)116)などの様々なコンピュータ可読媒体を含む。(複数の)メモリ装置104はまた、フラッシュメモリなどの書き換え可能なROMを含んでもよい。

【0016】

(複数の)大容量記憶装置108は、磁気テープ、磁気ディスク、光ディスク、ソリッドステートメモリ(例えば、フラッシュメモリ)などの様々なコンピュータ可読媒体を含む。図1に示すように、具体的な大容量記憶装置はハードディスクドライブ124である。(複数の)大容量記憶装置108には様々なドライブが含まれ、様々なコンピュータ可読媒体からの読み出しおよび/または書き込みを可能にしてもよい。(複数の)大容量記憶装置108は、リムーバブルメディア126および/または非リムーバブルメディアを含む。

20

【0017】

(複数の)I/Oデバイス110は、データおよび/または他の情報がコンピュータデバイス100に入力されるか、またはコンピュータデバイス100から取り出されることを可能にする様々なデバイスを含む。例示的な(複数の)I/Oデバイス110は、カーソル制御デバイス、キーボード、キーパッド、マイク、モニタまたは他の表示装置、スピーカー、プリンタ、ネットワークインターフェースカード、モデム、レンズ、CCDまたは他の画像キャプチャ装置などを含む。

30

【0018】

表示装置130は、コンピュータデバイス100の1人または複数人のユーザに情報を表示することができる任意の種類のデバイスを含む。表示装置130の例は、モニタ、表示端末、ビデオ投影装置などを含む。

【0019】

グラフィックス・プロセッシングユニット(GPU)132は、(複数の)プロセッサ102および/または表示装置130に接続されてよい。GPUは、コンピュータ生成画像をレンダリングし、及び他のグラフィカル処理を実行するように動作可能であってよい。GPUは、(複数の)プロセッサ102などの汎用プロセッサの機能の一部または全部を含み得る。GPUは、グラフィックス処理に特有の追加の機能を含んでもよい。GPUは、座標変換、シェーディング、テクスチャリング、ラスタライズ、およびコンピュータ生成画像のレンダリングに役立つ他の機能に関連するハードコードされたグラフィックス機能、および/またはハードワイヤードのグラフィックス機能を含み得る。

40

【0020】

(複数の)インターフェース106は、コンピュータデバイス100が他のシステム、デバイス、またはコンピューティング環境と情報をやり取りすることを可能にする様々なインターフェースを含む。例示的な(複数の)インターフェース106は、ローカルエリアネットワーク(LAN)、広域ネットワーク(WAN)、無線ネットワーク、およびインターネットへのインターフェースなどの任意の数の様々なネットワークインターフェース120を

50

含む。他の（複数の）インターフェースは、ユーザインターフェース 118 と周辺装置インターフェース 122 を含む。（複数の）インターフェース 106 はまた、1つまたは複数のユーザインターフェース要素 118 を含んでもよい。（複数の）インターフェース 106 はまた、例えば、プリンタ、ポインティングデバイス（マウス、トラックパッドなど）、キーボードなどのインターフェースのような、1つまたは複数の周辺インターフェースを含んでもよい。

#### 【0021】

バス 112 は、（複数の）プロセッサ 102、（複数の）メモリ装置 104、（複数の）インターフェース 106、（複数の）大容量記憶装置 108、および（複数の）I/O デバイス 110 が相互に通信することを可能にし、バス 112 に接続された他のデバイスまたは要素との通信も可能にする。バス 112 は、システムバス、PCI バス、IEEE 1394 バス、USB バスなどのいくつかの種類のバス構造の1つまたは複数を表す。

#### 【0022】

説明のために、プログラムおよび他の実行可能なプログラム要素は、本明細書では個別のブロックとして示されているが、そのようなプログラムおよび要素は、コンピュータデバイス 100 の様々な時間に異なる記憶要素に存在し得、プロセッサ 102 によって実行され得ることが理解される。代わりに、本明細書に記載のシステムおよび手順は、ハードウェアで、またはハードウェア、ソフトウェア、および/またはファームウェアの組み合わせで実装されることができる。例えば、1つまたは複数の特定用途向け集積回路（ASIC）は、本明細書で記載される1つまたは複数のシステムおよび手順を実行するようにプログラムすることができる。

#### 【0023】

図 2A～図 2D を参照すると、以下により詳細に記述するように、メモリアクセスコマンドは、ソースアドレスおよび/またはデスティネーションアドレスよりもむしろ転送記述子を参照し得る。転送記述子は、実行時に、メモリアクセスコマンドのアドレス（ソースまたはデスティネーション）として、その後に使用される値を生成する実行可能コードである。転送記述子が格納される場所と、転送記述子を実行するデバイスとは、変わってもよい。

#### 【0024】

例えば、特に図 2A を参照すると、処理装置 102 は、メモリ装置 104 に格納されたアプリケーション 200 を実行し得る。アプリケーション 200 の命令は、処理装置 102 によって取り出され、実行されてよい。命令が転送記述子を参照する場合、処理装置 102 は、例えば、プロセッサに接続されたキャッシュメモリまたは他のメモリ装置などの別個のメモリ装置 104 として具体化された転送記述子バッファ 202 から転送記述子を取り出しうる。

#### 【0025】

図 2B を参照すると、他の実施形態では、転送記述子バッファ 202 は、アプリケーション 200 と同じメモリ装置 104 内の記憶領域にある。

#### 【0026】

図 2C を参照すると、他の実施形態では、ダイレクトメモリアクセス（DMA）コントローラが、処理装置 102 およびメモリ装置 104 ならびに転送記述子バッファ 202 に接続される。メモリアクセスコマンドの転送記述子は、次に、DMA コントローラ 204 によって実行され得、DMA コントローラ 204 は、次に、転送記述子の結果に基づいてメモリ装置 104 からデータ値を取り出し、そのデータ値を処理装置 102 または他の要素に返し得る。

#### 【0027】

図 2D を参照すると、さらに別の実装において、本明細書では転送記述子コントローラ 206 として参照される別の要素が、転送記述子バッファ 202 からの転送記述子を処理し、転送記述子の処理結果に従ってデータ値を取り出し、そのデータ値を処理装置 102 に返し得る。

10

20

30

40

50

## 【0028】

図3を参照すると、処理装置102によって実行される命令語は、命令コード300、ソースタイプ302、ソースアドレス304、デスティネーションタイプ306、およびデスティネーションアドレス308を含む、図示されたフィールドの一部または全部を含み得る。命令語の図示されたフォーマットは標準的なものであり、当技術分野で知られている多くのプロセッサまたはメモリコントローラによって実行され得る。従来の命令語のフィールドは、以下により詳細に記述するように、新規の転送記述子を実装するために、別の目的で用いられる。

## 【0029】

命令コード300は、ソースアドレス304から取り出されたデータに関して実行される操作を規定し、その操作の結果はデスティネーションアドレス308に書き込まれる。ソースタイプ302は、従来、ソースデータがソースアドレス304から読み出されるメモリ装置を指定するために使用される。同様に、デスティネーションタイプ306は、従来、デスティネーションアドレス308に操作の結果が書き込まれるメモリ装置を指定するために使用される。本明細書に記載の方法によれば、ソースタイプ302は、メモリ装置または転送記述子のいずれかを参照し得る。ソースタイプ302が転送記述子を参照する場合、ソースアドレス304は、実行する転送記述子を識別するためにデコードされる。同様に、デスティネーションタイプ306が転送記述子を参照する場合、デスティネーションアドレス308は、実行する転送記述子を決定するためにデコードされる。ソースタイプ302およびデスティネーションタイプ306は、好ましくは、命令コード300によって指定されるものとして実行される操作に影響を与えない。言い換えると、ソースタイプ302およびデスティネーションタイプ306は、命令コード300によって指定された操作に従って処理されるべきデータを決定するためにのみに使用されるが、データに対して実行される操作は、データがソースアドレス304およびデスティネーションアドレス308から直接取り出されたか、または転送記述子の実行の結果として取り出されたかにかかわらず同じである。

## 【0030】

図4Aおよび図4Bを参照すると、図示の方法400は、図3の命令のフィールドを有する命令などの命令を処理するときに実行されてよい。上述のように、方法400のステップは、処理装置102、DMAコントローラ204、専用の転送コントローラ206、または他の要素、或いはこれらのデバイスの2つ以上の組み合わせによって実行されてもよい。例えば、いくつかの実施形態では、方法400は、処理装置102に対してトランスペアレントであってよく、すなわち、メモリアクセス命令がメモリ制御システムに提示され、転送記述子のいかなる処理も処理装置102によって実行されることなく、応答が受信されてよい。

## 【0031】

方法400は、命令語（例えば、命令語300）を受信する（402）こと、および命令語のソースタイプを評価する（404）ことを含む。ソースタイプが転送記述子フラグではない場合、その後、命令語のソースアドレスに位置するデータが、ソースタイプによって参照されるメモリ装置104からフェッチされる（406）。その後、命令語の命令コードによって示される操作が実行され（408）、操作の結果（“結果データ”）が出力される（410）。

## 【0032】

転送記述子フラグを含むソースタイプが見つかった（404）場合、その後、転送記述子が実行される（412）。具体的には、命令語のソースアドレスに対応する転送記述子が実行される（412）。例えば、転送記述子がバッファに格納される場合、バッファ内のソースアドレスに開始アドレスを有する転送記述子が実行されてよい（412）。代わりに、各転送記述子は識別子を有してもよく、命令語のソースアドレスと一致する識別子を有する転送記述子が実行されてよい（412）。転送記述子の実行結果（412）は、転送記述子によって出力される（414）出力データである（以下、「第1中間値」と呼ぶ）

10

20

30

40

50

。

## 【0033】

いくつかの実施形態では、命令語の命令コードによって示される操作が実行され(408)、その操作の結果が出力される(410)。他の実施形態では、中間結果はアドレスである。したがって、メモリ装置104内の中間値において格納された値が取り出され、その後、取り出された値に対して命令コードによって示される操作が実行される(408)。

## 【0034】

図4Bを参照すると、ステップ402で受信された命令語の処理は、命令語のデスティネーションタイプを評価する(416)ことをさらに含み得る。デスティネーションタイプが転送記述子フラグでない場合、その後、結果データは、命令語のデスティネーションタイプによって示されるメモリ装置104に、命令語のデスティネーションアドレスにおいて書き込まれる(418)。

10

## 【0035】

デスティネーションタイプが転送記述子フラグを含むことが判明した(418)場合、その後、命令語のデスティネーションアドレスによって識別される転送記述子が実行される(420)。転送記述子は、転送記述子がソースアドレスに対して識別されるものとして上述したのと同じようにして、デスティネーションアドレスに基づいて識別されてよい。

。

## 【0036】

20

転送記述子の実行(420)は、出力値(「第2の中間結果」)を含んでよい。第2の中間結果は、アドレスであってよい。ステップ410の結果データは、その後、第2の中間結果に対応するアドレスにおいてメモリ装置104に書き込まれる(424)。

## 【0037】

いくつかの実施形態では、操作は、1つの操作される(ソースまたはデスティネーション)のみを含む。したがって、いくつかの実施形態では、ソースタイプのみが、図4Aに記述したように転送記述子を実行する可能性があり、または、図4Bに記述したようにデスティネーションタイプのみが転送記述子に潜在的に対応する。他の例では、ソースタイプとデスティネーションタイプの両方によって示されるように、2つの転送記述子が、各命令語に対して実行される。

30

## 【0038】

前述の記述から明らかなように、転送記述子は、メモリアクセス機能の期間中に実行される機能のカスタマイズおよび拡張を提供する。以下は、転送記述子を用いて実装され得る機能の例である。

## 【0039】

先入れ先出し(FIFO)バッファは、転送記述子を用いて実装され得、それによって、FIFOバッファにアクセスする実行の複数のスレッド(multiple threads of execution)間でオブジェクトを共有する必要がなくなる。第1の転送記述子は、新しいエントリがFIFOバッファに書き込まれるべき現在の位置を示す書き込みポインタを維持し得る。第2の転送記述子は、新しいエントリがFIFOバッファから読み出されるべき現在の位置を示す読み出しポインタを維持し得る。第1の転送記述子は、書き込み要求に応じて書き込みポインタを更新し、書き込み要求に応じてポインタの現在の値を返す機能を規定してよい。例えば、第1の転送記述子は、バッファのサイズ(例えば、エントリの数)及びバッファの開始アドレスを含み得る。

40

## 【0040】

第1の転送記述子について、書き込み要求を受信すると、ポインタがインクリメントされる。インクリメントされた値がバッファのサイズを超えるか、または、バッファの終了アドレスの外側にある場合、ポインタはバッファの開始アドレスを指すように更新されてよい。第2の転送記述子について、読み出し要求を受信すると、ポインタが更新され、そのポインタがバッファのサイズを超えた場合、またはバッファの終了アドレスの外側にあ

50

るアドレスを指す場合、ポインタはバッファの開始アドレスに設定される。

【0041】

したがって、MOVE命令を示す命令コード、転送記述子フラグに設定されたソースタイプ、および第1の転送記述子を指し示すソースアドレスを有するアプリケーションによって命令が生成され得る。この命令を受信すると、第1の転送記述子が実行され、書き込みポインタの現在値の出力し、書き込みポインタを更新する結果となる。メモリ装置104内の書き込みポインタの現在の値に格納された値は、その後、命令の結果として読み出され、返される。

【0042】

別の例では、MOVE命令を示す命令コードと、転送記述子フラグに設定されたデステイネーションタイプと、第2の転送記述子を指し示すデスティネーションアドレスとを有するアプリケーションによって、命令が生成され得る。この命令を受信すると、第2の転送記述子が実行され、読み出しポインタの現在値を出力し、読み出しポインタを更新する結果となる。その後、データ値は、メモリ装置104内の読み出しポインタの現在の値に書き込まれ得る。

10

【0043】

上記の例から明らかなように、転送記述子は、或る命令から次の命令まで持続的 (persistent) であり、且つ転送記述子が呼び出されたときに更新される状態変数を含み得る。いくつかの実施形態では、アプリケーションまたは他のソフトウェア、或いはハードウェア要素は、1つまたは複数の転送記述子の状態変数を監視し、イベントを生成し得る。例えば、転送記述子の状態変数が、閾値条件が満たされていることを示す場合、その後、1つまたは複数のスレッドは、ロックされるか、実行の異なるスレッドに分岐するか、開始されるかまたはインスタンスを生成する (instantiate) か、或いは他のスレッド管理機能の対象とされ得る。

20

【0044】

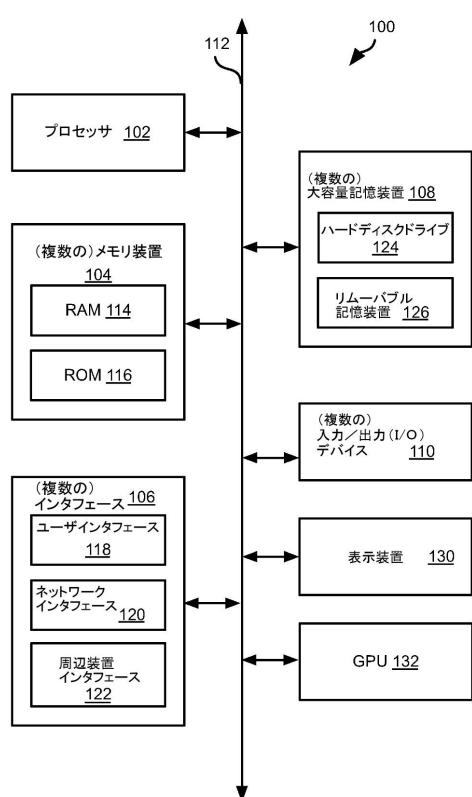
例えば、上述したFIFOバッファを規定する転送記述子の読み出しポインタ及び書き込みポインタが比較されてもよく、読み出しポインタが、書き込みポインタからオフセットされた閾値よりも小さい場合、バッファはほぼ空であるとみなされ得、閾値が超過されたことがわかるまで、FIFOバッファへの要求を行おうと試みるスレッドがロックされ得る。同様に、読み出しポインタが書き込みポインタからオフセットされた第2の閾値量を上回る場合、FIFOバッファはほぼ満杯であるとみなされ得、第2の閾値がもはや超過されなくなるまで、FIFOバッファへの書き込みを試みるスレッドはロックされ得る。

30

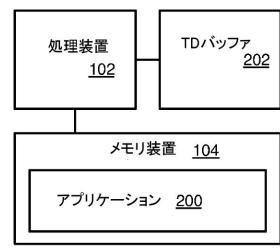
【0045】

本発明は、その趣旨または本質的な特徴から逸脱することなく、他の特定の形態で実施され得る。記載された実施形態は、すべての点において、単に例示的なものであり、限定的なものではないとみなされるべきである。したがって、本発明の範囲は、前述の記述によってではなく、添付の特許請求の範囲によって示される。特許請求の均等の意味および範囲内に入るすべての変更は、その範囲内に含まれるべきである。

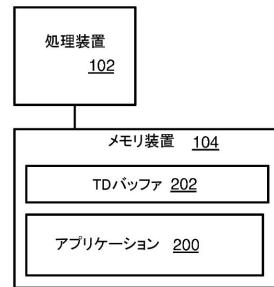
【図1】



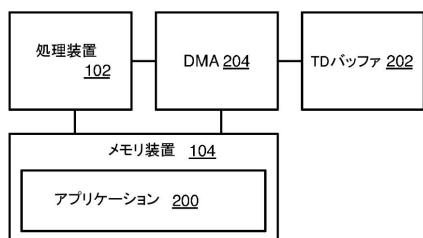
【図2 A】



【図2 B】



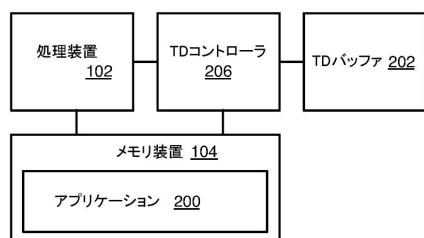
【図2 C】



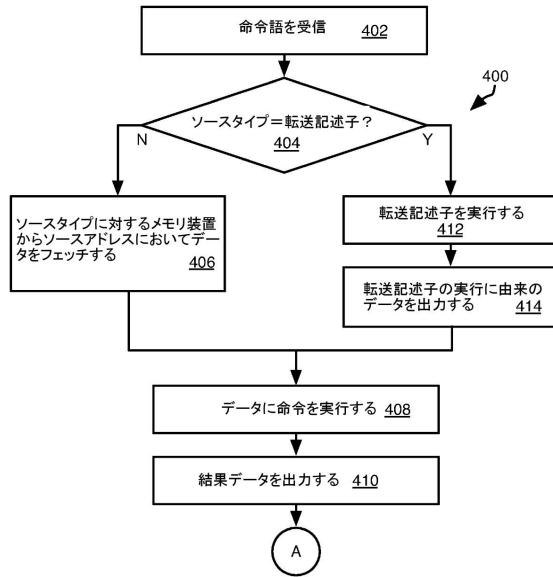
【図3】



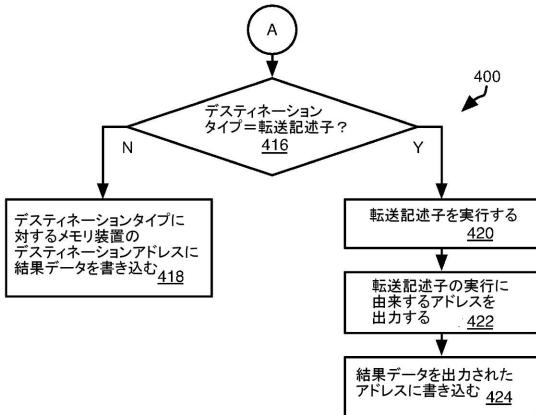
【図2 D】



【図4A】



【図4B】



---

フロントページの続き

(72)発明者 ロー, マンキット

アメリカ合衆国, カリフォルニア州 95002, サンノゼ, ゴールドストリート 2150  
, スイート 200

審査官 佐賀野 秀一

(56)参考文献 米国特許出願公開第2015/0378734 (US, A1)

特開2012-014436 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G 06 F 12/00 - 12/06

G 06 F 13/16 - 13/18

G 06 F 9/34