

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号

特許第7250454号

(P7250454)

(45)発行日 令和5年4月3日(2023.4.3)

(24)登録日 令和5年3月24日(2023.3.24)

(51)国際特許分類

F I

H 0 4 N 25/76 (2023.01)

H 0 4 N 25/76

H 0 4 N 25/77 (2023.01)

H 0 4 N 25/77

H 0 4 N 25/40 (2023.01)

H 0 4 N 25/40

H 0 1 L 27/146(2006.01)

H 0 1 L 27/146

F

請求項の数 22 (全22頁)

(21)出願番号	特願2018-136001(P2018-136001)	(73)特許権者	000001007
(22)出願日	平成30年7月19日(2018.7.19)		キヤノン株式会社
(65)公開番号	特開2019-68405(P2019-68405A)		東京都大田区下丸子3丁目30番2号
(43)公開日	平成31年4月25日(2019.4.25)	(74)代理人	100126240
審査請求日	令和3年7月14日(2021.7.14)		弁理士 阿部 琢磨
(31)優先権主張番号	特願2017-192051(P2017-192051)	(74)代理人	100124442
(32)優先日	平成29年9月29日(2017.9.29)		弁理士 黒岩 創吾
(33)優先権主張国・地域又は機関	日本国(JP)	(72)発明者	松本 晃平
			東京都大田区下丸子3丁目30番2号キ
			ヤノン株式会社内
		(72)発明者	戸塚 洋史
			東京都大田区下丸子3丁目30番2号キ
			ヤノン株式会社内
		(72)発明者	中村 恒一
			東京都大田区下丸子3丁目30番2号キ
			最終頁に続く

(54)【発明の名称】 撮像装置、撮像システム、移動体

(57)【特許請求の範囲】

【請求項1】

複数の第1ブロックが行列状に配された第1チップと、
 前記第1チップと積層され、複数の第2ブロックが行列状に配された第2チップとを有する撮像装置であって、
 前記複数の第1ブロックのそれぞれは、複数行および複数列に渡って配され、各々が電荷を生成する複数の画素を有し、
 前記複数の第1ブロックのうちの一のブロックにおいて複数の画素が、第1行および第2行を含む複数行に配され、
 前記複数の第2ブロックのそれぞれは、前記複数の第1ブロックのそれぞれに属する前記複数の画素の駆動タイミングを選択する選択回路を有し、
 前記複数の第2ブロックのそれぞれには、前記画素が出力した信号を処理する信号処理部が設けられ、
 前記第1行の画素の光電変換部から前記電荷を転送する動作を第1タイミングと第2タイミングとのそれぞれで行い、
 前記第2行の画素の光電変換部から前記電荷を転送する動作を第3タイミングと第4タイミングとのそれぞれで行い、
 前記第1タイミング、前記第3タイミング、前記第2タイミング、前記第4タイミングの順で制御されることを特徴とする撮像装置。

【請求項2】

10

20

前記複数行はさらに第 3 行および第 4 行を含み、

前記第 3 行の画素の光電変換部から前記電荷を転送する動作を第 5 タイミングと第 6 タイミングとのそれぞれで行い、

前記第 4 行の画素の光電変換部から前記電荷を転送する動作を第 7 タイミングと第 8 タイミングとのそれぞれで行い、

前記第 1 タイミング、前記第 3 タイミング、前記第 5 タイミング、前記第 7 タイミング、前記第 2 タイミング、前記第 4 タイミング、前記第 6 タイミング、前記第 8 タイミングの順で制御されることを特徴とする請求項 1 に記載の撮像装置。

【請求項 3】

前記第 3 行の画素には第 3 信号線が接続され、前記第 5 タイミング、前記第 6 タイミングのそれぞれにおいて前記第 3 信号線の電位が変化し、

前記第 4 行の画素には第 4 信号線が接続され、前記第 7 タイミング、前記第 8 タイミングのそれぞれにおいて前記第 4 信号線の電位が変化することを特徴とする請求項 2 に記載の撮像装置。

【請求項 4】

前記第 1 行の画素には第 1 信号線が接続され、前記第 1 タイミング、前記第 2 タイミングのそれぞれにおいて前記第 1 信号線の電位が変化し、

前記第 2 行の画素には第 2 信号線が接続され、前記第 3 タイミング、前記第 4 タイミングのそれぞれにおいて前記第 2 信号線の電位が変化することを特徴とする請求項 1 から 3 のいずれか 1 項に記載の撮像装置。

【請求項 5】

前記第 2 ブロックは、前記第 1 行の画素を選択する選択回路と、前記第 2 行の画素を選択する選択回路とを備えることを特徴とする請求項 1 ~ 4 のいずれか 1 項に記載の撮像装置。

【請求項 6】

前記第 2 ブロックは、前記第 3 行の画素を選択する選択回路を有し、

前記第 3 行の画素を選択する前記選択回路は、所定の信号線の電位が前記第 5 タイミングで変化した場合に前記第 3 信号線の電位を変化させ、

前記所定の信号線の電位が前記第 5 タイミングと前記第 6 タイミングとの間に変化した場合に、前記第 3 信号線の電位を変化させないことを特徴とする請求項 3 に記載の撮像装置。

【請求項 7】

前記第 2 ブロックは、前記第 4 行の画素を選択する選択回路を有し、

前記第 4 行の画素を選択する前記選択回路は、所定の信号線の電位が前記第 7 タイミングで変化した場合に前記第 4 信号線の電位を変化させ、

前記所定の信号線の電位が前記第 7 タイミングと前記第 8 タイミングとの間に変化した場合に、前記第 4 信号線の電位を変化させないことを特徴とする請求項 6 に記載の撮像装置。

【請求項 8】

複数の第 1 ブロックが行列状に配された第 1 チップと、

前記第 1 チップと積層され、複数の第 2 ブロックが行列状に配された第 2 チップとを有する撮像装置であって、

前記複数の第 1 ブロックのそれぞれは、行列状に配された複数の画素を有し、

前記複数の第 2 ブロックのそれぞれは、前記複数の第 1 ブロックのそれぞれに属する前記複数の画素の駆動タイミングを選択する選択回路を有し、

前記第 2 チップには、前記選択回路に電氣的に接続されたタイミングジェネレータが設けられていることを特徴とする撮像装置。

【請求項 9】

行列状に配された複数の画素をそれぞれ有する複数の第 1 ブロックが行列状に配された第 1 チップと、

10

20

30

40

50

前記第 1 チップと積層され、複数の第 2 ブロックが行列状に配された第 2 チップと、
行方向に配された前記複数の画素の駆動タイミングを制御する垂直ブロック制御信号を
出力する第 1 ブロック走査回路と、

列方向に配された前記複数の画素の駆動タイミングを制御する水平ブロック制御信号を
出力する第 2 ブロック走査回路とを有する撮像装置であって、

前記複数の第 2 ブロックのそれぞれは、前記複数の第 1 ブロックのそれぞれに属する前記
複数の画素の駆動タイミングを選択する選択回路を有し、

前記第 2 チップには、タイミングジェネレータと前記第 1 ブロック走査回路と前記第 2
ブロック走査回路とが設けられていることを特徴とする撮像装置。

【請求項 10】

10

前記タイミングジェネレータは、前記複数の第 2 ブロックのそれぞれに設けられている
ことを特徴とする請求項 8 または 9 に記載の撮像装置。

【請求項 11】

行方向に配された前記複数の画素の駆動タイミングを制御する垂直ブロック制御信号を
出力する第 1 ブロック走査回路と、

列方向に配された前記複数の画素の駆動タイミングを制御する水平ブロック制御信号を
出力する第 2 ブロック走査回路と、を有し、

前記選択回路は、前記垂直ブロック制御信号と、前記水平ブロック制御信号の組み合わ
せに基づき、前記複数の画素の駆動タイミングを選択することを特徴とする請求項 1 から
8 のいずれか 1 項に記載の撮像装置。

20

【請求項 12】

前記選択回路は、前記垂直ブロック制御信号と、前記水平ブロック制御信号の組み合わ
せに基づき、前記複数の画素の駆動タイミングを選択することを特徴とする請求項 9 に記
載の撮像装置。

【請求項 13】

前記行方向に配された前記複数の画素の駆動タイミングを制御する行転送パルス信号を
出力する第 1 走査回路を更に有し、

前記選択回路は、前記垂直ブロック制御信号と、前記水平ブロック制御信号の組み合わ
せに基づき、前記行転送パルス信号から、画素転送パルス信号を生成することにより、前
記複数の画素の駆動タイミングを選択することを特徴とする請求項 11 または 12 に記載
の撮像装置。

30

【請求項 14】

前記画素は、光電変換部から電荷を転送するための転送トランジスタを有し、

前記画素転送パルス信号は、前記転送トランジスタのゲートに入力されることを特徴と
する請求項 13 に記載の撮像装置。

【請求項 15】

前記第 1 ブロック走査回路は、前記第 1 走査回路の機能を有することを特徴とする請求
項 13 または 14 に記載の撮像装置。

【請求項 16】

前記選択回路により、前記第 1 ブロックの同一行に属する複数の画素には、共通の駆動
タイミングが与えられることを特徴とする請求項 1 から 15 のいずれか 1 項に記載の撮像
装置。

40

【請求項 17】

前記信号処理部は、前記画素が出力したアナログ信号をデジタル信号に変換する A/D 変
換部であることを特徴とする請求項 1 から 7 のいずれか 1 項に記載の撮像装置。

【請求項 18】

前記信号処理部は、前記画素が出力したデジタル信号を処理する信号処理部であること
を特徴とする請求項 1 から 7 のいずれか 1 項に記載の撮像装置。

【請求項 19】

前記信号処理部は、一方の前記第 1 ブロックに配されている第 1 画素が出力した信号と

50

、他方の前記第 1 ブロックに配されている第 2 画素が出力した信号を処理し、

前記選択回路は、前記信号処理部の結果に基づき、前記一方の前記第 1 ブロックの露光時間と、前記他方の前記第 1 ブロックの露光時間を異なるように、前記複数の画素に与えられる駆動タイミングを選択することを特徴とする請求項 1 に記載の撮像装置。

【請求項 2 0】

前記第 1 画素は、前記一方の前記第 1 ブロックに配されている前記複数の画素のうち、一部の画素であり、前記第 2 画素は、前記他方の前記第 1 ブロックに配されている前記複数の画素のうち、一部の画素であることを特徴とする請求項 1 9 に記載の撮像装置。

【請求項 2 1】

請求項 1 から 2 0 のいずれか 1 項に記載の撮像装置と、
前記撮像装置が出力する信号を処理することによって画像を生成する画像信号生成部と、
を有することを特徴とする撮像システム。

【請求項 2 2】

請求項 1 から 2 0 のいずれか 1 項に記載の撮像装置と、
前記撮像装置からの信号に基づく視差画像から、対象物までの距離情報を取得する距離情報取得手段と、を有する移動体であって、
前記距離情報に基づいて前記移動体を制御する制御手段をさらに有することを特徴とする移動体。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、撮像装置、撮像システム、移動体に関する。

【背景技術】

【0 0 0 2】

特許文献 1 には、第 1 チップに複数の画素と、A/D変換部と、行選択を設け、第 2 チップに複数の画素の電荷蓄積時間を制御する駆動回路を設けることが開示されている。具体的には、特許文献 1 には、第 1 チップ 1 2 には複数の画素 1 8 が設けられており、第 2 チップ 1 4 には作動信号の生成素子 2 8 が設けられている。作動信号の生成回路 2 8 は、電気接続 3 8 と電気的に接続されており、電気接続 3 8 は、画素 1 8 に設けられた転送トランジスタ 5 6 またはリセットトランジスタ 4 6 のゲートに入力されている。これにより、作動信号の生成回路 2 8 は、光電変換により生じた電荷の電荷蓄積時間を制御することを可能としている。また、特許文献 1 には、複数の画素からなる画素群（画素ブロック）ごとに、作動信号の生成回路 2 8 を設けることも記載されている。

【先行技術文献】

【特許文献】

【0 0 0 3】

【文献】特開 2 0 1 2 - 1 5 1 8 4 7 号公報

【発明の概要】

【発明が解決しようとする課題】

【0 0 0 4】

特許文献 1 には、第 2 チップに、各画素群に対して、対応した作動信号の生成回路を設けることしか記載されていない。そこで、本発明では、特許文献 1 よりも性能を向上させた撮像装置を提供することを目的とする。

【課題を解決するための手段】

【0 0 0 5】

本発明に係る撮像装置は、複数の第 1 ブロックが行列状に配された第 1 チップと、前記第 1 チップと積層され、複数の第 2 ブロックが行列状に配された第 2 チップとを有する撮像装置であって、前記複数の第 1 ブロックのそれぞれは、複数行および複数列に渡って配され、各々が電荷を生成する複数の画素を有し、前記複数の第 1 ブロックのうちの一つのブロックにおいて複数の画素が、第 1 行および第 2 行を含む複数行に配され、前記複数の第

10

20

30

40

50

2 ブロックのそれぞれは、前記複数の第 1 ブロックのそれぞれに属する前記複数の画素の駆動タイミングを選択する選択回路を有し、前記複数の第 2 ブロックのそれぞれには、前記画素が出力した信号を処理する信号処理部が設けられ、前記第 1 行の画素の光電変換部から前記電荷を転送する動作を第 1 タイミングと第 2 タイミングとのそれぞれで行い、前記第 2 行の画素の光電変換部から前記電荷を転送する動作を第 3 タイミングと第 4 タイミングとのそれぞれで行い、前記第 1 タイミング、前記第 3 タイミング、前記第 2 タイミング、前記第 4 タイミングの順で制御されることを特徴とする。

【 0 0 0 6 】

また、他の本発明に係る撮像装置は、複数の第 1 ブロックが行列状に配された第 1 チップと、前記第 1 チップと積層され、複数の第 2 ブロックが行列状に配された第 2 チップとを有する撮像装置であって、前記複数の第 1 ブロックのそれぞれは、行列状に配された複数の画素を有し、前記複数の第 2 ブロックのそれぞれは、前記複数の第 1 ブロックのそれぞれに属する前記複数の画素の駆動タイミングを選択する選択回路を有し、前記第 2 チップには、前記選択回路に電氣的に接続されたタイミングジェネレータが設けられていることを特徴とする。また、他の本発明に係る撮像装置は、行列状に配された複数の画素をそれぞれ有する複数の第 1 ブロックが行列状に配された第 1 チップと、前記第 1 チップと積層され、複数の第 2 ブロックが行列状に配された第 2 チップと、行方向に配された前記複数の画素の駆動タイミングを制御する垂直ブロック制御信号を出力する第 1 ブロック走査回路と、列方向に配された前記複数の画素の駆動タイミングを制御する水平ブロック制御信号を出力する第 2 ブロック走査回路とを有する撮像装置であって、前記複数の第 2 ブロックのそれぞれは、前記複数の第 1 ブロックのそれぞれに属する前記複数の画素の駆動タイミングを選択する選択回路を有し、前記第 2 チップには、タイミングジェネレータと前記第 1 ブロック走査回路と前記第 2 ブロック走査回路とが設けられていることを特徴とする撮像装置。

【発明の効果】

【 0 0 0 7 】

本発明に係る撮像装置によれば、特許文献 1 よりも性能を向上させた撮像装置を提供することができる。

【図面の簡単な説明】

【 0 0 0 8 】

- 【図 1】実施形態 1 に係る図である。
- 【図 2】実施形態 1 に係る図である。
- 【図 3】実施形態 1 に係る図である。
- 【図 4】実施形態 1 に係る図である。
- 【図 5】実施形態 1 に係る図である。
- 【図 6】実施形態 1 に係る図である。
- 【図 7】実施形態 1 に係る図である。
- 【図 8】実施形態 1 に係る図である。
- 【図 9】実施形態 2 に係る図である。
- 【図 10】実施形態 2 に係る図である。
- 【図 11】実施形態 3 に係る図である。
- 【図 12】実施形態 4 に係る図である。
- 【図 13】実施形態 5 に係る図である。

【発明を実施するための形態】

【 0 0 0 9 】

(実施形態 1)

(基本的構成)

図 1 (A) ~ (C) は、実施形態 1 に係る撮像装置の模式図である。第 1 チップ 4 0 0 には、複数の画素 3 0 1 から構成される画素ブロック 1 0 1 (第 1 ブロック) が複数設けられている。図 1 (A) では、例えば、画素ブロック 1 0 1 あたり、複数の画素が 4 行 4

10

20

30

40

50

列の行列状に配されている。また、第1チップ400には、例えば、複数の画素ブロックが3行4列の行列状に配されている。

【0010】

第2チップ410には、選択回路を有するブロック201（第2ブロック）が複数設けられている。第1チップ400と第2チップ410は、積層されることにより、積層型の撮像装置が構成されている。

【0011】

画素ブロック101とブロック201は、機能的に1対1で対応している。また、第2ブロックは、少なくとも選択回路を有する。すなわち、所定の画素ブロック101に対して、所定のブロック201が設けられており、所定のブロック201に含まれている選択回路は、所定の画素ブロック101の電荷蓄積のタイミング（駆動タイミング）を選択する。選択回路の詳細については、後述する。また、画素ブロック101とブロック201は、機能的に1対1で対応しているだけでなく、物理的な位置関係も対応している。すなわち、平面視において、対応する所定の画素ブロック101と所定のブロック201は、重なる位置に設けられている。これにより、画素ブロック101とブロック201の電気的な接続の経路が短縮化され、高速化やクロストークの防止等が図られる。

【0012】

図1（D）に画素301の構成例を示す。画素301は、光電変換部PD、光電変換部PDの電荷をフローティングディフュージョン部FD（以下FD部）に転送する転送トランジスタM2、FD部をリセットするリセットトランジスタM1を有する。また、FD部は、増幅トランジスタM3のゲートに接続されており、増幅トランジスタM3とリセットトランジスタM1には電源電圧VDDが供給される。増幅トランジスタM3のソースには、選択トランジスタM4が接続され、選択トランジスタM4は、垂直出力線Voutに接続される。リセットトランジスタM1、転送トランジスタM2、選択トランジスタM4のゲートには、PRES、PTX、PSELの駆動信号がそれぞれ入力されるように構成されている。

【0013】

画素301からは、垂直出力線Voutを介して、PDからの画素信号が読み出される。垂直出力線Voutは、第1チップ400の複数の配線層を介して、第2チップ410の配線層と接続される。例えば、第1チップ400と第2チップ410との電気的な接続は、第1チップ400の最上層の配線層に露出した配線部と、第2チップ410の最上層の配線層に露出した配線部との物理的な接触によって行われる。

【0014】

（第2チップの具体的構成）

図2（A）に、本実施形態に係る第2チップ410を示す。タイミングジェネレータ207（TG207）は、垂直走査回路（第1走査回路）の機能を備えた垂直ブロック走査回路204（第1ブロック走査回路）にタイミング信号を提供する。またTG207は、水平ブロック走査回路202（第2ブロック走査回路）、水平走査回路206（第2走査回路）にタイミング信号を提供する。

【0015】

複数のブロック201には、垂直ブロック制御信号線群205を介して、垂直ブロック走査回路204から信号が入力される。垂直ブロック走査回路204は、行方向に配されている複数の画素の駆動タイミングを制御する信号を出力する。また、複数のブロック201には、水平ブロック制御信号線群203を介して、水平ブロック走査回路202から信号が入力される。水平ブロック走査回路202は、列方向に配された複数の画素の駆動タイミングを制御する信号を出力する。複数のブロック201には、水平走査回路206から信号が入力される。

【0016】

図2（B）に、ブロック201の構成を示す。ブロック201に設けられている選択回路401は、垂直ブロック走査回路204および水平ブロック走査回路202からの信号

10

20

30

40

50

に基づき、PTX[X]の信号線の信号を画素に与えるか否かを選択する。PTX[X]の信号線の信号が画素に与えられることを選択された場合、PTX[Y,Z]に与えられる信号が生成される。PTX[Y,Z]に与えられる信号は、図1(D)に示した転送トランジスタM2のゲートに供給され、画素ブロック101の電荷蓄積タイミングを制御する。PTX[Y,Z]の信号レベルがローレベルからハイレベルとなることにより、転送トランジスタM2がオン状態となり、PDから電荷がFDに転送される。また、PTX[Y,Z]の信号線の信号レベルがハイレベルからローレベルとなることにより、転送トランジスタM2がオフ状態となり、PDからFDへの電荷転送が終了する。また、選択回路401により、画素ブロック101の各々について適切な露光量を設定することができる。例えば、画素ブロック101ごとに入射する光量が異なる場合に、単位時間当たりの光量が多い画素ブロックは短時間の電荷蓄積期間とし、単位時間当たりの光量が少ない画素ブロックは光量が多い画素ブロックよりも長時間の電荷蓄積期間とすることができる。これにより、撮像装置のダイナミックレンジの拡大を図ることができるという利点がある。

10

【0017】

ブロック201には、図1(D)に示した信号線Voutと電氣的に接続した増幅部402が設けられている。画素に設けられている増幅トランジスタM3だけでは、信号の増幅が不足する場合に、増幅部402を設ける。増幅トランジスタM3だけで増幅が十分な場合には、増幅部402は省略してもよい。

【0018】

また、ブロック201には、増幅部402と電氣的に接続したAD変換部403が設けられている。AD変換部403により、画素からのアナログ信号がデジタル信号に変換される。AD変換部403は、例えば、比較器とランプ生成器とカウンタを有する。比較器の一方の入力ノードには、ランプ生成器からのランプ信号(比較信号)が入力される。また、比較器の他方の入力ノードには、信号線Voutが接続されている。比較器はランプ信号(比較信号)と信号線Voutの信号を比較し、比較器の出力が変化または反転するまでの時間をカウンタで計測して、デジタル信号値を得る。また、ランプ型のAD変換部ではなく、バイナリウエイトの容量等を用いた逐次比較型のAD変換部を採用してもよい。AD変換部は、アナログ信号をデジタル信号に変換するという機能を有するため、AD変換部を信号処理部ということもある。

20

【0019】

さらに、ブロック201には、AD変換部403からのデジタル信号を保持するメモリ404が設けられている。メモリ404に保持されたデジタル信号は、水平走査回路206で制御され、信号処理部208に出力される。なお、ブロック201にはメモリ404に保持されているデジタル信号を増幅するセンス回路(不図示)も設けられている。

30

【0020】

メモリ404から出力されたデジタル信号は、信号処理部208で処理される。信号処理部208は、例えば、オプティカルブラック領域の信号と有効画素領域の信号との差分演算や、画素信号同士の加算等を行う。また、信号処理部208は、処理結果に基づいて、TG207へ制御信号を出す。例えば、以下で説明するように、画素ブロックごとに、電荷蓄積時間(露光時間)を制御する信号を出す。

40

【0021】

本実施形態では、各画素ブロック101に対応した各選択回路401が、各画素ブロック101に対応した各ブロック201に設けられている。第1選択回路によって、転送ゲートに与えられる信号が選択されるため、第1画素ブロックに配されている複数の画素の電荷蓄積時間を制御するという意味で、各画素ブロックと各選択回路は機能的に対応している。また、上記のように、画素ブロック101とブロック201は物理的な位置関係も対応しているため、ブロック201に設けられている各選択回路401と画素ブロック101も物理的な位置関係が対応している。例えば、第1画素ブロックと第1選択回路は平面視において重複している。

【0022】

50

また、各画素ブロック 1 0 1 に対応した各ブロック 2 0 1 には、第 1 チップ 4 0 0 または第 2 チップ 4 1 0 に設けられうる選択回路以外の回路が設けられている。例えば、選択回路以外の回路としては、増幅部 4 0 2、A/D 変換部 4 0 3、メモリ 4 0 4 がある。選択回路以外の回路をブロック 2 0 1 に配置することにより、各画素ブロック 1 0 1 以外の第 1 チップ 4 0 0 の場所が削減でき、省スペース化が図れる。これにより、第 1 チップ 4 0 0 に設けられる画素ブロックの数等を増加させることができる。

【 0 0 2 3 】

ところで、特許文献 1 においては、「A/D 変換部 2 4」は、第 1 チップに配置されていた。これに対して、本実施形態によれば、特許文献 1 の「A/D 変換部 2 4」に相当する A/D 変換部 4 0 3 が第 2 チップ 4 1 0 のブロック 2 0 1 に設けられている。これにより、第 1 チップ 4 0 0 に配されている画素をより多く配置することが可能になる。また、各 A/D 変換部 4 0 3 が各ブロック 2 0 1 に設けられていることから、A/D 変換の並列処理が可能となり、高速化を図ることができる。また、特許文献 1 においては、「行選択ブロック 2 2」も、第 1 チップに配置されていた。これに対して、本実施形態によれば、特許文献 1 の「行選択ブロック 2 2」に相当する垂直ブロック走査回路 2 0 4 が第 2 チップ 4 1 0 に設けられている。これにより、第 1 チップ 4 0 0 に配されている画素をより多く配置することも可能になる。第 2 チップ 4 1 0 に複数の機能ブロックを配することにより、第 2 チップ 4 1 0 において、ブロック 2 0 1 のスペースが狭くなる可能性もある。この場合は、第 2 チップ 4 1 0 を複数チップとすればよい。

【 0 0 2 4 】

(画素ブロックごとに異なる露光時間と選択回路)

図 3 (A) に、2 行 2 列で配された複数の画素ブロック 1 0 1 を示す。各画素ブロック 1 0 1 は、2 行 2 列の画素から構成されている。白色で示した画素ブロック 1 0 1 は、短時間露光を行う画素ブロックであり、灰色で示した画素ブロック 1 0 1 は、長時間露光を行う画素ブロックである。

【 0 0 2 5 】

撮像領域においては、第 1 画素ブロックと、第 1 画素ブロックとは異なる場所に配されている第 2 画素ブロックとで、画素信号のレベル(信号値)が異なる場合がある。例えば、第 1 画素ブロックにおいて、画素の信号値がノイズレベルを下回る場合には、暗い部分で十分な階調が得られない可能性がある。他方、このような場合に、第 1 画素ブロックと第 2 画素ブロックにおいて、露光時間を一律に長時間に設定してしまうと、第 2 画素ブロックにおいて、画素の信号値が大きい場合には、飽和レベルに達してしまうことになる。これにより、第 2 画素ブロックでは、十分な階調が得られない可能性がある。そこで、図 3 (A) に示すように、本実施形態では、長時間露光を行う複数のブロックと、短時間露光を行う複数のブロックを設けることにより、広いダイナミックレンジを達成する。

【 0 0 2 6 】

図 2 (A) の垂直ブロック走査回路 2 0 4 から選択回路 4 0 1 には、垂直ブロック制御信号線群 2 0 5 を介して、PTX[X] の行選択パルス信号が与えられる。PTX[X] の信号線の信号は選択回路 4 0 1 により選択され、選択されたタイミングに応じて、転送トランジスタのゲートに PTX[Y, Z] の画素選択パルス信号(画素ブロック選択パルス信号)が与えられる。PTX[Y, Z] の信号は、画素駆動信号(画素ブロック駆動信号)という場合もある。

【 0 0 2 7 】

図 3 (A) に示すように、PTX[0] から PTX[3] の信号線は、1 行から 4 行目の画素に対応している。図 3 (A) に示す場合は、2 行 2 列の 4 つの画素で 1 つの画素ブロックを構成し、かつ、2 行 2 列の計 4 つの画素ブロックを示している。PTX[0] と PTX[1] の信号線が 2 つの画素ブロックに対応し、PTX[2] と PTX[3] の信号線が 2 つの画素ブロックに対応している。図 3 (A) における画素 3 0 2__1 と画素 3 0 2__2 は短時間露光なのに対して、画素 3 0 6 は長時間露光である。そのため、PTX[0] の信号線によってのみ、画素 3 0 2__1、3 0 2__2 と画素 3 0 6 の転送トランジ

10

20

30

40

50

スタの動作を制御すると、短時間露光または長時間露光のいずれかしか行えないことになる。そこで、本実施形態では、水平ブロック制御信号線群 203 と、垂直ブロック制御信号線群 205 と、選択回路 401 を用いて、PTX[X] から PTX[Y, Z] を生成することにより、各画素の露光時間を制御している。

【0028】

図3(B)は、各制御信号を伝達する信号線群と選択回路401の構成例を示したものである。VSELは、垂直ブロック制御信号を伝達する信号線であり、HSELは、水平ブロック制御信号を伝達する信号線である。VSEL__Sは短時間露光用の信号線であり、VSEL__Lは長時間露光用の信号線である。また、HSEL__Sは短時間露光用の信号線であり、HSEL__Lは長時間露光用の信号線である。さらに、VSEL__RDは、読み出し用の信号線である。

10

【0029】

選択回路401は、HSEL__SとVSEL__Sに与えられる信号レベルが両方ハイレベルの場合と、HSEL__LとVSEL__Lに与えられる信号レベルが両方ハイレベルの場合に、PTX[X] から PTX[Y, Z] が生成される。生成された PTX[Y, Z] は、転送トランジスタのゲートに入力されるように構成されている。それ以外の組み合わせについては、PTX[X] から PTX[Y, Z] が生成されず、転送トランジスタのゲートには信号が入力されないように構成されている。

【0030】

具体的には、AND回路405には、VSEL__SとHSEL__Sが入力されるように構成されており、両方がハイレベルの場合に信号が出力されるように構成されている。また、AND回路406には、VSEL__LとHSEL__Lが入力されるように構成されており、両方がハイレベルの場合に信号が出力されるように構成されている。また、OR回路407には、VSEL__RDと、AND回路405、406の出力とが入力されるように構成されており、いずれかの信号が入力されれば、信号を出力するように構成されている。さらに、AND回路408および409には、PTX[X] と、OR回路407の出力とが入力されるように構成されている。PTX[X] の信号とOR回路407の出力信号の両方が入力された場合に、AND回路408、409からPTX[Y, Z] の信号が生成される。

20

【0031】

図3(B)のPTX[1, 0]は、画素302__1と画素302__2の転送トランジスタのゲートに入力される信号を伝達する信号線である。同様に、PTX[1, 1]は、画素303__1と303__2に対応し、PTX[1, 2]は、画素304__1と304__2に対応し、PTX[1, 3]は、画素305__1と305__2に対応している。

30

【0032】

(タイミングチャート)

図4は、画素302__1から305__2に関するタイミングチャートを示したものである。

【0033】

(期間T1)

期間T1は、1行1列目の画素ブロック101について、長時間露光用の画素ブロックの電荷蓄積を開始し、短時間露光用の画素ブロックの電荷蓄積は開始しない期間となる。本実施形態では、画素302__1、302__2、303__1、303__2で構成される画素ブロックは長時間露光ではないため、電荷蓄積を開始しない期間となる。すなわち、PTX[0]に信号が入力されたとしても、選択回路401により、PTX[1, 0]とPTX[1, 1]に信号を生成しないように構成する必要がある。ここで、VSEL__L[0]は、1行目に配されている複数の画素に共通接続される信号線であり、1行目には長時間露光を行う画素306が配されている。そのため、VSEL__L[0]の信号レベルはハイレベルとしておく必要がある。ここで、VSEL__L[0]の信号レベルがハイレベルとなっているので、もし、HSEL__L[0]の信号をハイレベルとすると、PTX

40

50

【 0 0 3 4 】
 [0] の信号から P T X [1 , 0] の信号が生成される。この結果、画素 3 0 2 __ 1 と 3 0 2 __ 2 の転送トランジスタのゲートに信号が入力されてしまう。このため、H S E L __ L [0] の信号レベルはローレベルとする。図 4 では、H S E L __ S [0] と V S E L __ S [1] の信号レベルがローレベルとされている。

【 0 0 3 4 】

以上のように駆動を行っているため、P T X [0] の信号から P T X [1 , 0] の信号が生成されず、また、P T X [1] の信号から P T X [1 , 1] の信号が生成されていない。このため、画素 3 0 2 __ 1、3 0 2 __ 2、3 0 3 __ 1、3 0 3 __ 2 の転送トランジスタのゲートには、信号が入力されていない。

【 0 0 3 5 】

10

(期間 T 2)

期間 T 2 は、2 行 1 列目のブロックについて、長時間露光用の画素ブロックに該当する場合には、電荷蓄積を開始し、短時間露光用の画素ブロックに該当する場合には、電荷蓄積は開始しない期間となる。本実施例では、画素 3 0 4 __ 1、3 0 4 __ 2、3 0 5 __ 1、3 0 5 __ 2 は、長時間露光用のブロックに属する画素であるため、期間 T 2 は、電荷蓄積を開始する期間である。そこで、V S E L __ L [1] の信号と H S E L __ L [0] の信号をハイレベルとする。これにより、P T X [2] の信号から P T X [1 , 2] が生成され、画素 3 0 4 __ 1 と 3 0 4 __ 2 の転送トランジスタのゲートに P T X [1 , 2] が与えられる。また同様に、P T X [3] の信号から P T X [1 , 3] が生成され、画素 3 0 5 __ 1 と 3 0 5 __ 2 の転送トランジスタのゲートに [1 , 3] が与えられる。これにより、2 行目のブロックの画素については、長時間蓄積が開始されることになる。

20

【 0 0 3 6 】

(期間 T 3)

期間 T 3 は、1 行 1 列目のブロックについて、短時間露光の電荷蓄積を開始する期間となる。具体的には、画素 3 0 2 __ 1、3 0 2 __ 2、3 0 3 __ 1、3 0 3 __ 2 について、短時間露光の電荷蓄積を開始する期間である。この場合、V S E L __ S [0] の信号と H S E L __ S [0] の信号レベルの両方をハイレベルとする。これにより、P T X [0] の信号から P T X [1 , 0] が生成され、画素 3 0 2 __ 1 と 3 0 2 __ 2 の転送トランジスタのゲートに P T X [1 , 0] が与えられる。また同様に、P T X [1] の信号から P T X [1 , 1] が生成され、画素 3 0 3 __ 1 と 3 0 3 __ 2 の転送トランジスタのゲートに P T X [1 , 1] が与えられる。これにより、短時間蓄積が開始されることになる。

30

【 0 0 3 7 】

(期間 T 4)

期間 T 4 は、1 行 1 列目のブロックに属する画素 3 0 2 __ 1、3 0 2 __ 2、3 0 3 __ 1、3 0 3 __ 2 について、短時間露光の電荷蓄積を終了する期間であり、P T X [Y , Z] の信号をこれらの画素の転送トランジスタのゲートに与える必要がある。そのため、V S E L __ R D [0] の信号レベルをハイレベルにする。V S E L __ R D は読み出し用の信号線であり、この信号線の信号レベルをハイレベルとすれば、V S E L や H S E L がどのようなレベルでも、P T X [X] の信号から P T X [Y , Z] の信号が生成される。これにより、P T X [Y , Z] の信号が画素の転送トランジスタの転送ゲートに与えられることになる。

40

【 0 0 3 8 】

他方、2 行 1 列目のブロックに属する画素 3 0 4 __ 1、3 0 4 __ 2、3 0 5 __ 1、3 0 5 __ 2 については、期間 T 4 は、長時間露光を連続させるため、P T X [Y , Z] の信号を画素の転送トランジスタのゲートに与えない期間となる。ここでは、V S E L __ L [1] の信号レベルはローレベルにしておくことにより、P T X [2] と P T X [3] の信号から P T X [Y , Z] の信号が生成されない。これにより、転送トランジスタのゲートに与えられる画素駆動信号が画素に与えられないようにしてある。

【 0 0 3 9 】

(期間 T 5)

50

期間 T 5 は、2 行 1 列目のブロックに属する画素 3 0 4 __ 1、3 0 4 __ 2、3 0 5 __ 1、3 0 5 __ 2 について、長時間露光の電荷蓄積を終了する期間であり、P T X [Y , Z] の信号をこれらの画素の転送トランジスタのゲートに与える必要がある。そのため、V S E L __ R D [1] の信号レベルをハイレベルにする。これにより、P T X [2] と P T X [3] から P T X [Y , Z] の信号が生成され、この信号が各画素の転送トランジスタのゲートに与えられる。

【 0 0 4 0 】

上記では詳細に説明しなかったが、図 4 に記載した P S E L は、選択トランジスタ M 4 をオンにするための信号を伝達する信号線であり、P R E S は、リセットトランジスタ M 1 をオンにするための信号を伝達する信号線である。垂直ブロック制御信号線群 2 0 5 と

10

【 0 0 4 1 】

上記のように、選択回路 4 0 1、垂直ブロック走査回路 2 0 4、垂直ブロック制御信号線群 2 0 5、水平ブロック走査回路 2 0 2、水平ブロック制御信号線群 2 0 3 を構成することで、各画素ブロックそれぞれ独立に選択し、露光時間を制御することができる。

【 0 0 4 2 】

上記した水平ブロック制御信号線群 2 0 3 と垂直ブロック制御信号線群 2 0 5 を用いた画素駆動信号の選択は一例である。本実施形態の選択回路 4 0 1 は、複数の画素ブロック 1 0 1 に関する画素駆動信号の入力タイミングがそれぞれ独立に選択できるように構成された回路であれば何でもよい。例えば、上記の例では、第 1 の方向から与えられた信号と、第 1 の方向とは異なる第 2 の方向から与えられた信号に基づいて、選択回路 4 0 1 が、行転送パルス信号（行選択パルス信号）から画素転送パルス信号（画素選択パルス信号）を生成するかを選択した。ここで、第 1 の方向から与えられた信号とは、垂直ブロック走査回路 2 0 4 からの信号であり、第 2 の方向から与えられた信号とは、水平ブロック走査回路 2 0 2 からの信号である。しかし、画素ブロックごとに露光時間を制御するためには、このような選択回路 4 0 1 以外の回路であってもよい。例えば、特開 2 0 1 2 - 1 5 1 8 4 7 号公報に開示されている回路を用いて、ブロックごとの露光時間を制御してもよい。

20

【 0 0 4 3 】

また、上記の例では、転送トランジスタ M 2 のゲートに入力される信号を制御することにより、露光時間を制御していたが、選択回路によって制御される信号はこれに限られない。例えば、光電変換部と電源電圧との間にオーバーフロートランジスタを設け、オーバーフロートランジスタのゲートに入力される信号を制御することにより、露光時間を制御してもよい。この場合、選択回路によって制御される信号は、オーバーフロートランジスタのゲートに入力される信号になる。

30

【 0 0 4 4 】

また、上記の例では、同一行に配されている第 1 画素ブロックと第 2 画素ブロックとで、電荷蓄積時間が異なる例を示したが、第 1 画素ブロックと第 2 画素ブロックで電荷蓄積時間は同じとし、露光開始と終了の時間を変えるような駆動を行ってもよい。すなわち、複数の画素ブロック 1 0 1 に関する画素駆動信号の入力タイミングがそれぞれ独立に選択できるように構成されていれば、このような駆動も可能となる。

40

【 0 0 4 5 】

さらに、上記の例では、垂直ブロック走査回路（第 1 ブロック走査回路）が垂直走査回路（第 1 走査回路）の機能を有する例を説明した。しかし、垂直ブロック走査回路（第 1 ブロック走査回路）と、垂直走査回路（第 1 走査回路）は別々に設けてもよい。

【 0 0 4 6 】

（予備露光による画素ブロック別の露光時間の決定）

図 5（A）に示す画素ブロック 1 0 1 においては、第 1 種の画素 1 1 0 と第 2 種の画素 1 2 0 が設けられている。画素ブロック 1 0 1 に配される画素のうち、第 1 種の画素 1 1 0 は一部の画素であり、間引き読み出しに用いられる画素である（間引き用画素）。他方、第 2 種の画素 1 2 0 は、間引き読み出しに用いられず、画像形成などに用いられる画素

50

である（非間引き用画素）。

【 0 0 4 7 】

まず、第 1 種の画素 1 1 0 について、間引き読み出しを行い、各画素ブロック 1 0 1 の露光条件を決定する。具体的には、複数の画素ブロックに配されている第 1 種の画素 1 1 0 の信号を垂直出力線 V o u t を介して読み出される。複数の配線層を介して、画素のアナログ信号が、図 5（B）に示す、第 2 チップ 4 1 0 の増幅部に入力される。第 2 チップ 4 1 0 の増幅部 4 0 2 によって増幅されたアナログ信号は、A D 変換部 4 0 3 によって、デジタル信号に変換される。メモリ 4 0 4 に格納された第 1 種の画素 1 1 0 からの信号は、タイミングジェネレータ 2 0 7（T G 2 0 7）と水平走査回路 2 0 6 を用いて、順次読み出され、信号処理部 2 0 8 に出力される。

10

【 0 0 4 8 】

信号処理部 2 0 8 は、各画素ブロック 1 0 1 の露光条件を決定する。例えば、閾値と画素信号の値を比較し、閾値よりも画素信号が大きい場合には、その第 1 種の画素 1 1 0 が属する画素ブロックについては、短時間露光を行うことを決定する。逆に、閾値よりも画素信号が小さい場合には、その第 1 種の画素 1 1 0 が属する画素ブロックについては、長時間露光を行うことを決定する。信号処理部 2 0 8 は、画素信号の値と露光時間のモードとを対応づけたテーブルに基づいて、短時間露光と長時間露光を決定してもよい。

【 0 0 4 9 】

信号処理部 2 0 8 の処理結果に基づいて、T G 2 0 7、垂直ブロック走査回路 2 0 4、水平ブロック走査回路 2 0 2、選択回路 4 0 1 を制御する。これにより、例えば、図 3（A）に示すように、画素ブロック 1 0 1 ごとに異なる露光時間を設定することができる。

20

【 0 0 5 0 】

上記のように、各画素ブロックに配されている所定の画素について、間引き読み出しを行った後に、各画素ブロックの露光時間の制御を行うことが可能である。全ての画素からの信号を読み出してから、各画素ブロックの露光時間を決定する場合と比較して、本実施形態では、間引きして読み出した画素により露光時間の制御を行う。これにより、最適な露光の条件をより短時間で決定することができる。

【 0 0 5 1 】

また、各フレーム間の差分から、各画素ブロックにおける被写体の動き情報を抽出することも可能である。例えば、被写体の動きに応じて、前のフレームで短時間露光を行っていた画素ブロックを長時間露光とすることや、逆に、前のフレームで長時間露光を行っていた画素ブロックを短時間露光とすることも可能である。動き情報の抽出などは、信号処理部 2 0 8 で行うことが可能である。

30

【 0 0 5 2 】

（変形例 1）

図 6（A）は、図 1（A）に相当する図であるが、各画素ブロック 1 0 1 は 3 行 3 列の画素 3 0 1 で構成されておらず、3 行 4 列で複数の画素ブロックが配されている。また、図 6（B）は、図 1（B）に相当する図である。

【 0 0 5 3 】

図 6（C）は、図 6（A）の破線部で囲われた 1 列目の画素ブロックを拡大した図であり、1 行目から 3 行目までの画素ブロック 1 0 1 a ~ 1 0 1 c が示されている。画素ブロック 1 0 1 a ~ 1 0 1 c を構成する複数の画素のうち、1 列目 ~ 3 列目に配されている複数の画素は、第 1 垂直出力線 V o u t [1] ~ 第 3 垂直出力線 V o u t [3] と接続している。

40

【 0 0 5 4 】

図 6（D）は、図 6（B）の破線部で囲われた 1 列目のブロックを拡大した図であり、1 行目から 3 行目までのブロック 2 0 1 a ~ 2 0 1 c が示されている。ブロック 2 0 1 a ~ 2 0 1 c に対応して、選択回路 4 0 1 a ~ 4 0 1 c が設けられている。一方、A D 変換部 4 0 3 は、各画素の列ごとに設けられており、第 1 垂直出力線 V o u t [1] ~ 第 3 垂直出力線 V o u t [3] は、第 1 A D 変換部 4 0 3 [1] ~ 第 3 A D 変換部 4 0 3 [3]

50

と接続している。例えば、第1垂直出力線 $Vout[1]$ からのアナログ信号は、第1AD変換部403[1]においてデジタル信号に変換される。このように、複数のブロック201で、1つの機能を有する回路を共有してもよい。このように構成すれば、各AD変換部403が占める面積を広げることができ、レイアウト上の自由度を高めることが可能となる。

【0055】

(変形例2)

図6(C)に示すように、第1チップにおいて、列方向において複数の画素が等ピッチで配されている場合、複数の垂直出力線 $Vout$ も等ピッチで配されることになる。しかし、図6(D)に示すような配置を行うと、複数の垂直出力線 $Vout$ からの配線を第2チップの方に引き回した場合、垂直出力線 $Vout$ とAD変換部403との距離が各列で異なってしまう。例えば、第3垂直出力線 $Vout[3]$ から第3AD変換部403[3]までの配線の経路の長さは、第1垂直出力線 $Vout[1]$ から第1AD変換部403[1]までの配線の経路の長さよりも長くなり、配線容量が異なってしまうことになる。また、配線の引き回しが複雑になり、複雑な配線レイアウトになる可能性がある。

【0056】

図7(A)は、この課題を解決する構成例である。図7(A)において、ブロック201a~201cに対応して、選択回路401a~401cが設けられている。図6(D)と異なる点は、選択回路401a~401cが、ブロック201a~201cの側部ではなく、下部に設けられている点である。また、各画素ブロック101a~101cに対応して、第1AD変換部403[1]~第3AD変換部403[3]が設けられている。この構成によれば、第1AD変換部403[1]~第3AD変換部403[3]における列方向のピッチと、第1垂直出力線 $Vout[1]$ ~第3垂直出力線 $Vout[3]$ における列方向のピッチが、略同一になる。そのため、垂直出力線 $Vout$ とAD変換部403との距離が各列において、略同一となり、配線容量のバラツキも低減することができる。

【0057】

(変形例3)

図7(B)は、図7(A)をさらに変形したものである。図7(B)において、第1AD変換部403[1]~第3AD変換部403[3]における列方向のピッチと、第1垂直出力線 $Vout[1]$ ~第3垂直出力線 $Vout[3]$ における列方向のピッチを略同一にした点は、図7(A)と共通する。ただし、図7(B)では、各AD変換部が、複数のブロック201で共有されている。具体的には、第1AD変換部403[1]~第3AD変換部403[3]は、ブロック201aとブロック201bとで共有されている。図7(B)の構成によれば、図7(A)と比較して、各AD変換部403が占める面積を広げることができ、回路規模が大きなAD変換部も採用することが可能である。

【0058】

(変形例4)

図7(C)においては、ブロック201a~201cに対応して、選択回路401a~401cが設けられている。また、第1垂直出力線 $Vout[1]$ ~第3垂直出力線 $Vout[3]$ は、第1AD変換部403[1]~第3AD変換部403[3]と接続されている。また、第1AD変換部403[1]~第3AD変換部403[3]は、ブロック201a~201cに対応して設けられている。図7(C)の構成によれば、図7(A)と比較して、各AD変換部403が占める面積を広げることができ、回路規模が大きなAD変換部も採用することができる。また、図7(B)の構成では、細長いレイアウトのAD変換部に制約されるが、図7(C)の構成によれば、このような制約がなくなり、レイアウトの自由度が確保できる。

【0059】

(変形例5)

図8(A)は、3行3列からなる複数の画素を1つの画素ブロックとし、4つの画素ブロック101a~101dが第1チップに配置されている図である。1列目から6列目の

10

20

30

40

50

画素に対応して、第1垂直出力線 $Vout[1]$ ~ 第6垂直出力線 $Vout[6]$ が設けられている。また、第2チップには、図8(B)に示すように、画素ブロック $101a \sim 101d$ に対応して、ブロック $201a \sim 201d$ が設けられている。また、ブロック $201a \sim 201d$ には、画素ブロック $101a \sim 101d$ に対応する選択回路 $401a \sim 401d$ が設けられている。第1垂直出力線 $Vout[1]$ ~ 第6垂直出力線 $Vout[6]$ は、第1AD変換部 $403[1]$ ~ 第6AD変換部 $403[6]$ と接続されている。第1AD変換部 $403[1]$ ~ 第3AD変換部 $403[3]$ は、ブロック $201a$ と $201c$ で共有されており、第4AD変換部 $403[4]$ ~ 第6AD変換部 $403[6]$ は、ブロック $201b$ と $201d$ で共有されている。これにより、各AD変換部 403 が占める面積を広げることができ、回路規模が大きなAD変換部も採用することができる。また、第1チップに設けられている第1垂直出力線 $Vout[1]$ ~ 第3垂直出力線 $Vout[3]$ と、第2チップに設けられている第1AD変換部 $403[1]$ ~ 第3AD変換部 $403[3]$ との配線接続は、ブロック $201a$ の上部で行うことが可能となる。同様に、第1チップに設けられている第4垂直出力線 $Vout[4]$ ~ 第6垂直出力線 $Vout[6]$ と、第2チップに設けられている第4AD変換部 $403[4]$ ~ 第6AD変換部 $403[6]$ の配線接続は、ブロック $201d$ の上部で行うことが可能となる。ここで、配線接続をブロック $201a$ または $201d$ の上部でおこなうとは、例えば、第1チップと第2チップの接続部が、平面視において、ブロック $201a$ または $201d$ と重複していることをいう。この構成を採用することにより、各垂直出力線からAD変換部までの配線引き回しを短縮化することができ、各配線の配線容量のバラツキも低減することができる。また、各垂直出力線からAD変換部までの配線引き回しを簡略化することにより、他の配線に関する配線レイアウトの自由度を確保することができる。

【0060】

(実施形態2)

本実施形態は、第1チップ400に増幅部とAD変換部を設け、第2チップ410に設けられているブロックにTGと信号処理部を設ける点において、実施形態1と異なる。

【0061】

図9は、本実施形態に係る第1チップ400を示しており、複数の画素ブロック 101 が行列状に配されている。また、第1チップ400には、複数の画素ブロック 101 の列ごとに、増幅部502とAD変換部503とを有する列回路が設けられている。増幅部502は補足的に設けられているものであり、増幅部を設けない構成も可能である。

【0062】

また、図9では、AD変換部503の全てが第1チップ400に設けられている形態を示したが、AD変換部503を構成する要素の第1部分を第1チップ400に設け、第2部分を第2チップ410に設けることも可能である。例えば、AD変換部503のうち、コンパレータを第1チップ400に設け、カウンタを第2チップ410に設けてもよい。カウンタを第2チップ410に設けることで、第1チップ400のスペースが確保されるため、より多くの画素を配置できる点でメリットがある。

【0063】

図10(A)は、本実施形態に係る第2チップ410を示しており、複数の第2ブロック601には、水平ブロック制御信号線群603を介して、水平ブロック走査回路から信号が入力される。また、複数の第2ブロック601には、垂直ブロック制御信号線群605を介して、垂直ブロック走査回路604から信号が入力される。

【0064】

図10(B)は、各第2ブロック601の構成を示したものである。第2ブロック601は、選択回路401の他に、TG207と、信号処理部208を有する。

【0065】

図9に戻ると、AD変換部503からのデジタル信号は、図10(A)のメモリ606に保持される。メモリ606からの信号は、図10(B)の信号処理部208に信号が出力される。信号処理部208は、例えば、オプティカルブラック領域の信号と有効画素領

10

20

30

40

50

域の信号との差分演算や、画素信号同士の加算演算等を行う。また、信号処理部 208 は、処理結果に基づいて、TG207 へ制御信号を出力する。例えば、画素ブロックごとに、電荷蓄積時間（露光時間）を制御する信号を出力する。TG207 は、水平ブロック走査回路 602 と垂直ブロック走査回路 604 に信号を出力し、選択回路 401 を介して、PTX の駆動信号を制御することで、各画素ブロックの露光時間を制御する。例えば、第 1 画素ブロックは第 1 露光時間とし、第 2 画素ブロックは第 1 露光時間よりも長い露光時間である第 2 露光時間とするように制御することができる。

【0066】

また、図 10 (C) に第 2 ブロック 601 の構成の変形例を示した。図 10 (C) においても、ブロック 601 a ~ 601 c に対応して、選択回路 401 a ~ 401 c が設けられている。他方、TG207 と信号処理部 208 は、ブロック 601 a およびブロック 601 b で共有されている。

10

【0067】

本実施形態では、各画素ブロック 101 に対応した各選択回路 401 が、各画素ブロック 101 に対応した各ブロック 201 に設けられている。また、各画素ブロック 101 に対応した各ブロック 201 には、第 1 チップ 400 または第 2 チップ 410 に設けられうる選択回路以外の回路が設けられている。例えば、選択回路以外の回路としては、TG207 や、信号処理部 208 がある。選択回路以外の回路をブロック 201 に配置することにより、各画素ブロック 101 以外の第 1 チップ 400 の場所や、各ブロック 201 以外の第 2 チップ 410 の場所が削減でき、省スペース化が図れるというメリットがある。

20

【0068】

（実施形態 3）

本実施形態は、実施形態 2 では第 1 チップ 400 に設けられていた増幅部と AD 変換部を、第 2 チップ 410 のブロック 901 に配置する点において、実施形態 2 と異なる。

【0069】

図 11 (A) は、本実施形態に係る第 2 チップ 410 を示しており、複数の第 2 ブロック 901 には、水平ブロック制御信号線群 903 を介して、水平ブロック走査回路から信号が入力される。また、複数の第 2 ブロック 901 には、垂直ブロック制御信号線群 905 を介して、垂直ブロック走査回路 904 から信号が入力される。

【0070】

30

図 11 (B) は、第 2 ブロック 901 の構成を示したものである。第 2 ブロック 901 は、選択回路 401 の他に、TG207 と、信号処理部 208 と、増幅部 402 と、AD 変換部 403 と、メモリ 404 を有する。

【0071】

画素からのアナログ信号は、増幅部 402 を介して、AD 変換部 403 でデジタル信号に変換されて、メモリ 404 に格納される。メモリ 404 で保持されたデジタル信号は、信号処理部 208 に出力される。信号処理部 402 は、例えば、オプティカルブラック領域の信号と有効画素領域の信号との差分演算や、画素信号同士の加算演算等を行う。また、信号処理部 208 は、処理結果に基づいて、TG207 へ制御信号を出力する。例えば、画素ブロックごとに、電荷蓄積時間（露光時間）を制御する信号を出力する。TG207 は、水平ブロック走査回路 902 と垂直ブロック走査回路 904 に信号を出力し、選択回路 401 を介して、PTX [Y, Z] の画素駆動信号を制御することで、各画素ブロックの露光時間を制御する。例えば、第 1 画素ブロックは第 1 露光時間とし、第 2 画素ブロックは第 1 露光時間よりも長い露光時間である第 2 露光時間とするように制御することができる。

40

【0072】

本実施形態では、各画素ブロック 101 に対応した各選択回路 401 が、各画素ブロック 101 に対応した各ブロック 901 に設けられている。また、各画素ブロック 101 に対応した各ブロック 901 には、第 1 チップ 400 または第 2 チップ 410 に設けられうる選択回路以外の回路が設けられている。例えば、選択回路以外の回路としては、増幅部

50

402、AD変換部403、メモリ404、TG207、信号処理部208がある。選択回路以外の回路をブロック901に配置することにより、各画素ブロック101以外の第1チップ400の場所や、各ブロック901以外の第2チップ410の場所が削減でき、省スペース化が図れるというメリットがある。

【0073】

(実施形態4)

図12は、本実施形態による撮像システム500の構成を示すブロック図である。本実施形態の撮像システム500は、上記の撮像装置のいずれかの構成を適用した撮像装置2000を含む。撮像システム500の具体例としては、デジタルスチルカメラ、デジタルカムコーダー、監視カメラ等が挙げられる。撮像システム500は、撮像装置2000、レンズ5020、絞り504、レンズ5020の保護のためのバリア506を有する。撮像システム500は、撮像装置2000から出力される出力信号の処理を行う信号処理部5080(画像信号生成部)を有する。信号処理部5080は、必要に応じて入力信号に対して各種の補正、圧縮を行って出力する信号処理の動作を行う。信号処理部5080は、撮像装置2000より出力される出力信号に対してAD変換処理を実施する機能を備えていてもよい。撮像システム500は、更に、画像データを一時的に記憶するためのバッファメモリ部510、外部コンピュータ等と通信するための外部インターフェース部(外部I/F部)512を有する。更に撮像システム500は、撮像データの記録又は読み出しを行うための半導体メモリ等の記録媒体514、記録媒体514に記録又は読み出しを行うための記録媒体制御インターフェース部(記録媒体制御I/F部)516を有する。

【0074】

更に撮像システム500は、各種演算を行うとともにデジタルスチルカメラ全体を制御する全体制御・演算部518、撮像装置2000と信号処理部5080に各種タイミング信号を出力するタイミング発生部520を有する。撮像装置2000は、画像用信号を信号処理部5080に出力する。信号処理部5080は、撮像装置2000から出力される画像用信号に対して所定の信号処理を実施し、画像データを出力する。また、信号処理部5080は、画像用信号を用いて、画像を生成する。

【0075】

上述した各実施例の撮像装置による撮像装置を用いて撮像システムを構成することにより、より良質の画像が取得可能な撮像システムを実現することができる。

【0076】

(実施形態5)

本実施形態の撮像システム及び移動体について、図13を用いて説明する。本実施形態では、車載カメラに関する撮像システムの一例を示す。図13は、車両システムとこれに搭載される撮像システムの一例を示したものである。撮像システム701は、撮像装置702、画像前処理部715、集積回路703、光学系714を含む。光学系714は、撮像装置702に被写体の光学像を結像する。撮像装置702は、光学系714により結像された被写体の光学像を電気信号に変換する。撮像装置702は、上述の各実施形態のいずれかの撮像装置である。画像前処理部715は、撮像装置702から出力された信号に対して所定の信号処理を行う。撮像システム701には、光学系714、撮像装置702及び画像前処理部715が、少なくとも2組設けられており、各組の画像前処理部715からの出力が集積回路703に入力されるようになっている。

【0077】

集積回路703は、撮像システム用途向けの集積回路であり、メモリ705を含む画像処理部704、光学測距部706、視差演算部707、物体認知部708、異常検出部709を含む。画像処理部704は、画像前処理部715の出力信号に対して、現像処理や欠陥補正等の画像処理を行う。メモリ705は、撮像画像の一次記憶、撮像画素の欠陥位置を格納する。光学測距部706は、被写体の合焦や、測距を行う。視差演算部707は、複数の撮像装置702により取得された複数の画像データから視差(視差画像の位相差)の算出を行う。物体認知部708は、車、道、標識、人等の被写体の認知を行う。異常

検出部 709 は、撮像装置 702 の異常を検出すると、主制御部 713 に異常を発報する。

【0078】

集積回路 703 は、専用に設計されたハードウェアによって実現されてもよいし、ソフトウェアモジュールによって実現されてもよいし、これらの組合せによって実現されてもよい。また、FPGA (Field Programmable Gate Array) やASIC (Application Specific Integrated Circuit) 等によって実現されてもよいし、これらの組合せによって実現されてもよい。

【0079】

主制御部 713 は、撮像システム 701、車両センサ 710、制御ユニット 720 等の動作を統括・制御する。なお、主制御部 713 を持たず、撮像システム 701、車両センサ 710、制御ユニット 720 が個別に通信インターフェースを有して、それぞれが通信ネットワークを介して制御信号の送受を行う（例えばCAN規格）方法も取りうる。

10

【0080】

集積回路 703 は、主制御部 713 からの制御信号を受け或いは自身の制御部によって、撮像装置 702 へ制御信号や設定値を送信する機能を有する。例えば、集積回路 703 は、撮像装置 702 内の電圧スイッチ 13 を信号駆動させるための設定や、フレーム毎に電圧スイッチ 13 を切り替える設定等を送信する。

【0081】

撮像システム 701 は、車両センサ 710 に接続されており、車速、ヨーレート、舵角などの自車両走行状態及び自車外環境や他車・障害物の状態を検出することができる。車両センサ 710 は、視差画像から対象物までの距離情報を取得する距離情報取得手段でもある。また、撮像システム 701 は、自動操舵、自動巡行、衝突防止機能等の種々の運転支援を行う運転支援制御部 711 に接続されている。特に、衝突判定機能に関しては、撮像システム 701 や車両センサ 710 の検出結果を基に他車・障害物との衝突推定・衝突有無を判定する。これにより、衝突が推定される場合の回避制御、衝突時の安全装置起動を行う。

20

【0082】

また、撮像システム 701 は、衝突判定部での判定結果に基づいて、ドライバーに警報を発する警報装置 712 にも接続されている。例えば、衝突判定部の判定結果として衝突可能性が高い場合、主制御部 713 は、ブレーキをかける、アクセルを戻す、エンジン出力を抑制するなどして、衝突を回避、被害を軽減する車両制御を行う。警報装置 712 は、音等の警報を鳴らす、カーナビゲーションシステムやメーターパネルなどの表示部画面に警報情報を表示する、シートベルトやステアリングに振動を与えるなどしてユーザに警告を行う。

30

【0083】

本実施形態では、車両の周囲、例えば前方又は後方を撮像システム 701 で撮影する。図 1.3 (b) に、車両前方を撮像システム 701 で撮像する場合の撮像システム 701 の配置例を示す。

【0084】

また、本実施形態では、他の車両と衝突しない制御を説明したが、他の車両に追従して自動運転する制御や、車線からはみ出さないように自動運転する制御などにも適用可能である。さらに、撮像システム 701 は、自車両等の車両に限らず、例えば、船舶、航空機或いは産業用ロボットなどの移動体（移動装置）に適用することができる。加えて、移動体に限らず、高度道路交通システム（ITS）等、広く物体認識を利用する機器に適用することができる。

40

【0085】

（その他の実施形態）

以上、各実施形態について説明したが、本発明はこれらの実施形態に制限されるものではなく、様々な変更および変形が可能である。また、各実施形態は相互に適用可能である。

【符号の説明】

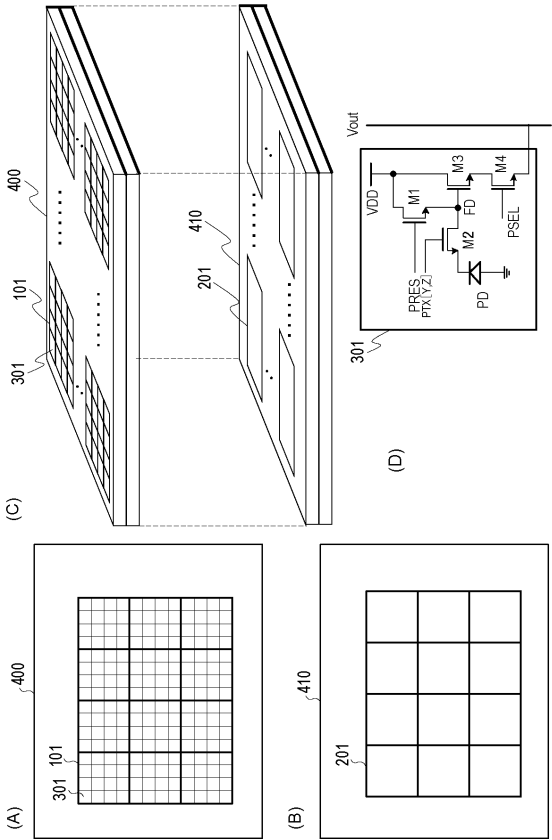
50

【 0 0 8 6 】

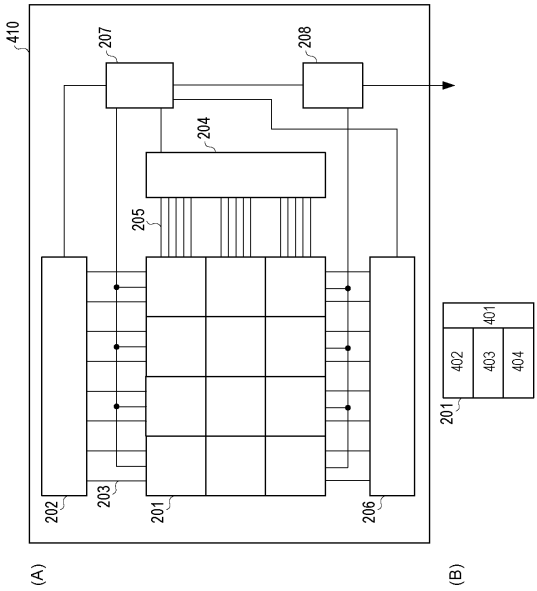
- 1 0 1 第 1 ブロック (画素ブロック)
- 2 0 2 第 2 ブロック
- 4 0 0 第 1 チップ
- 4 1 0 第 2 チップ

【 図 面 】

【 図 1 】



【 図 2 】



10

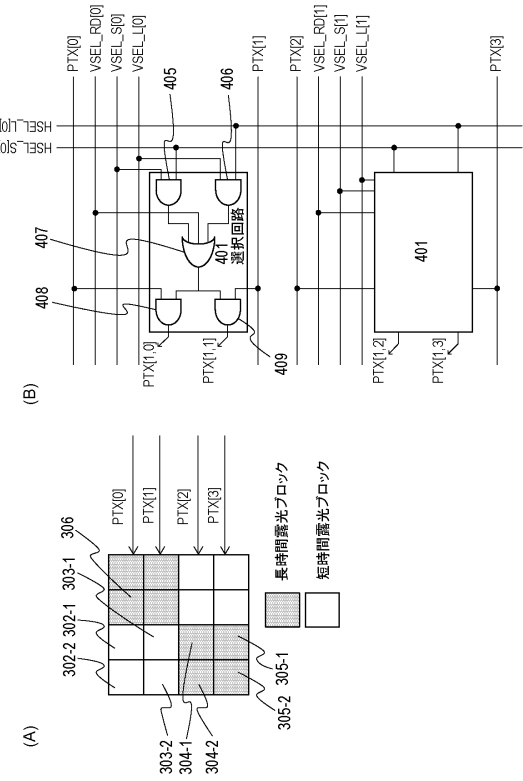
20

30

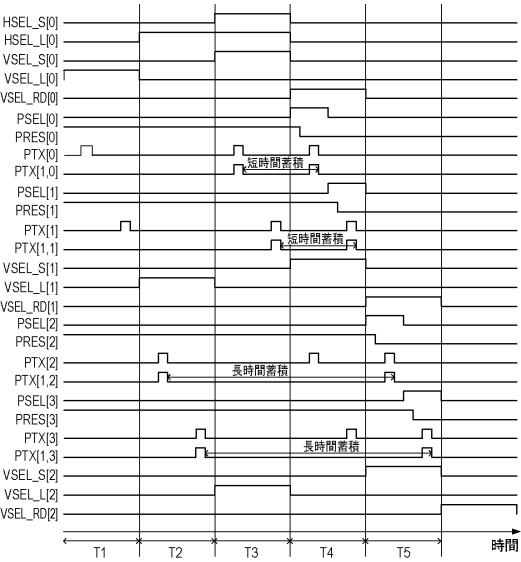
40

50

【図 3】



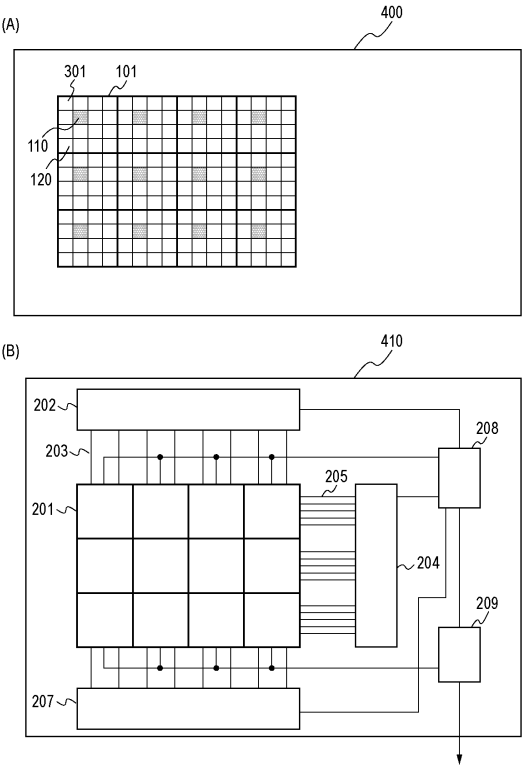
【図 4】



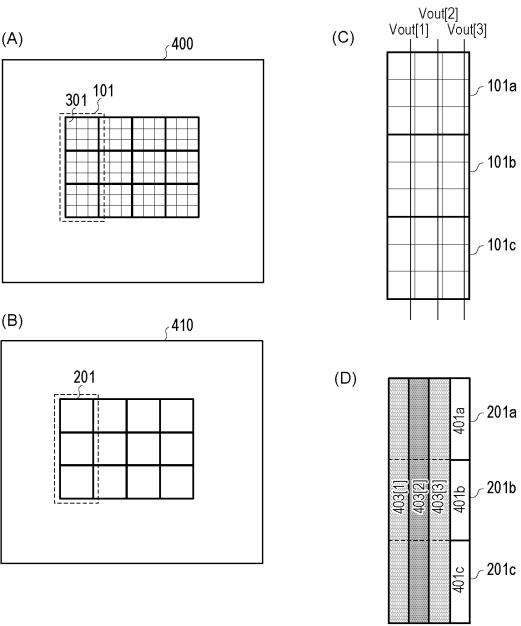
10

20

【図 5】



【図 6】

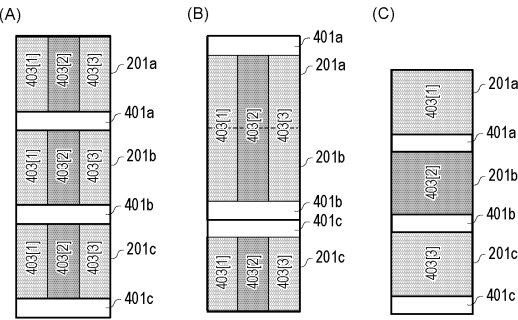


30

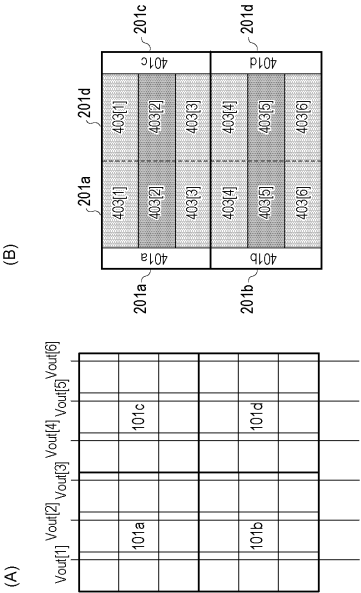
40

50

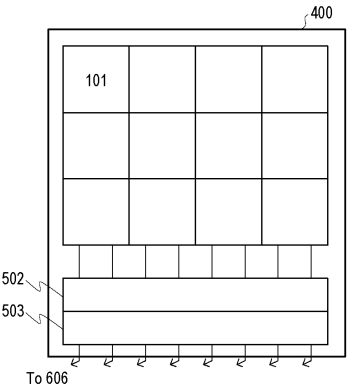
【図 7】



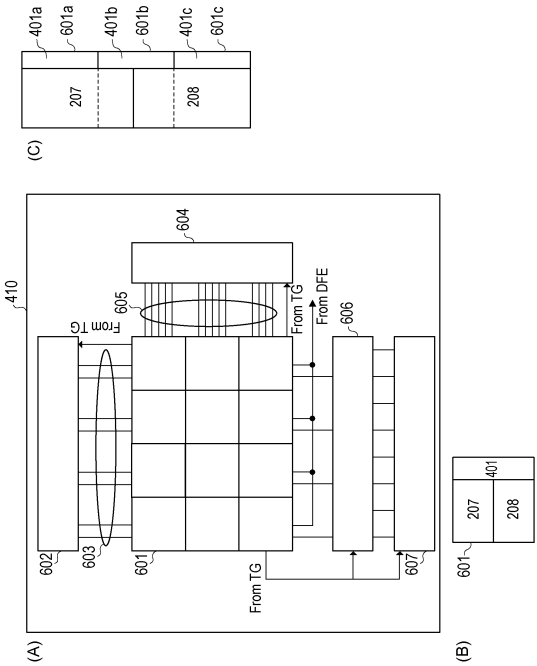
【図 8】



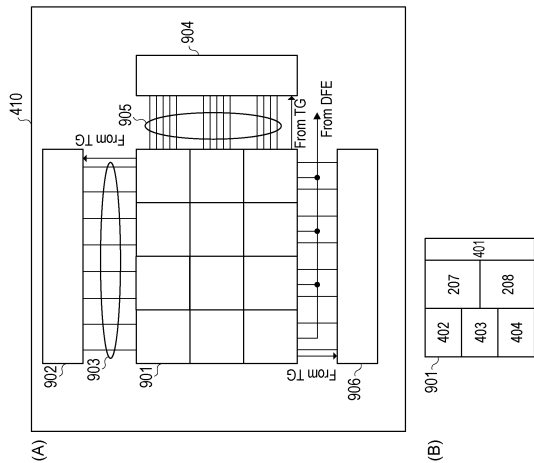
【図 9】



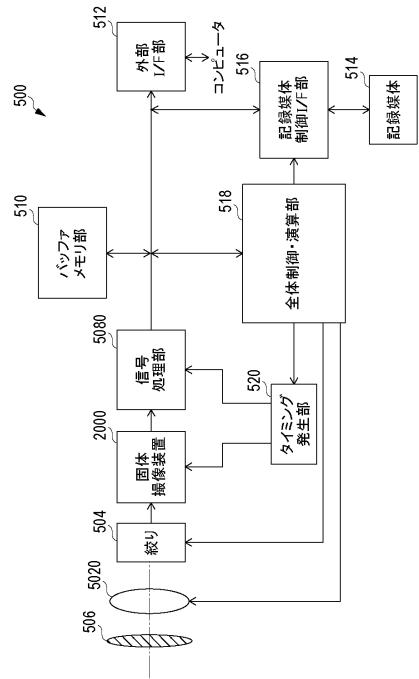
【図 10】



【図 1 1】



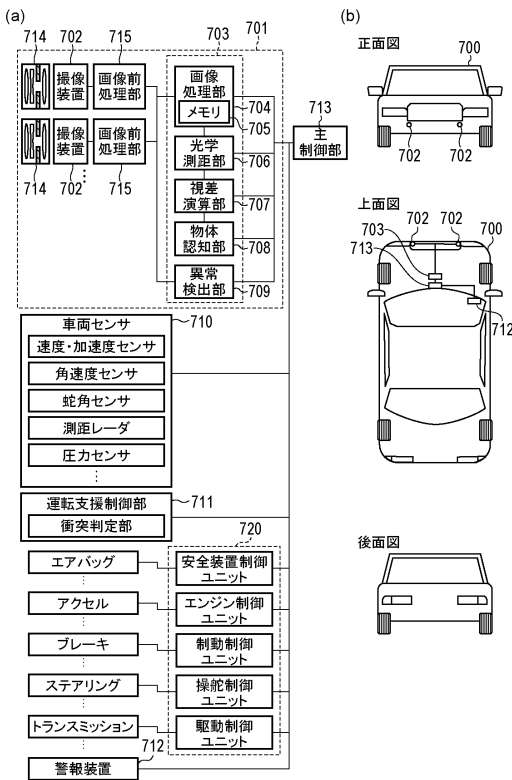
【図 1 2】



10

20

【図 1 3】



30

40

50

フロントページの続き

ヤノン株式会社内

(72)発明者 櫻井 克仁

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

審査官 鈴木 明

(56)参考文献 特開2015-103998(JP,A)

特開2012-175234(JP,A)

(58)調査した分野 (Int.Cl., DB名)

H04N 25/00 - 25/79

H01L 27/146