



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0130013
(43) 공개일자 2017년11월28일

(51) 국제특허분류(Int. Cl.)
G06F 11/263 (2006.01) G06F 11/22 (2017.01)
G06F 13/42 (2006.01)
(52) CPC특허분류
G06F 11/263 (2013.01)
G06F 11/2205 (2013.01)
(21) 출원번호 10-2016-0060361
(22) 출원일자 2016년05월17일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
윤주성
충청남도 아산시 배방읍 모산로126번길 17-7 (배방삼성그린코아아파트) 106동 2007호
신성섭
충청남도 아산시 탕정면 탕정면로 37 (탕정삼성트라펠리스아파트) 201동 2706호
(뒷면에 계속)
(74) 대리인
특허법인 고려

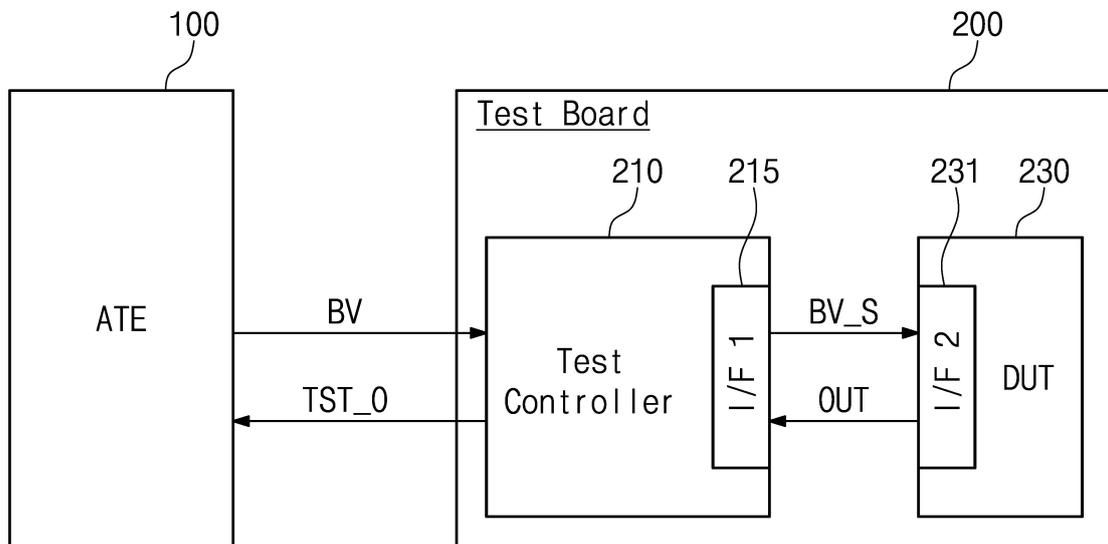
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 바이너리 백터 기반의 테스트 장치

(57) 요약

본 발명에 따른 테스트 장치는, 직렬 인터페이스 프로토콜을 사용하여 데이터를 교환하는 테스트 대상 장치, 그리고 상기 직렬 인터페이스 프로토콜의 물리 계층에 대응하는 바이너리 백터를 외부로부터 수신하고, 수신된 상기 바이너리 백터를 버퍼링하여 상기 테스트 대상 장치에 전달하는 테스트 컨트롤러를 포함한다.

대표도 - 도1



(52) CPC특허분류
G06F 13/4282 (2013.01)

(72) 발명자

이문호

충청남도 아산시 배방읍 배방로105번길 31 105동
302호 (공수리, 아산배방푸르지오아파트)

최운섭

충청남도 아산시 탕정면 탕정면로 37 501동 1705호
(명암리, 탕정삼성트라펠리스아파트)

명세서

청구범위

청구항 1

직렬 인터페이스 프로토콜을 사용하여 데이터를 교환하는 테스트 대상 장치; 그리고

상기 직렬 인터페이스 프로토콜의 물리 계층에 대응하는 바이너리 백터를 외부로부터 수신하고, 수신된 상기 바이너리 백터를 버퍼링하여 상기 테스트 대상 장치에 전달하는 테스트 컨트롤러를 포함하는 테스트 장치.

청구항 2

제 1 항에 있어서,

상기 테스트 컨트롤러는:

상기 바이너리 백터를 버퍼링하는 버퍼; 그리고

상기 버퍼링된 바이너리 백터를 상기 직렬 인터페이스 프로토콜에 대응하는 직렬 신호로 변환하는 시리얼라이저를 포함하는 테스트 장치.

청구항 3

제 2 항에 있어서,

상기 시리얼라이저는 상기 바이너리 백터를 상기 직렬 인터페이스 프로토콜에 대응하는 차동 신호로 변환하고, 데이터율을 가속하여 출력하는 테스트 장치.

청구항 4

제 1 항에 있어서,

상기 바이너리 백터는 상기 직렬 인터페이스 프로토콜의 상기 물리 계층에서 차동 신호를 통해서 수신되는 이진 신호의 시퀀스인 것을 특징으로 하는 테스트 장치.

청구항 5

제 1 항에 있어서,

상기 테스트 컨트롤러는 상기 직렬 인터페이스 프로토콜의 트랜잭션 계층, 링크 계층이 기능을 포함하지 않는 테스트 장치.

청구항 6

제 5 항에 있어서,

상기 테스트 컨트롤러는 필드 프로그래머블 게이트 어레이(FPGA)를 포함하는 테스트 장치.

청구항 7

제 1 항에 있어서,

상기 직렬 인터페이스 프로토콜은 PCIe, UFS, M.2 통신 방식들 중 적어도 하나를 포함하는 테스트 장치.

청구항 8

제 1 항에 있어서,

상기 직렬 인터페이스 프로토콜의 물리 계층은 MIPI M-PHY 스펙에 대응하는 테스트 장치.

청구항 9

제 1 항에 있어서,

상기 외부는 테스트를 위한 명령어나 데이터를 상기 바이너리 벡터로 변환하여 제공하는 자동 테스트 장비인 테스트 장치.

청구항 10

제 1 항에 있어서,

상기 테스트 컨트롤러는 적어도 하나의 차동 신호 라인 쌍을 통하여 상기 바이너리 벡터를 상기 테스트 대상 장치로 전송하며, 상기 차동 신호 라인 쌍에는 상기 테스트 컨트롤러의 제어에 따라 직류 오프셋을 조정하는 직류 오프셋 블록을 더 포함하는 테스트 장치.

청구항 11

제 10 항에 있어서,

상기 직류 오프셋 블록은 상기 테스트 컨트롤러로부터 제공되는 직류 오프셋 제어 신호에 응답하여 상기 차동 신호 라인에 직류 오프셋을 인가하는 적어도 하나의 수동 소자를 포함하는 테스트 장치.

청구항 12

범용 테스트 장치에 있어서:

수신된 이진 데이터를 직렬 전송 신호로 변환하는 테스트 컨트롤러;

상기 테스트 컨트롤러로부터 상기 직렬 전송 신호를 차동 신호 라인 쌍을 통해서 제공받는 테스트 대상 장치; 그리고

상기 테스트 컨트롤러로부터의 직류 오프셋 제어 신호에 응답하여 상기 차동 신호 라인 쌍의 직류 오프셋을 조정하는 직류 오프셋 블록을 포함하되,

상기 직류 오프셋 블록은 적어도 하나의 수동 소자를 포함하는 범용 테스트 장치.

청구항 13

제 12 항에 있어서,

상기 테스트 컨트롤러는 상기 테스트 대상 장치의 인터페이스 프로토콜의 종류에 따라 상기 직류 오프셋 제어 신호를 생성하는 범용 테스트 장치.

청구항 14

제 12 항에 있어서,

상기 테스트 컨트롤러는 상기 테스트 대상 장치의 동작 모드에 따라 상기 직류 오프셋 제어 신호의 레벨을 결정하는 범용 테스트 장치.

청구항 15

제 12 항에 있어서,

상기 직류 오프셋 블록은, 상기 직류 오프셋 제어 신호를 일단으로 제공받고, 상기 직류 오프셋 제어 신호를 상기 차동 신호 라인 쌍 중 적어도 어느 하나의 라인의 직류 오프셋으로 제공하는 인덕터를 포함하는 범용 테스트 장치.

청구항 16

제 12 항에 있어서,

상기 직류 오프셋 블록은, 상기 직류 오프셋 제어 신호를 전압 분배하여 상기 차동 신호 라인 쌍 중 적어도 어느 하나의 라인의 직류 오프셋으로 제공하는 분배 저항들을 포함하는 범용 테스트 장치.

청구항 17

제 12 항에 있어서,

상기 수신된 이진 데이터는 상기 테스트 대상 장치의 인터페이스 프로토콜의 물리 계층에 맵핑된 데이터인 것을 특징으로 하는 범용 테스트 장치.

청구항 18

제 17 항에 있어서,

상기 테스트 대상 장치는 상기 테스트 장치로부터 탈착 가능한 범용 테스트 장치.

청구항 19

제 12 항에 있어서,

상기 테스트 컨트롤러는 필드 프로그래머블 게이트 어레이(FPGA)를 포함하는 범용 테스트 장치.

청구항 20

제 12 항에 있어서,

상기 테스트 컨트롤러와 상기 테스트 대상 장치는 PCIe, UFS, M.2 통신 방식들 중 적어도 하나의 직렬 인터페이스 프로토콜에 따라 상기 직렬 전송 신호를 전송하는 범용 테스트 장치.

발명의 설명

기술 분야

[0001] 본 발명은 테스트 장치에 관한 것으로, 좀 더 구체적으로는 다양한 인터페이스 프로토콜의 메모리 장치들을 테스트할 수 있는 테스트 장치에 관한 것이다.

배경 기술

[0002] 일반적으로 패키지 공정 이후에 생산된 반도체 장치를 테스트하기 위해서는 반도체 장치에 특화된 테스트 컨트롤러가 포함되고, 반도체 장치가 탈착되는 테스트 보드 또는 테스트 장치가 사용된다. 테스트시, 테스트 보드에 반도체 장치가 장착되면 테스트 컨트롤러는 테스트를 위해 외부(예를 들면, ATE)에서 제공되는 명령어나 데이터를 디코딩하고, 그 결과를 반도체 장치에 전달할 것이다. 결국, 테스트를 수행하기 위한 테스트 컨트롤러의 인터페이스는 반도체 장치의 인터페이스 프로토콜에 의존적일 수밖에 없다.

[0003] 테스트 컨트롤러는 반도체 장치에 적용된 특정 프로토콜에 특화되어 있어야 한다. 따라서, 다른 프로토콜의 반도체 장치를 테스트하기 위해서는 테스트 컨트롤러를 바꾸어야 한다. 예를 들면, 테스트 컨트롤러의 기능을 수행하는 칩을 바꾸기도 한다. 필드 프로그래머블 게이트 어레이(Field Programmable Gate Array: 이하, FPGA)를 사용하여 테스트 컨트롤러를 구성하는 경우, 다른 종류의 인터페이스 프로토콜의 반도체 장치를 테스트하기 위해서는 새롭게 프로그램된 FPGA가 제공되어야 한다.

[0004] 양산되는 반도체 장치의 테스트 환경에서, 이러한 다양한 테스트 컨트롤러를 개발하는 데는 많은 시간과 노력이 필요하다. 더불어, 요구되는 테스트 물량에 따라 유연하게 대응하기 위해서는 범용적인 인터페이스 프로토콜 솔루션이 절실한 실정이다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 목적은 테스트 대상인 반도체 장치의 인터페이스 프로토콜에 의존적이지 않은 범용 테스트 장치를 제공하는 데 있다.

과제의 해결 수단

- [0006] 상기 목적을 달성하기 위한 본 발명에 따른 테스트 장치는, 직렬 인터페이스 프로토콜을 사용하여 데이터를 교환하는 테스트 대상 장치, 그리고 상기 직렬 인터페이스 프로토콜의 물리 계층에 대응하는 바이너리 벡터를 외부로부터 수신하고, 수신된 상기 바이너리 벡터를 버퍼링하여 상기 테스트 대상 장치에 전달하는 테스트 컨트롤러를 포함한다.
- [0007] 이 실시 예에서, 상기 바이너리 벡터는 상기 직렬 인터페이스 프로토콜의 상기 물리 계층에서 차동 신호를 통해서 수신되는 이진 신호의 시퀀스이다.
- [0008] 이 실시 예에서, 상기 테스트 컨트롤러는 필드 프로그래머블 게이트 어레이(FPGA)를 포함한다.
- [0009] 상기 목적을 달성하기 위한 본 발명에 따른 범용 테스트 장치는, 수신된 이진 데이터를 직렬 전송 신호로 변환하는 테스트 컨트롤러, 상기 테스트 컨트롤러로부터 상기 직렬 전송 신호를 차동 신호 라인 쌍을 통해서 제공받는 테스트 대상 장치, 그리고 상기 테스트 컨트롤러로부터의 직류 오프셋 제어 신호에 응답하여 상기 차동 신호 라인 쌍의 직류 오프셋을 조정하는 직류 오프셋 블록을 포함하되, 상기 직류 오프셋 블록은 적어도 하나의 수동 소자를 포함한다.
- [0010] 이 실시 예에서, 상기 테스트 컨트롤러는 상기 테스트 대상 장치의 인터페이스 프로토콜의 종류에 따라 상기 직류 오프셋 제어 신호를 생성한다.
- [0011] 이 실시 예에서, 상기 테스트 컨트롤러는 상기 테스트 대상 장치의 동작 모드에 따라 상기 직류 오프셋 제어 신호의 레벨을 결정한다.

발명의 효과

- [0012] 이상과 같은 본 발명의 실시 예에 따르면, 다양한 인터페이스 프로토콜의 반도체 장치를 테스트할 수 있는 테스트 장치를 구현할 수 있다.

도면의 간단한 설명

- [0013] 도 1은 본 발명에 따른 테스트 시스템을 보여주는 블록도이다.
- 도 2는 도 1의 ATE(100)에서 수행하는 송신 바이너리 벡터를 생성하는 단계를 간략히 보여주는 도면이다.
- 도 3은 본 발명의 테스트 컨트롤러의 구성을 보여주는 블록도이다.
- 도 4는 도 3의 테스트 컨트롤러(210)에서 수행되는 버퍼링과 시리얼라이징 절차를 도시한 도면이다.
- 도 5는 본 발명의 바이너리 벡터를 생성하는 방법을 간략히 보여주는 순서도이다.
- 도 6은 본 발명의 실시 예에 따른 테스트 대상 장치를 보여주는 블록도이다.
- 도 7은 본 발명의 실시 예에 따른 테스트 시스템의 동작을 보여주는 도면이다.
- 도 8은 본 발명의 다른 실시 예에 따른 테스트 보드를 보여주는 블록도이다.
- 도 9는 도 8의 직류 오프셋 블록의 실시 예를 보여주는 회로도이다.
- 도 10은 도 8의 직류 오프셋 블록의 다른 실시 예를 보여주는 회로도이다.
- 도 11은 본 발명의 직류 오프셋 제공에 따른 차동 신호 라인의 신호 레벨 변화를 보여주는 타이밍도이다.
- 도 12는 본 발명의 다른 실시 예에 따른 테스트 보드를 간략히 보여주는 블록도이다.

발명을 실시하기 위한 구체적인 내용

- [0014] 앞의 일반적인 설명 및 다음의 상세한 설명 모두 예시적이라는 것이 이해되어야 하며, 청구된 발명의 부가적인 설명이 제공되는 것으로 여겨져야 한다. 참조 부호들이 본 발명의 바람직한 실시 예들에 상세히 표시되어 있으며, 그것의 예들이 참조 도면들에 표시되어 있다. 가능한 어떤 경우에도, 동일한 참조 번호들이 동일한 또는 유사한 부분을 참조하기 위해서 설명 및 도면들에 사용된다. 본 발명은 다른 실시 예들을 통해 또한, 구현되거나 적용될 수 있을 것이다. 게다가, 상세한 설명은 본 발명의 범위, 기술적 사상 그리고 다른 목적으로부터 상당히

벗어나지 않고 관점 및 응용에 따라 수정되거나 변경될 수 있다.

- [0015] 본 발명에서 사용되는 '바이너리 벡터'라는 용어는 테스트 컨트롤러(Test controller)와 테스트 대상 장치(DUT) 사이의 인터페이스 규약(Protocol)의 물리 계층에 대응하는 데이터를 의미한다. 즉, 바이너리 벡터는 테스트를 위해서 테스트 대상 장치(DUT)에 제공되는 이진 데이터의 시퀀스를 의미한다. 일반적으로, 테스트를 위해서 명령어나 다양한 데이터가 제공된다. 하지만, 이러한 데이터나 명령어는 인터페이스 프로토콜의 트랜잭션 계층이나 링크 계층의 명령어나 데이터로 변환되어야 한다. 본 발명에서는 이러한 변환 절차가 완료된 벡터를 바이너리 벡터라 칭하기로 한다. 따라서, 바이너리 벡터는 버퍼에서 저장되고, 드라이버에 의해서 직렬 인터페이스를 통해서 전송되더라도 테스트 대상 장치(DUT)에서 수신되면 요청된 동작을 수행할 수 있다.
- [0016] 이하에서는 반도체 메모리 장치를 테스트하기 위한 테스트 보드 또는 테스트 장치를 예로 본 발명의 기술적 특징이 설명될 것이다. 하지만, 본 발명의 테스트 장치는 반도체 메모리 장치뿐 아니라 응용 프로세서나 ASIC 등의 다양한 반도체 장치를 테스트하기 위한 기술에 적용될 수 있음은 잘 이해될 것이다.
- [0017] 도 1은 본 발명에 따른 테스트 시스템을 보여주는 블록도이다. 도 1을 참조하면, 본 발명의 테스트 시스템은 ATE(자동 테스트 장비, 100)와 테스트 보드(200)를 포함한다. 테스트 보드(200)는 본 발명의 테스트 컨트롤러(210) 및 탈착 가능한 테스트 대상 장치(230)를 포함할 수 있다. 테스트 보드(200)는 이하에서는 테스트 장치라는 용어와 혼용하여 사용될 것이다.
- [0018] ATE(100)는 테스트 대상 장치(230)에 제공되는 바이너리 벡터(BV)를 생성한다. ATE(100)는 테스트 대상 장치(230)의 인터페이스 프로토콜에 대응하는 바이너리 벡터(BV)를 생성한다. 예를 들면, 테스트 대상 장치(230)에 채용된 인터페이스 프로토콜이 UFS(Universal Flash Storage)인 경우, ATE(100)는 UFS 규격의 명령어를 디코딩한 바이너리 벡터(Binary Vector)를 생성한다. 즉, ATE(100)는 테스트 대상 장치(230)에 전송할 명령어나 데이터를 테스트 대상 장치(230)의 인터페이스 프로토콜에 대응하는 바이너리 벡터(BV)로 생성하여 테스트 컨트롤러(210)에 전달한다. 이러한 바이너리 벡터(BV)의 생성 절차는 후술하는 도 2에서 설명하기로 한다.
- [0019] 테스트 컨트롤러(210)는 ATE(100)에서 생성된 바이너리 벡터(BV)를 버퍼(미도시)에 저장한다. 테스트 컨트롤러(210)는 버퍼에 저장된 바이너리 벡터(BV)를 인터페이스 프로토콜에 따라 신호 라인을 통해서 전송되는 직렬 전송 신호(BV_S)로 변환하여 테스트 대상 장치(230)에 전송할 것이다. 만약, 테스트 컨트롤러(210)와 테스트 대상 장치(230) 사이의 인터페이스 프로토콜이 직렬 전송 방식인 경우, 테스트 컨트롤러(210)는 버퍼링된 바이너리 벡터(BV)를 직렬 전송 신호(BV_S)로 변환할 수 있다. 테스트 컨트롤러(210)는 변환된 직렬 전송 신호(BV_S)를 가속하고 고속 직렬 전송 방식으로 테스트 대상 장치(230)에 전송할 수 있다. 즉, 테스트 컨트롤러(210)는 ATE(100)에서 제공된 바이너리 벡터(BV)를 인터페이스 프로토콜의 물리 계층 전송 신호에 대응하도록 변환하는 역할을 수행한다. 테스트 컨트롤러(210)는 바이너리 벡터(BV)에 대한 별도의 디코딩없이 버퍼링하고, 제 1 인터페이스(215)를 사용하여 전송하는 역할을 수행한다.
- [0020] 더불어, 테스트 컨트롤러(210)는 테스트 대상 장치(230)로부터 출력되는 출력 정보(OUT)를 수신할 수 있다. 이때, 출력 정보(OUT)는 직렬 전송 신호(BV_S)에 응답하여 출력되는 신호 또는 데이터일 수 있다. 만일, 출력 정보(OUT)가 테스트 결과를 나타내는 경우, 테스트 컨트롤러(210)는 테스트 결과를 ATE(100)에 전달할 수 있을 것이다. 반면, 출력 정보(OUT)가 직렬 전송 신호(BV_S)에 대한 수신 완료 여부를 나타내는 경우, 테스트 컨트롤러(210)는 직렬 전송 신호(BV_S)를 재전송할 수도 있을 것이다.
- [0021] 테스트 대상 장치(230)는 테스트 컨트롤러(210)로부터 제공되는 직렬 전송 신호(BV_S)를 수신하고, 수신된 직렬 전송 신호(BV_S)에 의해서 지시된 동작을 수행한다. 그리고 직렬 전송 신호(BV_S)에 의해서 요청된 동작의 결과로 출력 정보(OUT)를 테스트 컨트롤러(210)에 제공할 수 있다. 테스트 대상 장치(230)는 테스트 컨트롤러(210)와의 데이터 교환을 위한 제 2 인터페이스(231)를 포함할 수 있다. 제 2 인터페이스(231)는 MIPI M-PHY 표준 프로토콜에서 정의되는 물리 계층의 기능을 포함할 수도 있다. 그리고 제 2 인터페이스(231)는 링크 계층(예를 들면, UniPro)과 트랜잭션 계층(예를 들면, UFS)을 갖는 인터페이스 방식을 채용할 수도 있을 것이다. 테스트 대상 장치(230)는, 예를 들면, 고속 직렬 인터페이스를 갖는 불휘발성 메모리 장치일 수 있다.
- [0022] 테스트 컨트롤러(210)와 테스트 대상 장치(230) 사이에 인터페이싱을 제공하기 위한 제 1 인터페이스(215)와 제 2 인터페이스(231)는 물리 계층(PHY Layer)은 동일할 수 있다. 하지만, 제 1 인터페이스(215)의 링크 계층(Link Layer)이나 트랜잭션 계층(Transaction Layer)의 기능은 ATE(100)에서 제공할 수 있다. 따라서, 테스트 컨트롤러(210)는 ATE(100)에서 제공되는 바이너리 벡터(BV)를 테스트 대상 장치(230)의 인터페이스에 대응하는 프로토콜의 물리 신호로 전송하는 역할을 수행한다.

- [0023] 실시 예로서, 제 1 인터페이스(215)와 제 2 인터페이스(231)의 물리 계층은 "M-PHY" 스펙(Specification)에 의해 정의될 수 있다. M-PHY는 MIPI(Mobile Industry Processor Interface) 연합(Alliance)에 의해 제안된 인터페이스 규약(Protocol)이다. 다만, 본 발명은 위 실시 예들로 한정되지 않는다. 뒤에서 설명되겠지만, 본 발명은 물리 계층을 포함하는 모든 인터페이스 회로에서 채용될 수 있다. 위 실시 예들은 본 발명의 이해를 돕기 위한 예시일 뿐이다.
- [0024] 이상에서 본 발명의 테스트 시스템은, 테스트 대상 장치(230)의 인터페이스 프로토콜에 의존적인 트랜잭션 계층(Transaction Layer), 링크 계층(Link Layer) 등의 기능을 테스트 컨트롤러(210)에서 수행하는 대신에 ATE(100)에서 수행할 수 있다. 따라서, 직렬 전송 프로토콜을 사용하는 테스트 대상 장치(230)에 대해서 범용성을 제공할 수 있다.
- [0025] 도 2는 도 1의 ATE(100)에서 수행하는 바이너리 백터를 생성하는 절차를 간략히 보여주는 도면이다. 도 2를 참조하면, ATE(100)는 특정 목적에 따른 명령어[예를 들면, Write(10)]를 바이너리 백터(BV)로 생성한다. 좀더 구체적으로 설명하면 다음과 같다.
- [0026] S10 단계에서, ATE(100)는 테스트 보드(200)에 전송할 명령어 Write(10)를 생성한다. ATE(100)는 특정 테스트 시퀀스에서 사용되는 다양한 명령어들을 생성할 수 있다. 테스트를 위한 다양한 명령어들 중에서 SCSI 명령어인 Write(10)이 제공될 수 있을 것이다. 이어서, ATE(100)는 전송할 명령어를 인터페이스 프로토콜에 따른 바이너리 백터(BV)로 변환하기 위한 연산을 수행한다.
- [0027] S20 단계에서, ATE(100)는 SCSI 명령어인 Write(10)을 유니프로(UniPro) 패킷들로 변환할 수 있다. 예를 들면, ATE(100)는 Write(10)에 대응하는 유니프로 패킷들(Start of Burst, TCO, End of Burst, Start of Burst, AFC0, AFC1, End of Burst)로 제공된 프로그램을 사용하여 생성할 수 있다. SCSI 명령어를 유니프로 패킷들로 변환하는 연산은, 예를 들면, UFS 인터페이스 프로토콜의 링크 계층(Link layer) 동작에 대응한다.
- [0028] S30 단계에서, ATE(100)는 유니프로 패킷들(Start of Burst, TCO, End of Burst, Start of Burst, AFC0, AFC1, End of Burst) 각각의 필드를 대응하는 바이너리 시퀀스들(BC7C, BC07..., DC3C, BD7C, BCC3..., BCC3..., DC3C)로 변환할 것이다. 이러한 유니프로 패킷들의 이진 코드로의 변환은 각각의 인터페이스 프로토콜에서 규정된 맵핑에 따라 수행될 수 있다. ATE(100)는 변환된 바이너리 시퀀스들(BC7C, BC07..., DC3C, BD7C, BCC3..., BCC3..., DC3C)을 테스트 컨트롤러(210)에 바이너리 백터(BV)로서 전달한다.
- [0029] 이상에서는 본 발명의 ATE(100)의 바이너리 백터(BV)의 생성 기능을 예시적으로 설명하였다. 바이너리 백터(BV)는 결국 테스트 대상 장치(230)의 인터페이스 프로토콜에 따라 생성 연산 방법이 결정될 수 있다. 앞서 설명한 바와 같이 명령어가 전달되는 물리 계층으로 전달되는 이진 신호 형태로 변환된다. 따라서, 링크 계층이나 트랜잭션 계층 등의 변화는 ATE(100)에서의 변환 알고리즘의 변경만으로 대처할 수 있음을 의미한다. 따라서, 물리 계층이나 시그널링 방법만 일치하는 경우, 본 발명의 테스트 보드(200)는 다양한 인터페이스 프로토콜의 테스트 대상 장치(230)들을 테스트할 수 있다. 따라서, 범용 테스트 장치가 구현될 수 있다.
- [0030] 더불어, 본 발명의 바이너리 백터(BV)의 생성이 ATE(100)에서 수행되는 것으로 설명하였으나 본 발명은 여기에 국한되지 않는다. ATE(100)뿐 아니라 다양한 장치나 소프트웨어에 의해서 바이너리 백터(BV)가 생성되고 본 발명의 테스트 컨트롤러(210)에 공급될 수 있음은 잘 이해될 것이다.
- [0031] 도 3은 본 발명의 테스트 컨트롤러(210)의 구성을 간략히 보여주는 블록도이다. 도 3을 참조하면, 테스트 컨트롤러(210)는 버퍼(211) 및 시리얼라이저(213)를 포함할 수 있다.
- [0032] 버퍼(211)는 ATE(100)로부터 제공되는 바이너리 백터(BV)를 저장한다. 버퍼(211)는 예를 들면, ATE(100)에서 입력한 바이너리 시퀀스들(BC7C, BC07..., DC3C, BD7C, BCC3..., BCC3..., DC3C)을 저장하고, 제 1 인터페이스(215)에 대응하는 출력 시퀀스로 재배열할 수 있을 것이다.
- [0033] 시리얼라이저(213)는 버퍼(211)에 저장된 바이너리 시퀀스들(BC7C, BC07..., DC3C, BD7C, BCC3..., BCC3..., DC3C)를 직렬화한다. 그리고 도시되지는 않았지만, 시리얼라이저(213)에는 제 1 인터페이스(215)에서 규정된 전송 속도(또는 데이터율)에 직렬화된 바이너리 백터(BV)를 매칭시키기 위한 가속 기능이 부가될 수 있을 것이다.
- [0034] 상술한 테스트 컨트롤러(210)에는 테스트 대상 장치(230, 도 1 참조)에 적용된 인터페이스 프로토콜의 트랜잭션 계층이나 링크 계층 등의 기능이 제공되지 않는다. 단지, 테스트 컨트롤러(210)는 외부에서 제공된 바이너리 백터(BV)를 버퍼링하고 물리 계층의 신호 전송 조건에 따라 테스트 대상 장치(230)에 전송한다. 따라서, 본 발명의 테스트 보드(200)는 인터페이스 프로토콜의 일부 계층의 기능을 포함하지 않을 수 있다. 따라서, 상대적으로

인터페이스 프로토콜의 계층들에 의한 제한으로부터 자유로울 수 있다.

- [0035] 도 4는 도 3의 테스트 컨트롤러(210)에서 수행되는 버퍼링과 시리얼라이징 절차를 도시한 도면이다. 도 4를 참조하면, 바이너리 벡터(BV)의 하나의 데이터 단위(BC7C)를 이진 신호로 전송하기 위한 과정이 설명될 것이다.
- [0036] 바이너리 벡터(BC7C)는 이진값(1011 1100 0111 1100)으로 테스트 컨트롤러(210)에 제공될 것이다. 그러면 이진값(1011 1100 0111 1100)은 버퍼(211)에 저장된다. 버퍼(211)에 저장된 이진값은 8비트 단위의 데이터를 순차적 이진 시퀀스로 변환하는 시리얼라이저(213)에 의해서 직렬 전송 신호(Serial signal)로 출력된다. 시리얼라이저(213)는 직렬 전송 신호를 고속으로 전송하기 위한 가속 기능을 더 구비할 수 있을 것이다.
- [0037] 도 5는 본 발명의 바이너리 벡터를 생성하는 방법을 간략히 보여주는 순서도이다. 도 5를 참조하면, ATE(100)는 테스트 보드(200)에 전달할 명령어 또는 데이터를 바이너리 벡터(BV)로 제공한다.
- [0038] S110 단계에서, ATE(100)는 테스트를 위한 명령어나 데이터를 생성할 것이다. 이러한 명령어나 데이터는 테스트 스케줄에 따라 ATE(100)에 의해서 생성되거나 사용자로부터 공급받을 수 있다.
- [0039] S120 단계에서, ATE(100)는 명령어 또는 데이터를 바이너리 시퀀스(Binary sequence)로 변환한다. 이러한 연산 과정은, 예를 들면, UFS 인터페이스 프로토콜에서는 링크 계층(Link Layer)에 해당할 수 있다.
- [0040] S130 단계에서, ATE(100)는 바이너리 시퀀스로 변환된 명령어 또는 데이터를 바이너리 벡터(BV)로 테스트 컨트롤러(210)에 전송한다. 바이너리 벡터(BV)는 이후에 테스트 컨트롤러(210)에서 수신되고, 별도의 부호화나 처리 없이 직렬 신호로 테스트 대상 장치(230)에 전송될 수 있을 것이다.
- [0041] 이상에서 ATE(100)는 테스트 컨트롤러(210)에서 수행되는 트랜잭션 계층이나 링크 계층에서 수행되는 연산을 미리 처리하여 테스트 컨트롤러(210)에 전송한다. 테스트 컨트롤러(210)에서는 이러한 명령어나 데이터를 인터페이스 프로토콜에 따라 변환하는 기능을 포함하지 않을 수 있다. 따라서, 명령어나 데이터를 인터페이스 프로토콜에 따라 변환하는 기능에 의하여 제한된 테스트 보드(200)의 범용성이 본 발명의 특징에 따라 구현될 수 있다.
- [0042] 도 6은 본 발명의 실시 예에 따른 테스트 대상 장치를 보여주는 블록도이다. 도 6을 참조하면, 테스트 대상 장치(230)는 인터페이스(231), 메모리 컨트롤러(233) 및 불휘발성 메모리 장치(235)를 포함할 수 있다.
- [0043] 인터페이스(231)는 테스트 컨트롤러(210)로부터 제공되는 직렬 신호를 수신한다. 인터페이스(231)는 수신된 직렬 신호로부터 바이너리 벡터(BV)를 복구할 수 있다. 이러한 물리 계층에서의 바이너리 벡터(BV)의 복구는 예를 들면, 인터페이스(231)의 물리 계층을 구성하는 M-PHY(232)에서 수행될 수 있을 것이다. 인터페이스(231)에서 이진 신호로 복원된 바이너리 벡터(BV)는 메모리 컨트롤러(233)에 해당하는 데이터 포맷으로 변경될 수 있다.
- [0044] 메모리 컨트롤러(233)는 바이너리 벡터(BV)를 통해서 ATE(100)에서 요청한 동작을 수행한다. 메모리 컨트롤러(233)는 ATE(100)의 요청에 응답하여 불휘발성 메모리 장치(235)를 제어하도록 구성될 것이다. 메모리 컨트롤러(233)는 ATE(100)와 불휘발성 메모리 장치(235)를 인터페이스한다. 메모리 컨트롤러(233)는 ATE(100)의 쓰기 요청에 응답하여 데이터를 기입하기 위하여 불휘발성 메모리 장치(235)를 제어한다. 또한, 메모리 컨트롤러(233)는 ATE(100)로부터의 읽기 명령에 응답하여 불휘발성 메모리 장치(235)의 독출 동작을 제어한다.
- [0045] 메모리 컨트롤러(233)는 불휘발성 메모리 장치(235)를 제어하기 위한 플래시 변환 계층(Flash Translation Layer: 이하, FTL)이라는 소프트웨어(또는, 펌웨어)를 구동할 수 있다. 플래시 변환 계층(FTL)은 호스트(Host)의 파일 시스템(File System)과 불휘발성 메모리 장치(235) 사이에서 불휘발성 메모리 장치(235)의 삭제 연산을 감추기 위한 인터페이스를 제공한다. 플래시 변환 계층(FTL)에 의하여, 쓰기 전 소거(Erase-before-Write) 및 소거 단위와 쓰기 단위의 불일치라는 불휘발성 메모리 장치(235)의 단점이 보완될 수 있다. 또한, 플래시 변환 계층(FTL)은 불휘발성 메모리 장치(235)의 기입 동작시, 파일 시스템이 생성한 논리 주소(LA)를 불휘발성 메모리 장치(235)의 물리 주소(PN)로 맵핑(Mapping)시킨다.
- [0046] 불휘발성 메모리 장치(235)는 메모리 컨트롤러(233)의 제어에 따라, 소거 동작, 읽기 동작, 그리고 쓰기 동작을 수행한다. 불휘발성 메모리 장치(235)는 복수의 메모리 블록들을 포함하며, 메모리 블록들 각각은 행들과 열들로 배열된 복수의 메모리 셀들을 포함할 것이다. 메모리 셀들 각각은 멀티-레벨(또는, 멀티-비트) 데이터를 저장할 것이다. 메모리 셀들은 2차원 어레이 구조를 갖도록 또는 3차원(또는, 수직) 어레이 구조를 갖도록 배열될 수 있다.
- [0047] 불휘발성 메모리 장치(235)는 복수의 메모리 블록들(BLK1-BLK_i)을 포함할 수 있다. 각각의 메모리 블록들

(BLK1~BLKi)은 하나의 소거 단위를 구성한다. 각각의 메모리 블록들(BLK1~BLKi)은 기관과 교차하는 방향으로 적층되어 셀 스트링을 구성하는 복수의 메모리 셀들을 포함할 수 있다. 또는, 각각의 메모리 블록들(BLK1~BLKi)은 기관에 평행한 방향으로 복수의 셀 스트링들이 적층되는 형태로 제공될 수 있다. 상술한 바와 같은 3차원 구조로 형성되는 메모리 블록들(BLK1~BLKi)에 의해서 하나의 메모리 블록의 용량은 획기적으로 증가하는 추세이다. 불휘발성 메모리 장치(235)의 저장 매체로서 낸드 플래시 메모리를 예로 들어 설명하게 될 것이다. 그러나 또 다른 불휘발성 메모리 장치들로 구성될 수 있다. 예를 들면, 저장 매체로서 PRAM, MRAM, ReRAM, FRAM, NOR 플래시 메모리 등이 사용될 수 있으며, 이종의 메모리 장치들이 혼용되는 메모리 시스템도 적용될 수 있다.

- [0048] 이상에서는 테스트 대상 장치(230)의 예로 불휘발성 메모리 장치를 포함하는 스토리지 장치가 예시적으로 설명되었다. 하지만, 본 발명의 테스트 대상 장치(230)는 메모리 장치뿐 아니라 다양한 인터페이스 프로토콜들 중 어느 하나를 적용하는 응용 프로세서(AP)나 시스템 온 칩, 메모리 카드 등일 수 있음은 잘 이해될 것이다.
- [0049] 도 7은 본 발명의 실시 예에 따른 테스트 시스템의 동작을 보여주는 도면이다. 도 7을 참조하면, 본 발명의 테스트 보드(200)는 바이너리 백터(BV)를 제공받아 테스트 대상 장치(230)에 대한 테스트 동작을 수행할 수 있다.
- [0050] S210 단계에서, ATE(100)는 바이너리 백터(BV)를 테스트 컨트롤러(210)에 전달한다. 바이너리 백터(BV)는 테스트 컨트롤러(210)와 테스트 대상 장치(230) 사이의 인터페이스 프로토콜에 따라 결정된다. 바이너리 백터(BV)는 테스트 대상 장치(230)의 인터페이스 프로토콜의 종류에 제한되지 않도록 ATE(100)에서 생성할 수 있다.
- [0051] S220 단계에서, 테스트 컨트롤러(210)는 ATE(100)로부터 전달된 바이너리 백터(BV)를 저장한다. 예를 들면, 테스트 컨트롤러(210)는 버퍼(211)에 바이너리 백터(BV)를 저장한다.
- [0052] S230 단계에서, 테스트 컨트롤러(210)는 버퍼(211)에 저장된 바이너리 백터(BV)를 직렬 신호로 변환하기 위해 출력 순서를 정렬한다. 이러한 정렬 방법은 도 4에 예시적으로 도시하였다. 테스트 컨트롤러(210)는 버퍼에 저장된 바이너리 백터를 직렬 전송을 위하여 가속한다.
- [0053] S240 단계에서, 테스트 컨트롤러(210)는 고속 직렬 신호로 변환된 바이너리 백터(HS_Signal)를 테스트 대상 장치(230)에 전달한다.
- [0054] S250 단계에서, 테스트 대상 장치(230)는 직렬 신호로 전달되는 바이너리 백터(HS_BV)의 수신 여부를 체크한다. 테스트 대상 장치(230)는 직렬 신호로 전달되는 바이너리 백터(HS_Signal)를 바이너리 데이터로 변환한다. 그리고 테스트 대상 장치(230)는 바이너리 형태로 변환된 바이너리 백터(BV)에 대한 에러 체크를 수행한다.
- [0055] S260 단계에서, 에러 체크를 통해서 바이너리 백터(BV)가 정상적으로 수신되지 못한 것으로 판단되면, 테스트 대상 장치(230)는 테스트 컨트롤러(210)에 수신 오류 메시지(N_ACK)를 전송할 것이다. 그러면, 테스트 컨트롤러(210)는 직렬 신호로 전달되는 바이너리 백터(HS_Signal)를 재전송할 수 있다.
- [0056] S270 단계에서, 에러 체크를 통해서 바이너리 백터(BV)가 정상적으로 수신된 것으로 판단되면, 테스트 대상 장치(230)는 테스트 컨트롤러(210)에 수신 완료 메시지(ACK)를 전송한다.
- [0057] S280 단계에서, 테스트 컨트롤러(210)는 바이너리 백터(BV)의 전달 결과나 테스트 결과(TST_0)를 ATE(100)로 전달할 수 있다.
- [0058] 이상에서는 바이너리 백터(BV)를 테스트 대상 장치(230)에 전달하는 절차가 간략히 설명되었다. 바이너리 백터(BV)는 테스트 컨트롤러(210)와 테스트 대상 장치(230) 사이의 인터페이스 프로토콜에 따라 ATE(100)에서 생성한다. 따라서, 테스트 컨트롤러(210)는 ATE(100)에서 제공되는 바이너리 백터(BV)를 테스트 대상 장치(230)에 전달하기만 하면 된다. 이러한 구조를 통해서, 테스트 컨트롤러(210)는 테스트 대상 장치(230)의 인터페이스 프로토콜의 트랜잭션 계층(Transaction Layer)이나 링크 계층(Link Layer) 기능을 수행할 필요가 없다. 이러한 인터페이스 프로토콜의 연산 기능은 ATE(100)에서 수행될 것이기 때문이다. 따라서, 본 발명의 테스트 보드(200)는 테스트 대상 장치(230)가 채용한 인터페이스 프로토콜의 종류에 크게 구애되지 않는 범용성을 제공할 수 있다.
- [0059] 도 8은 본 발명의 다른 실시 예에 따른 테스트 보드를 보여주는 블록도이다. 도 8을 참조하면, 본 발명의 테스트 보드(300)는 테스트 컨트롤러(310)와 테스트 대상 장치(330), 그리고 DC 읍셋 블록(350)을 포함한다. 여기서, 테스트 대상 장치(330)는 앞서 설명된 도 1의 그것들과 실질적으로 동일하다. 따라서, 이것들에 대한 구체적 기능에 대한 설명은 생략하기로 한다.
- [0060] 테스트 컨트롤러(310)는 바이너리 백터(BV)를 외부로부터 수신하여 버퍼에 저장할 수 있다. 그리고 버퍼에 저장

된 바이너리 벡터(BV)를 직렬 신호로 변환 및 가속하여 테스트 대상 장치(330)에 전송할 수 있다. 테스트 컨트롤러(310)는 테스트 대상 장치(330)와의 신호 송신을 위한 제 1 송신 회로(TX1, 311)와 신호 수신을 위한 제 1 수신 회로(RX1, 313)를 포함할 수 있다. 제 1 송신 회로(311)와 제 1 수신 회로(313)는 하나의 레인(Lane)을 구성할 수 있다. 제 1 송신 회로(311)는 차동 신호 라인들(TX+, TX-)로 차동 신호를 전송한다. 제 1 수신 회로(313)는 차동 신호 라인들(RX+, RX-)을 통해서 차동 신호를 수신한다. 테스트 컨트롤러(310)는 제 1 송신 회로(311)를 통해서 데이터를 전송할 때, 직류 오프셋 제어 신호(DCOS)를 DC 오프셋 블록(350)에 제공할 수 있다. 직류 오프셋 제어 신호(DCOS)는 테스트 대상 장치(330)의 동작 모드에 따라 또는 테스트 대상 장치(330)의 인터페이스 프로토콜에 따라 조정 가능하다.

- [0061] 테스트 대상 장치(330)는 테스트 컨트롤러(310)로부터 바이너리 벡터(BV)를 제 2 수신 회로(RX2, 331)를 사용하여 수신한다. 그리고 수신된 바이너리 벡터(BV)를 인터페이스 프로토콜에 따라 변환하여 처리한다. 그리고 처리 결과나 요청된 데이터를 제 2 송신 회로(TX2, 333)를 통해서 테스트 컨트롤러(310)에 전달한다. 제 2 수신 회로(331)는 차동 신호 라인들(TX+, TX-)을 통해서 제 1 송신 회로(311)에 연결된다. 제 2 송신 회로(333)는 차동 신호 라인들(RX+, RX-)을 통해서 제 1 수신 회로(313)에 연결될 것이다.
- [0062] 직류 오프셋 블록(350)은 테스트 컨트롤러(310)로부터 제공되는 직류 오프셋 제어 신호(DCOS)를 제공받는다. 직류 오프셋 블록(350)은 테스트 컨트롤러(310)와 테스트 대상 장치(330) 사이의 차동 신호 라인들(TX+, TX-)의 직류 오프셋을 제어한다. 직류 오프셋 블록(350)은 직류 오프셋 제어 신호(DCOS)에 따라 차동 신호 라인들(TX+, TX-)의 직류 오프셋을 가변할 수 있다. 직류 오프셋 블록(350)은 이러한 직류 오프셋을 제공하기 위해 수동 소자들을 사용하여 구성될 수 있다.
- [0063] 예를 들면, 직류 오프셋 블록(350)은 동작 모드에 따라 직류 오프셋을 조정할 수 있다. 제 1 송신 회로(311)가 하이브네이트(Hibernate) 상태인 경우, 직류 오프셋 블록(350)은 직류 오프셋을 0V로 제공할 수 있다. 반면, 제 1 송신 회로(311)가 하이브네이트(Hibernate)에서 데이터를 전송하기 위한 상태로 변경되는 웨이크업 상태 또는 데이터 전송을 위한 버스트 상태(Burst)가 되는 경우, 직류 오프셋 블록(350)은 직류 오프셋을 소정의 레벨로 높일 수 있을 것이다.
- [0064] 직류 오프셋 블록(350)은 더불어, 인터페이스 프로토콜에 따라 직류 오프셋을 조정할 수 있다. 직렬 인터페이스를 사용하는 다양한 종류의 테스트 대상 장치(330)와 인터페이싱을 수행하기 위해 직류 오프셋 블록(350)은 차동 신호 라인들(TX+, TX-)의 직류 오프셋을 다양한 레벨로 조정할 수 있을 것이다.
- [0065] 도 9는 도 8의 직류 오프셋 블록의 예시적인 실시 예를 보여주는 회로도이다. 도 9를 참조하면, 차동 신호 라인들(TX+, TX-) 각각에는 직류 오프셋 제어 신호(DCOS)에 대응하는 직류 오프셋을 제공하는 인덕터(L)가 연결될 수 있다.
- [0066] 차동 신호 라인들(TX+, TX-) 각각은 커플링 커패시터(C1, C2)에 의해서 제 1 송신 회로(311)와 제 2 수신 회로(331) 사이의 차동 신호 라인이 연결된다. 그리고 각각의 노드(N1, N2)는 인덕터(L)의 일단으로 제공되는 직류 오프셋 제어 신호(DCOS)의 레벨에 따라 직류 오프셋이 제공된다. 여기서, 직류 오프셋 제어 신호(DCOS)의 레벨이 곧 직류 오프셋이 된다.
- [0067] 도 10은 도 8의 직류 오프셋 블록의 다른 실시 예를 보여주는 회로도이다. 도 10을 참조하면, 차동 신호 라인들(TX+, TX-) 각각에는 직류 오프셋 제어 신호(DCOS)를 분배하여 직류 오프셋으로 제공하기 위한 분배 저항들(R1, R2)이 연결될 수 있다.
- [0068] 차동 신호 라인들(TX+, TX-) 각각은 커플링 커패시터(C1, C2)에 의해서 제 1 송신 회로(311)와 제 2 수신 회로(331) 사이의 차동 신호 라인이 연결된다. 그리고 각각의 노드(N1, N2)는 직류 오프셋 제어 신호(DCOS)를 전압 분배하기 위한 분배 저항들(R1, R2)이 각각 연결될 수 있다. 제 1 노드(N1) 및 제 2 노드(N2) 각각에는 직류 오프셋 제어 신호(DCOS)가 분배된 전압이 직류 오프셋으로 제공될 수 있다.
- [0069] 이상에서는 수동 소자를 사용하여 차동 신호 라인들(TX+, TX-)에 직류 오프셋을 제공하는 직류 오프셋 블록(350)의 예시적인 실시 예들이 도시되었다. 상술한 구조의 직류 오프셋 블록(350)은 테스트 보드(300)를 구성하는 기관 상에서 용이하게 구현될 수 있다.
- [0070] 도 11은 본 발명의 직류 오프셋 제공에 따른 차동 신호 라인의 신호 레벨 변화를 보여주는 타이밍도이다. 도 11을 참조하면, 직류 오프셋 제어 신호(DCOS)에 따라 차동 신호 라인들(TX+, TX-)에 전송되는 신호의 직류 오프셋이 가변될 수 있다.

- [0071] 예시적으로, T0에서는 차동 신호 라인들(TX+, TX-)을 통해서 직렬 신호(D1, D2, D3, D4)가 전송될 수 있다. 이때는 직류 오프셋 제어 신호(DCOS)가 0V로 제공되는 시점이라 가정한다.
- [0072] T1 시점에서, 테스트 컨트롤러(310)에 의해서 직류 오프셋 제어 신호(DCOS) 활성화될 수 있다. 이 경우, 인덕턴스(L)를 통해서 또는 분배 저항들(R1, R2)을 통해서 차동 신호 라인들(TX+, TX-)의 직류 오프셋이 제공된다. 따라서, 직렬 신호(D5, D6, D7, D8)는 직류 오프셋에 대응하는 레벨로 변경될 수 있다.
- [0073] 여기서, 직류 오프셋 제어 신호(DCOS)는 인터페이스 프로토콜에 따라 또는 동작 모드에 따라 다양한 값으로 제공될 수 있음은 잘 이해될 것이다.
- [0074] 도 12는 본 발명의 다른 실시 예에 따른 테스트 보드를 간략히 보여주는 블록도이다. 도 12를 참조하면, 발명의 테스트 보드(400)는 테스트 컨트롤러(410)와 테스트 대상 장치(430), 제 1 DC 오프셋 블록(450), 그리고 제 2 DC 오프셋 블록(470)을 포함한다. 여기서, 테스트 대상 장치(430)는 앞서 설명된 도 8의 그것과 실질적으로 동일하므로 이것에 대한 설명은 생략하기로 한다.
- [0075] 테스트 컨트롤러(410)는 바이너리 벡터(BV)를 외부로부터 수신하여 버퍼에 저장할 수 있다. 그리고 버퍼에 저장된 바이너리 벡터(BV)를 직렬 신호로 변환 및 가속하여 테스트 대상 장치(430)에 전송할 수 있다. 테스트 컨트롤러(410)는 차동 신호 라인들(TX+, TX-)을 사용하여 직렬 신호를 테스트 대상 장치(430)에 전송한다. 더불어, 테스트 컨트롤러(410)는 차동 신호 라인들(RX+, RX-)을 통해서 테스트 대상 장치(430)로부터 차동 신호를 수신한다.
- [0076] 테스트 컨트롤러(410)는 차동 신호 라인들(TX+, TX-)을 통해서 데이터를 전송할 때, 제 1 직류 오프셋 제어 신호(DCOS1)를 사용하여 차동 신호 라인들(TX+, TX-)의 직류 오프셋을 제어할 수 있다. 테스트 컨트롤러(410)는 제 1 직류 오프셋 제어 신호(DCOS1)를 통해서 제 1 직류 오프셋 블록(450)을 제어할 수 있다.
- [0077] 더불어, 테스트 컨트롤러(410)는 차동 신호 라인들(RX+, RX-)을 통해서 데이터를 수신할 때, 제 2 직류 오프셋 제어 신호(DCOS2)를 사용하여 차동 신호 라인들(RX+, RX-)의 직류 오프셋을 제어할 수 있다. 테스트 컨트롤러(410)는 제 2 직류 오프셋 제어 신호(DCOS2)를 통해서 제 2 직류 오프셋 블록(470)을 제어할 수 있다.
- [0078] 이상의 본 발명의 실시 예에 따르면, 테스트 컨트롤러(410)는 바이너리 벡터(BV)를 제공받아 고속 직렬 신호로 테스트 대상 장치(430)에 전송할 수 있다. 더불어, 테스트 컨트롤러(410)는 각각 독립적으로 송신 차동 신호와 수신 차동 신호에 대한 직류 오프셋을 제어할 수 있다.
- [0079] 상술한 테스트 보드(400)를 사용하는 경우, 테스트 대상 장치(430)의 인터페이스 프로토콜에 따라 테스트 컨트롤러(410)의 설계를 변경할 필요가 없어 높은 범용성을 제공할 수 있다.
- [0080] 이상에서와 같이 도면과 명세서에서 실시 예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미 한정이나 특허 청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시 예가 가능하다는 점을 이해할 것이다. 따라서 본 발명의 진정한 기술적 보호 범위는 첨부된 특허 청구범위의 기술적 사상에 의해 정해져야 할 것이다.

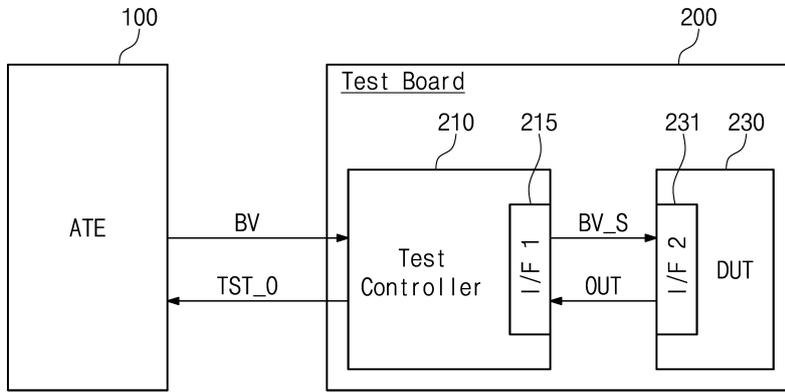
부호의 설명

- [0081] 100 : ATE 200 : 테스트 보드
- 210 : 테스트 컨트롤러 211 : 버퍼
- 213 : 시리얼라이저 215 : 제 1 인터페이스
- 230 : 테스트 대상 장치 231 : 제 2 인터페이스
- 232 : M-PHY 233 : 메모리 컨트롤러
- 235 : 불휘발성 메모리 장치 310, 410 : 테스트 컨트롤러
- 311 : 제 1 송신 회로 313 : 제 1 수신 회로
- 330, 430 : 테스트 대상 장치 331 : 제 2 수신 회로
- 333 : 제 2 송신 회로 350 : 직류 오프셋 블록

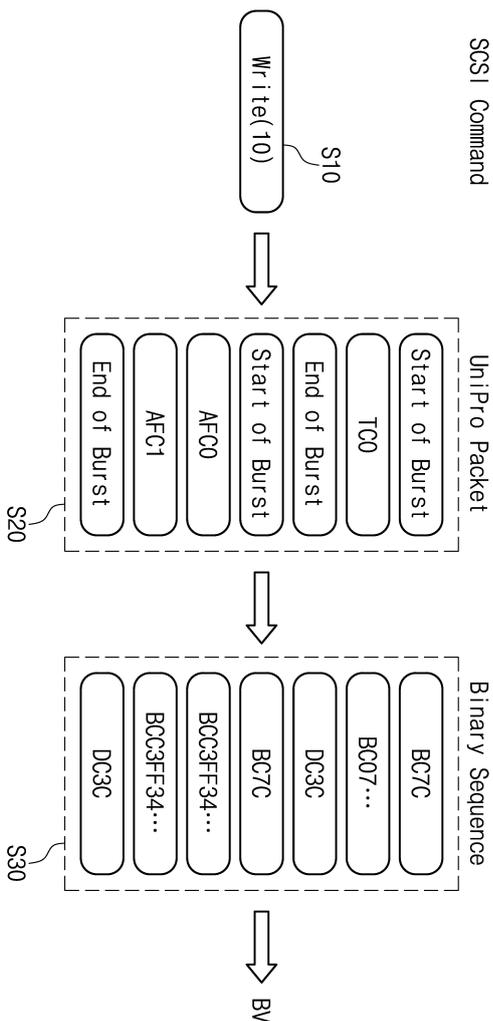
450 : 제 1 직류 오프셋 블록 470 : 제 2 직류 오프셋 블록

도면

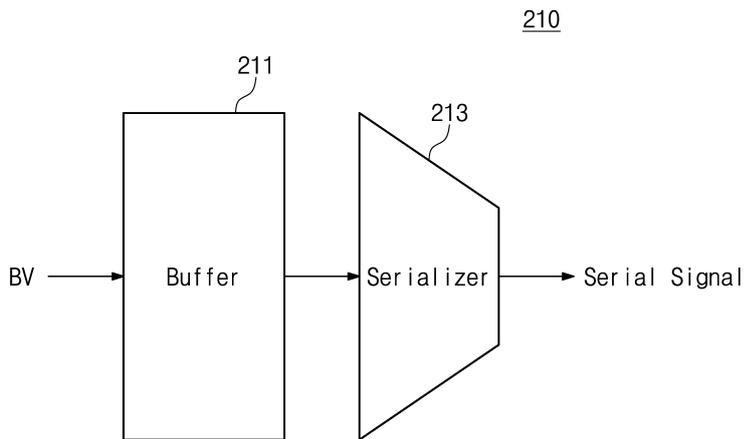
도면1



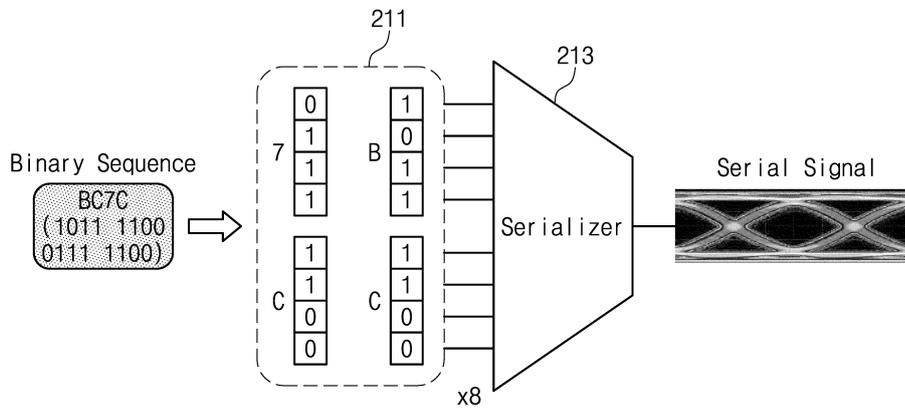
도면2



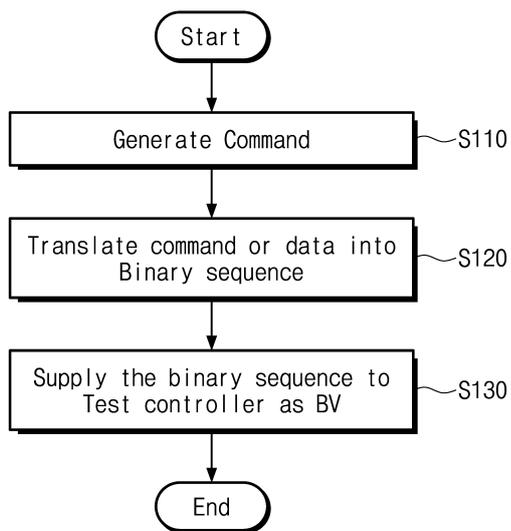
도면3



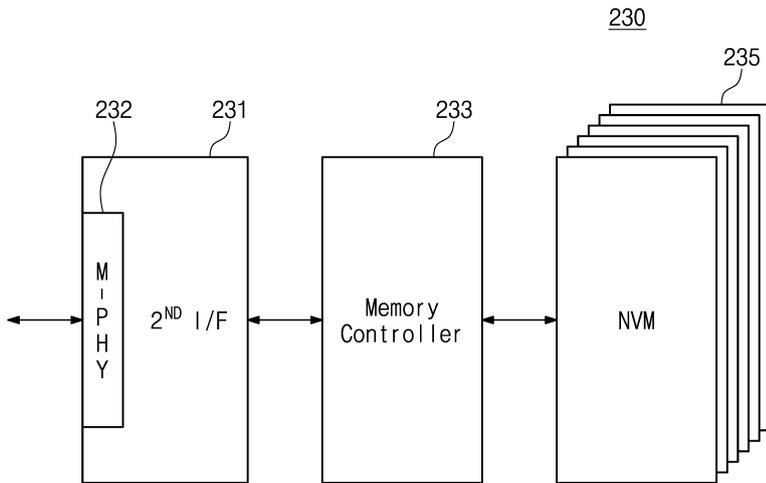
도면4



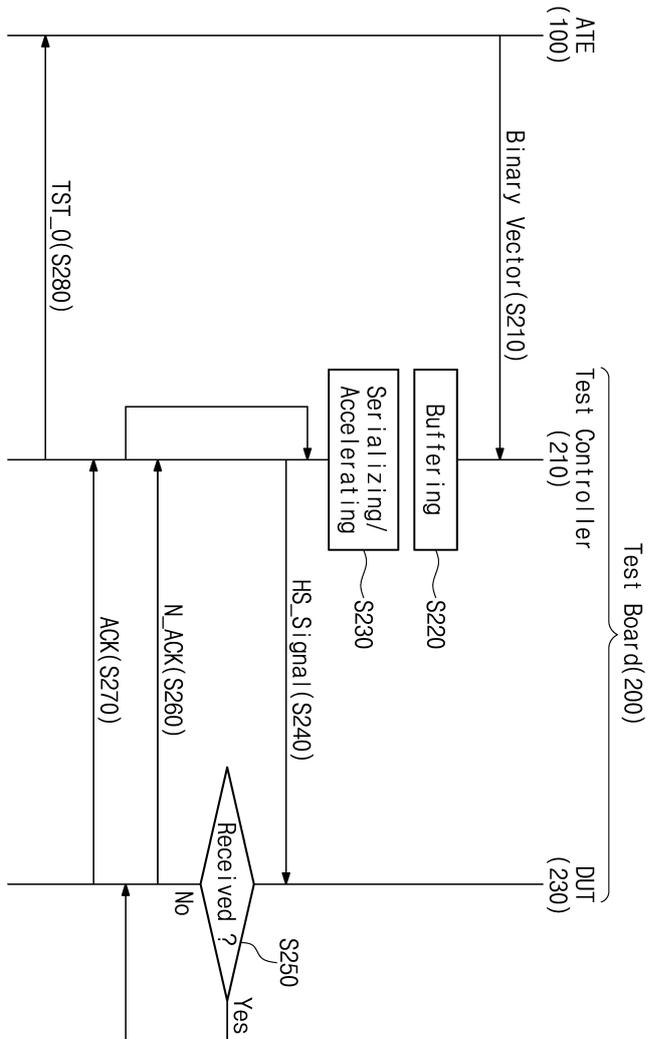
도면5



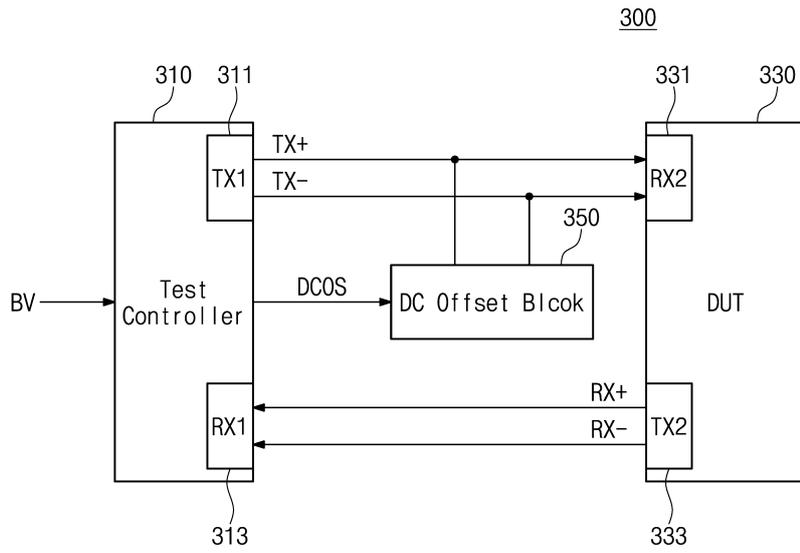
도면6



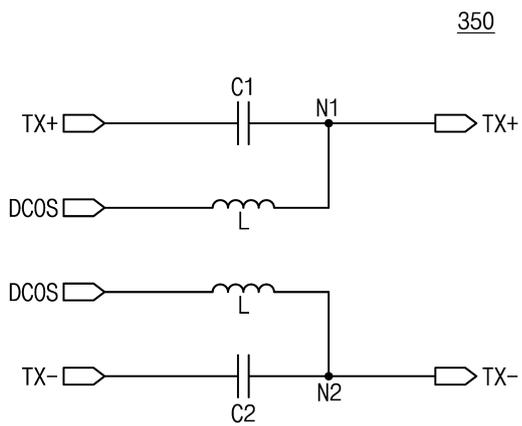
도면7



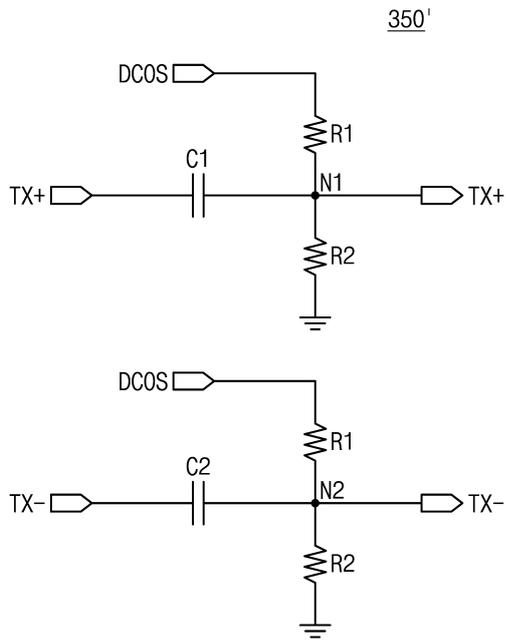
도면8



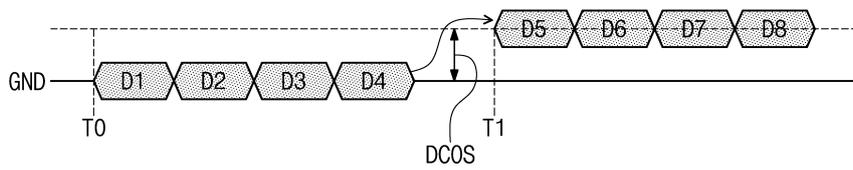
도면9



도면10



도면11



도면12

