



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I633562 B

(45)公告日：中華民國 107 (2018) 年 08 月 21 日

(21)申請案號：106106545

(22)申請日：中華民國 106 (2017) 年 02 月 24 日

(51)Int. Cl. : G11C8/16 (2006.01)

G11C29/52 (2006.01)

(30)優先權：2016/02/25 美國

15/053,719

(71)申請人：美光科技公司 (美國) MICRON TECHNOLOGY, INC. (US)

美國

(72)發明人：輝 俊勝 HOEI, JUNG-SHENG (US)；瑞特南 山帕斯 K RATNAM, SAMPATH

K. (IN)；帕迪拉 瑞那杜 C PADILLA, RENATO C. (PH)；穆榭爾拉 奇修爾

K MUCHHERLA, KISHORE K. (IN)；帕塔薩拉蒂 西瓦格納納穆

PARTHASARATHY, SIVAGNANAM (US)；菲利 彼得 FEELEY, PETER (US)

(74)代理人：陳長文

(56)參考文獻：

US 5748545

US 7962836B1

US 8225006B1

US 8707122B1

US 8898548B1

US 2009/0013223A1

US 2011/0149659A1

US 2012/0204077A1

US 2012/0324150A1

US 2014/0241026A1

US 2014/0245097A1

審查人員：劉耀允

申請專利範圍項數：23 項 圖式數：5 共 36 頁

(54)名稱

一個三維記憶體陣列之獨立反及閘之冗餘陣列

REDUNDANT ARRAY OF INDEPENDENT NAND FOR A THREE-DIMENSIONAL MEMORY ARRAY

(57)摘要

本發明包含一三維記憶體陣列之獨立反及閘(NAND)之一冗餘陣列。數個實施例包含一三維記憶體胞陣列，其中該陣列包含複數個記憶體胞頁，該複數個頁之數個頁包含獨立 NAND 之一冗餘陣列(RAIN)等量磁碟區之一同位部分，及各個各自頁中之該 RAIN 等量磁碟區之該同位部分僅包括彼各自頁之一部分。

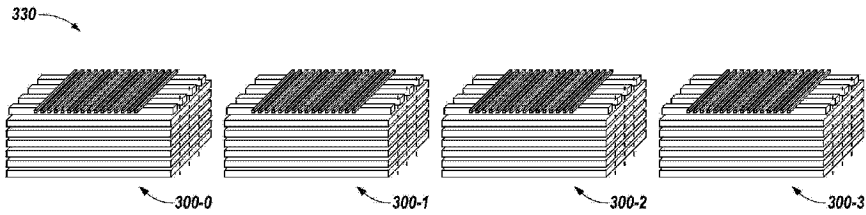
The present disclosure includes a redundant array of independent NAND for a three dimensional memory array. A number of embodiments include a three-dimensional array of memory cells, wherein the array includes a plurality of pages of memory cells, a number of the plurality of pages include a parity portion of a redundant array of independent NAND (RAIN) stripe, and the parity portion of the RAIN stripe in each respective page comprises only a portion of that respective page.

指定代表圖：

符號簡單說明：

330 . . . 三維記憶體陣列/記憶體陣列

300-0、300-1、300-2及 300-3 . . . 記憶體陣列 330 之各個各自部分/記憶體陣列 330 之各個各自群組/方塊群組



【圖3】



公告本

申請日: 106/02/24

I633562

【發明摘要】

IPC分類: G11C 8/16 (2006.01)
G11C 29/52 (2006.01)

【中文發明名稱】

一個三維記憶體陣列之獨立反及閘之冗餘陣列

【英文發明名稱】

REDUNDANT ARRAY OF INDEPENDENT NAND FOR A
THREE-DIMENSIONAL MEMORY ARRAY

【中文】

本發明包含一三維記憶體陣列之獨立反及閘(NAND)之一冗餘陣列。數個實施例包含一三維記憶體胞陣列，其中該陣列包含複數個記憶體胞頁，該複數個頁之數個頁包含獨立NAND之一冗餘陣列(RAIN)等量磁碟區之一同位部分，及各個各自頁中之該RAIN等量磁碟區之該同位部分僅包括彼各自頁之一部分。

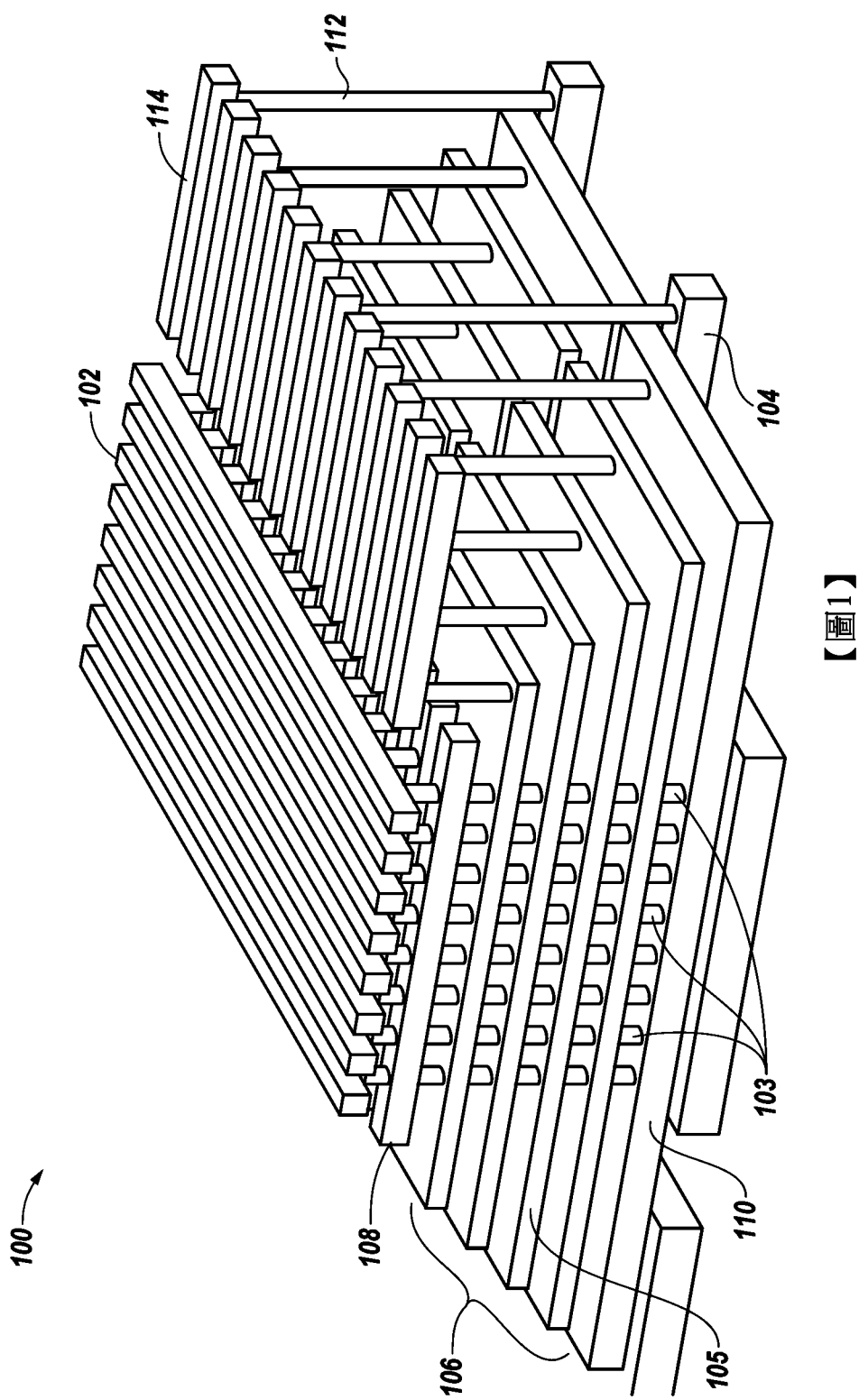
【英文】

The present disclosure includes a redundant array of independent NAND for a three dimensional memory array. A number of embodiments include a three-dimensional array of memory cells, wherein the array includes a plurality of pages of memory cells, a number of the plurality of pages include a parity portion of a redundant array of independent NAND (RAIN) stripe, and the parity portion of the RAIN stripe in each respective page comprises only a portion of that respective page.

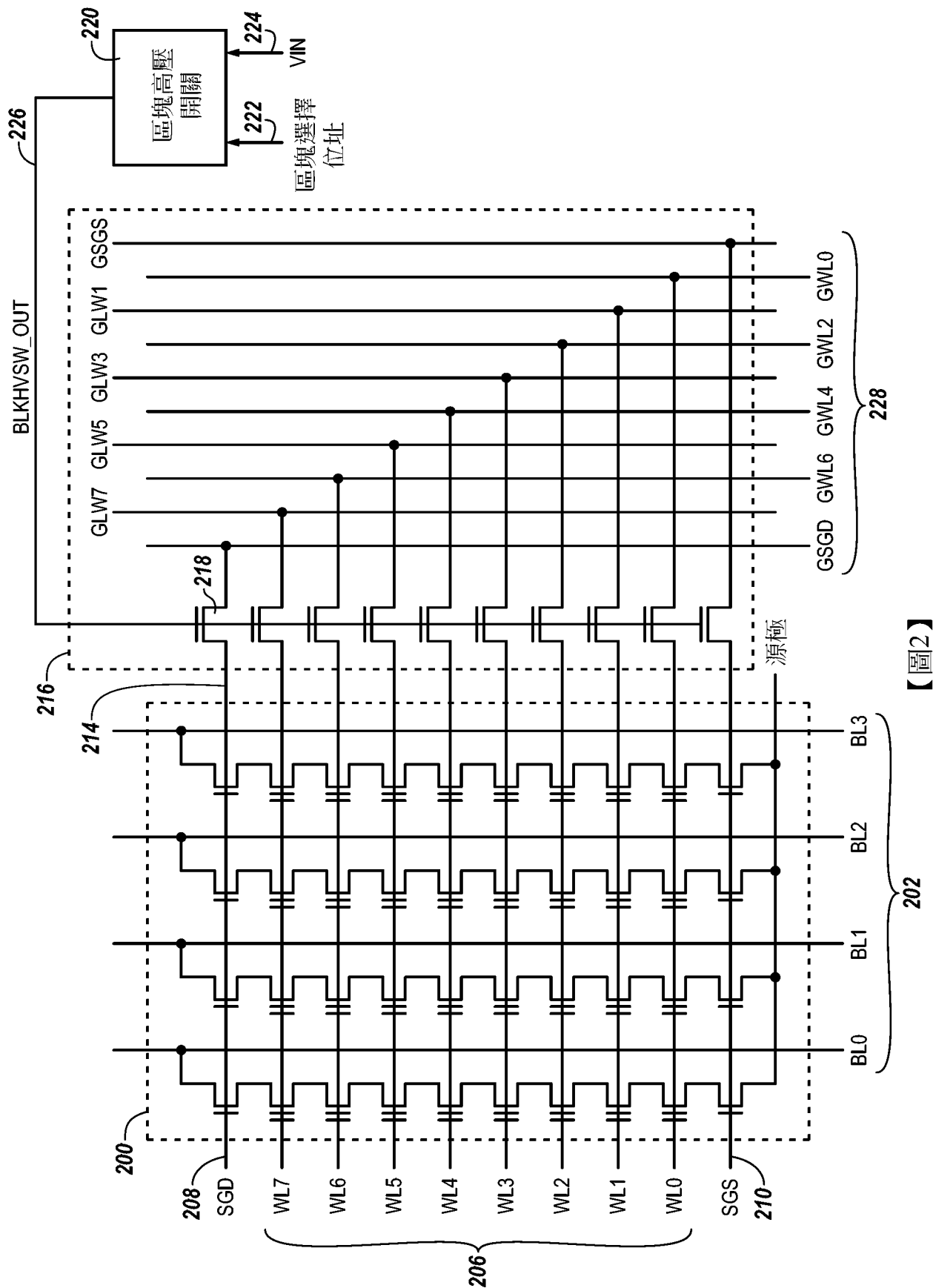
【指定代表圖】

圖3

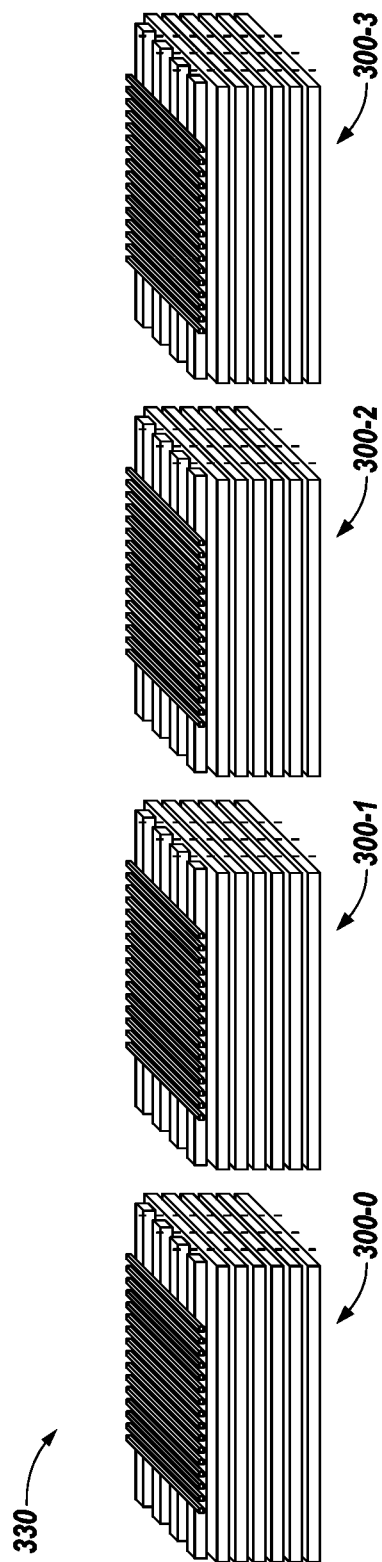
【發明圖式】



【圖1】



【圖2】

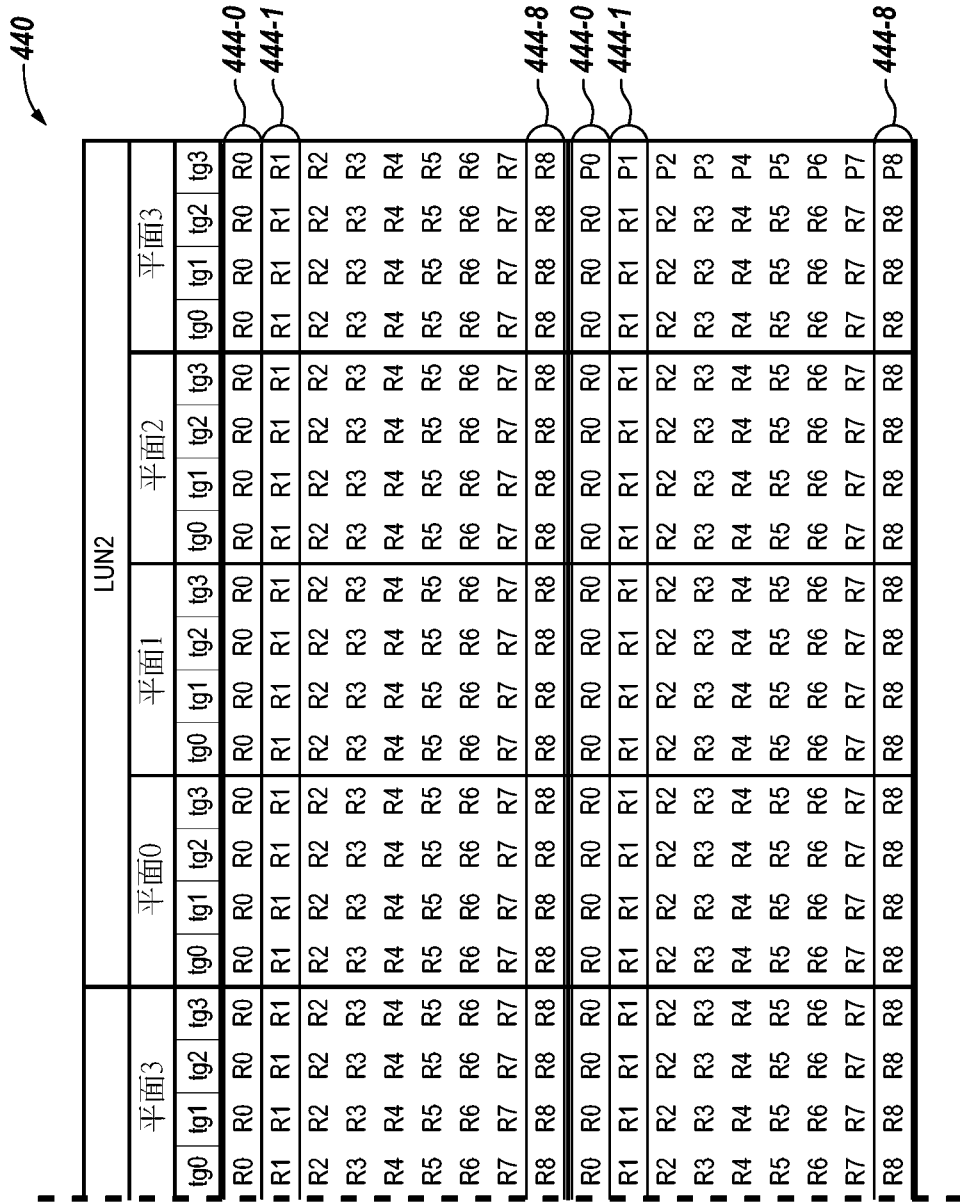


【圖3】

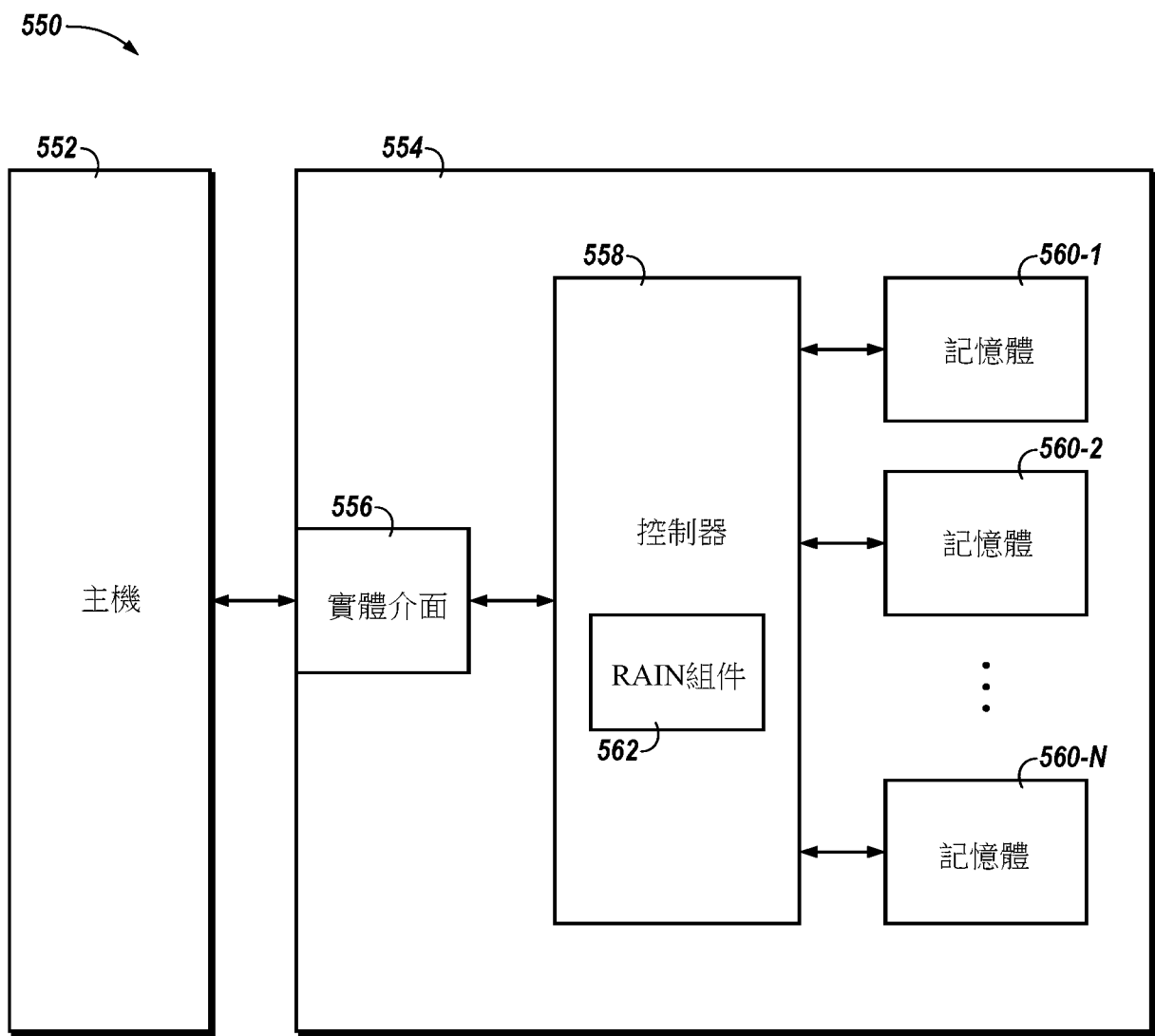
440 →

		LUN0												LUN1															
BLK	頁<n>	平面0				平面1				平面2				平面3				平面0				平面1				平面2			
		tg0	tg1	tg2	tg3	tg0	tg1	tg2	tg3	tg0	tg1	tg2	tg3	tg0	tg1	tg2	tg3	tg0	tg1	tg2	tg3	tg0	tg1	tg2	tg3	tg0	tg1	tg2	tg3
442-0 444-0 444-1 442-1	0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0
	1	R1	R1	R1	R1	R1	R1	R1	R1	R1	R1	R1	R1	R1	R1	R1	R1	R1	R1	R1	R1	R1	R1	R1	R1	R1	R1	R1	R1
	2	R2	R2	R2	R2	R2	R2	R2	R2	R2	R2	R2	R2	R2	R2	R2	R2	R2	R2	R2	R2	R2	R2	R2	R2	R2	R2	R2	R2
	3	R3	R3	R3	R3	R3	R3	R3	R3	R3	R3	R3	R3	R3	R3	R3	R3	R3	R3	R3	R3	R3	R3	R3	R3	R3	R3	R3	R3
0	4	R4	R4	R4	R4	R4	R4	R4	R4	R4	R4	R4	R4	R4	R4	R4	R4	R4	R4	R4	R4	R4	R4	R4	R4	R4	R4	R4	R4
	5	R5	R5	R5	R5	R5	R5	R5	R5	R5	R5	R5	R5	R5	R5	R5	R5	R5	R5	R5	R5	R5	R5	R5	R5	R5	R5	R5	R5
	6	R6	R6	R6	R6	R6	R6	R6	R6	R6	R6	R6	R6	R6	R6	R6	R6	R6	R6	R6	R6	R6	R6	R6	R6	R6	R6	R6	R6
	7	R7	R7	R7	R7	R7	R7	R7	R7	R7	R7	R7	R7	R7	R7	R7	R7	R7	R7	R7	R7	R7	R7	R7	R7	R7	R7	R7	R7
442-8 444-8	8	R8	R8	R8	R8	R8	R8	R8	R8	R8	R8	R8	R8	R8	R8	R8	R8	R8	R8	R8	R8	R8	R8	R8	R8	R8	R8	R8	R8
444-0 444-1	0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0
	1	R1	R1	R1	R1	R1	R1	R1	R1	R1	R1	R1	R1	R1	R1	R1	R1	R1	R1	R1	R1	R1	R1	R1	R1	R1	R1	R1	R1
	2	R2	R2	R2	R2	R2	R2	R2	R2	R2	R2	R2	R2	R2	R2	R2	R2	R2	R2	R2	R2	R2	R2	R2	R2	R2	R2	R2	R2
	3	R3	R3	R3	R3	R3	R3	R3	R3	R3	R3	R3	R3	R3	R3	R3	R3	R3	R3	R3	R3	R3	R3	R3	R3	R3	R3	R3	R3
1	4	R4	R4	R4	R4	R4	R4	R4	R4	R4	R4	R4	R4	R4	R4	R4	R4	R4	R4	R4	R4	R4	R4	R4	R4	R4	R4	R4	R4
	5	R5	R5	R5	R5	R5	R5	R5	R5	R5	R5	R5	R5	R5	R5	R5	R5	R5	R5	R5	R5	R5	R5	R5	R5	R5	R5	R5	R5
	6	R6	R6	R6	R6	R6	R6	R6	R6	R6	R6	R6	R6	R6	R6	R6	R6	R6	R6	R6	R6	R6	R6	R6	R6	R6	R6	R6	R6
	7	R7	R7	R7	R7	R7	R7	R7	R7	R7	R7	R7	R7	R7	R7	R7	R7	R7	R7	R7	R7	R7	R7	R7	R7	R7	R7	R7	R7
444-8	8	R8	R8	R8	R8	R8	R8	R8	R8	R8	R8	R8	R8	R8	R8	R8	R8	R8	R8	R8	R8	R8	R8	R8	R8	R8	R8	R8	R8

【圖4】



【圖4(繼續)】



【圖5】

**公告本**

申請日: 106/02/24

【發明摘要】IPC分類: G11C 8/16 (2006.01)
G11C 29/52 (2006.01)**【中文發明名稱】**

一個三維記憶體陣列之獨立反及閘之冗餘陣列

【英文發明名稱】REDUNDANT ARRAY OF INDEPENDENT NAND FOR A
THREE-DIMENSIONAL MEMORY ARRAY**【中文】**

本發明包含一三維記憶體陣列之獨立反及閘(NAND)之一冗餘陣列。數個實施例包含一三維記憶體胞陣列，其中該陣列包含複數個記憶體胞頁，該複數個頁之數個頁包含獨立NAND之一冗餘陣列(RAIN)等量磁碟區之一同位部分，及各個各自頁中之該RAIN等量磁碟區之該同位部分僅包括彼各自頁之一部分。

【英文】

The present disclosure includes a redundant array of independent NAND for a three dimensional memory array. A number of embodiments include a three-dimensional array of memory cells, wherein the array includes a plurality of pages of memory cells, a number of the plurality of pages include a parity portion of a redundant array of independent NAND (RAIN) stripe, and the parity portion of the RAIN stripe in each respective page comprises only a portion of that respective page.

【指定代表圖】

圖3

【代表圖之符號簡單說明】

330	三維記憶體陣列/記憶體陣列
300-0、300-1、300-2及300-3	記憶體陣列330之各個各自部分/記憶體陣列330之各個各自群組/方塊群組

【發明說明書】

【中文發明名稱】

一個三維記憶體陣列之獨立反及閘之冗餘陣列

【英文發明名稱】

REDUNDANT ARRAY OF INDEPENDENT NAND FOR A THREE-DIMENSIONAL MEMORY ARRAY

【技術領域】

本發明大體上係關於半導體記憶體及方法，且更特定言之，本發明係關於一種一三維記憶體陣列之獨立反及閘之冗餘陣列。

【先前技術】

記憶體裝置通常提供為電腦或其他電子裝置中之內部半導體、積體電路、及/或外部可抽換式裝置。存在許多不同類型之記憶體，其包含揮發性記憶體及非揮發性記憶體。揮發性記憶體可需要電力來維持其資料，且可包含隨機存取記憶體(RAM)、動態隨機存取記憶體(DRAM)及同步動態隨機存取記憶體(SDRAM)等。非揮發性記憶體可在未經供電時留存經儲存資料且可包含NAND快閃記憶體、NOR快閃記憶體、相變隨機存取記憶體(PCRAM)、電阻式隨機存取記憶體(RRAM)及磁性隨機存取記憶體(MRAM)等。

記憶體裝置可組合在一起以形成一固態磁碟(SSD)。一SSD除了包含各種其他類型之非揮發性記憶體及揮發性記憶體之外亦可包含非揮發性記憶體(例如，NAND快閃記憶體及/或NOR快閃記憶體)，且/或可包含揮發性記憶體(例如，DRAM及/或SRAM)。一SSD可用來取代硬碟機作為一電腦之主儲存容量，此係因為該固態磁碟可在效能、大小、重量、耐用性、

操作溫度範圍及功率消耗方面優於硬碟機。例如，SSD可歸因於其缺乏移動部件而具有比磁碟機優異之效能，其可避免與磁碟機相關聯之搜尋時間、延時及其他機電延遲。SSD製造者可使用非揮發性快閃記憶體來產生可不使用內部電池供應器之快閃SSD以因此允許硬碟更多功能更緊密。

諸如用來產生快閃SSD之彼等之快閃記憶體裝置可包含(例如)將資料儲存於一電荷儲存結構(諸如，一浮動閘極)中之記憶體胞，且可用作用於廣泛範圍之電子應用之非揮發性記憶體。快閃記憶體裝置通常使用允許高記憶體密度、高可靠性及低電力消耗之一單電晶體記憶體胞。

可將一陣列架構中之記憶體胞程式化成一目標(例如，所要)狀態。例如，可將電荷放置於一記憶體胞之該電荷儲存結構(例如，浮動閘極)上或自其移除以將該胞程式化成一特定資料狀態。該記憶體胞之該電荷儲存結構上之儲存電荷可指示該胞之一臨限電壓(V_t)，且可藉由感測該胞之該儲存電荷(例如，該 V_t)而判定該胞之狀態。

例如，可將一單層胞(SLC)程式化成兩個不同資料狀態之一目標者，其可由二進制單位1或0表示。可將一些快閃記憶體胞程式化成兩個以上資料狀態(例如，1111、0111、0011、1011、1001、0001、0101、1101、1100、0100、0000、1000、1010、0010、0110及1110)之一目標者。此等胞可稱為多狀態記憶體胞、多單位胞或多層胞(MLC)。MLC可提供更高密度記憶體而不增加記憶體胞之數目，此係因為各胞可表示一個以上數字(例如，一個以上位元)。

在一快閃記憶體裝置之操作期間，可發生數個缺陷及/或錯誤，諸如，例如記憶體之不同組件之間的電短路。此等缺陷及/或錯誤可導致儲存於該記憶體中之資料丟失，其可導致該記憶體之一故障。保護免受此一

記憶體故障(例如，保護儲存於該記憶體中之該資料)之一個方法係使用獨立NAND之一冗餘陣列(RAIN)資料保護方案，其可在多個記憶體裝置之間分配及/或複製儲存於該記憶體中之該資料。

【發明內容】

一種記憶體裝置，其包括：一三維記憶體胞陣列，其中：該陣列包含複數個記憶體胞頁；該複數個頁之數個頁包含獨立NAND之一冗餘陣列(RAIN)等量磁碟區之一同位部分，其中該數個頁之各個各自者包含一不同RAIN等量磁碟區之一同位部分；及各個各自頁中之該RAIN等量磁碟區之該同位部分僅包括彼各自頁之一部分。

一種記憶體裝置，其包括：一三維記憶體胞陣列，其中：該陣列包含複數個記憶體胞群組及複數個記憶體胞頁，其中各個各自群組包含各個各自頁之一不同部分；該複數個頁之數個頁包含獨立NAND之一冗餘陣列(RAIN)等量磁碟區之一同位部分，其中該數個頁之各個各自者包含一不同RAIN等量磁碟區之一同位部分；及各個不同RAIN等量磁碟區之該同位部分之一大小小於包含彼同位部分之該頁之一大小。

一種操作記憶體之方法，該方法包括：將獨立NAND的一冗餘陣列(RAIN)等量磁碟區之一同位部分儲存於一三維記憶體胞陣列中之記憶體胞之數個頁之一第一部分中，其中該數個頁之各個各自者包含一不同RAIN等量磁碟區之一同位部分；及將使用者資料儲存於該數個頁之一第二部分中。

一種操作記憶體之方法，該方法包括：將複數個獨立NAND之冗餘陣列(RAIN)等量磁碟區儲存於一三維記憶體陣列中之複數個記憶體胞群組中之複數個記憶體胞頁中，其中：各個各自頁儲存一不同RAIN等量磁

碟區之一同位部分；及儲存於各個各自頁中之該RAIN等量磁碟區之該同位部分並不儲存於該頁之全部中。

【圖式簡單說明】

圖1繪示根據本發明之數個實施例之一三維記憶體陣列的一部分之一透視圖。

圖2係繪示根據本發明之數個實施例之一三維記憶體陣列的一部分與一串驅動器之間之連接的一示意圖。

圖3繪示根據本發明之數個實施例之一三維記憶體陣列的一實例。

圖4係繪示根據本發明之數個實施例之一三維記憶體陣列中的資料儲存之一實例之一圖表。

圖5係根據本發明之數個實施例之一運算系統的一功能方塊圖，該運算系統包含呈一記憶體裝置形式之一設備。

【實施方式】

本發明包含一種一三維記憶體陣列之獨立NAND之冗餘陣列。數個實施例包含一三維記憶體胞陣列，其中該陣列包含複數個記憶體胞頁，該複數個頁之數個頁包含獨立NAND之一冗餘陣列(RAIN)等量磁碟區之一同位部分，且在各個各自頁中之該RAIN等量磁碟區之該同位部分僅包括彼各自頁之一部分。

由一RAIN保護方案提供之保護量可取決於該記憶體中之RAIN之額外耗用密度(例如，覆蓋區)。例如，可由一RAIN保護方案保護之一記憶體中之資料量可取決於專用於該RAIN之該記憶體之部分(例如，在該部分中之記憶體胞之數目)的大小。例如，該記憶體之RAIN專用部分之大小愈大，由該RAIN提供防止該記憶體故障之保護量愈大。然而，隨著該記憶

體之該RAIN專用部分之該大小增加，可用於儲存其他資料(諸如，使用者資料)之該記憶體量減小。

然而，根據本發明之RAIN保護方法可具有低於先前RAIN保護方法之額外耗用密度，同時提供與先前RAIN保護方法相同(或類似)之保護量。例如，根據本發明之一三維記憶體陣列中之該RAIN專用部分之該大小可係先前RAIN保護方法中之一RAIN專用部分之大小的四分之一，同時提供相同(或類似)保護量，藉此允許該記憶體儲存大於先前方法之使用者資料量。

如本文中所使用，「數個」事物可係指一或多個此等事物。例如，數個記憶體胞可係指一或多個記憶體胞。相應地，如本文中所使用，標示符「N」(尤其相對於圖式中之元件符號)指示：本發明之數個實施例中可包含數個如此標示之特定特徵。

本文中之圖式遵循一編號慣例，其中第一數字對應於圖式編號且其餘數字識別圖式之一元件或組件。可藉由使用類似數字而識別不同圖式之間之類似元件或組件。例如，100可參考圖1中之元件「00」，且一類似元件可在圖2中參考為200。

圖1繪示根據本發明之數個實施例之一三維記憶體陣列100之一部分的一透視圖。例如，記憶體陣列100可包括一NAND快閃記憶體陣列。記憶體陣列100包含經定向與數個導線(諸如，存取線105及/或資料線102)正交之串聯耦合記憶體胞103之數個垂直串。在圖1中所繪示之實例中，記憶體胞103可形成(例如)一記憶體胞群組，諸如，一方塊群組。即，圖1中所繪示之記憶體陣列100之部分可對應於一記憶體胞群組(例如，方塊群組)。

如本文中所使用，A「耦合至」B係指A與B可操作地耦合在一起(諸如在A與B彼此電連接之情況下，諸如透過一直接歐姆連接或透過一間接連接)。為明確起見，圖1省略各種導線之間之絕緣材料。導電材料可係由(例如)多晶矽或其他摻雜或未摻雜材料形成。絕緣材料可係由(例如)氧化物或其他介電材料形成。

複數個資料線102可定向於一第一平面中，且進一步定向於該第一平面中之一第一方向上，串聯耦合記憶體胞103之該等垂直串經定向與該第一平面正交。複數個存取線105可定向於一第二平面中，且進一步定向於該第二平面中之一第二方向上。如圖1中所展示，存取線105可形成於一平面組態中。該第二平面可實質上平行於該第一平面。例如，該第二方向可垂直於該第一方向。資料線102可由該第一方向上之串聯耦合記憶體胞103之數個垂直串共用，且存取線105可由該第二方向上之串聯耦合記憶體胞103之數個垂直串共用。

一或多個源極線104可定向於一第三平面中，該第三平面實質上平行於該第一平面及該第二平面。例如，如圖1中所展示，源極線104可進一步定向於與存取線105相同之方向之該第二方向上或一不同方向上。選擇閘極108及110可操作以在一資料線102與一源極線104之間選擇串聯耦合記憶體胞103之一特定垂直串。因而，串聯耦合記憶體裝置103之該等垂直串可定位於資料線102及源極線104之交叉點處。

存取線105耦合至(且在一些情況中形成)一特定層處之記憶體胞之控制閘極，且可用來選擇一垂直串內之該等串聯耦合記憶體胞之一特定者。以此方式，可經由第一選擇閘極108、第二選擇閘極110及一存取線105之操作而選擇一特定記憶體胞且將其電耦合至一資料線102。存取線105可

經組態以在串聯耦合記憶體胞103之該等垂直串之一或多者內的一特定位置處選擇一記憶體胞。

如圖1中所繪示，平面存取線105可經組態以具有多個三維階梯結構106來促進至平面存取線105之垂直定向耦合(諸如藉由垂直導體112)。因而，各自平面存取線105可經形成為階梯結構106之各自階梯。如本文中所使用，一階梯結構106意指具有在一橫向方向上延伸至不同距離之不同高度處的複數個階梯(諸如大致與一組階梯相關聯)之一三維結構。根據本發明之一個實施例，較低高度之該等階可橫向延伸超過該階在一最接近之較高高度處延伸之該橫向距離，如圖1中所展示。例如，較低階比上方(若干)階在一橫向方向上進一步延伸。一較低階可橫向延伸超過一下一更高階一足夠距離，使得可對橫向延伸通過下一更高階之該較低階之部分作出一垂直耦合。以此方式，一垂直導體112可耦合至該較低階，諸如至一存取線105、選擇閘極108或110或源極線104，其各個可對應於階梯結構106中之一階。

記憶體陣列100可耦合至與操作記憶體陣列100相關聯之各種電路系統。此電路系統可包含(例如)串驅動器電路系統，如將結合圖2進一步描述。舉一實例，水平導線114可(例如)自記憶體陣列100路由至一串驅動器。例如，可經由垂直導體112將階梯結構106之階耦合至導線114。以此方式，可經由平面水平導線114在存取線105、選擇閘極108/110及/或源極線104之垂直堆疊與該串驅動器之間製作一電耦合。

可使用在各端(例如，源極、汲極)處耦合之選擇閘極電晶體配置NAND記憶體胞之串。各個串可包含串聯(汲極至源極)耦合之數個記憶體胞。例如，NAND記憶體胞之垂直串可經配置使得串聯耦合記憶體胞之該

串經線性配置成一垂直定向，或可經配置成諸如「U」形之非線性組態，其中該「U」形之部分經垂直定向。例如，串聯耦合記憶體胞之該串可配置成正交於涵蓋該等存取線(例如，字線)及資料線(例如，位元線)之該等平面之一維度。

圖2係繪示根據本發明之數個實施例之一三維記憶體陣列200之一部分與一串驅動器216之間的連接之一示意圖。例如，記憶體陣列200可係先前結合圖1所描述之記憶體陣列100。

串驅動器216可用來控制記憶體胞及/或特定記憶體胞之特定串之選擇(例如藉由適當確認存取線206而諸如藉由在記憶體胞之該等串內施加特定選擇閘極及/或特定記憶體胞之一電壓信號)。圖2繪示經由數個導線214耦合至一串驅動器216之記憶體陣列200之存取線206、選擇閘極208 (SGD)及選擇閘極210 (SGS)。導線214及/或其中導線214將記憶體陣列200耦合至串驅動器216之記憶體陣列200與串驅動器216之間的區域可被稱作記憶體陣列200與串驅動器216之間之介面。例如，可使用CMOS裝置形成串驅動器216。記憶體陣列200進一步包含如所展示經配置且耦合至記憶體胞之該等串之資料線202。

可透過選擇電晶體218將一記憶體陣列200之存取線206、選擇閘極208 (SGD)及選擇閘極210 (SGS)耦合至各自全域存取線228。例如，選擇電晶體218可係場效電晶體(FET)。可經由在一區塊高壓開關220之一輸出與(例如)選擇電晶體218之各者的閘極之間耦合之區塊高壓開關輸出(BLKHVSW_OUT)信號線226而控制選擇電晶體218。區塊高壓開關220接收(例如)一區塊選擇位址222及一輸入電壓224作為輸入以當適合時，在區塊高壓開關輸出信號線226上產生該BLKHVSW_OUT信號以將記憶體

陣列200之存取線206、選擇閘極208 (SGD)及選擇閘極210 (SGS)耦合至全域存取線228。

在諸如一讀取或一程式驗證操作之一感測操作中，全域存取線驅動器216可將正電壓信號提供至全域存取線228 (例如，全域字線)以選擇耦合至所感測記憶體胞之一特定局部存取線。諸如未耦合至經讀取或驗證記憶體胞之存取線之未選定存取線可具備一通過電壓(V_{pass})，而選定存取線可具備一讀取電壓。如熟悉此項技術者將瞭解，其他技術可用於讀取及/或程式化記憶體胞。根據各種實施例，記憶體陣列200可實施為具有經垂直定向之該等串之一三維記憶體陣列，且包含選擇電晶體218之串驅動器216可實施為一實質上平面裝置。包括導線214之一階梯結構可用來電耦合垂直三維陣列及水平平面結構(例如，串驅動器216)。

圖3繪示根據本發明之數個實施例之一三維記憶體陣列330之一實施例。如圖3中所展示，記憶體陣列330可包含複數個部分300-0、300-1、300-2及300-3。記憶體陣列330之各個各自部分300-0、300-1、300-2及300-3可類似於先前結合圖1所描述之記憶體陣列100之部分。例如，記憶體陣列330可係包括具有一階梯結構之部分300-0、300-1、300-2及300-3之一三維NAND快閃記憶體陣列，如先前結合圖1所描述。此外，各個各自部分300-0、300-1、300-2、300-3可對應於一記憶體胞群組(例如，一方塊群組)，如先前結合圖1所描述。儘管圖3中所繪示之實施例包含四個部分(例如，四個記憶體胞群組)，然本發明之實施例不限於此。

為明確起見且以免模糊本發明之實施例，儘管圖3中未展示，然記憶體陣列330之各個各自部分(例如，群組) 300-0、300-1、300-2及300-3可具有與其相關聯之類似於先前結合圖2描述之串驅動器216的一串驅動

器。例如，各個各自群組300-0、300-1、300-2及300-3可具有以類似於結合圖2所描述之一方式耦合至彼各自群組且經組態以操作彼各自群組之一不同串驅動器。此外，該等串驅動器可並行操作其等各自群組。例如，該等串驅動器可在其等各自群組上並行執行程式化及/或感測操作。

記憶體陣列330可包含(例如)數個記憶體胞實體區塊，諸如，128個區塊、512個區塊或1024個區塊。然而，實施例不限於128之特定倍數或任何特定數目個實體區塊。數個記憶體胞實體區塊可包含於一記憶體胞平面中，且數個記憶體胞平面可包含於一晶粒上。各個記憶體胞實體區塊可包含耦合至存取線(例如，字線)之數個記憶體胞實體列，且各列可包含數個記憶體胞頁(例如，實體頁)。一實體頁係指程式化及/或感測之一單位(例如，作為一功能群組一起經程式化及/或感測之數個記憶體胞)。例如，各列可包括一個記憶體胞實體頁，或各列可包括多個記憶體胞實體頁(例如，耦合至偶數位元線之一或多個偶數記憶體胞頁，及耦合至奇數位元線之一或多個奇數記憶體胞頁)。此外，對於包含多層胞之實施例，一記憶體胞實體頁可儲存資料之多個頁(例如，邏輯頁)(例如，資料之一上部頁及資料之一下部頁，其中一實體頁中之各個胞儲存朝向資料之一上部頁之一或多個位元及朝向資料之一下部頁之一或多個位元)。

在數個實施例中，記憶體陣列330之各個各自群組300-0、300-1、300-2及300-3可包含各個各自記憶體胞頁之一不同部分。例如，群組300-0可包含各個各自頁之一第一部分，群組300-1可包含各個各自頁之一第二部分等。因而，記憶體陣列330可包含複數個記憶體胞群組(例如方塊群組300-0、300-1、300-2及300-3)及複數個記憶體胞頁，其中各個各自群組包含各個各自頁之一不同部分。

記憶體陣列330中之數個記憶體胞頁可包含(例如，儲存)獨立NAND之一冗餘陣列(RAIN)等量磁碟區之一同位部分。例如，該數個頁之各個各自者可包含一不同RAIN等量磁碟區之一同位部分。如本文中所使用，RAIN係(例如)用於在多個記憶體裝置之多個頁之間分配及/或複製(例如，鏡像)資訊之電腦資訊(例如，資料)儲存方案的一涵蓋性術語，以便有助於保護儲存於該等記憶體裝置中之該資料。一RAIN陣列中之多個記憶體裝置可對一使用者及一電腦之作業系統呈現為一單個記憶體裝置(例如，磁碟)。RAIN可包含等量化(例如，分割)資訊使得該資訊之不同部分儲存於不同記憶體裝置之不同頁上。儲存分割資料之一個以上裝置之部分被統稱為一等量磁碟區。相比而言，RAIN亦可包含鏡像，其可包含將資料複本儲存於一個以上裝置之一個以上頁上。作為前者之一實例，可跨N個記憶體裝置之N-1個記憶體裝置等量化寫入資料，其中錯誤資訊可儲存於一第N個記憶體裝置中。

一RAIN等量磁碟區可包含(例如，一組合之)使用者資料及同位資料。該RAIN等量磁碟區之該同位資料(其在本文中可被稱為該RAIN等量磁碟區之該同位部分)可包含可用來保護儲存於記憶體中免於可在該記憶體之操作期間發生之缺陷及/或錯誤的使用者資料之錯誤保護資料。例如，儲存於記憶體陣列330中之該RAIN等量磁碟區(例如，該RAIN等量磁碟區之該同位部分)可保護儲存於記憶體陣列330中之使用者資料免於可在該記憶體之操作期間發生之缺陷及/或錯誤，且可因此提供防止該記憶體之一故障之保護。該RAIN等量磁碟區可提供(例如)防止包含可在該記憶體之不同組件之間發生的電短路之缺陷及/或錯誤之保護，諸如，可在群組300-0、300-1、300-2及300-3中發生之存取線至存取線短路及/或可在

群組300-0、300-1、300-2及300-3及與其相關聯之該各自串驅動器之間的該介面處發生之短路，如將在本文中進一步描述。

在數個實施例中，儲存於各個各自頁中之該RAIN等量磁碟區之該同位部分可僅包括彼頁之一部分。即，儲存於各個各自頁中之該RAIN等量磁碟區之該同位部分可不包括彼頁之全部。例如，儲存於各個各自頁中之該RAIN等量磁碟區之該同位部分可包括彼各自頁之四分之一。因而，各個各自RAIN等量磁碟區之該同位部分之大小可小於其中儲存該RAIN等量磁碟區之該同位部分之該頁的大小。例如，僅該頁之該等胞之四分之一可用來儲存該RAIN等量磁碟區之該同位部分。然而，本發明之實施例不限於此實例。例如，儲存於各個各自頁中之該RAIN等量磁碟區之該同位部分可包括多於或少於四分之一之彼各自頁。此外，各個各自RAIN等量磁碟區之該同位部分之該大小可對應於(例如，與其相同大小之)包含於各個各自記憶體胞群組中之各個各自頁之各個不同部分的大小。各個各自RAIN等量磁碟區之該同位部分可儲存於相同記憶體胞群組中或不同RAIN等量磁碟區之不同同位部分可儲存於不同群組中。

包含該RAIN等量磁碟區之一同位部分之各個各自記憶體胞頁的剩餘部分以及不包含該RAIN等量磁碟區之任何部分之該等頁可包含(例如，儲存)使用者資料。例如，若儲存於一頁中之該RAIN等量磁碟區之該同位部分包括彼頁之四分之一，則彼頁之四分之三可用來儲存使用者資料。在此一實例中，包含該RAIN等量磁碟區之該同位部分之各個各自頁之該部分可係該等記憶體胞群組(例如，群組300-1、300-2、300-3或300-4)之一者之一部分，且包含使用者資料之彼各自頁之該剩餘部分可係其他記憶體胞群組之部分。本文中將(例如，結合圖4)進一步描述進一步繪示該RAIN等

量磁碟區及使用者資料在記憶體陣列330中之儲存之一實例。

相比而言，在先前RAIN保護方法中，將儲存於各個各自記憶體胞頁中之該RAIN等量磁碟區之該同位部分將包括整個頁。即，在先前RAIN保護方法中，將儲存於各個各自頁中之該RAIN等量磁碟區之該同位部分將包括彼頁之全部。因而，與本發明之實施例相比，在先前方法中，包含該RAIN等量磁碟區之一同位部分之各個各自記憶體胞頁將亦不能夠包含(或用來儲存)使用者資料，藉此減小將可用來儲存使用者資料之記憶體量。例如，在先前RAIN保護方法中之該RAIN等量磁碟區之該同位部分之大小可係在本發明之實施例中之該RAIN等量磁碟區的該同位部分之大小之四倍。在此一實例中，可需要四倍於本發明之實施例之記憶體胞來儲存該RAIN等量磁碟區之該同位部分。

然而，儘管本發明之該RAIN等量磁碟區(例如，該RAIN磁碟區之該同位部分)使用小於先前方法中之該RAIN等量磁碟區之額外耗用，然本發明之該RAIN等量磁碟區仍可提供與先前方法中之該RAIN等量磁碟區相同(或類似)之保護量。例如，本發明之該RAIN等量磁碟區可為記憶體陣列330之各個群組300-0、300-1、300-2及300-3提供保護。例如，本發明之該RAIN等量磁碟區可為儲存於記憶體陣列330之各個群組300-0、300-1、300-2及300-3中之所有使用者資料提供保護。

由於(例如)記憶體陣列330之方塊群組結構，故本發明之該RAIN等量磁碟區可提供與先前方法中之該RAIN等量磁碟區相同(或類似)之保護量。例如，由於記憶體陣列330包含(例如，被分成)群組300-0、300-1、300-2及300-3，其中各個各自群組具有一三維階梯結構且其自身各自串驅動器耦合至該三維階梯結構，故可導致記憶體陣列330之一故障之任何缺

陷及/或錯誤(諸如，例如存取線至存取線短路及/或串驅動器介面短路)有可能發生於該等群組之僅一者中。由於此等缺陷及/或錯誤發生於該等群組之一個以上中之可能性如此顯著小於此等缺陷及/或錯誤發生於該等群組之僅一者中之可能性，故本發明之該RAIN等量磁碟區可僅需提供防止可在僅一個群組中發生之一故障之保護以能夠有效地為所有群組提供保護。

圖4係繪示根據本發明之數個實施例之一三維記憶體陣列中的資料儲存之一實例之一圖表440。該三維記憶體陣列可係(例如)具有方塊群組300-0、300-1、300-2及300-3之記憶體陣列330，及儲存於該三維記憶體陣列中之該資料可包含具有使用者資料及同位資料(例如，一同位部分)之RAIN等量磁碟區，如本文中(例如，結合圖3)先前所描述。在圖4中所繪示之實例中，方塊群組300-0、300-1、300-2及300-3分別表示為tg 0、tg 1、tg 2及tg 3。

在圖4中所繪示之實例中，該記憶體陣列包含三個邏輯單元(表示為LUN 0、LUN 1及LUN 2)，且各個各自邏輯單元包含記憶體胞之四個平面(平面0、平面1、平面2及平面3)。此外，該記憶體陣列包含兩個記憶體胞區塊(表示為Blk 0及Blk 1)，且各個各自區塊包含九個記憶體胞頁(表示為頁0、頁1...、頁8)。舉一實例，圖4中繪示之頁442-0係LUN 0之平面0之區塊0之頁0，且頁442-0之該等記憶體胞儲存如藉由四個R 0表示之使用者資料，其中各個不同R 0表示一第一RAIN等量磁碟區(例如，RAIN等量磁碟區444-0)之該使用者資料之一不同部分。此外，頁442-1係LUN 0之平面0之區塊0之頁1，且頁442-1之該等記憶體胞儲存如藉由四個R 1表示之使用者資料，其中各個不同R 1表示一第二RAIN等量磁碟區(例如，

RAIN等量磁碟區444-1)之該使用者資料之一不同部分等，直至頁442-8，其係LUN 0之平面0之區塊0之頁8，且其之記憶體胞儲存如藉由四個R 8表示之使用者資料，其中各個不同R 8表示一第九RAIN等量磁碟區(例如，RAIN等量磁碟區444-8)之該使用者資料之一不同部分。

在圖4中所繪示之實例中，各個各自記憶體胞頁可儲存16 kB之資料。例如頁442-0之各個各自R 0表示4個不同kB之使用者資料，使得頁442-0中儲存16 kB之使用者資料。然而，本發明之實施例不限於此等資料量。

此外，該記憶體陣列之各個各自群組可包含各個各自記憶體胞頁之一不同部分。例如，在圖4中所繪示之實例中，各個記憶體胞頁包含四個不同部分，其中各個不同部分係該等四個群組之一不同者之一部分。舉一實例，群組tg 0包含頁442-0之一第一部分，群組tg 1包含頁442-0之一第二部分，群組tg 2包含頁442-0之一第三部分，及群組tg 3包含頁442-0之一第四部分，其中各個部分包含4 kB之資料。例如，圖4中所繪示之頁442-0之該tg 0行中使用使用者資料R 0儲存於群組tg 0中之區塊0之頁0的該等記憶體胞中，頁442-0之該tg 1行中之使用者資料R 0儲存於群組tg 1中之區塊0之頁0的該等記憶體胞中，頁442-0之該tg 2行中之使用者資料R 0儲存於群組tg 2中之區塊0之頁0的該等記憶體胞中，及頁442-0之該tg 3行中之使用者資料R 0儲存於群組tg 3中之區塊0之頁0的該等記憶體胞中。

如圖4中所展示，可跨該記憶體陣列中之不同記憶體胞頁儲存一RAIN等量磁碟區，其中該RAIN等量磁碟區之一不同部分儲存於各個各自頁中。例如，圖4中所繪示之實例包含具有跨不同記憶體胞頁儲存之各個RAIN等量磁碟區之九個RAIN等量磁碟區。舉一實例，RAIN等量磁碟區

444-0包含儲存於各個各自LUN之各個各自平面之各個各自區塊的各個各自頁0中之使用者資料之各個不同部分R 0，以及儲存於LUN 2之平面3之區塊1的頁0中之同位部分P 0。此外，RAIN等量磁碟區444-1包含儲存於各個各自LUN之各個各自平面之各個各自區塊的各個各自頁1中之使用者資料之各個不同部分R 1，以及儲存於LUN 2之平面3之區塊1的頁1中之同位部分P 1等，直至RAIN等量磁碟區444-8，其包含儲存於各個各自LUN之各個各自平面之各個各自區塊的各個各自頁8中之使用者資料之各個不同部分R 8及儲存於LUN 2之平面3之區塊1的頁8中之同位部分P 8。因而，一RAIN等量磁碟區之該使用者資料包括95/96之該等量磁碟區，且該同位部分包括1/96之該等量磁碟區。圖4中所繪示之各個各自RAIN等量磁碟區之該同位部分(例如，同位部分P 0至P 8)可保護儲存於該記憶體陣列之其餘部分中之該使用者資料免於可在該記憶體之操作期間發生的缺陷及/或錯誤，如本文中先前所描述。

此外，在其中儲存各個各自RAIN等量磁碟區之該同位部分之該等頁中，該同位部分僅包括彼頁之一部分(例如，不包括全部)，如圖4中所繪示。例如，在圖4中所繪示之實例中，各個各自RAIN等量磁碟區之該同位部分包括所儲存之該頁之四分之一。即，RAIN等量磁碟區444-0之該同位部分(例如，P 0)包括LUN 2之平面3之區塊1的頁0之四分之一，RAIN等量磁碟區444-1之該同位部分(例如，P 1)包括LUN 2之平面3之區塊1的頁1之四分之一，同位部分P 2包括LUN 2之平面3之區塊1的頁2之四分之一等。因而，各個各自RAIN等量磁碟區之該同位部分之大小小於所儲存之該頁之大小。例如，LUN 2之平面3之區塊1的頁0之該等記憶體胞之四分之一用來儲存同位部分P 0，LUN 2之平面3之區塊1的頁1之該等記憶體胞

之四分之一用來儲存同位部分P 1，LUN 2之平面3之區塊1的頁2之該等記憶體胞之四分之一用來儲存同位部分P 2等。此外，在圖4中所繪示之實例中，各個不同同位部分P 0至P 8儲存於相同記憶體胞群組(例如，群組tg 3)中。

如圖4中所展示，使用者資料儲存於其中儲存該等RAIN等量磁碟區之一者之一同位部分的各個各自記憶體胞頁之剩餘部分中，以及其中不儲存該等RAIN等量磁碟區之同位部分之該記憶體陣列之該等頁中。例如，LUN 2之平面3之區塊1的頁0之該等記憶體胞之四分之三用來儲存使用者資料，LUN 2之平面3之區塊1的頁1之該等記憶體胞之四分之三用來儲存使用者資料，LUN 2之平面3之區塊1的頁2之該等記憶體胞之四分之三用來儲存使用者資料等。此外，其中儲存該等RAIN等量磁碟區之一者之一同位部分的各個各自頁之該部分可係該等記憶體胞群組之一者之一部分，及包含使用者資料之彼各自頁之該等剩餘部分可係其他記憶體胞群組之部分。例如，RAIN等量磁碟區444-0之同位部分P 0係群組tg 3之一部分，而包含使用者資料之LUN 2之平面3之區塊1的頁0之該等剩餘部分係群組tg 0、tg 1及tg 2之部分，如圖4中所繪示。

圖5係根據本發明之數個實施例之包含呈一記憶體裝置554形式之一設備的一運算系統550之一功能方塊圖。如本文中所使用，一「設備」可(例如)係指(但不限於)各種結構之任一項或結構之組合，諸如一電路或電路系統、一或若干晶粒、一或若干模組、一或若干裝置或一或若干系統。

記憶體裝置554可係(例如)一固態磁碟(SSD)。在圖5中所繪示之實施例中，記憶體裝置204包含一實體主機介面556、數個記憶體560-1、560-2、...、560-N及耦合至實體主機介面556及記憶體560-1、560-2、...、

560-N之一控制器558。控制器558可係(例如)一SSD控制器，及記憶體560-1、560-2、...、560-N可係(例如)固態記憶體裝置。

記憶體560-1、560-2、...、560-N可包含(例如)數個非揮發性記憶體陣列(例如，非揮發性記憶體胞陣列)。例如，記憶體560-1、560-2、...、560-N可包含類似於先前結合圖3所描述之三維記憶體陣列330之數個記憶體陣列。

實體主機介面556可用來在記憶體裝置554與諸如一主機552之另一裝置之間傳遞資訊。主機552可包含諸如一處理器之一記憶體存取裝置。一般技術者將瞭解，「一處理器」可旨在數個處理器，諸如一並行處理系統、數個協同處理器等。例示性主機可(例如)包含個人膝上型電腦、桌上型電腦、數位相機、數位記錄及回放裝置、行動電話(諸如，例如智慧型電話)、PDA、記憶卡讀取器、介面集線器及類似者。

實體主機介面556可呈一標準化實體介面形式。例如，當記憶體裝置554在運算系統550中用於資訊儲存時，實體主機介面556可係一串列進階技術附接(SATA)實體介面、一周邊組件互連快速(PCIe)實體介面或一通用串列匯流排(USB)實體介面、以及其他實體連接器及/或介面。然而，一般言之，實體主機介面556可為在記憶體裝置554與主機552之間傳遞控制、位址、資訊(例如，資料)及其他信號提供一介面，主機552具有實體主機介面556之相容接收器。

控制器558可包含(例如)控制電路系統及/或邏輯(例如，硬體及韌體)。控制器558可包含於與記憶體560-1、560-2、...、560-N相同之實體裝置(例如，相同晶粒)上。例如，控制器558可係耦合至包含實體主機介面556及記憶體560-1、560-2、...、560-N之一印刷電路板之一專用積體

電路(ASIC)。替代地，控制器558可包含於以通信方式耦合至包含記憶體560-1、560-2、...、560-N之該實體裝置之一單獨實體裝置上。在數個實施例中，控制器558之組件作為一分散式控制器可跨多個實體裝置(例如，在與該記憶體相同之晶粒上之一些組件，及在一不同晶粒、模組或板上之一些組件)展開。

控制器558可與記憶體560-1、560-2、...、560-N通信以感測(例如，讀取)、程式化(例如，寫入)及/或擦除資訊、以及其他操作。控制器558可具有可係數個積體電路及/或離散組件之電路系統。例如，控制器558可包含RAIN組件562，如圖5中所繪示。RAIN組件562可包含XOR電路系統，且可經組態以計算錯誤資訊(例如，同位資料)，其包含跨記憶體560-1、560-2、...、560-N而程式化及/或感測等量磁碟區中之資料。

例如，RAIN組件562可將資料程式化至記憶體560-1、560-2、...、560-N中之一RAIN等量磁碟區，諸如，例如記憶體陣列330之該RAIN等量磁碟區及/或本文中分別結合圖3及圖4先前所描述之RAIN等量磁碟區444-0、444-1、...、444-8。此外，RAIN組件562可感測儲存於該(若干)RAIN等量磁碟區中之該資料。根據本文中先前所描述之該等記憶體之該方塊群組階梯結構，該(若干)RAIN等量磁碟區之程式化及感測可執行為基於方塊之操作。

舉一實例，RAIN組件562可偵測已在記憶體560-1、560-2、...、560-N之該等方塊群組之一者中發生一故障。該故障可歸因於(例如)存取線至存取線短路及/或串驅動器介面短路而發生，如本文中先前所描述。在偵測該故障之後，RAIN組件可感測儲存於該(若干)RAIN等量磁碟區中之該資料，且使用來自該(若干)RAIN等量磁碟區之所感測資料而恢復

儲存於該記憶體中之該資料，包含儲存於其中該故障發生之該方塊群組中之該資料。

圖5中所繪示之實施例可包含未經繪示之額外電路系統、邏輯及/或組件以免模糊本發明之實施例。例如，記憶體裝置554可包含用來門鎖透過I/O電路系統在I/O連接器上方提供之位址信號之位址電路系統。可藉由列解碼器及行解碼器而接收及解碼位址信號以存取記憶體560-1、560-2、...、560-N。

儘管本文中已繪示及描述特定實施例，但一般技術者將瞭解，經計算以達成相同結果之一配置可取代展示之特定實施例。本發明旨在涵蓋本發明之數個實施例之調適或變動。應瞭解，上述描述已以一闡釋性方式而非一限制性方式作出。一般技術者在檢視上述描述後將明白未在本文中特別描述之上述實施例之組合及其他實施例。本發明之數個實施例之範疇包含其中使用上述結構及方法之其他應用。因此，應參考隨附申請專利範圍以及此申請專利範圍所主張之等效物之全範圍而判定本發明之數個實施例之範疇。

在前述實施方式中，為簡化本發明之目的將一些特徵一起集合於一單一實施例中。本發明之此方法不應被解釋為反映本發明之所揭示實施例必須使用比明確陳述於每一請求項中更多之特徵之一意圖。確切而言，如以下申請專利範圍反映，發明標的在於少於一單一所揭示實施例之所有特徵。因此，以下申請專利範圍以此方式併入實施方式中，其中每一請求項單獨作為一獨立實施例。

【符號說明】

100

三維記憶體陣列/記憶體陣列

102	資料線
103	串聯耦合記憶體胞/記憶體胞/串聯耦 合記憶體裝置
104	源極線
105	存取線/平面存取線
106	三維階梯結構/階梯結構
108	選擇閘極/第一選擇閘極
110	選擇閘極/第二選擇閘極
112	垂直導體
114	水平導線/導線
200	三維記憶體陣列/記憶體陣列
202	資料線
206	存取線
208	選擇閘極
210	選擇閘極
214	導線
216	串驅動器
218	選擇電晶體
220	區塊高壓開關
222	區塊選擇位址
224	輸入電壓
226	區塊高壓開關輸出信號線
228	全域存取線

300-0、300-1、300-2及300-3	記憶體陣列330之各個各自部分/記憶體陣列330之各個各自群組/方塊群組
330	三維記憶體陣列/記憶體陣列
440	圖表
442-0	頁
442-1	頁
442-8	頁
550	運算系統
552	主機
554	記憶體裝置
556	實體主機介面
558	控制器
560-1、560-2、...、560-N	記憶體
562	RAIN組件
BLK	記憶體胞區塊
BLKHVSW_OUT	區塊高壓開關輸出
LUN	邏輯單元
R 0、R 1至R 8	使用者資料之一不同部分
SGS	選擇閘極
tg 0、tg 1、tg 2及tg 3	方塊群組/群組

【發明申請專利範圍】

【第1項】

一種記憶體裝置，其包括：

一三維記憶體胞陣列，其中：

該陣列包含複數個記憶體胞頁；

該複數個頁之數個頁包含獨立NAND之一冗餘陣列(RAIN)等量磁碟區(stripe)之一同位部分，其中該數個頁之各個各自者包含一不同RAIN等量磁碟區之一同位部分使得各個不同RAIN等量磁碟區之該同位部分係包含於一單一頁中；及

各個各自頁中之該RAIN等量磁碟區之該同位部分僅包括彼各自頁之一部分。

【第2項】

如請求項1之記憶體裝置，其中該三維陣列包含複數個記憶體胞群組，其中各個各自群組包含各個各自記憶體胞頁之一不同部分。

【第3項】

如請求項1之記憶體裝置，其中該三維陣列具有一階梯結構。

【第4項】

如請求項1之記憶體裝置，其中包含該RAIN等量磁碟區之一同位部分之各個各自記憶體胞頁之一剩餘部分包含使用者資料。

【第5項】

如請求項1之記憶體裝置，其中各個各自記憶體胞頁中之該RAIN等量磁碟區之該同位部分包括四分之一以上之彼各自頁。

【第6項】

如請求項1之記憶體裝置，其中各個各自記憶體胞頁中之該RAIN等量磁碟區之該同位部分包括少於四分之一之彼各自頁。

【第7項】

一種記憶體裝置，其包括：

一三維記憶體胞陣列，其中：

該陣列包含複數個記憶體胞群組及複數個記憶體胞頁，其中各個各自群組包含各個各自頁之一不同部分；

該複數個頁之數個頁包含獨立NAND之一冗餘陣列(RAIN)等量磁碟區之一同位部分，其中該數個頁之各個各自者包含一不同RAIN等量磁碟區之一同位部分使得各個不同RAIN等量磁碟區之該同位部分係包含於一單一頁中；及

各個不同RAIN等量磁碟區之該同位部分之一大小小於包含彼同位部分之該頁之一大小。

【第8項】

如請求項7之記憶體裝置，其中各個不同RAIN等量磁碟區之該同位部分之該大小對應於包含於各個各自記憶體胞群組中之各個各自記憶體胞頁之各個不同部分的一大小。

【第9項】

如請求項7之記憶體裝置，其中各個RAIN等量磁碟區經組態以為該複數個記憶體胞群組之各者提供保護。

【第10項】

如請求項7之記憶體裝置，其中該記憶體裝置包含複數個串驅動器，其中各個各自串驅動器與該等記憶體胞群組之一不同者相關聯。

【第11項】

如請求項7之記憶體裝置，其中各個不同RAIN等量磁碟區之該同位部分包含於該複數個記憶體胞群組之一相同者中。

【第12項】

如請求項7之記憶體裝置，其中各個不同RAIN等量磁碟區之該同位部分包含於該複數個記憶體胞群組之不同者中。

【第13項】

如請求項7之記憶體裝置，其中該記憶體裝置包含耦合至該三維陣列之一控制器，其中該控制器包含一RAIN組件，其經組態以：

將資料程式化至各個RAIN等量磁碟區；及

感測儲存於各個RAIN等量磁碟區中之資料。

【第14項】

一種操作記憶體之方法，該方法包括：

將獨立NAND的一冗餘陣列(RAIN)等量磁碟區之一同位部分儲存於一三維記憶體胞陣列中之記憶體胞之數個頁之一第一部分中，其中該數個頁之各個各自者包含一不同RAIN等量磁碟區之一同位部分使得各個不同RAIN等量磁碟區之該同位部分係包含於一單一頁中；及

將使用者資料儲存於該數個頁之一第二部分中。

【第15項】

如請求項14之方法，其中：

該RAIN等量磁碟區之該同位部分儲存於記憶體胞之各個各自頁的四分之一中；及

該使用者資料儲存於各個各自頁的四分之三中。

【第16項】

如請求項14之方法，其中：

記憶體胞之各個各自頁之該第一部分係一第一記憶體胞群組之一部分；及

記憶體胞之各個各自頁之該第二部分係一第二記憶體胞群組之一部分。

【第17項】

如請求項14之方法，其中該方法包含：在該三維陣列中發生一故障之後，

於各個各自頁中感測儲存於該RAIN等量磁碟區之該同位部分中之資料；及

使用該所感測資料恢復儲存於該陣列中之使用者資料。

【第18項】

一種操作記憶體之方法，該方法包括：

將複數個獨立NAND之冗餘陣列(RAIN)等量磁碟區儲存於一三維記憶體陣列中之複數個記憶體胞群組中之複數個記憶體胞頁中，其中：

各個各自頁儲存一不同RAIN等量磁碟區之一同位部分使得各個不同RAIN等量磁碟區之該同位部分係包含於一單一頁中；及

儲存於各個各自頁中之該RAIN等量磁碟區之該同位部分並不儲存於該頁之全部中。

【第19項】

如請求項18之方法，其中該方法包含藉由將該等RAIN等量磁碟區儲存於該複數個記憶體胞頁中而為該複數個記憶體胞群組之各者提供保護。

【第20項】

如請求項19之方法，其中為該複數個記憶體胞群組之各者提供保護包含為儲存於該複數個群組之各者中之所有使用者資料提供保護。

【第21項】

如請求項19之方法，其中為該複數個記憶體胞群組之各者提供保護包含為該複數個記憶體胞群組之各者提供防止可發生於該等群組之一者中之一故障的保護。

【第22項】

如請求項18之方法，其中該方法包含藉由將該等RAIN等量磁碟區儲存於該複數個記憶體胞頁中而提供防止可在該等記憶體胞群組之一者中發生之一存取線至存取線短路的保護。

【第23項】

如請求項18之方法，其中該方法包含藉由將該等RAIN等量磁碟區儲存於該複數個記憶體胞頁中而提供防止可在該等記憶體胞群組之一者與一串驅動器之間的一介面處發生之一短路的保護，該串驅動器與彼群組相關聯。