



本願発明は、表示パネルが過熱し、ＥＬ素子が劣化することを抑制する表示装置を提供することを目指す。本発明のＥＬ表示装置は、表示画面（２０）と、第１のゲート信号線（１７ａ）及び第２のゲート信号線（１７ｂ）と、ゲートドライバ回路（１２ａ、１２ｂ）と、ＥＬ素子（１５）に電流を供給する電流発生回路（Ｖｄｄ）と、複数の画素（１６）に流れる電流の大きさを求める電流量取得回路（４１）と、ゲートドライバ回路（１２ｂ）が第２のゲート信号線（１７ｂ）に出力する制御電圧を発生する制御電圧発生回路（４３）とを具備し、複数の画素（１６）の各々は、第１のスイッチ用トランジスタ（１１ｄ）を備え、第１のスイッチ用トランジスタ（１１ｄ）の導通状態を制御する制御電圧を、電流量取得回路（４１）の出力結果に基づき、制御電圧発生回路（４３）からの出力を変化させることにより変化させることを特徴とするＥＬ表示装置。

明 細 書

発明の名称： E L 表示装置および E L 表示装置の駆動方法

技術分野

[0001] 本開示は、有機エレクトロルミネッセンス（O r g a n i c E l e c t r o - L u m i n e s c e n c e。以下、E L、またはO L E Dと呼ぶことがある。）素子などを有する表示パネルにテレビ画像などを表示する映像表示方法及び表示装置、また、立体映像の表示に適するように構成された映像表示システム、映像表示方法及び表示装置に関する。

背景技術

[0002] 特許文献1は、E L素子を備えるE L表示装置を開示する。E L表示装置は、駆動用トランジスタに書き込むトランジスタのオン抵抗を下げることで、E L素子に流れる電流を制御する。これにより、E L表示装置の表示輝度と消費電流を抑制することができる。

先行技術文献

特許文献

[0003] 特許文献1：特開2010-145446号公報

発明の概要

発明が解決しようとする課題

[0004] 本開示は、表示パネルが過熱し、E L素子が劣化することを抑制するE L表示装置、画質低下を抑制し良好な表示品位を維持できるE L表示装置を提供することを目的とする。

課題を解決するための手段

[0005] 本開示の一態様に係るE L表示装置は、複数の画素がマトリックス状に配置された表示画面と、前記複数の画素の行ごとに配置された、第1のゲート信号線及び第2のゲート信号線と、前記第1のゲート信号線及び前記第2のゲート信号線に、それぞれ第1の制御電圧及び第2の制御電圧を出力するゲートドライバ回路と、前記表示画面の前記複数の画素に電流を供給する電流

発生回路と、前記複数の画素に流れる電流の大きさを求める電流量取得回路と、前記ゲートドライバ回路が前記第１のゲート信号線に出力する前記第１の制御電圧を発生する制御電圧発生回路とを具備し、前記複数の画素の各々は、ＥＬ（Ｅｌｅｃｔｒｏ－Ｌｕｍｉｎｅｓｃｅｎｃｅ）素子と、前記ＥＬ素子に駆動電流を供給するための駆動用トランジスタと、前記第１のゲート信号線から供給される第１の制御電圧に基づいてチャンネル間電圧が調整され、前記駆動電流の経路上に配置された第１のスイッチ用トランジスタと、前記第２のゲート信号線から供給される前記第２の制御電圧に基づいて導通及び非導通が切り換えられ、映像信号を前記駆動用トランジスタに印加するための第２のスイッチ用トランジスタとを備え、制御電圧発生回路は、前記電流量取得回路の出力結果に基づき、前記第１の制御電圧の大きさを調整する。

発明の効果

[0006] 本開示によれば、表示パネルが過熱し、ＥＬ素子が劣化することを抑制するＥＬ表示装置、画質低下を抑制し良好な表示品位を維持できるＥＬ表示装置を提供することができる。

図面の簡単な説明

[0007] [図１]図１は、本開示の基礎となった技術に係るＥＬ表示装置の説明図である。

[図２]図２は、実施の形態１に係るＥＬ表示装置の画素構成を示す説明図である。

[図３]図３は、本開示のＥＬ表示装置の構成を示す説明図である。

[図４]図４は、本開示のＥＬ表示装置の画素構成を示す説明図である。

[図５]図５は、本開示のＥＬ表示装置の画素構成を示す説明図である。

[図６]図６は、本開示のＥＬ表示装置の画素構成を示す説明図である。

[図７]図７は、本開示のＥＬ表示装置の画素構成を示す説明図である。

[図８]図８は、本開示のＥＬ表示装置の切り替え回路の構成を示す説明図である。

[図9]図9は、Nチャンネルトランジスタの場合の電圧2値駆動および電圧3値駆動について説明するための図である。

[図10]図10は、Pチャンネルトランジスタの場合の電圧2値駆動および電圧3値駆動について説明するための図である。

[図11]図11は、本開示のEL表示装置の説明図である。

[図12]図12は、本開示のEL表示装置の画素構成を示す説明図である。

[図13]図13は、本開示のEL表示装置の画素構成を示す説明図である。

[図14]図14は、本開示のEL表示装置の構成を示す説明図である。

[図15]図15は、本開示のEL表示装置の画素構成を示す説明図である。

[図16]図16は、本開示のEL表示装置の画素構成を示す説明図である。

[図17]図17は、本開示のEL表示装置の画素構成を示す説明図である。

[図18]図18は、本開示のEL表示装置を採用したディスプレイである。

[図19]図19は、本開示のEL表示装置を採用したデジタルカメラである。

[図20]図20は、本開示のEL表示装置を採用したノート型パーソナルコンピュータである。

発明を実施するための形態

[0008] 以下、適宜図面を参照しながら、実施の形態を詳細に説明する。但し、必要以上に詳細な説明は省略する場合がある。例えば、既によく知られた事項の詳細説明や実質的に同一の構成に対する重複説明を省略する場合がある。これは、以下の説明が不必要に冗長になるのを避け、当業者の理解を容易にするためである。

[0009] (本開示の基礎となった知見)

以下、本開示の詳細を説明する前に、本開示の基礎となった知見について説明する。

[0010] 有機EL素子をマトリックス状に備えたアクティブマトリックス(Active Matrix、以下、AMと略する場合がある。)型有機EL表示装置がスマートフォンなどの表示パネルに採用され、商品化されている。EL素子は、アノード電極(端子)およびカソード電極(端子)間にEL層が

形成されている。ＥＬ素子は、アノード電極（端子）、カソード電極（端子）に供給された電流あるいは電圧により発光する。よって、表示輝度と消費電流が比例し、表示輝度が高くなると消費電流が増大する特性を持っている。

[0011] したがって、表示輝度が高くなると消費電力が増大する。消費電力が増大するとパネルが発熱し、ＥＬ素子などの劣化を引き起こす。

[0012] この課題を解決する方法として、駆動用トランジスタの電源電圧を変化させる方法がある。

[0013] 図１は、本開示の基礎となった技術に係るＥＬ表示装置の説明図である。

[0014] 図１は、有機ＥＬ素子の画素回路の一例を示すものである。

[0015] 画素回路は１６に示す、発光素子（ＥＬ素子）１５と、これを駆動する駆動用トランジスタ１１ａと、この駆動用トランジスタ１１ａに映像信号を印加するスイッチ用トランジスタ１１ｂとを基本構成とする。駆動用トランジスタ１１ａのドレイン側にはＥＬの電圧源Ｖｄｄ（電源装置等）に接続される。Ｖｄｄはアノード電圧である。駆動用トランジスタ１１ａとスイッチ用トランジスタ１１ｂによりＥＬ素子１５の電流Ｉｄを制御することでＥＬ素子１５の発光輝度を調整することができる。

[0016] しかし、図１の画素回路では電圧源ＶｄｄとＥＬ素子との間に電位差を持たせている（駆動用トランジスタ１１ａのチャンネル間の電位差Ｖｄｄ）為、電力＝電流（Ｉｄ）×電圧（Ｖｄｄ－ＥＬ素子電位差－Ｖｓｓ）に相当する電力損失による発熱が駆動用トランジスタ１１ａで起こり、駆動用トランジスタ１１ａに隣接するＥＬ素子の特性が急激に劣化するという問題が発生する。

[0017] また、上記駆動用トランジスタ１１ａの発熱を抑制するために、ＥＬ素子１５に流れる電流Ｉｄを検出し、電圧源Ｖｄｄの電圧を可変することで電流Ｉｄの抑制による電力損失低減も考えられるが、ＥＬ素子１５を駆動する駆動用トランジスタ１１ａの特性ムラなどによる表示品位の劣化（輝度ムラ、フリッカ）を引き起こすという問題がある。また、駆動用トランジスタ１１

aに信号を書き込むトランジスタのオン抵抗を変化させる方法があるが、変化できる割合が小さく効果はほとんどない。

[0018] 以下、EL特性劣化抑制と表示品位との両立を実現できる画素回路および表示パネルについて説明する。なお、以下において、トランジスタ11とは、駆動用トランジスタ11a、スイッチ用トランジスタ11b、11c及び11dを示す。

[0019] (実施の形態1)

以下、図2～図12を用いて、実施の形態1に係るEL表示装置について説明する。

[0020] [1-1. EL表示装置の構成]

本開示にかかるEL表示装置は、EL素子の電流制御を、EL素子15に印加する駆動用トランジスタ11aとは別の制御トランジスタ（スイッチ用トランジスタ11d）で行うことを特徴とするものである。これはスイッチ用トランジスタ11dのゲートへ印加する電圧を変化させることでオン特性を制御し、駆動用トランジスタ11aを介してEL素子15の電流を制御する。これにより、駆動用トランジスタ11aの特性ムラによる表示品位低下を起こすことなくEL駆動電流を制御でき、EL画素回路全体の発熱を抑えて、発熱によるEL素子特性の劣化を防ぐことができるものである。

[0021] なお、本開示において、各図は理解を容易するために、また、作図を容易にするために、省略、拡大あるいは縮小した箇所がある。

[0022] 本開示の実施の形態に図示あるいは明細書で説明した事項あるいは内容は、他の実施の形態においても適用される。また、本開示の実施の形態で説明あるいは図示したEL表示パネルは、本開示のEL表示装置に採用できる。

[0023] たとえば、後に詳述する図20のノート型パーソナルコンピュータのEL表示装置151として、本開示の実施の形態で図示した、あるいは説明したEL表示装置（EL表示パネル）を採用し、また、情報機器を構成することができることは言うまでもない。

[0024] また、同一番号または、記号等を付した箇所は、同一もしくは類似の形態

もしくは材料あるいは機能もしくは動作、あるいは関連する事項、作用などを有する。

[0025] 各図等で説明した内容は特に断りがなくとも、他の実施の形態等と組み合わせることができる。たとえば、図2の本開示のEL表示パネルにタッチパネルなどを付加し、後に詳述する図18、図19、図20に示す情報表示装置などを構成することができる。

[0026] 本開示のEL表示装置とは、情報機器などのシステム機器を含む概念である。EL表示パネルの概念は、広義には情報機器などのシステム機器を含む。

[0027] 本開示では、駆動用トランジスタおよびスイッチ用トランジスタは、薄膜トランジスタとして説明するが、これに限定するものではない。薄膜ダイオード(TFD)、リングダイオードなどでも構成することができる。

[0028] また、薄膜素子に限定するものではなく、シリコンウエハに形成したトランジスタでもよい。たとえば、シリコンウエハでトランジスタを構成し、剥がしてガラス基板に転写したものが例示される。また、シリコンウエハでトランジスタチップを形成し、ガラス基板のボンディング実装した表示パネルが例示される。

[0029] 本開示に係るトランジスタは、もちろん、FET、MOS-FET、MOSトランジスタ、バイポーラトランジスタでもよい。これらも基本的に薄膜トランジスタである。その他、バリスタ、サイリスタ、リングダイオード、ホトダオード、ホトトランジスタ、PLZT素子などでもよいことは言うまでもない。

[0030] なお、本開示に係るトランジスタは、Nチャンネル、Pチャンネルのトランジスタとも、LDD(Lightly Doped Drain)構造を採用することが好ましい。

[0031] また、トランジスタは、高温ポリシリコン(HTPS: High-temperature polycrystalline silicon)、低温ポリシリコン(LTPS: Low-temperature poly

crystalline silicon)、連続粒界シリコン (CGS : Continuous grain silicon)、透明アモルファス酸化物半導体 (TAOS : Transparent Amorphous Oxide Semiconductors、IZO)、アモルファスシリコン (AS : Amorphous silicon)、赤外線RTA (RTA : Rapid thermal annealing) で形成したもののうち、いずれでもよい。

[0032] 図2では、画素16を構成するすべてのトランジスタ（駆動用トランジスタ11a、スイッチ用トランジスタ11b及び11d）はPチャンネルで構成している。しかし、本開示は、画素16のトランジスタ（駆動用トランジスタ11a、スイッチ用トランジスタ11b及び11d）をPチャンネルで構成することのみに限定するものではない。Nチャンネルのみで構成してもよい。また、NチャンネルとPチャンネルの両方を用いて構成してもよい。また、駆動用トランジスタ11aをPチャンネルトランジスタとNチャンネルトランジスタの両方を用いて構成してもよい。

[0033] スイッチ用トランジスタ11b及び11dは、トランジスタに限定するものではなく、たとえば、PチャンネルトランジスタとNチャンネルトランジスタの両方を用いて構成したアナログスイッチであってもよい。

[0034] ここで、トランジスタはトップゲート構造にすることが好ましい。トップゲート構造にすることにより寄生容量が低減し、トップゲートのゲート電極パターンが、遮光層となり、EL素子15から出射された光を遮光層で遮断し、トランジスタの誤動作、オフリーク電流を低減できるからである。

[0035] ゲート信号線17a及び17b、または、ソース信号線18、もしくはゲート信号線17a及び17bとソース信号線18との両方の配線材料として、銅配線または銅合金配線を採用できるプロセスを実施することが好ましい。信号線（ゲート信号線17a及び17b又はソース信号線18）の配線抵抗を低減でき、より大型のEL表示パネルを実現できるからである。

[0036] ゲートドライバIC（ゲートドライバ回路）12（ゲートドライバIC（

回路) 12a及び12b)が駆動(制御)するゲート信号線17a及び17bは、低インピーダンス化すること好ましい。したがって、ゲート信号線17a及び17bの構成あるいは構造に関しても同様である。

[0037] 特に、低温ポリシリコン(LTPS:Low-temperature polycrystalline silicon)を採用することが好ましい。低温ポリシリコンは、トランジスタはトップゲート構造であり寄生容量が小さく、NチャンネルおよびPチャンネルトランジスタを作製でき、また、プロセスに銅配線または銅合金配線プロセスを用いることができる。なお、銅配線は、Ti-Cu-Tiの3層構造を採用することが好ましい。

[0038] 配線は、透明アモルファス酸化物半導体(TAOS:Transparent Amorphous Oxide Semiconductors)の場合には、モリブデン(Mo)-Cu-Moの3層構造を採用することが好ましい。

[0039] 図2および図3は本開示のEL表示装置の画素構成の説明図である。本実施の形態に係るEL表示装置は、複数のEL素子15を有する表示画面20を備えている。また、EL表示装置は、表示画面20の周辺回路として、ゲート信号線17aを駆動するゲートドライバIC(回路)12a、ゲート信号線17bを駆動するゲートドライバIC(回路)12b、映像信号を発生し、出力するソースドライバIC(回路)14、ゲートドライバIC(回路)12a及び12b及びソースドライバIC(回路)14などを制御する制御回路70(図6参照)とを備えている。

[0040] なお、ゲート信号線17aは、ゲート信号線GS、ゲート信号線17bは、ゲート信号線GEと呼ぶ。スイッチ用トランジスタ11bのゲート端子には、ゲート信号線17aに接続されており、スイッチ用トランジスタ11dのゲート端子には、ゲート信号線17bが接続されている。

[0041] 図3に示すように、表示画面20には、マトリックス状に配置されたEL素子15を備えている。表示画面20は、外部からEL表示装置へ入力された映像信号に基づいて画像を表示する。

- [0042] 画素のトランジスタはPチャンネルトランジスタである。駆動用トランジスタ11aは、EL素子15に流す電流を発生する。スイッチ用トランジスタ11bは、ソースドライバIC（回路）14が発生し、ソース信号線18に印加された映像信号を画素16の駆動用トランジスタ11aに印加する。
- [0043] スイッチ用トランジスタ11dは、EL素子15への駆動用電流が流れる配線の経路上に配置または形成されている。なお、経路とは、駆動用電流が流れる経路であり、スイッチ用トランジスタ11dは、アノードV_{dd}端子からカソードV_{ss}端子間のいずれの位置であってもよい。スイッチ用トランジスタ11dをオンさせることにより駆動用トランジスタ11aから流出した電流がEL素子15に供給される。EL素子15に供給される電流に比例してEL素子15が発光する。スイッチ用トランジスタ11dをオフさせることによりEL素子15への電流の供給が停止し、EL素子15の発光が停止する。
- [0044] コンデンサ19aは、第1電極である電極31が駆動用トランジスタ11aのゲート端子に接続され、第2電極が駆動用トランジスタ11aのソース端子に接続されたコンデンサである。
- [0045] コンデンサ19aは、ソース信号線18から供給された信号電圧に対応した電圧を保持し、例えば、スイッチ用トランジスタ11bがオフ状態となった後に、駆動用トランジスタ11aのゲート・ソース電極間電位を安定的に保持し、駆動用トランジスタ11aからEL素子15へ供給する電流を安定化する機能を有する。
- [0046] 本開示の実施の形態では、スイッチ用トランジスタ11dを線形領域で使用し、また、非線形領域で使用する。線形領域と非線形領域での切り替えは、スイッチ用トランジスタ11dのゲート端子に印加するゲート電圧により操作する。
- [0047] アノード電極（端子又は配線）とカソード電極（端子又は配線）間に、EL素子15と駆動用トランジスタ11a、スイッチ用トランジスタ11dが配置されている。また、EL素子15と駆動用トランジスタ11a、スイッ

チ用トランジスタ 11d は直列に接続されている。

[0048] ゲート端子に印加するオン電圧を高くすると、スイッチ用トランジスタは、強オン状態となり飽和領域で動作する。スイッチ用トランジスタ 11d のチャンネル間（ソースドレイン間）電圧は低くなる。したがって、EL 素子 15、駆動用トランジスタ 11a のチャンネル間には十分な電圧が印加される。そのため、駆動用トランジスタ 11a からの定電流が EL 素子 15 に供給される。

[0049] スイッチ用トランジスタ 11d のゲート端子に印加するオン電圧を低くすると、スイッチ用トランジスタ 11d では、チャンネル間のオン抵抗が大きくなる（線形領域で動作する）。スイッチ用トランジスタ 11d のチャンネル間（ソースドレイン間）のオン抵抗が高くなると、チャンネル間電圧が大きくなる。そのため、駆動用トランジスタ 11a のチャンネル間、EL 素子 15 に電圧が印加されにくくなる。したがって、駆動用トランジスタ 11a が EL 素子 15 に供給する電流が抑制される。

[0050] 以上のように、本開示は、EL 素子 15 に供給する電流を抑制するときは、スイッチ用トランジスタ 11d のゲート端子に印加するオン電圧を低くし、スイッチ用トランジスタ 11d のチャンネル間抵抗を高くする。

[0051] ゲートドライバ IC（回路）12a 及び 12b は、複数の走査・出力バッファ回路 121a、121b、121c（図 7 参照）を備えている。ゲートドライバ IC（回路）12a 及び 12b は、ゲート信号線 17a 及び 17b にそれぞれ接続されており、ゲート信号線 17a 及び 17b にそれぞれ選択信号を出力することにより、EL 素子 15 の有するスイッチ用トランジスタ 11b 及び 11d の導通（オン）または非導通（オフ）を制御する機能を有する駆動回路である。

[0052] 本開示の EL 表示装置において、ゲートドライバ IC（回路）12a 及び 12b は、表示画面 20 の左右に配置されており、少なくとも各画素 16 のゲート信号線 17 は、ゲートドライバ IC（回路）12a またはゲートドライバ IC（回路）12b と接続されている。図 2、図 3 において、ゲート信

号線 17a (ゲート信号線 GS) は、ゲートドライバ IC (回路) 12a と接続され、ゲート信号線 17a は、スイッチ用トランジスタ 11b のゲート端子に接続されている。ゲート信号線 17b (ゲート信号線 GE) は、ゲートドライバ IC (回路) 12b と接続され、ゲート信号線 17b は、スイッチ用トランジスタ 11d のゲート端子に接続されている。

[0053] 本開示の一態様に係る EL 表示装置は、複数の画素がマトリックス状に配置された表示画面と、表示画面の画素行ごとに配置されたゲート信号線 17 (ゲート信号線 17a 及び 17b) と、表示画面の画素列ごとに配置されたソース信号線 18 と、ゲート信号線 17a 及び 17b を駆動するゲートドライバ回路 (ゲートドライバ IC) 12a 及び 12b と、ソース信号線 18 を駆動するソースドライバ IC (ソースドライバ回路) 14 とを具備する。

[0054] ゲートドライバ IC (回路) 12a 及び 12b は、第 1 のパルス及び第 2 のパルスを有する選択信号を出力する。ソースドライバ IC (回路) 14 は、入力画像に対応した映像信号を出力あるいは発生する。

[0055] 複数の EL 素子 15 において、ゲート信号線 17a 及び 17b を介して入力される選択信号のうちの第 1 のパルスに基づいて、EL 素子 15 の行単位で順次、消光状態が開始される。選択信号のうちの第 2 のパルスに基づいて、ソース信号線 18 から映像信号 (発光データ) が書き込まれる。映像信号は、画素 16 のコンデンサ 19a に保持される。駆動用トランジスタ 11a は、コンデンサ 19a に保持された映像信号に基づき、発光電流 (EL 電流) Id を発生する。スイッチ用トランジスタ 11d が第 1 のパルスによりオンすることにより、発光電流 Id を EL 素子 15 に供給する。

[0056] 駆動回路部は、複数の EL 素子 15 の最後の行の消光状態の開始より前に、複数の EL 素子 15 の最初の行への発光データの書き込みを開始し、複数の EL 素子 15 の最初の行の発光状態の開始より後に、複数の EL 素子 15 の最後の行への発光データの書き込みを終了するように、ゲート信号線 17a 及び 17b 及びソース信号線 18 に選択信号及び映像信号をそれぞれ供給する。

[0057] 以上のように、本実施の形態に係るＥＬ表示装置は、ＥＬ素子１５の電流制御を、ＥＬ素子１５に印加する駆動用トランジスタ１１ａとは別の制御トランジスタ（スイッチ用トランジスタ１１ｄ）で行うことができる。これは、スイッチ用トランジスタ１１ｄのゲートへ印加する電圧を変化させることでオン特性を制御し、駆動用トランジスタ１１ａを介してＥＬ素子１５の電流を制御する。これにより、駆動用トランジスタ１１ａの特性ムラによる表示品位低下を起こすことなくＥＬ駆動電流を制御でき、ＥＬ画素回路全体の発熱を抑えて、発熱によるＥＬ素子特性の劣化を防ぐ。

[0058] [１－２．ＥＬ表示装置の動作]

次に、本実施の形態に係るＥＬ表示装置の動作（駆動方法）について説明する。

[0059] 図４は、本実施の形態に係るＥＬ表示装置の画素構成を示す説明図である。

[0060] 本開示は、図４に示すように、表示画面２０に流れる電流の大きさを電流検出回路４１で検出する。電流は、アノードＶｄｄに流れる電流とカソードＶｓｓに流れる電流の大きさのうち、少なくとも一方の電流の大きさを検出する。また、電流の大きさだけでなく、電流の大きさの変化あるいは変化割合も考慮してもよい。図４では、アノード配線あるいは端子に、電流検出回路４１を配置している。なお、電流検出回路４１は、本実施の形態にかかる電流検出回路に相当する。

[0061] 図４において、オン電圧発生回路４３はオン電圧（ V_{on} ）を発生する機能と、オン電圧を可変する機能のうち少なくとも一方の機能を有するオン電圧発生回路である。オン電圧発生回路４３は本実施の形態に係る制御電圧発生回路である。

[0062] オン電圧（ V_{on} ）は、ゲートドライバＩＣ（回路）１２ｂに供給され、オン電圧は、ゲート信号線１７ｂ（ゲート信号線ＧＥ）に出力される。

[0063] 図４において、スイッチ用トランジスタ１１ｄは、Ｐチャンネルトランジスタである。したがって、オン電圧は、負電圧である。オフ電圧は正電圧で

ある。

- [0064] アノード電極（端子又は配線）とカソード電極（端子又は配線）間に、E L素子15と駆動用トランジスタ11a、スイッチ用トランジスタ11dが配置されている。また、E L素子15と駆動用トランジスタ11a、スイッチ用トランジスタ11dは直列に接続されている。
- [0065] スイッチ用トランジスタ11dは、強オン状態とすると飽和領域で動作する。スイッチ用トランジスタ11dのチャンネル間（ソースドレイン間）電圧は低くなる。したがって、E L素子15、駆動用トランジスタ11aのチャンネル間には十分な電圧が印加される。そのため、駆動用トランジスタ11aからの定電流がE L素子15に供給される。
- [0066] スイッチ用トランジスタ11dのゲート端子に印加するオン電圧を小さくすると、スイッチ用トランジスタ11dは、チャンネル間（ソースドレイン間）のオン抵抗が大きくなる（線形領域で動作する）。スイッチ用トランジスタ11dのチャンネル間のオン抵抗が大きくなると、チャンネル間電圧が大きくなる。そのため、駆動用トランジスタ11aのチャンネル間、E L素子15に電圧が印加されにくくなる。したがって、駆動用トランジスタ11aがE L素子15に供給する電流が抑制される。
- [0067] スイッチ用トランジスタ11dのゲート端子に印加するオン電圧が低くなるほど、スイッチ用トランジスタ11dのチャンネル間電圧 V_d は、低下する。したがって、E L素子15、駆動用トランジスタ11aのチャンネル間に十分な電圧が印加されるようになり、E L素子15に電流は流れ易くなる。
- [0068] オン電圧が高くなるほど、スイッチ用トランジスタ11dのチャンネル間電圧 V_d は、高くなる。したがって、駆動用トランジスタ11aのチャンネル間に電圧が印加されにくくなり、また、E L素子15に、電圧 V_e が印加されにくくなり、E L素子への電流は流れにくくなる（抑制される）。E L素子15に流れる電流が抑制されることにより、表示画面で消費される電力が低減する。また、表示画面の発熱が低減することにより、E L素子15、

トランジスタ 11 の劣化が抑制される。

[0069] 以上のことから、スイッチ用トランジスタ 11 d のゲート端子に印加するオン電圧を変化あるいは調整することにより、スイッチ用トランジスタ 11 d のチャンネル間電圧 V_d を変化させることができる。

[0070] アノード端子とカソード端子電圧には、駆動用トランジスタ 11 a のチャンネル間電圧 V_a 、スイッチ用トランジスタ 11 d のチャンネル間電圧 V_d 、EL 素子 15 の端子間電圧 V_e に分離することができる。

[0071] ゲート信号線 17 b のオン電圧を変化させることにより、スイッチ用トランジスタ 11 d のチャンネル間電圧 V_d が変化する。カソード電圧 V_{ss} 、アノード電圧 V_{dd} は一定電圧であるので、 V_d が変化すれば、駆動用トランジスタ 11 a のチャンネル間電圧 V_a 、EL 素子 15 の端子間電圧 V_e が変化する。したがって、 V_d 電圧を変化させることにより、EL 素子 15 に流れる電流を変化させることができる。EL 素子 15 の電流の変化は、表示画面 20 に流れる電流を変化させることになる。そのため、オン電圧を変化させることにより、表示画面 20 に流れる電流を変化させることができる。

[0072] 駆動用トランジスタ 11 a には、製造などの問題から特性バラツキがある。同様に、EL 素子 15 にも製造などの問題から特性バラツキがある。駆動用トランジスタ 11 a、EL 素子 15 の特性バラツキは、表示画面 20 に筋ムラなどを発生し、表示品位を低下させる。

[0073] 表示画面 20 に流れる電流を抑制する方式として、アノード電圧またはカソード電圧を変化させる方法がある。たとえば、表示画面 20 に流れる電流を抑制するには、アノード電圧 V_{dd} を低下させればよい。アノード電圧 V_{dd} を低下させると、表示画面 20 の電流を抑制することができるが、アノード電圧 V_{dd} は表示画面 20 に共通の電圧であるため、EL 素子 15、駆動用トランジスタ 11 a の特性バラツキに直接反映される。そのため、筋ムラが表示される。したがって、表示品位を低下される。表示画面 20 に共通のアノード電圧 V_{dd} またはカソード電圧 V_{ss} を可変すると、可変と同時に、表示画面の明るさが変化する。したがって、 V_{dd} 電圧の変化、または

V_{ss} 電圧の変化に基づいて表示画面 20 にフリッカが発生する。

[0074] 本開示は、駆動用トランジスタ 11a の電流経路に配置されたスイッチ用トランジスタ 11d のゲート端子へのオン電圧を変化させることにより、スイッチ用トランジスタ 11d のチャンネル間電圧 V_d を変化させる。

[0075] V_d の変化は、駆動用トランジスタ 11a のチャンネル間電圧 V_a 、EL 素子 15 の端子間電圧 V_e とに、トランジスタ、EL 素子 15 の特性に基づき適度に分圧される。分圧は、駆動用トランジスタ 11a、EL 素子 15 の特性バラツキに応じて実行される。駆動用トランジスタ 11a、EL 素子 15 の特性は、表示画面 20 内で、適度にバラツキがある。そのため、スイッチ用トランジスタ 11d のオン電圧を変化させてもトランジスタなどの特性に基づく筋ムラなどは表示画面 20 に分散して発生するか、もしくは発生が抑制される。したがって、表示画面 20 に共通のアノード電圧 V_{dd} 、カソード電圧 V_{ss} などを低下（変化）させたときのように、筋ムラが発生することは軽減され、また、フリッカの発生もない。

[0076] 本開示は、図 4 などに示すように、表示画面 20 に流れる電流 I_d を電流検出回路（手段）41 で検出し、検出した電流の大きさあるいは電流の変化割合に基づいて、オン電圧発生回路 43 が発生するオン電圧を変化させる。オン電圧の変化により表示画面 20 に流れる電流を変化させる。

[0077] 本開示は、電流検出回路 41 で表示画面 20 に流れる電流が増加する時、あるいは所定値より大きくなった場合などを検出などし、検出あるいは測定した電流あるいは電流に比例するデータに基づいて、オン電圧発生回路 43 を制御する。オン電圧発生回路 43 は、スイッチ用トランジスタ 11d のチャンネル間電圧 V_d を大きくするように（スイッチ用トランジスタ 11d のオン抵抗を高くするように）、スイッチ用トランジスタ 11d のゲート端子に印加するオン電圧を変化させ、結果的に EL 素子 15 に流れる電流を抑制する。

[0078] 本開示は、電流検出回路 41 で表示画面 20 に流れる電流が低下する時、あるいは所定値より小さくなった場合などを検出などし、検出あるいは測定

した電流あるいは電流に比例するデータに基づいて、オン電圧発生回路43を制御する。オン電圧発生回路43は、スイッチ用トランジスタ11dのチャンネル間電圧 V_d を小さくするように（スイッチ用トランジスタ11dのオン抵抗を低くするように）、スイッチ用トランジスタ11dのゲート端子に印加するオン電圧を変化させ、結果的にEL素子15に流れる電流を大きくし、より高いピーク輝度で発光できるように制御する。

[0079] 図5は、電流検出回路41をより詳細に説明した本実施の形態におけるEL表示装置の構成を示す図である。

[0080] ゲートドライバ回路（IC）12b（図5参照）は、電圧源端子 V_{on} 、 V_{off1} 、 V_{off2} （図9参照）を出力する。オン電圧発生回路43には、オン電圧調整用のフィードバック（FB）制御線70aを有している（図5参照）。制御トランジスタ（スイッチ用トランジスタ）11dのオン電圧となるオン電圧発生回路43の電圧を、FB制御線70aを用いて可変することで、ゲートドライバIC（回路）12bの制御トランジスタ（スイッチ用トランジスタ）11dのオン特性（オン抵抗、チャンネル間電圧 V_d ）を変化させることができる。

[0081] つまり、ゲートドライバIC（回路）12bに印加する電源電圧としてのオン電圧を高くすると、ゲートドライバIC（回路）12bがゲート信号線17に出力する。これにより、オン電圧も高くなる。したがって、スイッチ用トランジスタ11dのゲート端子に印加するオン電圧も高くなる。また、ゲートドライバIC（回路）12bに印加する電源電圧としてのオン電圧も低くなる。したがって、ゲートドライバIC（回路）12bがゲート信号線17bに出力するオン電圧も、低くなる。以上のことから、ゲートドライバIC（回路）12bの電源電圧としてのオン電圧を調整あるいは可変もしくは設定等することにより、スイッチ用トランジスタ11dのゲート端子に印加するオン電圧を可変等することができる。したがって、EL素子15の電流制御を行うことができる。

[0082] スイッチ用トランジスタ（制御トランジスタ）11dにn型を使用した場

合、スイッチ用トランジスタ 11 d のオン電圧を高くするとスイッチ用トランジスタ 11 d のオン抵抗が低くなり、EL 素子 15 へ流れる電流値が増加する。

[0083] 逆に、スイッチ用トランジスタ 11 d のオン電圧を低くするとスイッチ用トランジスタ 11 d のオン抵抗が高くなり、EL 素子 15 へ流れる電流値が低減する。また、スイッチ用トランジスタ 11 d に p 型を用いた場合には、n 型の逆の動作となることは言うまでもない。

[0084] これにより、スイッチ用トランジスタ 11 d などのオン電圧の増減（高低）で EL 素子 15 の電流を制御することができるので、EL 素子の電圧源 V_{dd} （電源等）の電流値 I_d を電流検出回路 41 で検出し、オン電圧にフィードバックすることでパネル全体の EL 素子電流を制御可能となる。

[0085] また、上記 EL 素子電流制御により、EL 素子 15 のアノード側の電圧源 V_{dd} - カソード側の電圧源 V_{ss} 間に存在するスイッチ用トランジスタ 11 d と、駆動用トランジスタ 11 a と、EL 素子 15 とで適度に分圧されるため、表示画面 20 の駆動用トランジスタ 11 a、EL 素子 15 の特性ムラは表示されない。アノード電圧 V_{dd} を変化させた時のように、表示画面 20 にフリッカが発生することもない。

[0086] 表示画面 20 は、電流検出回路 41（図 5 参照）を備えている。電流検出回路 41 は表示画面 20 内の表示画面内の全ての EL 素子 15 を流れる電流の合計であるパネル電流（EL 素子電流） I_d の経路に直列に接続されている。電流検出回路 41 は、スイッチ用トランジスタ 11 d のオン電圧である V_{on} を制御するため、オン電圧発生回路 43 に接続される。

[0087] 図 5 に示すように、電圧源 V_{dd} とスイッチ用トランジスタ 11 d との間に、電流検出回路 41 が挿入される。電流検出回路 41 は、電流検出抵抗器 41 d と、EL 素子電流 I_d により電流検出抵抗器 41 d に発生した電圧を検出する為の差動アンプ 41 c（図 6 参照）とで構成され、差動アンプ 41 c は、EL 素子電流 I_d を、 I_d 電流に応じかつ任意の増幅量に増幅した電圧値を発生し、スイッチング素子（トランジスタ）41 b およびアンプ 41

aにより、差動アンプ41cが発生する電圧のレベルを、後段のオン電圧発生回路43のFB制御線70aに合うように、レベル調整を行う。

[0088] EL素子電流I_dが増加すると、アンプ41aの出力電圧が増加し、EL素子電流I_dが減少すると、アンプ41aの出力電圧が減少する。

[0089] アンプ41aは、オン電圧発生回路43のフィードバック回路（FB制御線70a）に接続され、EL素子電流I_dが一定以上にならないようにオン電圧発生回路43のオン電圧を調整する。

[0090] このとき、オン電圧発生回路43のFB制御線70aが負帰還特性の場合には、FB制御線電圧が増加する場合はオン電圧発生回路43の出力電圧は低下し、FB制御線電圧が低下する場合はオン電圧発生回路43の出力電圧が増加する。アンプ41aとFB制御線70aとの接続形態では、EL素子電流I_dが低い場合にFB制御線電圧も低くなることでオン電圧発生回路43のオン電圧が高くなり、ゲートドライバIC（回路）12bおよび画素16の耐圧破壊を起こす。これを防ぐ為、図6に示すように電流検出回路41のアンプ41aの出力電圧とオン電圧発生回路43の出力電圧（V_{on}）とを合成する合成回路70bをFB制御線70aの直前に追加し、定電圧定電流（CVCC）制御を行う。なお、図6は、本開示に係るEL表示装置の画素構成を示す説明図である。前述のスイッチ用トランジスタ11dにn型を用いた場合、EL素子電流I_dの増加でFB制御線70aの電圧が上昇し、オン電圧が低下することで、スイッチ用トランジスタ11dのオン抵抗が高くなり、EL素子15へ流れる電流値が低減する。スイッチ用トランジスタ11dにp型を用いた場合に、前述の回路ではn型とは逆の動作を行うため、EL素子15が過電流となるが、スイッチング素子（トランジスタ）41bを位相反転構成とすることで解決できる。

[0091] ここで、位相反転とは、アンプ41aの+端子とスイッチング素子（トランジスタ）41bのエミッタ間とに取り付けられた抵抗41eを、アンプ41aの+端子とスイッチング素子（トランジスタ）41bのコレクタ間に接続変更することである（図示せず）。

- [0092] 前述の動作により、表示画面内の全てのEL素子電流を制御でき、本開示の目的である、EL素子電流制限による、EL特性劣化抑制と表示品位との両立を実現できる。
- [0093] 上記実施の形態では、全表示画面20に流れる電流I_dなどを電流検出回路41で検出するとしたがこれに限定するものではない。たとえば、表示画面20を複数に分割（たとえば、複数の画素行を組みとして表示画面を分割する）し、分割した表示画面20ごとに、電流検出回路41を配置し、流れる電流の大きさあるいは電流の変化量を検出等して、検出等した電流等に基づいて、各表示画面のスイッチ用トランジスタ11dのオン電圧を変化あるいは調整してもよい。
- [0094] また、分割した表示画面20ごとに、電流検出回路41を配置するに限定するものではなく、たとえば、画素行ごとに、流れる電流の大きさあるいは電流の変化量を検出等して、検出等した電流等に基づいて、各画素行のスイッチ用トランジスタ11dのオン電圧を変化あるいは調整してもよい。
- [0095] また、画素16ごとに、流れる電流の大きさあるいは電流の変化量を検出等して、検出等した電流等に基づいて、各画素のスイッチ用トランジスタ11dのオン電圧を変化あるいは調整してもよい。
- [0096] 後に詳述する図9に示すように、ゲートドライバIC（回路）12a及び12bは、出力端子123から3値の電圧（V_{on}、V_{off1}、V_{off2}）を出力できる。また、ゲートドライバIC（回路）12a及び12bは、2値電圧（V_{on}、V_{off1}）の出力モード（ゲート電圧2値駆動）と3値電圧（V_{on}、V_{off1}、V_{off2}）の出力モード（ゲート電圧3値駆動）とを、選択信号線（SEL端子）で設定することができる（図7参照）。ここで、図7および図8は、本開示のEL表示装置の画素構成を示す説明図である。SEL端子での設定は、ゲートドライバIC（回路）12a及び12b内に形成または配置された各走査・出力バッファ回路121a、121b、121c、121dごとに設定ができるように構成している。
- [0097] 図9は、Nチャンネルトランジスタの場合の電圧2値駆動および電圧3値

駆動について説明するための図である。また、図10は、Pチャンネルトランジスタの場合の電圧2値駆動および電圧3値駆動について説明するための図である。

[0098] ゲートドライバIC（回路）12a及び12bのゲートドライバIC（回路）12a及び12bの出力端子123から、図9の（b）の出力波形を出力することができる。出力電圧は、オフ電圧（ V_{off1} 、 V_{off2} ）、オン電圧（ V_{on} ）の3つの電圧である。3つの電圧を出力するので、ゲート電圧3値駆動と呼ぶ。または、ゲートオーバードライブ駆動と呼ぶ。

[0099] また、オフ電圧（ V_{off1} ）、オン電圧（ V_{on} ）の2つの電圧で駆動する駆動方法を、ゲート電圧通常駆動あるいは、ゲート電圧2値駆動（図9の（a）参照）と呼ぶ。

[0100] ゲート電圧3値駆動では、図9の（b）に示すように、選択されたゲート信号線17a（または17b）に V_{on} が印加され、次の画素行選択期間では、 V_{off2} 電圧が印加される。さらに、次の画素行選択期間では、 V_{off1} 電圧が印加される。 V_{off2} 電圧は、 V_{off1} 電圧より低電圧である。そのため、 V_{on} 電圧と V_{off1} 電圧の電位差よりも、 V_{on} 電圧と V_{off2} 電圧の電位差のほうが大きい。また、画素16のスイッチ用トランジスタ11bは、 V_{off1} 電圧が印加されることにより、オフ状態となる。

[0101] ゲート電圧2値駆動では、 V_{off1} となる時間は、 t_1 時間を必要とする。ゲート電圧3値駆動では、 V_{on} 電圧から V_{off2} 電圧に変化する際、 V_{off1} を通過する時間は t_2 時間である（ $t_2 < t_1$ ）。したがって、ゲート電圧3値駆動では、 V_{off1} となる時間が t_2 時間であることから、画素16のスイッチ用トランジスタ11bは、高速にオフ状態となる。そのため、ゲート電圧3値駆動では、画素行間のクロストークが発生しない。

[0102] ゲート電圧2値駆動とゲート電圧3値駆動とは、図7のSEL（SEL1～SEL4）端子に印加するロジック電圧で決定する。

- [0103] オン電圧は、画素16のトランジスタ11をオンさせる電圧である。V_{off1}、V_{off2}電圧は画素16のトランジスタ11とオフさせる電圧である。
- [0104] V_{off2}電圧は、映像信号を印加するために選択された画素に対して、映像信号を書込み後、高速に非選択（オフ）にするため使用される。また、V_{off1}電圧は、トランジスタ11のゲート端子に深い電圧（V_{off2}）が印加され、V_tシフトなどトランジスタ特性が変化することを抑制するために使用される。
- [0105] なお、ゲート電圧2値駆動とゲート電圧3値駆動は、SEL（SEL1、SEL2）端子に印加するロジック信号により、設定される。図7に示すSEL（SEL1～SEL4）端子に印加されるロジック電圧が“L”の場合は、ゲート電圧2値駆動モードに設定される。SEL（SEL1～SEL4）端子に印加されるロジック電圧が“H”の場合は、ゲート電圧3値駆動モードに設定される。
- [0106] 各SEL（SEL1～SEL4）端子は、走査・出力バッファ回路121a～121dに接続されており、SEL端子のロジックにより、走査・出力バッファ回路121の出力がゲート電圧2値駆動またはゲート電圧3値駆動に設定される。
- [0107] なお、図7に示す本実施の形態に係るEL表示装置では、各走査・出力バッファ回路121のデータ入力端子（D1、D2、D3、D4）、クロック入力端子（Clk1a、Clk1b、Clk1c、Clk1d、Clk2）は、独立に設定できるように構成されている。
- [0108] オン電圧、V_{off1}電圧、V_{off2}電圧の切り替えは、図8に示すように、切り替え回路131で行う。図8は、本開示のEL表示装置の切り替え回路の構成を示す説明図である。切り替え回路のd端子入力信号（2bit）により、a端子（V_{off2}電圧）、b端子（V_{off1}電圧）、c端子（オン電圧）のいずれかが選択され、ゲート信号線17に印加される。
- [0109] なお、図10は、Pチャンネルトランジスタの場合の電圧2値駆動および

電圧 3 値駆動について説明するための図である。図 10 に示すように、スイッチ用トランジスタ 11b、11c、11d が、P チャンネルトランジスタである場合には、ゲート電圧 3 値駆動およびゲート電圧 2 値駆動は、オン電圧 (V_{on}) とオフ電圧 (V_{off1} 、 V_{off2}) の極性が図 9 に示したオン電圧 (V_{on}) とオフ電圧 (V_{off1} 、 V_{off2}) の極性と逆になる。

[0110] [1-3. 効果等]

以上のように、本開示の一態様に係る EL 表示装置は、図 2 に示すような画素 16 がマトリックス状に配置された表示画面を有するアクティブマトリックス型 EL 表示装置であって、EL 素子がマトリックス状に配置された画素を有する表示画面と、複数の画素の行ごとに配置された、第 1 のゲート信号線及び第 2 のゲート信号線と、第 1 のゲート信号線及び第 2 のゲート信号線に制御電圧を出力するゲートドライバ回路と、表示画面の EL 素子に電流を供給する電流発生回路と、複数の画素に流れる電流の大きさを求める電流検出手段と、ゲートドライバ回路が第 1 のゲート信号線に出力する制御電圧を発生する制御電圧発生回路とを具備し、複数の画素の各々は、発光素子と、発光素子に駆動電流を供給するための駆動用トランジスタと、第 1 のゲート信号線から供給される制御電圧に基づいて導通及び非導通が切り換えられ、駆動電流の経路上に配置された第 1 のスイッチ用トランジスタと、第 2 のゲート信号線から供給される制御電圧に基づいて導通及び非導通が切り換えられ、映像信号を駆動用トランジスタに印加するための第 2 のスイッチ用トランジスタとを備え、制御電圧は、第 1 のスイッチ用トランジスタを導通状態にする電圧であり、制御電圧発生回路は、電流検出回路の出力結果に基づき、制御電圧を可変することを特徴とするものである。

[0111] 電流検出回路が検出あるいは求めた電流が所定値よりも大きい場合は、第 1 のスイッチ用トランジスタに印加する制御電圧を変化させて、第 1 のスイッチ用トランジスタのオン抵抗と高くする。オン抵抗を高くすることにより、第 1 のスイッチ用トランジスタのチャンネル間電圧（ドレインソース端

子間電圧)が大きくなり、画素のEL素子に流す電流を抑制する。

- [0112] 電流検出回路が検出あるいは求めた電流が所定値よりも小さい場合は、第1のスイッチ用トランジスタに印加する制御電圧を変化させて、第1のスイッチ用トランジスタのオン抵抗と低くする。オン抵抗を低くすることにより、第1のスイッチ用トランジスタのチャンネル間電圧(ドレインソース端子間電圧)が小さくなり、画素のEL素子に流す電流を増加あるいは流れ易くできる。
- [0113] また、EL素子への駆動電流の経路上に配置された第1のスイッチ用トランジスタのオン抵抗を可変することにより、表示画面に流れる電流を制御することができる。したがって、表示画面に流れる過電流を抑制することができる。抑制は緩やかに実施されるためフリッカの発生がない。また、表示画面に流れる電流の制御は、第1のスイッチ用トランジスタのチャンネル間電圧を可変して行うため、各画素の駆動用トランジスタ、EL素子の特性バラツキが適度に緩和される。したがって、駆動用トランジスタ、EL素子の特性ムラが視認されることを抑制でき良好な画像表示を実現できる。
- [0114] なお、上記したEL表示装置は、電流検出回路41が、パネル電流 I_d を検出する電流検出用抵抗と、電流検出抵抗の両端電圧を検出する差動アンプで構成され、電圧源 V_{dd} とスイッチ用トランジスタ(制御トランジスタ)11d間に、電流検出回路41が挿入されたハイサイド型(図5参照)を構成するものであるが、電流検出回路41がEL素子のアノード側と電圧源 V_{ss} 間に挿入されたローサイド型でも構成することができる。
- [0115] 図11は、電流検出回路41によってカソード電流を検出するEL表示装置の構成である。
- [0116] 図11に示すように、電流検出回路41は、EL素子15のカソード側に接続されている表示画面20に流れる電流 I_d を電流検出回路(手段)41で検出し、検出した電流の大きさあるいは電流の変化割合に基づいて、オン電圧発生回路43が発生するオン電圧を変化させる。オン電圧の変化により表示画面20に流れる電流を変化させる。電流検出回路41の詳細な動作につ

いては、図 4 に示した電流検出回路 4 1 と同様である。

[0117] なお、図 1 1 に示す E L 表示装置の他の構成は、後の他の実施の形態で説明する内容と同様であるので説明を省略する。

[0118] また、上記した E L 表示装置は、電流検出回路を抵抗器に限定するものではなく、たとえば図 1 2 に示すように、カレントトランス 4 と、ホール素子 4 1 f と、アンプ 4 1 g とで構成される電流検出回路 5 1 であってもよい。この場合、電流検出回路 5 1 の電流検出方法が上記した電流検出回路 4 1 の電流検出方法と異なるだけであり、また、電流測定場所（ハイサイド型／ローサイド型）による違いも制御に影響はなく、電流検出回路 5 1 であっても電流検出回路 4 1 と同様に E L 素子電流の抑制ができことは言うまでもない。この構成では、アノード配線、カソード配線の途中に、ピックアップ用の抵抗などを配置する必要もなく、構成が容易となる効果も発揮される。

[0119] （実施の形態 1 の変形例 1）

以下、図 1 3～図 1 5 を用いて、実施の形態 1 の変形例 1 を説明する。

[0120] 図 2 は、1 画素が 3 つのトランジスタで構成されたものの実施の形態であった。また、1 画素に接続されているゲート信号線 1 7 は 2 本であった。しかし、本開示はこれに限定するものではなく、図 1 3 に示すような他の画素構成においても適用できる。

[0121] 図 1 3 において、スイッチ用トランジスタ 1 1 e は、ゲート端子がゲート信号線 1 7 c に接続され、ソースまたはドレインの一方が V_{ref} に接続されている。スイッチ用トランジスタ 1 1 c は、 V_{ini} をコンデンサ 1 9 a の電極に印加するタイミングを決定する機能を有する。スイッチ用トランジスタ 1 1 e 及びスイッチ用トランジスタ 1 1 c は、例えば、n 型の薄膜トランジスタ（n 型 T F T）で構成される。

[0122] 駆動用トランジスタ 1 1 a は、ドレインが第 1 電源線であるアノード電圧 V_{dd} に接続され、ソースが E L 素子 1 5 のアノードに接続された駆動素子である。駆動用トランジスタ 1 1 a は、ゲートーソース間に印加された信号電圧に対応した電圧を、当該信号電圧に対応したドレイン電流に変換する。

そして、このドレイン電流を信号電流としてEL素子15に供給する。駆動用トランジスタ11aは、例えば、n型の薄膜トランジスタ（n型TFET）で構成される。

[0123] EL素子15は、カソードが第2電源線であるカソード電圧 V_{ss} に接続された発光素子であり、駆動用トランジスタ11aにより上記信号電流が流れることにより発光する。

[0124] スイッチ用トランジスタ11dは、ゲートがゲート信号線17bに接続され、ソースまたはドレイン端子の一方が駆動用トランジスタ11aのドレイン端子に接続されたスイッチ用トランジスタである。スイッチ用トランジスタ11dは、例えば、n型の薄膜トランジスタ（n型TFET）で構成される。

[0125] コンデンサ19aは、まず、定常状態において駆動用トランジスタ11aのソース電位（ソース信号線18の電位）を、スイッチ用トランジスタ11bが導通している状態で記憶する。その後、スイッチ用トランジスタ11bがオフ状態となっても、コンデンサ19aの電位が確定されるので駆動用トランジスタ11aのゲート電圧が確定される。

[0126] なお、コンデンサ19aは、ソース信号線18、ゲート信号線17（17a、17b、17c、17dの少なくともいずれか）にオーバーラップするように（重なるように）形成または配置する。この場合、レイアウトの自由度が向上し、素子間のスペースをより広く確保することが可能になり、歩留まりが向上する。

[0127] また、EL表示装置は、画素列数分のソース信号線18を備えている。ゲート信号線17a及び17bは、それぞれゲートドライバIC（回路）12a及び12bの両方に接続され、EL素子15を含む画素行に属する各EL素子15に接続されている。これにより、ゲート信号線17a及び17bは、画素16を含む画素行に属する各EL素子15に上記信号電圧を書き込むタイミングを供給する機能、及び当該EL素子15の有する駆動用トランジスタ11aのゲートに参照電圧を印加するタイミングを供給する機能を有す

る。

[0128] 図13に示す実施の形態において、アノード電圧 $V_{dd} > \text{リファレンス電圧 } V_{ref} > \text{カソード電圧 } V_{ss} > \text{イニシャル電圧 } V_{ini}$ 、なる関係にすることが好ましい。具体的には、一例として、アノード電圧 $V_{dd} = 1.0 \sim 1.8$ (V)、リファレンス電圧 $V_{ref} = 1.5 \sim 3$ (V)、カソード電圧 $V_{ss} = 0.5 \sim 2.5$ (V)、イニシャル電圧 $V_{ini} = 0 \sim -3$ (V)である。

[0129] なお、スイッチ用トランジスタ11dは、駆動用トランジスタ11aのソース端子とEL素子15のアノード端子間に配置または形成してもよい。

[0130] スイッチ用トランジスタ11dのゲート端子は、ゲート信号線17bに接続されている。スイッチ用トランジスタ11eのゲート端子は、ゲート信号線17cに接続されている。スイッチ用トランジスタ11bのゲート端子は、ゲート信号線17aに接続されている。スイッチ用トランジスタ11cのゲート端子は、ゲート信号線17dに接続されている。

[0131] なお、図13の実施の形態において、スイッチ用トランジスタ11dのゲート端子に接続されたゲート信号線17bをゲート信号線GE、スイッチ用トランジスタ11eのゲート端子に接続されたゲート信号線17cをゲート信号線GR、スイッチ用トランジスタ11bのゲート端子に接続されたゲート信号線17aをゲート信号線GS、スイッチ用トランジスタ11cのゲート端子に接続されたゲート信号線17dをゲート信号線GIと呼ぶことがある。

[0132] ゲート信号線17b (GE) にオン電圧が印加されると、スイッチ用トランジスタ11dがオンし、駆動用トランジスタ11aからの発光電流がEL素子15に供給される。EL素子15は、発光電流の大きさに基づき、発光する。発光電流の大きさは、ソース信号線18に印加された映像信号を、スイッチ用トランジスタ11bで画素16に印加することにより決定する。

[0133] 駆動用トランジスタ11aのゲート端子には、コンデンサ19aの1端子が接続され、コンデンサ19aの他の端子は、駆動用トランジスタ11aの

ソース端子と接続されている。スイッチ用トランジスタ 11b のドレイン端子は、ソース信号線 18 と接続されている。ソースドライバ IC (回路) 14 は、ソース信号線 18 に映像信号を印加する。

[0134] 図 14 は、本開示の EL 表示装置の画素構成を示す説明図である。図 14 に示すように、ゲート信号線 17a 及び 17b は、表示画面 20 の左右に配置されたゲートドライバ IC (回路) 12a 及び 12b に接続されている。また、ゲート信号線 17c 及び 17d は、表示画面 20 の左に配置されたゲートドライバ IC (回路) 12a に接続されている (図 14 参照)。

[0135] ゲートドライバ IC (回路) 12a は、画素の選択電圧 (オン電圧 V_{on}) をゲート信号線 17a、17b、17c 及び 17d に印加する。ゲートドライバ IC (回路) 12b は、画素の選択電圧 (オン電圧 V_{on}) をゲート信号線 17a 及び 17b に印加する。ゲート信号線 17b のオン電圧が印加されると、スイッチ用トランジスタ 11b がオンして、ソース信号線 18 に印加された映像信号が、画素 16 に印加される。

[0136] EL 表示パネルには、EL 素子 15 を有する画素 16 がマトリックス状に形成された表示画面 20 が形成されている。

[0137] 図 13 に示すように、ゲート信号線 17a および 17b の両端には、ゲートドライバ IC (回路) 12a 及び 12b が接続されている。ゲート信号線 17c 及び 17d の片側には、ゲートドライバ IC (回路) 12a が接続されている。ゲートドライバ IC (回路) 12a 及び 12b は、COF (Chip On Film) (図示せず) に実装されている。

[0138] 同様に、各画素 16 には、ソース信号線 18 が接続されている。ソース信号線 18 の一端には、ソースドライバ IC (回路) 14 が接続されている。ソースドライバ IC (回路) 14 は、COF (Chip On Film) (図示せず) に実装されている。

[0139] ソースドライバ IC (回路) 14 は、映像信号を出力し、映像信号は、ソース信号線 18 に供給あるいは印加される。

[0140] 図 15 は、図 13 の画素構成に対応した本実施の形態に係る EL 表示装置

の説明図である。

- [0141] オン電圧 (V_{on}) は、ゲートドライバ IC (回路) 12b に供給され、オン電圧は、ゲート信号線 17b (ゲート信号線 GE) に出力される。
- [0142] 図 13～15 において、スイッチ用トランジスタ 11d は、N チャンネルトランジスタである。したがって、オン電圧は、正電圧である。オフ電圧は負電圧である。
- [0143] オン電圧が高くなるほど、スイッチ用トランジスタ 11d のチャンネル間電圧 V_d は、低下する。したがって、EL 素子 15 には電流は流れ易くなる。
- [0144] オン電圧が低くなるほど、スイッチ用トランジスタ 11d のチャンネル間電圧 V_d は、低くなる。したがって、EL 素子 15 に、電圧 V_e が印加されにくくなり、EL 素子への電流は流れにくくなる (抑制される)。
- [0145] 以上のことから、オン電圧を変化させることにより、スイッチ用トランジスタ 11d のチャンネル間電圧 V_d を変化させることができる。
- [0146] ゲート信号線 17b のオン電圧を変化させることにより、スイッチ用トランジスタ 11d のチャンネル間電圧 V_d が変化する。カソード電圧 V_{ss} 、アノード電圧 V_{dd} は一定電圧であるので、 V_d が変化すれば、駆動用トランジスタ 11a のチャンネル間電圧 V_a 、EL 素子 15 の端子間電圧 V_e が変化する。したがって、 V_d 電圧を変化させることにより、EL 素子 15 に流れる電流を変化させることができる。EL 素子 15 の電流の変化は、表示画面 20 に流れる電流を変化させることになる。そのため、オン電圧を変化させることにより、表示画面 20 に流れる電流を変化させることができる。
- [0147] 本開示は、オン電圧を変化させることにより、スイッチ用トランジスタ 11d のチャンネル間電圧 V_d を変化させる。 V_d の変化は、駆動用トランジスタ 11a のチャンネル間電圧 V_a 、EL 素子 15 の端子間電圧 V_e と適度に分圧される。分圧は、駆動用トランジスタ 11a、EL 素子 15 の特性に応じて実施される。駆動用トランジスタ 11a、EL 素子 15 の特性は、表示画面 20 内で、バラツキがある。したがって、アノード電圧 V_{dd} を低下

(変化) させたときのように、筋ムラが発生することは軽減され、また、フリッカの発生もない。

[0148] 本開示は、電流検出回路 4 1 で表示画面 2 0 に流れる電流が増加する時、あるいは所定値より大きくなった場合を検出などし、検出あるいは測定した電流あるいは電流に比例するデータに基づいて、オン電圧発生回路 4 3 を制御する。オン電圧発生回路 4 3 は、スイッチ用トランジスタ 1 1 d のチャンネル間電圧 V_d を大きくするようにオン電圧を変化させ、結果的に EL 素子 1 5 に流れる電流を抑制する。

[0149] 本開示は、電流検出回路 4 1 で表示画面 2 0 に流れる電流が低下する時、あるいは所定値より小さくなった場合を検出などし、検出あるいは測定した電流あるいは電流に比例するデータに基づいて、オン電圧発生回路 4 3 を制御する。オン電圧発生回路 4 3 は、スイッチ用トランジスタ 1 1 d のチャンネル間電圧 V_d を小さくするようにオン電圧を変化させ、結果的に EL 素子 1 5 に流れる電流を大きくし、より高いピーク輝度で発光できるように制御する。

[0150] (実施の形態 1 の変形例 2)

以下、図 1 6 を用いて、実施の形態 1 の変形例 2 を説明する。

[0151] 図 1 6 は、他の画素構成に対応する実施の形態である。図 1 6 の実施の形態は、図 2 と同様に、スイッチ用トランジスタ 1 1 d は、P チャンネルトランジスタである。したがって、オン電圧は、負電圧である。オフ電圧は正電圧である。

[0152] 図 1 6 は、本開示の EL 表示装置における画素構成を示す説明図である。ゲート信号線 1 7 c は、スイッチ用トランジスタ 1 1 e のゲート端子に接続され、スイッチ用トランジスタ 1 1 e をオンオフ制御する。ゲート信号線 1 7 a は、スイッチ用トランジスタ 1 1 b のゲート端子に接続され、スイッチ用トランジスタ 1 1 b をオンオフ制御する。ゲート信号線 1 7 d は、スイッチ用トランジスタ 1 1 c のゲート端子に接続され、スイッチ用トランジスタ 1 1 c をオンオフ制御する。ゲート信号線 1 7 b は、スイッチ用トランジスタ

タ 1 1 d のゲート端子に接続され、スイッチ用トランジスタ 1 1 d をオンオフ制御する。

[0153] 図 1 6 の画素構成では、ゲート信号線 1 7 a、1 7 b、1 7 d はゲートドライバ I C (回路) 1 2 a に接続され、ゲート信号線 1 7 b は、ゲートドライバ I C (回路) 1 2 b に接続されている。

[0154] 図 1 6 において、P チャンネルの駆動用トランジスタ 1 1 a のドレイン端子に、スイッチ用トランジスタ 1 1 c のソース端子が接続され、スイッチ用トランジスタ 1 1 c のドレイン端子に E L 素子 1 5 のアノード端子が接続されている。また、E L 素子 1 5 のカソード端子には、カソード電圧 V_{ss} が印加されている。駆動用トランジスタ 1 1 a のソース端子には、アノード電圧 V_{dd} が印加されている。

[0155] ゲート信号線 1 7 b にオン電圧が印加されると、スイッチ用トランジスタ 1 1 d がオンし、駆動用トランジスタ 1 1 a からの発光電流が E L 素子 1 5 に供給される。E L 素子 1 5 は、発光電流の大きさに基づき発光する。

[0156] 駆動用トランジスタ 1 1 a のゲート端子とドレイン端子間には、スイッチ用トランジスタ 1 1 c のソース端子とドレイン端子が接続され、ゲート信号線 1 7 d にオン電圧が印加されることにより、駆動用トランジスタ 1 1 a のゲート端子とドレイン端子間を短絡（接続）する。

[0157] 駆動用トランジスタ 1 1 a のゲート端子には、コンデンサ 1 9 b の 1 端子が接続され、コンデンサの他の端子は、スイッチ用トランジスタ 1 1 b のドレイン端子と接続されている。スイッチ用トランジスタ 1 1 b のソース端子は、ソース信号線 1 8 と接続されている。

[0158] ゲート信号線 1 7 a のオン電圧が印加されると、スイッチ用トランジスタ 1 1 b がオンして、ソース信号線 1 8 に印加された映像信号（電圧、電流） V_s が、画素 1 6 に印加される。なお、本開示において映像信号は、映像信号電圧としているが、映像信号電流であってもよい。

[0159] コンデンサ 1 9 a の一端子は、スイッチ用トランジスタ 1 1 b のドレイン端子と接続され、他方の端子は、アノード電極（端子）と接続され、アノー

ド電圧 V_{dd} が印加される。

[0160] なお、コンデンサ 19 a の他方の端子は、アノード電極（端子）と接続され、アノード電圧 V_{dd} が印加されているとしたが、これに限定するものではない。たとえば、他の任意の直流電圧と接続してもよい。

[0161] 駆動用トランジスタ 11 a のソース端子は、アノード電極（端子）と接続され、アノード電圧 V_{dd} が印加されているとしたが、これに限定するものではない。たとえば、他の任意の直流電圧と接続してもよい。つまり、コンデンサ 19 a の一端子と、駆動用トランジスタ 11 a のソース端子は、異なる電位の端子と接続してもよい。

[0162] 一例として、駆動用トランジスタ 11 a のソース端子は、アノード電圧 V_{dd} が印加された電極または配線と接続し、駆動用トランジスタ 11 a の一方の端子を、直流電圧 $V_b = 5$ (V) の電圧が印加された電極または配線と接続する構成が例示される。

[0163] スイッチ用トランジスタ 11 e のドレイン端子は、スイッチ用トランジスタ 11 b のドレイン端子と接続され、スイッチ用トランジスタ 11 e のソース端子は、リセット電圧 V_a が印加された電極あるいは信号線と接続されている。ゲート信号線 17 c にオン電圧が印加されることにより、スイッチ用トランジスタ 11 e がオンし、リセット電圧 V_a がコンデンサ 19 a に印加される。

[0164] スイッチ用トランジスタ 11 c、スイッチ用トランジスタ 11 e は P チャンネルにし、LDD 構造を採用する。また、このスイッチ用トランジスタ 11 c 及び 11 e は、少なくともダブルゲート（ディアルゲート）以上にする。このましくは、トリプルゲート以上にする。つまり、複数のトランジスタのゲートが直列に接続した構造を採用する。

[0165] LDD 構造、マルチゲート（ディアルゲート、トリプルゲート、あるいはそれ以上のゲート数）を採用することにより、スイッチ用トランジスタ 11 c 及び 11 e のオフ特性を良好にできる。スイッチ用トランジスタ 11 c 及び 11 e のオフ特性を良好にしないと、コンデンサ 19 a の電荷の良好な保

持ができなくなる。

[0166] なお、スイッチ用トランジスタ 11c 及び 11e 以外のトランジスタも P チャンネルを採用し、LDD 構造を採用することが好ましい。また、必要に応じて、トランジスタはマルチゲート構造とする。

[0167] トランジスタのマルチゲート（ディアルゲート以上）を用いることにより、また、LDD 構造と組み合わせることにより、オフリークを抑制でき、良好なコントラスト、オフセットキャンセル動作を実現できる。また、良好な高輝度表示、画像表示を実現できる。

[0168] スwitch用トランジスタ 11b は、ソースドライバ IC（回路）14 が出力する映像信号を画素 16 の駆動用トランジスタ 11a のゲート端子に印加する。駆動用トランジスタ 11a は、印加された映像信号に基づき、電圧－電流変換して、EL 素子 15 に映像信号に基づく発光電流を供給する。

[0169] スwitch用トランジスタ 11d のゲート端子に印加するオン電圧を低くすると、スイッチ用トランジスタ 11d は、強オン状態となり飽和領域で動作する。スイッチ用トランジスタ 11d のチャンネル間（ソースドレイン間）電圧は低くなる。したがって、EL 素子 15、駆動用トランジスタ 11a のチャンネル間には十分な電圧が印加される。そのため、駆動用トランジスタ 11a からの定電流が EL 素子 15 に供給される。

[0170] スwitch用トランジスタ 11d のゲート端子に印加するオン電圧を高くすると、スイッチ用トランジスタ 11d は、チャンネル間のオン抵抗が大きくなる（線形領域で動作する）。スイッチ用トランジスタ 11d のチャンネル間（ソースドレイン間）のオン抵抗が高くなると、チャンネル間電圧が大きくなる。そのため、駆動用トランジスタ 11a のチャンネル間、EL 素子 15 に電圧が印加されにくくなる。したがって、駆動用トランジスタ 11a が EL 素子 15 に供給する電流が抑制される。

[0171] 以上のように、本開示は、EL 素子 15 に供給する電流を抑制するときは、スイッチ用トランジスタ 11d のゲート端子に印加するオン電圧を高くし、スイッチ用トランジスタ 11d のチャンネル間抵抗を高くする。

[0172] ゲート信号線 17b のオン電圧を変化させることにより、スイッチ用トランジスタ 11d のチャンネル間電圧 V_d が変化する。カソード電圧 V_{ss} 、アノード電圧 V_{dd} は一定電圧であるので、 V_d が変化するれば、駆動用トランジスタ 11a のチャンネル間電圧 V_a 、EL 素子 15 の端子間電圧 V_e が変化する。

[0173] したがって、スイッチ用トランジスタ 11d のチャンネル間電圧 V_d を変化させることにより、EL 素子 15 に流れる電流を変化させることができる。EL 素子 15 の電流の変化は、表示画面 20 に流れる電流を変化せることになる。そのため、オン電圧を変化させることにより、表示画面 20 に流れる電流を変化させることができる。

[0174] なお、上記したように、図 16 に示すスイッチ用トランジスタ 11d は、P チャンネルトランジスタであるため、ゲート電圧 3 値駆動およびゲート電圧 2 値駆動は、図 10 に示すように、オン電圧 (V_{on}) とオフ電圧 (V_{off1} 、 V_{off2}) の極性は図 9 と逆になる。

[0175] 以上の実施の形態は、電流検出回路 41 で表示画面 20 に流れる電流が増加する時、あるいは所定値より大きくなった場合を検出などし、検出あるいは測定した電流あるいは電流に比例するデータに基づいて、オン電圧発生回路 43 を制御するものであった。

[0176] (実施の形態 2)

以下、図 17 を用いて、実施の形態 2 を説明する。

[0177] 図 17 は、電流演算回路 191 で、入力映像信号を処理 (演算) することにより、表示画面 20 に流れる電流 I_d あるいは電流に比例するデータを求め、これらのデータに基づいてオン電圧発生回路 43 を制御する実施の形態である。なお、電流演算回路 191 は、本実施の形態に係る電流量取得回路に相当する。

[0178] 画素 16 の EL 素子 15 に流れる電流と輝度が直線 (比例) の関係にある。そのため、映像データの総和などを算出することにより、パネルの消費電力を求めることができる。

- [0179] 以上のことから、映像データの総和を求め、総和を積分等することにより、表示画面20に流れる電流の基づくデータを得ることができる。
- [0180] EL素子15はRGBで発光効率が異なる。通常、Bの発光効率が最も悪い。次にGが悪い。Rが最も発光効率が良好である。そこで、乗算器（図示せず）で発光効率の重み付けを行う。Rの乗算器（図示せず）では、R画像データ（Rdata）に対してRの発光効率の乗算を行う。また、Gの乗算器（図示せず）では、G画像データ（Gdata）に対してGの発光効率の乗算を行う。また、Bの乗算器（図示せず）では、B画像データ（Bdata）に対してBの発光効率の乗算を行う。
- [0181] 赤（R）、緑（G）、青（B）では視感度が異なる。NTSCでの視感度は、 $R : G : B = 3 : 6 : 1$ である。したがって、Rの乗算器（図示せず）は、R画像データ（Rdata）に対して3倍の乗算を行う。また、Gの乗算器（図示せず）では、G画像データ（Gdata）に対して6倍の乗算を行う。また、Bの乗算器（図示せず）では、B画像データ（Bdata）に対して1倍の乗算を行う。
- [0182] 入力データはRGBデータ（赤はRDATA、緑はGDATA、青はBDATA）としているがこれに限定するものではない。YUV（輝度データと色度データ）であってもよい。YUVの場合は、Y（輝度）データあるいはYデータとUV（色度）データに直接にあるいは、色度に対する発光効率を考慮して輝度データなどに変換して重みづけ処理を行う。他の事項は、図2などで説明しているので説明を省略する。
- [0183] 以上のように、本開示は、電流検出回路で、電流を測定あるいは検出してもよい。また、電流演算回路で、電流等に基づく値等を求めてもよい。また、電流検出回路と、電流演算回路を両方用いて、電流などを求めてもよい。なお、本開示の実施の形態において、電流を求めるとしているがこれに限定するものではなく、電流と比例する値を求めてもよい。また、電流に基づく、あるいは電流に関連する値を求めてもよい。なお、電流値とは電流の変化あるいは電流の変化割合も含む。したがって、電流量取得回路であればよい。

。

[0184] (他の実施の形態)

上記実施の形態の各々の図で述べた内容（一部でもよい）を様々な電子機器に適用することができる。具体的には、電子機器の表示画面に適用することができる。

[0185] そのような電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンポ等）、コンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機又は電子書籍等）、記録媒体を備えた画像再生装置（具体的にはDigital Versatile Disc（DVD）等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。

[0186] 図18はディスプレイであり、筐体152、保持台153、本願発明のEL表示装置（EL表示パネル）151を含む。図18に示すディスプレイは、様々な情報（静止画、動画、テキスト画像など）を表示部に表示する機能を有する。なお、図18に示すディスプレイが有する機能はこれに限定されず、様々な機能を有することができる。

[0187] 図19はカメラであり、シャッター161、ビューファインダ162、カーソル163を含む。図19に示すカメラは、静止画を撮影する機能を有する。動画を撮影する機能を有する。なお、図19に示すカメラが有する機能はこれに限定されず、様々な機能を有することができる。

[0188] 図20はコンピュータであり、キーボード171、タッチパッド172を含む。図20に示すコンピュータは、様々な情報（静止画、動画、テキスト画像など）を表示部に表示する機能を有する。なお、図20に示すコンピュータが有する機能はこれに限定されず、様々な機能を有することができる。

[0189] 以上の実施の形態は、本開示の他の実施の形態にも適用できることは言うまでもない。また、他の実施の形態と組み合わせることができることも言うまでもない。

- [0190] 本実施の形態の表示部に上記実施の形態で説明したＥＬ表示装置（ＥＬ表示パネル）もしくは駆動方式を用いて構成とすることで、上述の図１８～図２０の情報機器などを高画質化することができ、また、低コスト化を実現できる。また、検査、調整を容易に実施することができる。
- [0191] 本実施の形態は他の実施の形態と適宜組み合わせることで実施することが可能である。
- [0192] 本開示において、各図は理解を容易するために、また、作図を容易にするために、省略、拡大あるいは縮小した箇所がある。
- [0193] 本開示の実施の形態に図示あるいは明細書で説明した事項あるいは内容は、他の実施の形態においても適用される。また、本開示の実施の形態で説明あるいは図示したＥＬ表示パネルは、本開示のＥＬ表示装置に採用できる。
- [0194] たとえば、図２０のノート型パーソナルコンピュータのＥＬ表示装置１５１として、本開示の実施の形態で図示した、あるいは説明したＥＬ表示装置（ＥＬ表示パネル）を採用し、また、情報機器を構成することができることは言うまでもない。
- [0195] また、同一番号または、記号等を付した箇所は、同一もしくは類似の形態もしくは材料あるいは機能もしくは動作、あるいは関連する事項、作用などを有する。
- [0196] 各図等で説明した内容は特に断りがなくとも、他の実施の形態等と組み合わせることができる。たとえば、図２の本開示のＥＬ表示パネルにタッチパネルなどを付加し、図１８、図１９、図２０に示す情報表示装置などを構成することができる。
- [0197] 本開示のＥＬ表示装置とは、情報機器などのシステム機器を含む概念である。ＥＬ表示パネルの概念は、広義には情報機器などのシステム機器を含む。
- [0198] 本開示では、駆動用トランジスタ１１ａおよびスイッチ用トランジスタ１１ｂ及び１１ｄは、薄膜トランジスタとして説明するが、これに限定するものではない。薄膜ダイオード（ＴＦＤ）、リングダイオードなどでも構成す

ることができる。

[0199] また、薄膜素子に限定するものではなく、シリコンウエハに形成したトランジスタでもよい。たとえば、シリコンウエハでトランジスタを構成し、剥がしてガラス基板に転写したものが例示される。また、シリコンウエハでトランジスタチップを形成し、ガラス基板のボンディング実装した表示パネルが例示される。

[0200] トランジスタ11（駆動用トランジスタ11a、スイッチ用トランジスタ11b及び11d）は、もちろん、FET、MOS-FET、MOSトランジスタ、バイポーラトランジスタでもよい。これらも基本的に薄膜トランジスタである。その他、バリスタ、サイリスタ、リングダイオード、ホトダオード、ホトトランジスタ、PLZT素子などでもよいことは言うまでもない。

[0201] なお、本開示のトランジスタ11（駆動用トランジスタ11a、スイッチ用トランジスタ11b及び11d）は、Nチャンネル、Pチャンネルのトランジスタとも、LDD（Lightly Doped Drain）構造を採用することが好ましい。

[0202] また、トランジスタ11は、高温ポリシリコン（HTPS: High-temperature polycrystalline silicon）、低温ポリシリコン（LTPS: Low-temperature polycrystalline silicon）、連続粒界シリコン（CGS: Continuous grain silicon）、透明アモルファス酸化物半導体（TAOS: Transparent Amorphous Oxide Semiconductors、IZO）、アモルファスシリコン（AS: Amorphous silicon）、赤外線RTA（RTA: Rapid thermal annealing）で形成したもののうち、いずれでもよい。

[0203] 図2、図18では、画素を構成するすべてのトランジスタ（駆動用トランジスタ11a、スイッチ用トランジスタ11b及び11d）はPチャンネル

で構成している。しかし、本開示は、画素のトランジスタ 11 を P チャンネルで構成することのみに限定するものではない。N チャンネルのみで構成してもよい。また、N チャンネルと P チャンネルの両方を用いて構成してもよい。また、駆動用トランジスタ 11 a を P チャンネルトランジスタと N チャンネルトランジスタの両方を用いて構成してもよい。

[0204] スイッチ用トランジスタ 11 b 及び 11 d は、トランジスタに限定するものではなく、たとえば、P チャンネルトランジスタと N チャンネルトランジスタの両方を用いて構成したアナログスイッチであってもよい。

[0205] トランジスタ 11（駆動用トランジスタ 11 a、スイッチ用トランジスタ 11 b 及び 11 d）はトップゲート構造にすることが好ましい。トップゲート構造にすることにより寄生容量が低減し、トップゲートのゲート電極パターンが、遮光層となり、EL 素子 15 から出射された光を遮光層で遮断し、トランジスタの誤動作、オフリーク電流を低減できるからである。

[0206] ゲート信号線 17 またはソース信号線 18、もしくはゲート信号線 17 とソース信号線 18 の両方の配線材料として、銅配線または銅合金配線を採用できるプロセスを実施することが好ましい。信号線の配線抵抗を低減でき、より大型の EL 表示パネルを実現できるからである。

[0207] ゲートドライバ IC（回路）12 が駆動（制御）するゲート信号線 17 は、低インピーダンス化すること好ましい。したがって、ゲート信号線 17 の構成あるいは構造に関しても同様である。

[0208] 特に、低温ポリシリコン（LTPS: Low-temperature polycrystalline silicon）を採用することが好ましい。低温ポリシリコンは、トランジスタはトップゲート構造であり寄生容量が小さく、N チャンネルおよび P チャンネルトランジスタを作製でき、また、プロセスに銅配線または銅合金配線プロセスを用いることができる。なお、銅配線は、Ti-Cu-Ti の 3 層構造を採用することが好ましい。

[0209] 配線は、透明アモルファス酸化物半導体（TAOS: Transparent Amorphous Oxide Semiconductors）

の場合には、モリブデン（Mo）－Cu－Moの3層構造を採用することが好ましい。

[0210] 以上のように、本開示における技術の例示として、実施の形態を説明した。そのために、添付図面および詳細な説明を提供した。

[0211] したがって、添付図面および詳細な説明に記載された構成要素の中には、課題解決のために必須な構成要素だけでなく、上記技術を例示するために、課題解決のためには必須でない構成要素も含まれ得る。そのため、それらの必須ではない構成要素が添付図面や詳細な説明に記載されていることをもって、直ちに、それらの必須ではない構成要素が必須であるとの認定をするべきではない。

[0212] また、上述の実施の形態は、本開示における技術を例示するためのものであるから、請求の範囲またはその均等の範囲において種々の変更、置き換え、付加、省略などを行うことができる。

産業上の利用可能性

[0213] 本開示は、EL表示装置（EL表示パネル）およびその駆動方法に利用できる。具体的には、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンポ等）、コンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機又は電子書籍等）、記録媒体を備えた画像再生装置（具体的にはDigital Versatile Disc（DVD）等の記録媒体を再生し、その画像を表示するディスプレイを備えた装置）などに利用することができる。

符号の説明

- [0214] 11a 駆動用トランジスタ（TFT）
11b 第2のスイッチ用トランジスタ
11d 第1のスイッチ用トランジスタ
12a、12b ゲートドライバIC（回路）
14 ソースドライバIC（回路）

- 1 5 E L 素子
- 1 6 画素
- 1 7 a、1 7 b、1 7 c、1 7 d ゲート信号線
- 1 8 ソース信号線
- 1 9 a コンデンサ
- 2 0 表示画面
- 4 1 電流検出回路（電流量取得回路）
- 4 3 オン電圧発生回路
- 7 0 制御回路（制御電圧発生回路）
- 7 0 a F B 制御線
- 1 2 1 走査・出力バッファ回路
- 1 2 3 入力端子
- 1 3 1 切り替え回路
- 1 5 1 E L 表示パネル（E L 表示装置）
- 1 5 2 筐体
- 1 5 3 保持台
- 1 6 1 シャッター
- 1 6 2 ビューファインダ
- 1 6 3 カーソル
- 1 7 1 キーボード
- 1 7 2 タッチパッド
- 1 9 1 演算回路（電流量取得回路）

請求の範囲

[請求項1]

複数の画素がマトリックス状に配置された表示画面と、
前記複数の画素の行ごとに配置された、第1のゲート信号線及び第2のゲート信号線と、
前記第1のゲート信号線及び前記第2のゲート信号線に、それぞれ第1の制御電圧及び第2の制御電圧を出力するゲートドライバ回路と、
、
前記表示画面の前記複数の画素に電流を供給する電流発生回路と、
前記複数の画素に流れる電流の大きさを求める電流量取得回路と、
前記ゲートドライバ回路が前記第1のゲート信号線に出力する前記第1の制御電圧を発生する制御電圧発生回路とを具備し、
前記複数の画素の各々は、
EL (Electro-Luminescence) 素子と、
前記EL素子に駆動電流を供給するための駆動用トランジスタと、
前記第1のゲート信号線から供給される第1の制御電圧に基づいてチャンネル間電圧が調整され、前記駆動電流の経路上に配置された第1のスイッチ用トランジスタと、
前記第2のゲート信号線から供給される前記第2の制御電圧に基づいて導通及び非導通が切り換えられ、映像信号を前記駆動用トランジスタに印加するための第2のスイッチ用トランジスタとを備え、
制御電圧発生回路は、前記電流量取得回路の出力結果に基づき、前記第1の制御電圧の大きさを調整することを特徴とするEL表示装置。
。

[請求項2]

前記電流量取得回路は、EL表示装置に入力される映像信号を演算することにより、前記表示画面に流れる電流を求めることを特徴とする請求項1記載のEL表示装置。

[請求項3]

前記電流量取得回路は、前記電流発生回路から前記表示画面に流れる電流の大きさを検出することにより、前記表示画面に流れる電流を

求めることを特徴とする請求項1記載のE L表示装置。

[請求項4] 前記第2の制御電圧は、前記第2のスイッチ用トランジスタをオンさせるオン電圧と、前記第2のスイッチ用トランジスタをオフさせる複数のオフ電圧からなることを特徴とする請求項1記載のE L表示装置。

[請求項5] 複数の画素がマトリックス状に配置された表示画面を有するE L表示装置の駆動方法であって、

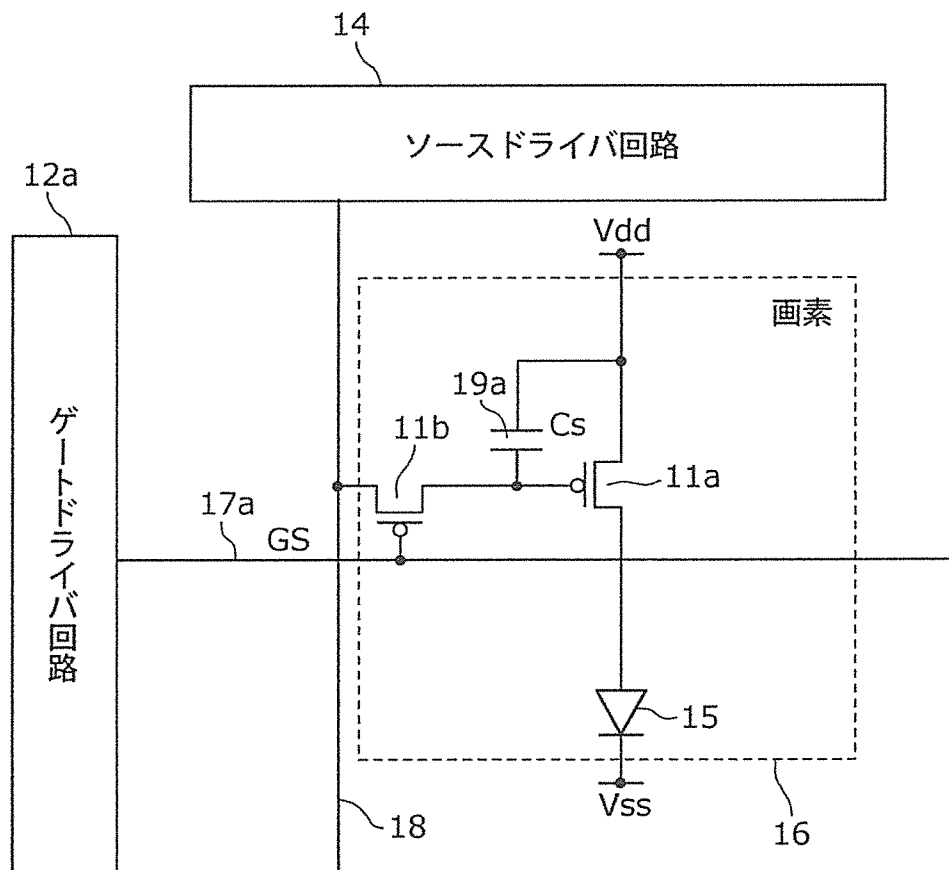
前記画素には、E L素子と、前記E L素子に電流を供給する駆動用トランジスタと、前記E L素子に流れる電流の経路に配置されたスイッチ用トランジスタを具備し、

前記スイッチ用トランジスタのゲート端子に印加する電圧の値を制御することにより、前記電流の大きさを可変することを特徴とするE L表示装置の駆動方法。

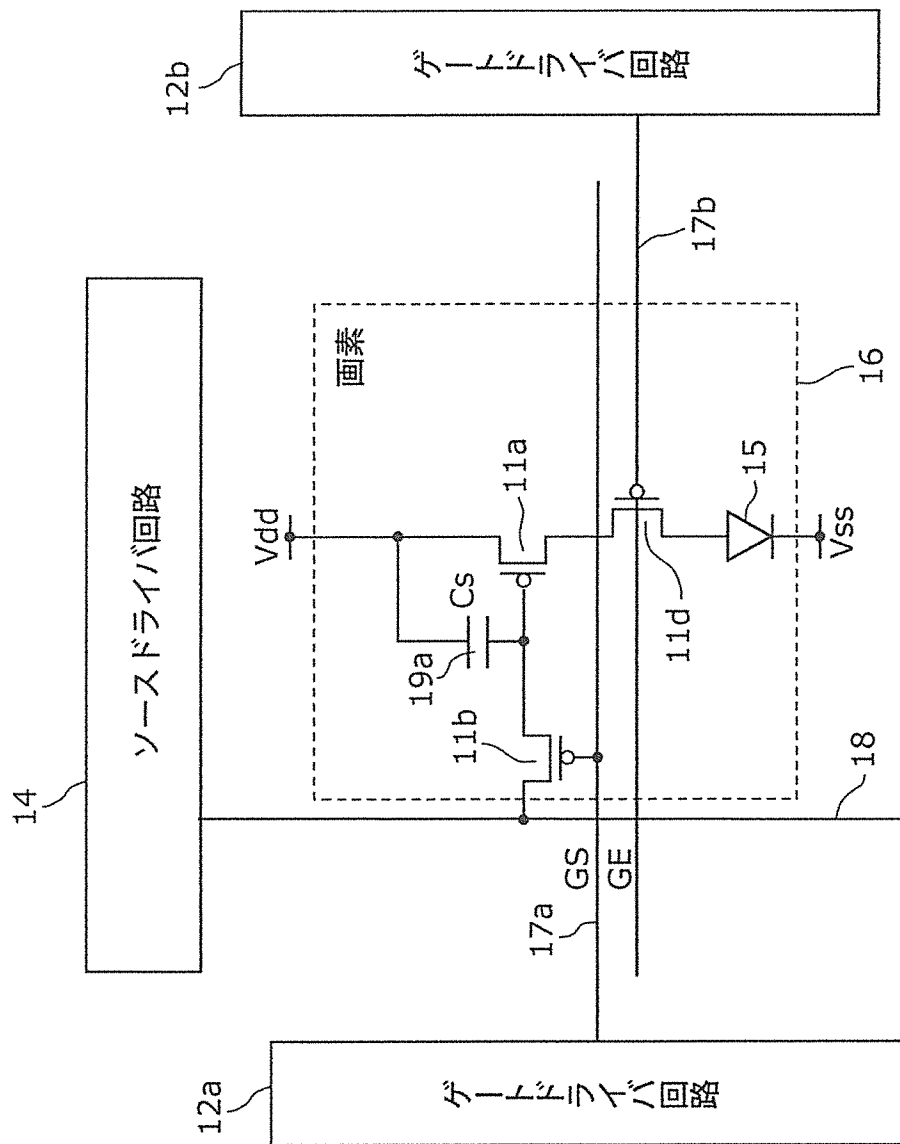
[請求項6] 前記電流量取得回路を具備し、E L表示装置に入力される映像信号を演算することにより、前記表示画面に流れる電流を求め、求めた電流に基づいて、前記スイッチ用トランジスタのゲート端子に印加する電圧を可変することを特徴とする請求項5記載のE L表示装置の駆動方法。

[請求項7] 前記電流量取得回路を具備し、前記表示画面に流れる電流の大きさを検出することにより、前記スイッチ用トランジスタのゲート端子に印加する電圧を可変することを特徴とする請求項5記載のE L表示装置の駆動方法。

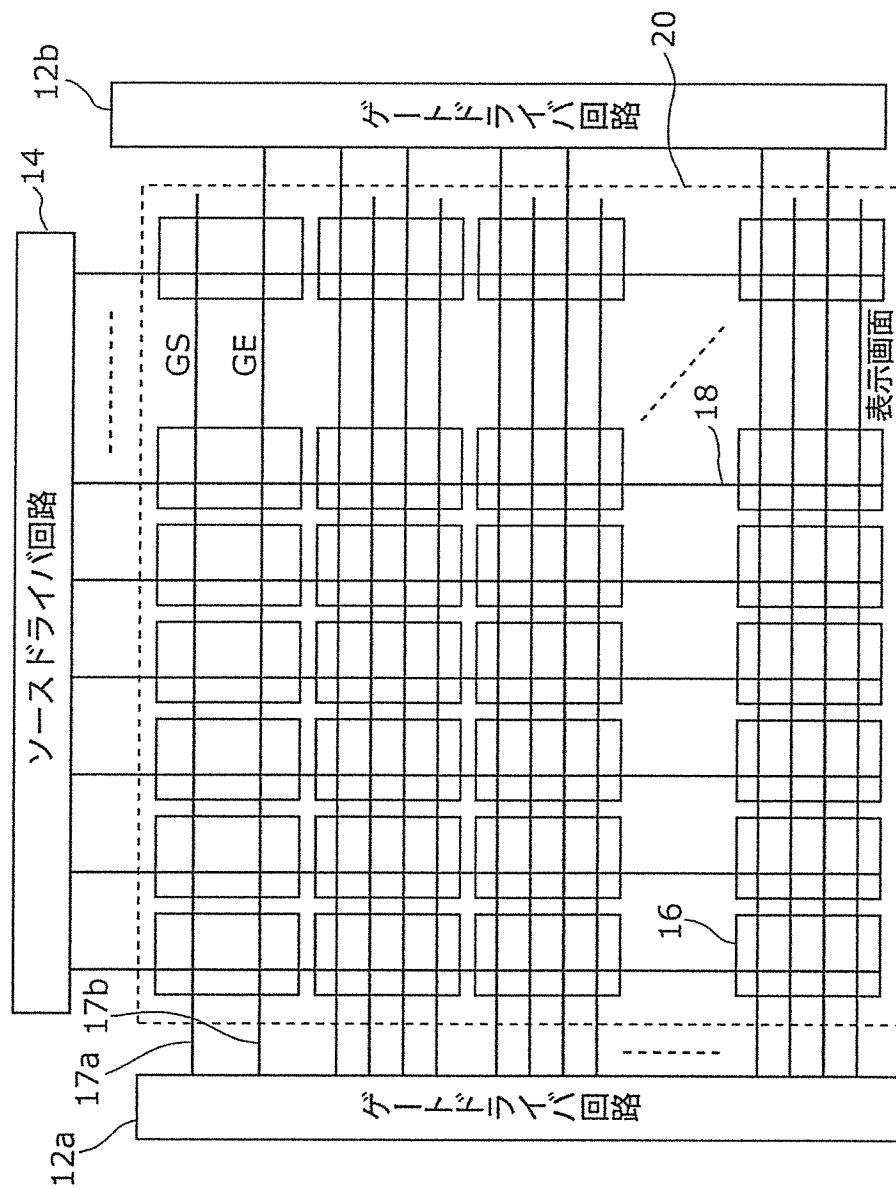
[図1]



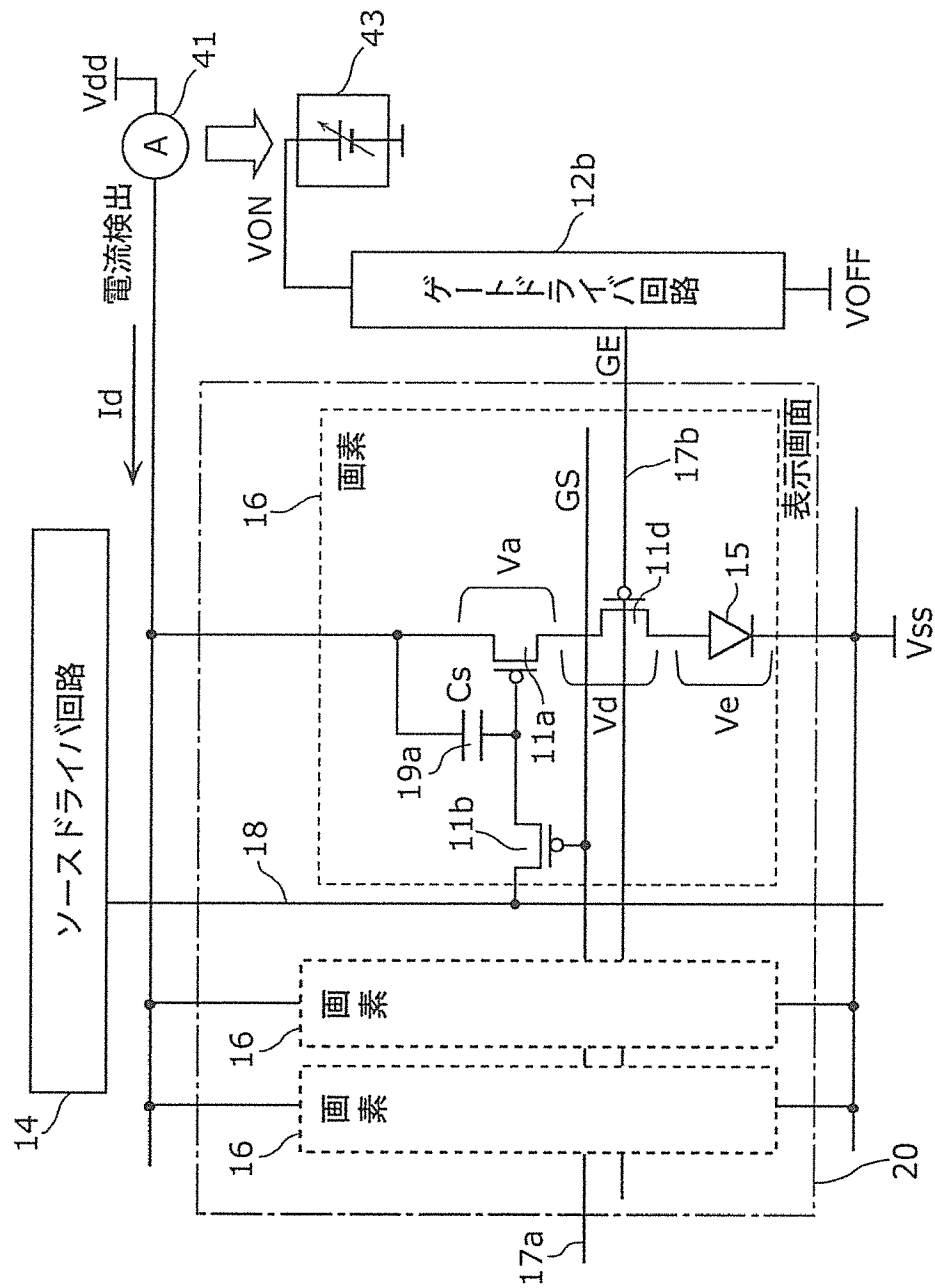
[図2]



[図3]



[図4]



表示画面

16

16

17b

画素

画素

ゲートドライバ回路

12b

43

VON

VON 電圧可変

70a

41d

41c

レベルシフト及びアンプ

電流検出回路

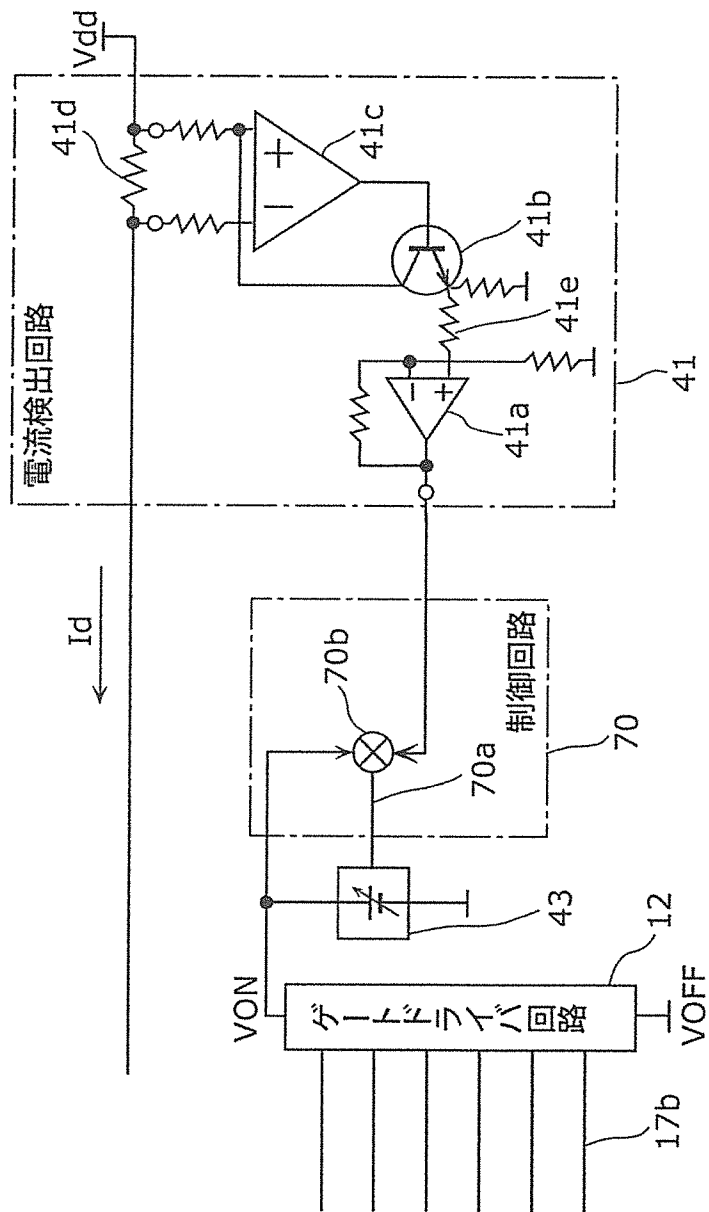
Vdd

VSS

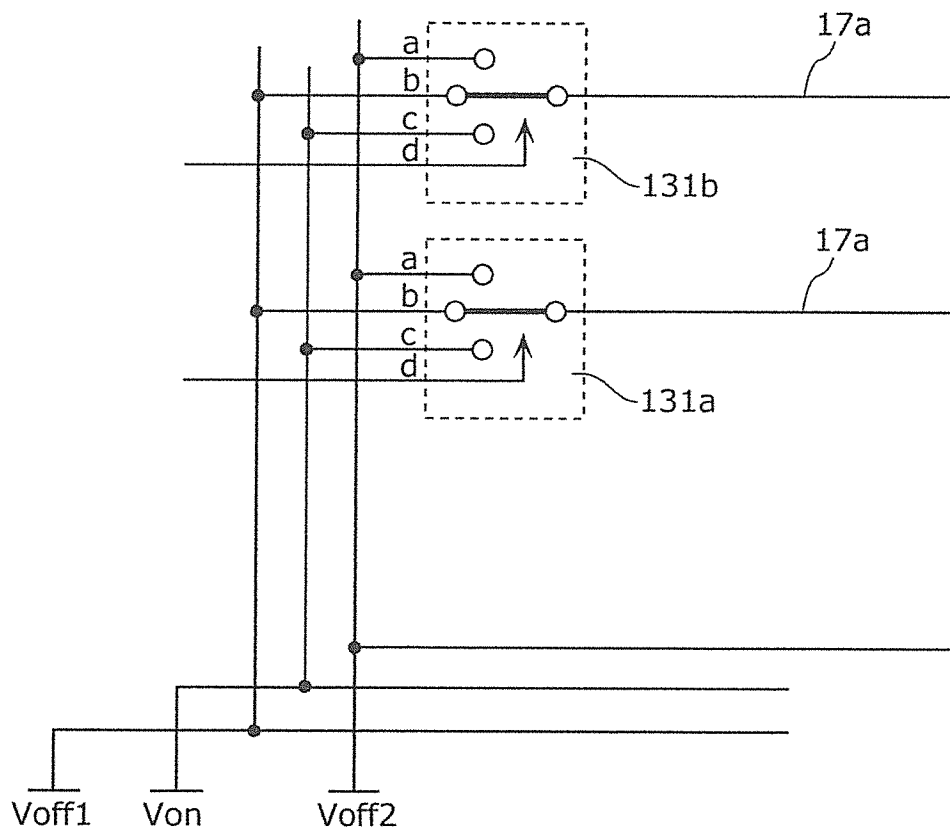
20

Id

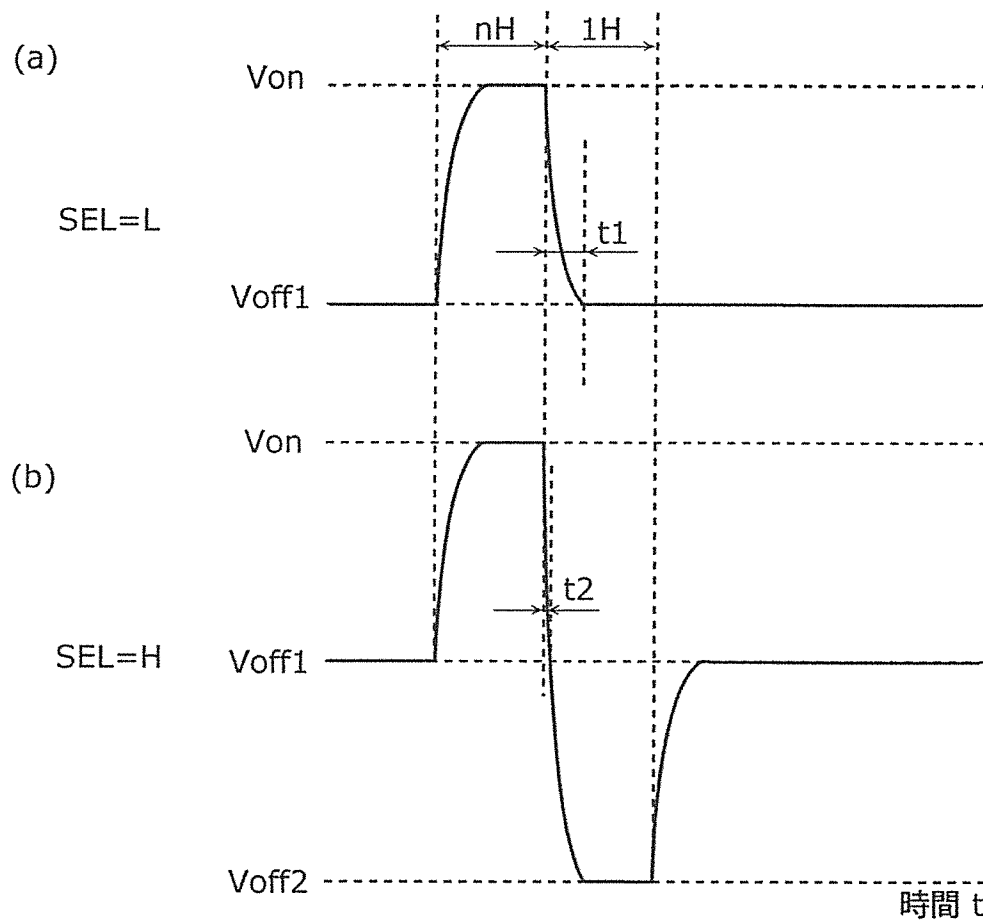
[図6]



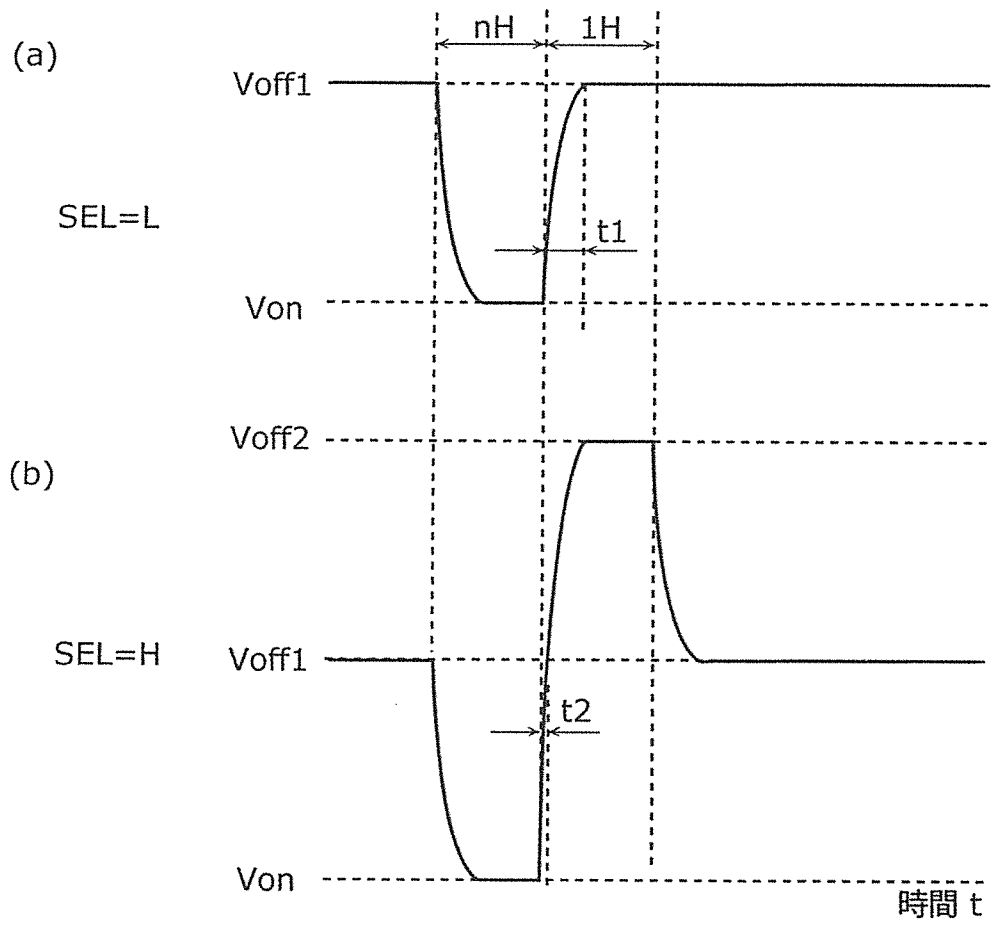
[図8]



[図9]

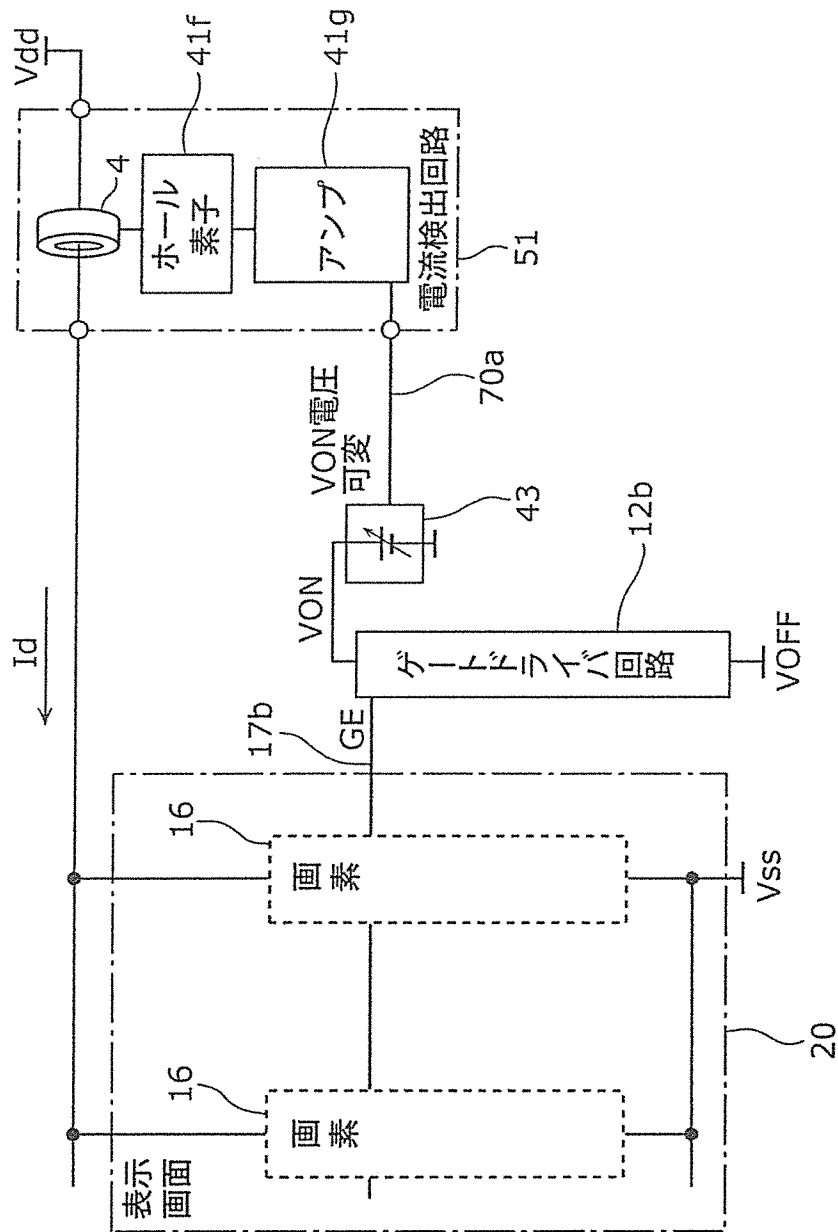


[図10]

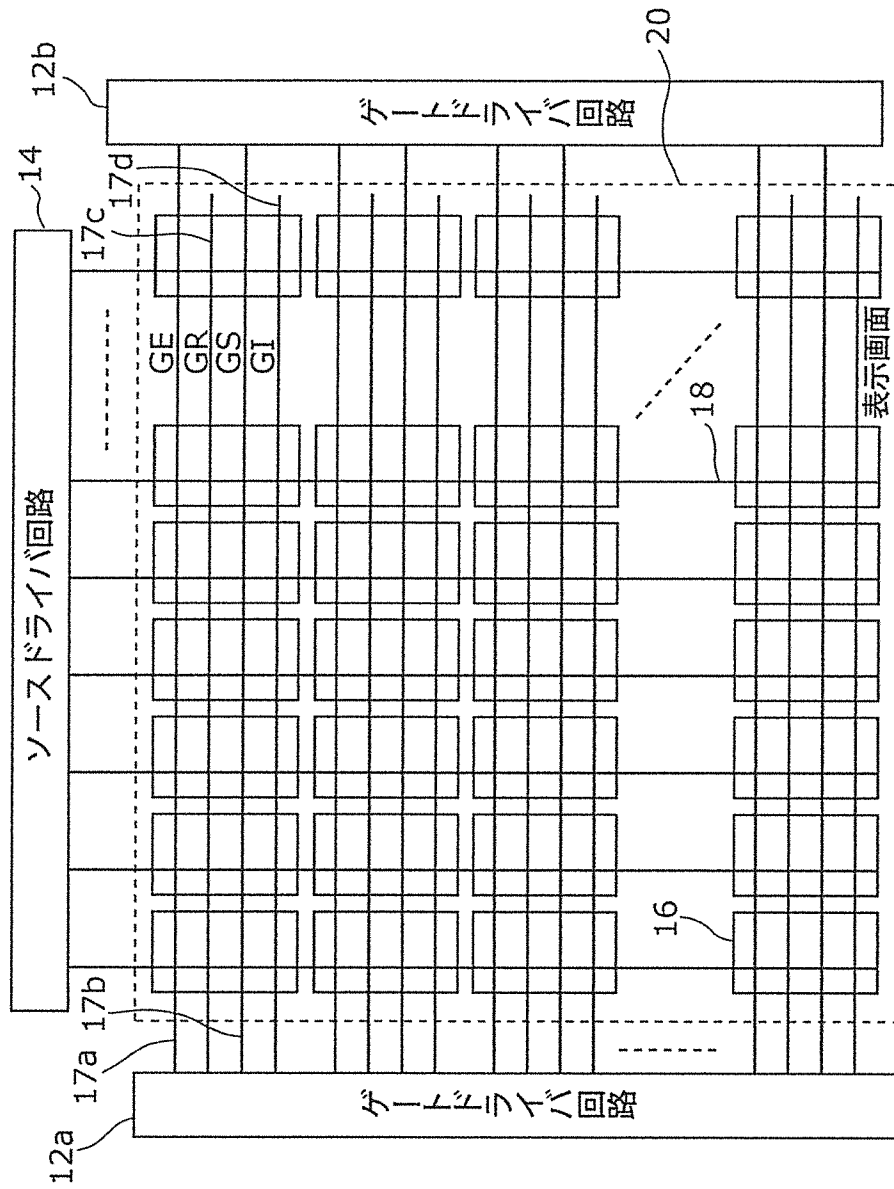


[illegible]

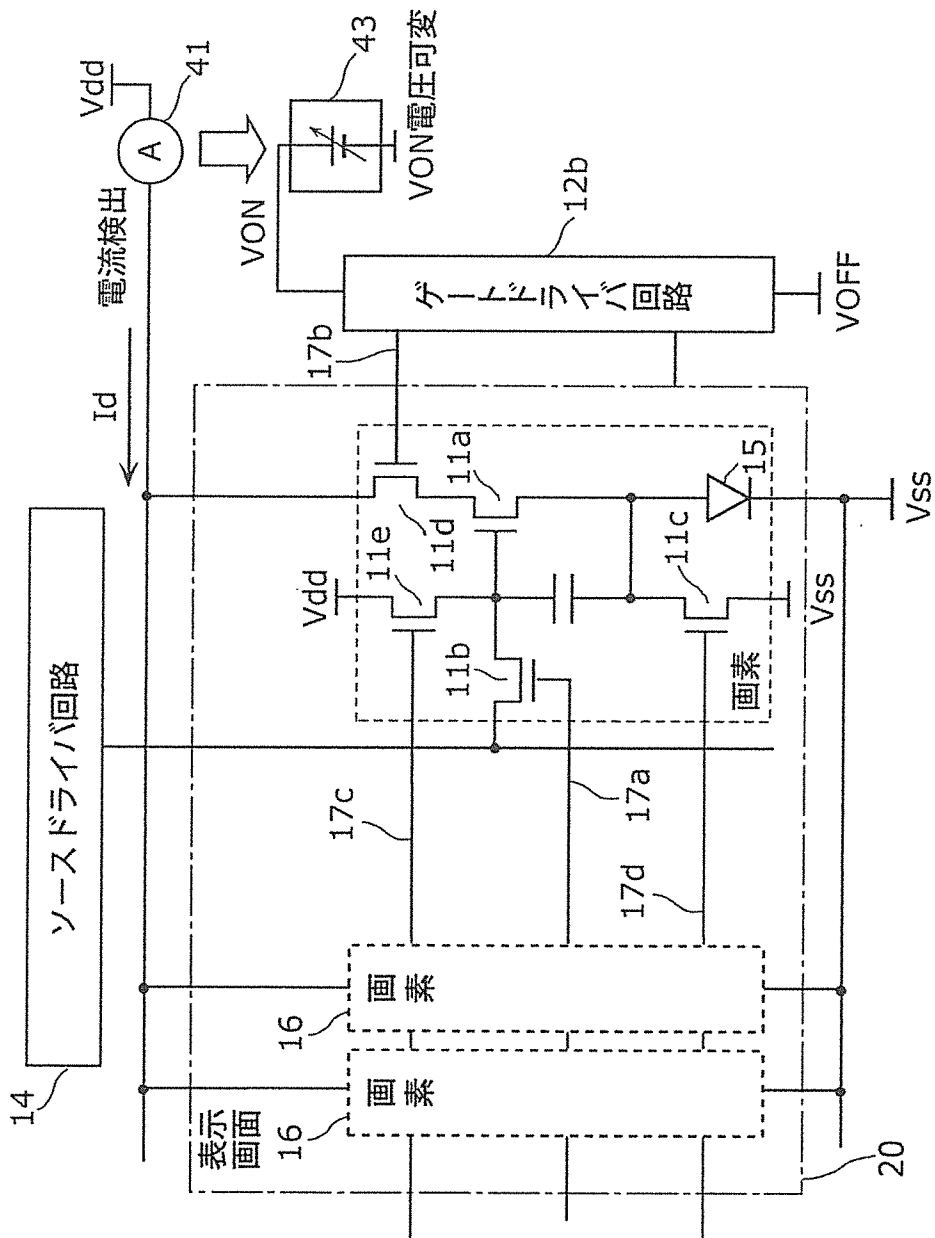
[図12]



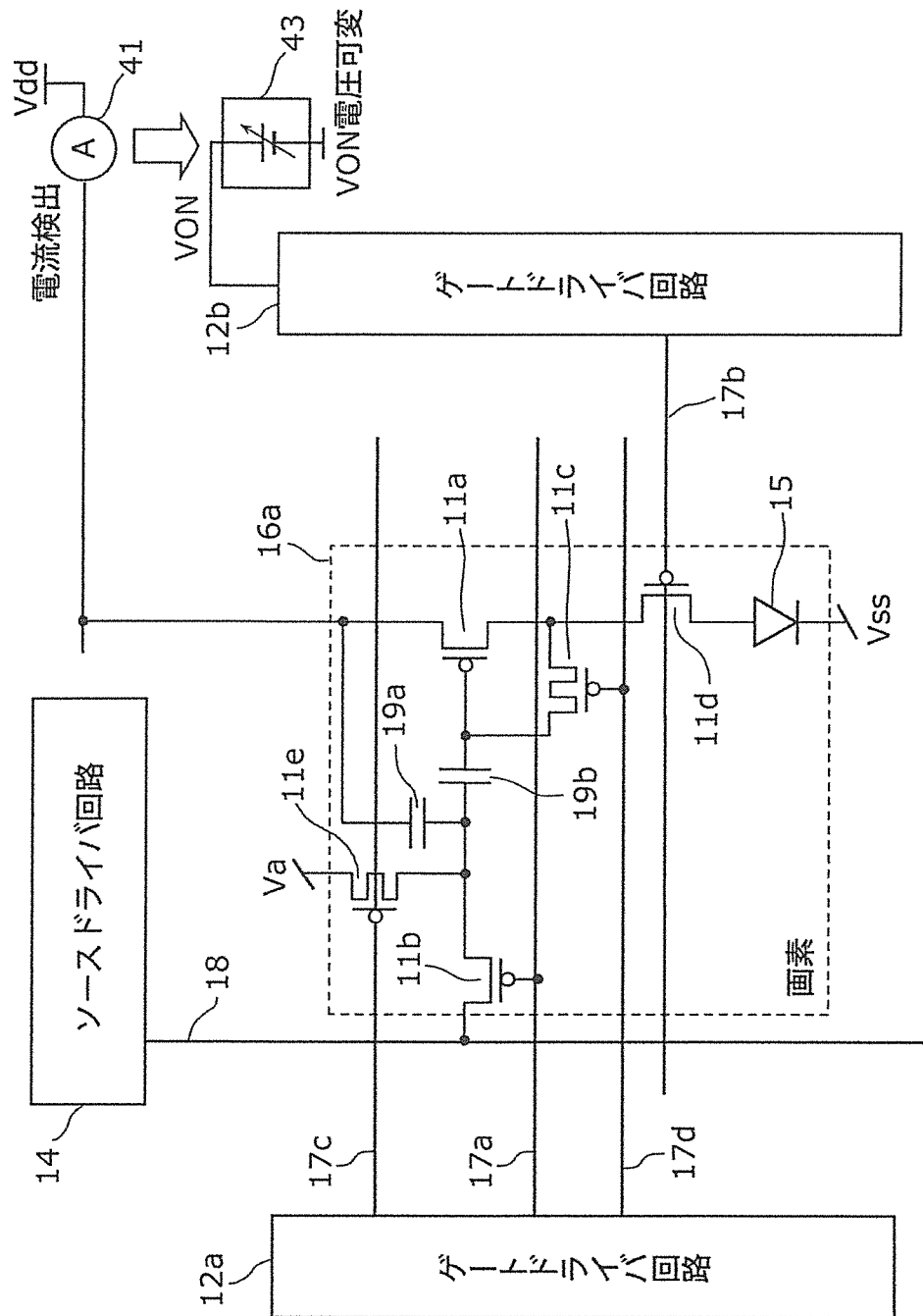
[図14]



[図15]

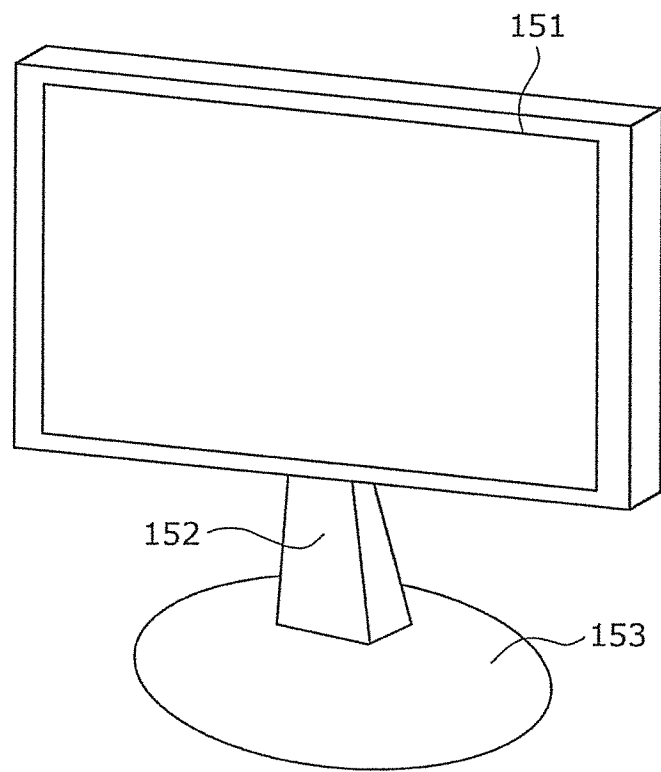


[図16]

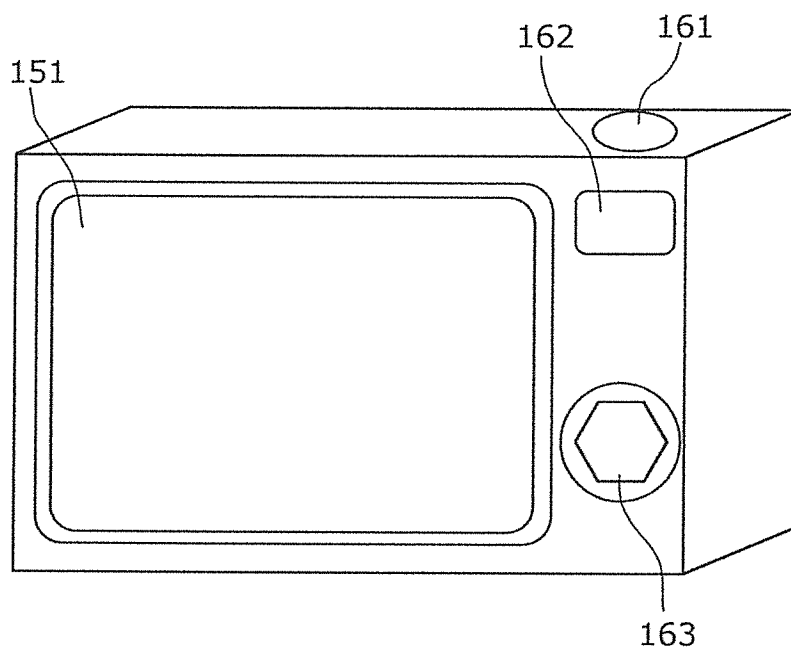


[illegible]

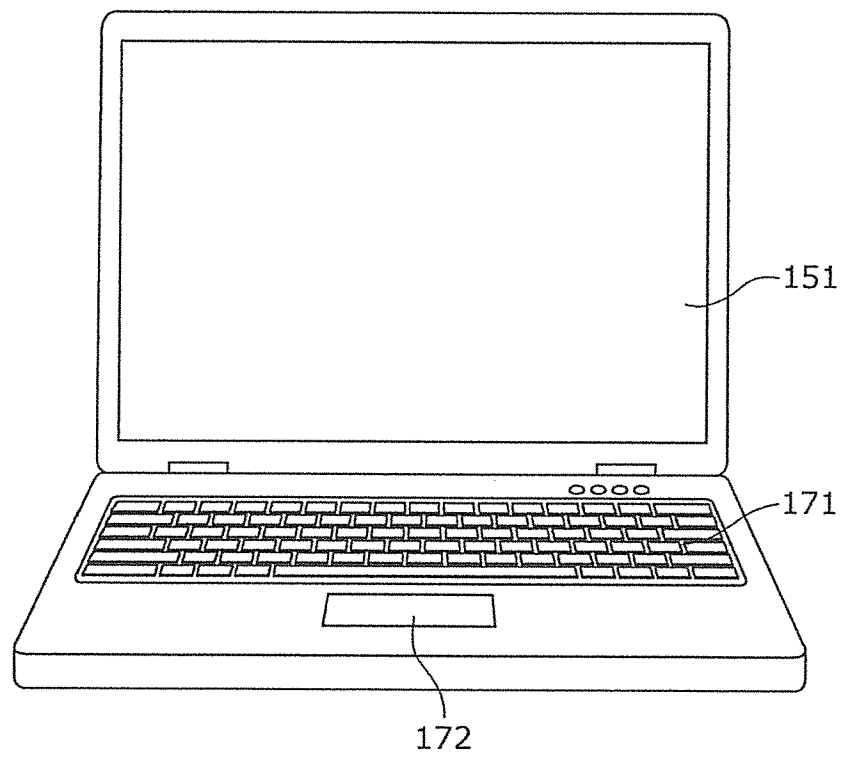
[図18]



[図19]



[図20]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/002995

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/30(2006.01)i, G09G3/20(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/30, G09G3/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2004/064030 A1 (Toshiba Matsushita Display Technology Co., Ltd.), 29 July 2004 (29.07.2004), description, page 2, line 24 to page 7, line 21; page 17, line 10 to page 18, line 10; fig. 1 to 3, 7 & JP 4406372 B & US 2005/0237002 A1 & EP 1583067 A1 & KR 10-2005-0097933 A & CN 1732503 A	1-7
Y	JP 2002-132218 A (Sony Corp.), 09 May 2002 (09.05.2002), paragraphs [0063] to [0065]; fig. 10 (Family: none)	1-7

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
25 August, 2014 (25.08.14)

Date of mailing of the international search report
02 September, 2014 (02.09.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/002995

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2007-298778 A (Sony Corp.), 15 November 2007 (15.11.2007), paragraphs [0010] to [0037]; fig. 1 to 11 (Family: none)	2, 6
Y	JP 10-111490 A (Matsushita Electric Industrial Co., Ltd.), 28 April 1998 (28.04.1998), paragraph [0047]; fig. 6 (Family: none)	4
Y	JP 2010-145580 A (Sony Corp.), 01 July 2010 (01.07.2010), paragraphs [0124] to [0132]; fig. 11 to 12 (Family: none)	4
X	JP 2005-202365 A (Semiconductor Energy Laboratory Co., Ltd.), 28 July 2005 (28.07.2005), paragraphs [0019] to [0043], [0095] to [0098]; fig. 1 to 4, 13 to 14 & US 2005/0116914 A1 & CN 1624747 A	5
A	JP 2008-89684 A (Seiko Epson Corp.), 17 April 2008 (17.04.2008), paragraphs [0018] to [0034]; fig. 1 to 8 (Family: none)	1-7

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G09G3/30(2006.01)i, G09G3/20(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G09G3/30, G09G3/20

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 4 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 4 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 4 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	WO 2004/064030 A1（東芝松下ディスプレイテクノロジー株式会社） 2004.07.29, 明細書第2頁第24行－第7頁第21行, 第17頁 第10行－第18頁第10行, F I G. 1－F I G. 3, F I G. 7 & JP 4406372 B & US 2005/0237002 A1 & EP 1583067 A1 & KR 10-2005-0097933 A & CN 1732503 A	1－7
Y	JP 2002-132218 A（ソニー株式会社）2002.05.09, 段落【0063】 －【0065】, 【図10】（ファミリーなし）	1－7

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 5 . 0 8 . 2 0 1 4

国際調査報告の発送日

0 2 . 0 9 . 2 0 1 4

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

西島 篤宏

2 G

9 3 0 8

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 2 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2007-298778 A (ソニー株式会社) 2007. 11. 15, 段落【0010】 －【0037】、【図1】－【図11】 (ファミリーなし)	2, 6
Y	JP 10-111490 A (松下電器産業株式会社) 1998. 04. 28, 段落【0047】、【図6】 (ファミリーなし)	4
Y	JP 2010-145580 A (ソニー株式会社) 2010. 07. 01, 段落【0124】 －【0132】、【図11】－【図12】 (ファミリーなし)	4
X	JP 2005-202365 A (株式会社半導体エネルギー研究所) 2005. 07. 28, 段落【0019】－【0043】、【0095】－【0098】、【図1】－【図4】、【図13】－【図14】 & US 2005/0116914 A1 & CN 1624747 A	5
A	JP 2008-89684 A (セイコーエプソン株式会社) 2008. 04. 17, 段落【0018】－【0034】、【図1】－【図8】 (ファミリーなし)	1－7