

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-100403

(P2006-100403A)

(43) 公開日 平成18年4月13日(2006.4.13)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 3 O 1 S	4 M 1 0 4
HO 1 L 27/08 (2006.01)	HO 1 L 27/08 3 3 1 E	5 F 0 4 8
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 3 O 1 P	5 F 1 1 0
HO 1 L 21/8238 (2006.01)	HO 1 L 29/78 3 O 1 B	5 F 1 4 0
HO 1 L 27/092 (2006.01)	HO 1 L 27/08 3 2 1 E	

審査請求 有 請求項の数 10 O L (全 18 頁) 最終頁に続く

(21) 出願番号 特願2004-282235 (P2004-282235)
 (22) 出願日 平成16年9月28日 (2004. 9. 28)

(71) 出願人 000005223
 富士通株式会社
 神奈川県川崎市中原区上小田中4丁目1番
 1号
 (74) 代理人 100070150
 弁理士 伊東 忠彦
 (72) 発明者 三村 高志
 神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通株式会社内

最終頁に続く

(54) 【発明の名称】 電界効果型トランジスタおよびその製造方法

(57) 【要約】

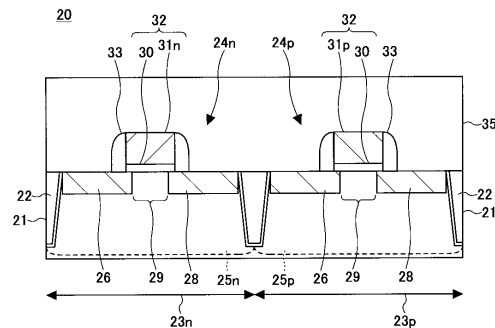
【課題】 金属ゲート電極、金属ソース領域および金属ドレイン領域を備え、電流駆動能力を高めた電界効果型トランジスタおよびその製造方法を提供することである。

【解決手段】 ソース領域26、ドレイン領域28、およびゲート電極31n、31pをシリサイド等の金属材料により構成し、nチャネルMISFET24nでは、ゲート電極31nの仕事関数Wgとソース領域26の仕事関数Wsとの関係がWg < Wsであり、pチャネルMISFET24pでは、ゲート電極31pの仕事関数Wgとソース領域26の仕事関数Wsとの関係がWg > Wsであるように金属材料を選択する。

【効果】 ソース領域26とチャンネル領域29との界面のバリア高さが低下し、チャンネル領域29のキャリア濃度が向上し電流駆動能力が向上する。

【選択図】 図2

本発明の第1の実施の形態に係る電界効果型トランジスタの断面図



【特許請求の範囲】

【請求項 1】

半導体材料からなるチャンネル領域と、チャンネル領域を覆うゲート絶縁膜と、ゲート絶縁膜を覆うゲート電極と、

前記チャンネル領域の両側にそれぞれ直接接触し、金属材料からなるソース領域およびドレイン領域と、を備える n チャンネルの電界効果型トランジスタであって、

前記ゲート電極の金属材料の仕事関数 W_g とソース領域の金属材料の仕事関数 W_s との関係が $W_g < W_s$ であることを特徴とする電界効果型トランジスタ。

【請求項 2】

半導体材料からなるチャンネル領域と、チャンネル領域を覆うゲート絶縁膜と、ゲート絶縁膜を覆うゲート電極と、

前記チャンネル領域の両側にそれぞれ直接接触し、金属材料からなるソース領域およびドレイン領域と、を備える p チャンネルの電界効果型トランジスタであって、

前記ゲート電極の金属材料の仕事関数 W_g とソース領域の金属材料の仕事関数 W_s との関係が $W_g > W_s$ であることを特徴とする電界効果型トランジスタ。

【請求項 3】

前記金属材料は、金属、合金、および導電性の金属間化合物からなる群のうち、いずれか 1 種であることを特徴とする請求項 1 または 2 記載の電界効果型トランジスタ。

【請求項 4】

半導体材料からなるチャンネル領域と、チャンネル領域を覆うゲート絶縁膜と、ゲート絶縁膜を覆うゲート電極と、

前記チャンネル領域の両側にそれぞれ直接接触し、金属材料からなるソース領域およびドレイン領域と、を備える n チャンネルの電界効果型トランジスタであって、

前記ゲート電極は Sb がドーパされた $NiSi$ からなり、前記ソース領域は $NiSi$ からなることを特徴とする電界効果型トランジスタ。

【請求項 5】

半導体材料からなるチャンネル領域と、チャンネル領域を覆うゲート絶縁膜と、ゲート絶縁膜を覆うゲート電極と、

前記チャンネル領域の両側にそれぞれ直接接触し、金属材料からなるソース領域およびドレイン領域と、を備える p チャンネルの電界効果型トランジスタであって、

前記ゲート電極は Al がドーパされた $NiSi$ からなり、前記ソース領域は $NiSi$ からなることを特徴とする電界効果型トランジスタ。

【請求項 6】

前記ゲート電極は、前記金属材料がゲート絶縁膜に直接接触することを特徴とする請求項 1 ~ 5 のうち、いずれか一項記載の電界効果型トランジスタ。

【請求項 7】

前記チャンネル領域は、圧縮歪みが誘起された $Si_{1-x}Ge_x$ 層からなることを特徴とする請求項 1 ~ 6 のうち、いずれか一項記載の電界効果型トランジスタ（ただし x は Ge の組成比であり、0 より大きくかつ 1 以下である。）。

【請求項 8】

前記チャンネル領域は、絶縁性基板上の Si 層または $Si_{1-x}Ge_x$ 層に設けられてなり、前記ソース領域およびドレイン領域は、絶縁性基板の上に前記金属材料から形成されることを特徴とする請求項 1 ~ 7 のうち、いずれか一項記載の電界効果型トランジスタ（ただし x は Ge の組成比であり、0 より大きくかつ 1 以下である。）。

【請求項 9】

n チャンネルの電界効果型トランジスタの製造方法であって、

Si 基板表面にゲート絶縁膜および多結晶 Si からなるゲート電極を形成する工程と、

前記ゲート電極の両側の Si 基板の一部をシリサイドに変換してソース領域およびドレイン領域を形成すると共に、前記ゲート電極をシリサイド膜に変換する工程と、を備え、

前記ゲート電極を形成する工程は、ゲート電極に不純物を注入する処理を含み、ゲート

10

20

30

40

50

電極の金属材料の仕事関数 W_g とソース領域の金属材料の仕事関数 W_s とが $W_g < W_s$ なる関係を有するように該不純物を選択することを特徴とする電界効果型トランジスタの製造方法。

【請求項 10】

p チャンルの電界効果型トランジスタの製造方法であって、

S i 基板表面にゲート絶縁膜および多結晶 S i からなるゲート電極を形成する工程と、前記ゲート電極の両側の S i 基板の一部をシリサイドに変換してソース領域およびドレイン領域を形成すると共に、前記ゲート電極をシリサイド膜に変換する工程と、を備え、前記ゲート電極を形成する工程は、ゲート電極に不純物を注入する処理を含み、ゲート電極の金属材料の仕事関数 W_g とソース領域の金属材料の仕事関数 W_s とが $W_g > W_s$ なる関係を有するように該不純物を選択することを特徴とする電界効果型トランジスタの製造方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は電界効果型トランジスタおよびその製造方法に係り、特に金属材料からなるゲート、ソース、およびドレインを備える電界効果型トランジスタに関する。

【背景技術】

【0002】

近年、MOS 型 LSI は比例縮小則により微細化による高集積度化が進められ、集積度は 3 年で 4 倍となっており、2004 年にはゲート長が 90 nm の LSI の製造が開始されている。MOS 型 LSI では、微細化して集積度を上げると、回路動作速度が増し、回路あたりの消費電力が減少するという特長があり、さらなる微細化が進められている。

20

【0003】

一方、MOS 型 LSI を構成する電界効果型トランジスタ (FET) は、電流供給電極であるソース・ドレイン領域が S i 基板に三価あるいは五価の不純物元素の注入により、チャンネル領域との p n 接合が形成される。

【0004】

素子の微細化が進むと、短チャンネル効果や寄生容量の増加等の問題が生じ、これらを解決するために、エクステンション領域やポケット領域等の更に微細な不純物領域の形成が必要となっている。このように、不純物拡散領域を微細に形成し制御することは、素子の微細化が進むとその注入の際の位置制御性や熱拡散の制御の点でますます困難性が増し、製造歩留まりが低下する。

30

【0005】

そこで、不純物拡散ソース・ドレイン領域のかわりに、金属材料によりソース・ドレインを形成した電界効果トランジスタが提案されている。かかる電界効果トランジスタは、金属材料によりソース・ドレインを形成することで、形成位置の制御性に優れ、後工程においてその領域の変動がほとんどないため、設計容易であり、原子単位の位置制御が実現できると期待されている。

【特許文献 1】特開 2002 - 118175 号公報

40

【特許文献 2】特開 2000 - 22139 号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかしながら、金属ソース・ドレインの電界効果トランジスタは、ソースおよびドレインが S i 基板のチャンネル領域に直接接しているため、金属 - 半導体の接触によりショットキーバリアが形成され、キャリアのチャンネル領域への注入が阻害される。例えば、n チャンネル FET では、金属ソースとチャンネル領域との間に、バリアが形成されるのでチャンネル領域への電子注入が阻害され、高濃度の電子をチャンネル領域に注入できず、十分な駆動電流が得られないという問題がある。

50

【0007】

そこで、本発明は上記問題点に鑑みてなされたもので、本発明の目的は、金属ゲート電極、金属ソース領域および金属ドレイン領域を備え、電流駆動能力を高めた電界効果型トランジスタおよびその製造方法を提供することである。

【課題を解決するための手段】

【0008】

本発明の一観点によれば、半導体材料からなるチャネル領域と、チャネル領域を覆うゲート絶縁膜と、ゲート絶縁膜を覆うゲート電極と、前記チャネル領域の両側にそれぞれ直接接触し、金属材料からなるソース領域およびドレイン領域と、を備えるnチャネルの電界効果型トランジスタであって、ゲート電極の金属材料の仕事関数 W_g とソース領域の金属材料の仕事関数 W_s との関係が $W_g < W_s$ であることを特徴とする電界効果型トランジスタが提供される。

10

【0009】

本発明によれば、ソース領域とチャネル領域との界面の電子に対するバリア高さを低下させ、チャネル領域に注入される電子濃度を増加させることができるので、電子電流駆動能力を向上することができる。

【0010】

本発明の他の観点によれば、半導体材料からなるチャネル領域と、チャネル領域を覆うゲート絶縁膜と、ゲート絶縁膜を覆うゲート電極と、前記チャネル領域の両側にそれぞれ直接接触し、金属材料からなるソース領域およびドレイン領域と、を備えるpチャネルの電界効果型トランジスタであって、ゲート電極の金属材料の仕事関数 W_g とソース領域の金属材料の仕事関数 W_s との関係が $W_g > W_s$ であることを特徴とする電界効果型トランジスタが提供される。

20

【0011】

本発明によれば、ソース領域とチャネル領域との界面の正孔に対するバリア高さを低下させ、チャネル領域に注入される正孔濃度を増加させることができるので、正孔電流駆動能力を向上することができる。

【0012】

ここで、上記の電界効果型トランジスタにおいて、金属材料は、単金属、合金、および金属間化合物のうちいずれかからなる材料である。なお、金属間化合物には金属窒化物が含まれる。

30

【0013】

本発明のその他の観点によれば、nチャネルの電界効果型トランジスタの製造方法であって、Si基板表面にゲート絶縁膜および多結晶Siからなるゲート電極を形成する工程と、前記ゲート電極の両側のSi基板の一部をシリサイドに変換してソース領域およびドレイン領域を形成すると共に、前記ゲート電極をシリサイド膜に変換する工程と、を備え、前記ゲート電極を形成する工程は、ゲート電極に不純物を注入する処理を含み、ゲート電極の金属材料の仕事関数 W_g とソース領域の金属材料の仕事関数 W_s とが $W_g < W_s$ なる関係を有するように該不純物を選択することを特徴とする電界効果型トランジスタの製造方法が提供される。

40

【0014】

本発明のその他の観点によれば、pチャネルの電界効果型トランジスタの製造方法であって、Si基板表面にゲート絶縁膜および多結晶Siからなるゲート電極を形成する工程と、前記ゲート電極の両側のSi基板の一部をシリサイドに変換してソース領域およびドレイン領域を形成すると共に、前記ゲート電極をシリサイド膜に変換する工程と、を備え、前記ゲート電極を形成する工程は、ゲート電極に不純物を注入する処理を含み、ゲート電極の金属材料の仕事関数 W_g とソース領域の金属材料の仕事関数 W_s とが $W_g > W_s$ なる関係を有するように該不純物を選択することを特徴とする電界効果型トランジスタの製造方法が提供される。

【0015】

50

本発明によれば、ゲート電極、ソース領域、およびドレイン領域をシリサイドにより形成することで、従来の半導体装置の製造工程の大幅な変更を行わずに金属材料からなるゲート電極、ソース領域、およびドレイン領域を形成できる。

【0016】

図1(A)～(C)は本発明の原理を説明するための図であり、図1(A)は本発明の電界効果型トランジスタ(MISFET)の模式的断面図、図1(B)はnチャンネルMISFETのソース領域とチャンネル領域との界面におけるエネルギーバンド図、図1(C)はpチャンネルMISFETのソース領域とチャンネル領域との界面におけるエネルギーバンド図である。

【0017】

図1(A)を参照するに、MISFET10は、駆動電流供給としてのソース領域11およびドレイン領域12と、制御電極としてのゲート電極13と、Si層からなるチャンネル領域14と、ゲート絶縁膜15から構成される。ソース領域11、ドレイン領域12、およびゲート電極13はそれぞれ金属材料からなる。ここでは、nチャンネルMISFETを例に説明する。ソース領域11とチャンネル領域14との界面には、金属(ソース領域11)-半導体(チャンネル領域14)の接触により図1(B)に示すショットキー障壁(バリア高さ ϕ_0 を有する。)が形成される。通常、ショットキー障壁は室温程度の熱エネルギーでは越える確率が低いバリア高さを有し、ソース領域11からチャンネル領域14への電子の注入が阻害され、チャンネル領域14の電子濃度は十分でない。

【0018】

そこで、本発明は、nチャンネルMISFETの場合、ゲート電極13およびソース領域11を、ゲート電極13の仕事関数 W_g 、ソース領域11の仕事関数を W_s とすると、 $W_g < W_s$ なる関係を有する材料から構成する。

【0019】

この場合、ソース領域11/ゲート絶縁膜15/ゲート電極13の積層方向(図1(A)に示す電界 E の方向)のエネルギーバンド図を考えると、 $W_g < W_s$ の関係から、ゲート電圧が0Vの状態、ソース領域11/ゲート絶縁膜15/ゲート電極13を互いに接触させた直後(熱平衡になる前)は、ゲート電極13から電子が配線(不図示)を介してソース領域11に流れ、ソース領域11のゲート絶縁膜15と接する面に電子が蓄積され、ゲート電極13のゲート絶縁膜15と接する面には正電荷が存在し、熱平衡に到る。このときの電荷量は、 $Q = C(W_g - W_s)$ となる(C はゲート電極-ソース領域間容量)。この電荷 Q により、図1(A)に示すようにゲート電極13からソース領域11の向きに電界 E が誘起される。電界 E のゲート長方向(図に示すX方向)の成分 E_x は、ソース領域11の電子をチャンネル領域14に引き出す作用を有する。すなわち、図1(B)に示すように、ソース領域11とチャンネル領域14との界面におけるエネルギーバンドは、電界 E_x による電位 V_{EF} により、チャンネル領域14の伝導帯の底 E_{c0} は E_{c1} に変化し、ショットキー障壁のバリア高さが ϕ_0 から ϕ_1 に低下する。したがって、ソース領域11からチャンネル領域14への電子注入が容易となり、チャンネル領域14の電子濃度が向上し、その結果、nチャンネルMISFETの電子電流駆動能力を高めることができる。

【0020】

pチャンネルMISFETでは、ゲート電極13の仕事関数 W_g 、ソース領域11の仕事関数を W_s とすると、 $W_g > W_s$ なる関係を有する材料から構成する。この場合は、図1(A)に示す電界 E と向きが逆の電界が誘起されるので、図1(C)に示すように、ソース領域11とチャンネル領域14との界面に形成された正孔に対するショットキー障壁のバリア高さは、 $W_g > W_s$ に設定することにより価電子帯の頂 E_{v0} が E_{v1} に変化し、 ϕ_0 から ϕ_1 に低下する。したがって、ソース領域11からチャンネル領域14への正孔注入が容易となり、チャンネル領域14の正孔濃度が向上し、その結果、pチャンネルMISFETの正孔電流駆動能力を高めることができる。

【発明の効果】

【0021】

10

20

30

40

50

本発明によれば、金属ゲート電極、金属ソース領域および金属ドレイン領域を備え、電流駆動能力を高めた半導体装置およびその製造方法を提供できる。

【発明を実施するための最良の形態】

【0022】

以下図面を参照しつつ実施の形態を説明する。

【0023】

(第1の実施の形態)

図2は、本発明の第1の実施の形態に係る電界効果型トランジスタの断面図である。

【0024】

図2を参照するに、電界効果型トランジスタ20は、Si基板21に、素子分離領域22により互いに離隔され、第1領域23nに形成されたnチャネルMISFET24nと、第2領域23pに形成されたpチャネルMISFET24pと、これらを覆う層間絶縁膜35から構成される。

【0025】

第1領域23nのnチャネルMISFET24nは、Si基板21に形成されたp型ウェル領域25nと、金属材料からなるソース領域26およびドレイン領域28と、Si基板21の表面に形成されたゲート絶縁膜30と、ゲート絶縁膜30の上に形成された金属材料からなるゲート電極31nと、側壁絶縁膜33等から構成される。

【0026】

一方、第2領域23pのpチャネルMISFET24pは、nチャネルMISFET24nとほぼ同様の構成からなり、Si基板21に形成されたn型ウェル領域25pと、金属材料からなるソース領域26およびドレイン領域28と、Si基板21の表面に形成されたゲート絶縁膜30と、ゲート絶縁膜30の上に形成された金属材料からなるゲート電極31pと、側壁絶縁膜33等から構成される。

【0027】

第1領域23nのp型ウェル領域25nおよび第2領域23pのn型ウェル領域25pは、熱拡散法やイオン打ち込み法等の公知の方法により不純物がSi基板21に導入されて形成される。不純物は、p型ウェル領域25nにはBやIn等の3価の元素が、n型ウェル領域25pにはPやAs等の5価の元素が用いられる。p型ウェル領域25nおよびn型ウェル領域25pの不純物濃度は、 10^{17} cm^{-3} 以下であることが好ましい。不純物濃度が 10^{17} cm^{-3} を超えると不純物散乱により電子あるいは正孔移動度の低下が顕著になる。また、p型Si基板あるいはn型Si基板を用いて、p型ウェル領域25nあるいはn型ウェル領域25pの形成を省略してもよい。

【0028】

さらに、真性Si基板を用い、p型ウェル領域25nおよびn型ウェル領域25pを形成しなくてもよい。不純物散乱による電子移動度の低下を防止できる。

【0029】

ゲート絶縁膜30は、シリコン酸化膜、あるいは、シリコン窒化膜、シリコン酸窒化膜、 Al_2O_3 、 Ta_2O_5 、 HfO_2 、 ZrO_2 、および HfSiON 等のhigh-k膜、およびこれらの積層膜のいずれかを用いることができる。MISキャパシタの容量値を増し、蓄積される電荷によりソース領域26 - チャネル領域29間のバリア高さをさらに低下させる点で、上記high-k膜を設けることが好ましい。

【0030】

ソース領域26およびドレイン領域28は金属材料からなり、金属材料として、単金属、合金、および導電性の金属間化合物から選択される。単金属としては、例えば、Ti(3.57 eV)、Pb(4.00 eV)、Mn(4.08 eV)、Ta(4.16 eV)、Mo(4.41 eV)、Ag(4.44 eV)、Cr(4.44 eV)、W(4.55 eV)、Fe(4.60 eV)、Co(4.97 eV)、Cu(5.02 eV)、Pt(5.63 eV)等が挙げられる。なお、かっこ内は仕事関数を示す。また、合金は、これらの単金属の合金が挙げられ、導電性の金属間化合物は、金属元素のシリサイド(ケイ化

10

20

30

40

50

物)、ジャーマナイド(ゲルマニウム化合物)、およびジャーマノシリサイド(ゲルマニウム・ケイ化合物)、金属窒化物等が挙げられる。シリサイド、ジャーマナイド、およびジャーマノシリサイドの金属元素としては、Ni、Co、Ta、Ti等が挙げられる。また、金属窒化物としては、TiN、HfN、Ta₂N、ZrN等が挙げられる。

【0031】

また、ゲート電極31n、31pは金属材料からなり、金属材料は上述したソース領域26およびドレイン領域28の金属材料と同様の材料を用いることができる。

【0032】

nチャンネルMISFET24nでは、ゲート電極31nの金属材料の仕事関数 W_g とソース領域26の金属材料の仕事関数 W_s との関係が $W_g < W_s$ に設定される。本発明の原理において説明したように、ゲート電極31nとソース領域26との間に仕事関数差($= W_g - W_s$)による電界を生じさせ、ショットキー効果によりソース領域26とチャンネル領域29との界面の電子に対するバリア高さを低下させ、チャンネル領域29に注入される電子濃度を増加させることができる。また、チャンネル領域29とドレイン領域28との界面においても同様である。

10

【0033】

特に、シリサイドでは不純物をポリシリコン膜に予め導入することで仕事関数を制御できる。例えば、Cabral等により、文献(2004 Symposium on VLSI Technology p.184 - p.185)において、SbやAlの不純物をポリシリコン膜に注入し、次いでシリサイドを形成することで、不純物の注入を行わ

20

【0034】

$W_g < W_s$ なる関係を有するゲート電極31nとソース領域26との組み合わせでは、ゲート電極31nが、SbがドーパされたNiSi($W_g = 4.27 \text{ eV}$)であり、ソース領域26が、NiSi($W_s = 4.65 \text{ eV}$)である場合が好ましい。シリサイドプロセスにより容易に形成できる。

【0035】

一方、pチャンネルMISFET24pでは、ゲート電極31pの金属材料の仕事関数 W_g とソース領域26の金属材料の仕事関数 W_s との関係が $W_g > W_s$ に設定される。本発明の原理において説明したように、ゲート電極31pとソース領域26との間に仕事関数差($= W_g - W_s$)による電界を生じさせ、ショットキー効果によりソース領域26とチャンネル領域29との界面の正孔に対するバリア高さを低下させ、チャンネル領域29に注入される正孔濃度を増加させることができる。また、チャンネル領域29とドレイン領域28との界面においても同様である。ゲート電極31p、ソース領域26、およびドレイン領域28の金属材料は、上述したnチャンネルMISFET24nと同様の材料を用いることができる。

30

【0036】

$W_g > W_s$ なる関係を有するゲート電極31pとソース領域26との組み合わせでは、ゲート電極31pが、AlがドーパされたNiSi($W_g = 4.79 \text{ eV}$)であり、ソース領域26が、NiSi($W_s = 4.65 \text{ eV}$)である場合が好ましい。また、ゲート電極31pが、AlがドーパされたNi(Pt)Si($W_g = 4.96 \text{ eV}$)であり、ソース領域26が、Ni(Pt)Si($W_s = 4.76 \text{ eV}$)である場合が好ましい。いずれもシリサイドプロセスにより容易に形成できる。

40

【0037】

ソース領域26およびドレイン領域28は、ゲート電極とのオーバーラップを有することが好ましい。ゲート電極31n、31pとソース領域26またはドレイン領域28に働く電界が増し、ポテンシャルバリア高さをさらに低下させることができる。

【0038】

本実施の形態によれば、ソース領域26とチャンネル領域29との界面のバリア高さを低下させ、チャンネル領域29に注入される電子あるいは正孔濃度を増加させることができる

50

ので、電流駆動能力を向上することができる。

【0039】

次に、第1の実施の形態に係る半導体装置の製造方法を図3～図4を参照しつつ具体的に説明する。図3～図4は、本発明の第1の実施の形態に係る半導体装置の製造工程図である。

【0040】

最初に、図3(A)の工程では、Si基板21にSTI(Shallow Trench Isolation)法により素子分離領域22を形成し、nチャネルMISトランジスタが形成される第1領域23nにp型の導電型の不純物を注入しp型ウェル領域を形成し、pチャネルMISトランジスタが形成される第2領域23pにn型の導電型の不純物を注入し、n型ウェル領域を形成する。

10

【0041】

図3(A)の工程では、さらに、Si基板21の表面に、CVD法やスパッタ法によりゲート絶縁膜30a、およびポリシリコン膜を形成する。ゲート絶縁膜30aは、シリコン酸化膜やhigh-k膜等の上述した材料を用いることができる。

【0042】

次いで図3(B)の工程では、ポリシリコン膜の表面にレジスト膜を形成し、次いで、フォトリソグラフィ法によりレジスト膜に第1領域23nを開口する開口部を形成する。

【0043】

図3(B)の工程ではさらに、イオン打ち込み法により第1領域23nのポリシリコン膜に例えば不純物濃度が 10^{20} cm^{-3} 程度のSbを注入する。なお、注入する不純物は、シリサイド化された後の仕事関数が第1領域23nのソース領域26の金属材料の仕事関数よりも小さくなるように選択される。

20

【0044】

次いで図3(C)の工程では、図3(B)のレジスト膜を除去し、次いで、ポリシリコン膜の表面にレジスト膜を形成し、次いで、フォトリソグラフィ法によりレジスト膜に第2領域23pを開口する開口部を形成する。

【0045】

図3(C)の工程ではさらに、イオン打ち込み法により第2領域23pのポリシリコン膜に例えば濃度が 10^{20} cm^{-3} 程度のAlを注入する。なお、注入する不純物は、シリサイド化された後の仕事関数が第2領域23pのソース領域26の金属材料の仕事関数よりも小さくなるように選択される。

30

【0046】

次いで図4(A)の工程では、図3(C)のレジスト膜を除去し、次いで、ポリシリコン膜の表面にレジスト膜を形成し、次いで、フォトリソグラフィ法によりゲート電極パターンにパターニングしたレジスト膜を得る。

【0047】

図4(A)の工程ではさらに、レジスト膜をマスクとしてRIE法によりポリシリコン膜とゲート絶縁膜30aを順次エッチングし、ゲート絶縁膜30とゲート電極からなるゲート積層体が形成される。

40

【0048】

次いで図4(B)の工程では、CVD法やスパッタ法によりSi基板21、側壁絶縁膜およびゲート電極の表面を覆う金属膜、例えばNi膜を形成する。Ni膜はその厚さをゲート電極のポリシリコン膜がゲート絶縁膜30の表面に達する程度の厚さに設定し、例えば100nmに設定する。

【0049】

次いで、図4(C)の工程では、RTP(Rapid Thermal Process)装置を用いて熱処理(温度400～500)を行い、Ni膜をSi基板21およびゲート電極のポリシリコンと反応させ、ゲート電極の両側のSi基板21にNiSiからなるソース領域26およびドレイン領域28を形成すると共に、ゲート電極をゲート絶縁

50

膜 30 との界面までシリサイド化する。

【0050】

図 4 (C) の工程ではさらに、未反応の Ni 膜をアンモニアと過酸化水素の混合液でウエットエッチング（一次処理）を行い、さらに硫酸と過酸化水素の混合液でウエットエッチング（二次処理）を行い、除去する。次いで、RTP 装置を用いて熱処理（温度 400 ~ 500）を行う。NiSi 膜は、熱処理の加熱温度（400 ~ 500）が低い点で好ましい。NiSi 膜の他、CoSi₂ 膜、TaSi₂ 膜、TiSi₂ 膜、PtSi 膜を形成してもよい。例えば、CoSi₂ 膜の場合は、熱処理の加熱温度 500 ~ 700 に設定する。

【0051】

このようにして形成されたソース領域 26 およびドレイン領域 28 は、Si 基板 21 のシリサイド化により側壁絶縁膜の直下からさらに内側のゲート絶縁膜 30 の端部付近まで形成され、上述した本発明の原理で説明した仕事関数差による電界が増加し、ソース領域 26 とチャンネル領域 29 との界面のバリア高さを低下させる。

【0052】

また、第 1 領域 23n のゲート電極は、シリサイド化により仕事関数が 4.27 eV の Sb がドーブされた NiSi 膜に変換され、仕事関数が 4.65 eV の NiSi からなるソース領域 26 よりも低く設定される。

【0053】

一方、第 2 領域 23p のゲート電極は、シリサイド化により仕事関数が 4.79 eV の Al がドーブされた NiSi 膜に変換され、仕事関数が 4.65 eV の NiSi からなるソース領域 26 よりも高く設定される。

【0054】

図 4 (C) の工程の後に、図 4 (C) の構造体を覆う層間絶縁膜を形成し、次いでその表面を CMP 法により平坦化し、図 2 に示す半導体装置が形成される。

【0055】

本実施の形態の製造方法によれば、ゲート電極に不純物を注入することにより、容易にソース領域 26 に対して仕事関数差を有するシリサイドを形成できる。

【0056】

また、本実施の形態の製造方法によれば、ゲート電極 31n、31p、ソース領域 26、およびドレイン領域 28 をシリサイドにより形成することで、従来の半導体装置の製造工程の大幅な変更を行わずに金属材料からなるゲート電極 31n、31p、ソース領域 26、およびドレイン領域 28 を形成できる。

【0057】

なお、上述した実施の形態の製造方法では、シリサイド化により金属材料のゲート電極、ソース領域 26、およびドレイン領域 28 を形成したが、他の上述した金属材料をゲート電極、ソース領域 26、およびドレイン領域 28 に用いてもよい。

【0058】

図 5 は、第 1 の実施の形態の変形例に係る電界効果型トランジスタの断面図である。図中、先に説明した部分に対応する部分には同一の参照符号を付し、説明を省略する。

【0059】

図 5 を参照するに、変形例に係る電界効果型トランジスタ 50 は、ゲート積層体 52 がゲート絶縁膜 30、バリア膜 51、ゲート電極 31n、31p が順次積層して構成され、バリア膜 51 が設けられている以外は、第 1 の実施の形態の電界効果型トランジスタと同様に構成されている。

【0060】

バリア膜 51 は、例えば Al₂O₃ からなり、ゲート絶縁膜を兼ねると共に、ゲート電極 31n、31p の金属材料を構成する金属元素がゲート絶縁膜 30 中に拡散することを防止するものである。ゲート絶縁膜 30 中に金属元素が拡散することで生じる固定電荷やトラップ電荷によるキャリア移動度の低下を防止できる。

10

20

30

40

50

【0061】

(第2の実施の形態)

図6は、本発明の第2の実施の形態に係る電界効果型トランジスタの断面図である。図中、先に説明した部分に対応する部分には同一の参照符号を付し、説明を省略する。ここでは、説明の便宜のためpチャンネルMISFETを例として説明する。なお、nチャンネルMISFETは、ゲート電極とソース領域を構成する材料が、第1の実施の形態のように仕事関数の関係が設定されている以外はpチャンネルMISFETと同様である。

【0062】

図6を参照するに、電界効果型トランジスタ60は、金属材料からなるソース領域61およびドレイン領域62と、チャンネル層としてのSi基板21上に形成されたSiGe層63と、SiGe層63を覆うSiキャップ層64と、Siキャップ層64の表面に形成されたゲート絶縁膜30と、ゲート絶縁膜30の上に形成された金属材料からなるゲート電極31pと、側壁絶縁膜33と、層間絶縁膜35等から構成される。

【0063】

SiGe層63は、例えば厚さが10nmであり、Si基板21上にエピタキシャル成長される。SiGe層63は、SiGeがSiよりも格子定数が大きいので圧縮歪みが誘起されている。SiGe層63を $Si_{1-x}Ge_x$ (xはGeの組成比)と表すと、xは0よりも大きくかつ1以下に設定され、xは0よりも大きく0.3以下であることが好ましい。xが0.3を超えるとSi基板との格子定数差が過度に増大し結晶転位を生じ、SiGe層63の歪み量が減少し、結晶性が低下する。

【0064】

圧縮歪みが誘導されたSiGe層63は、バンドギャップが狭小化され、ソース領域61とSiGe層63との界面におけるショットキー障壁のバリア高さが低下する。すなわち、以下に説明するゲート電極31pとソース領域61との仕事関数差によるショットキー効果と歪みSiGe層63により、ソース領域とチャンネル領域間のバリア高さが一層低下し高濃度のキャリアを注入できる。また、SiGe層63は、圧縮歪みが誘起されているので正孔移動度が向上する。SiGe層63にはp型不純物が導入され、その不純物濃度は、 10^{17} cm^{-3} よりも低いことが好ましく、導入しなくともよい。

【0065】

また、Siキャップ層64は、例えば厚さが10nmであり、SiGe層63を覆うように形成される。Siキャップ層64は歪みが緩和されている。Siキャップ層64はSiGe層63からのGeの拡散を抑制し、ゲート絶縁膜30とSiキャップ層64との界面に、Ge元素による界面準位の形成を防止する。Siキャップ層64は薄いほどよく、例えば、1nm~10nmに設定されることが好ましい。キャップ層64にはp型不純物が導入され、その不純物濃度は、 10^{17} cm^{-3} よりも低いことが好ましく、導入しなくともよい。

【0066】

ソース領域61およびドレイン領域62は第1の実施の形態と同様に金属材料からなる。ここでは、Si基板、SiGe層63、Si層と金属元素とのシリサイド、あるいはジャーマノシリサイド膜の積層体から構成される。すなわち、ソース領域61は、下側からシリサイド膜61a/ジャーマノシリサイド膜61b/シリサイド膜61cからなり、ドレイン領域62は同様に下側からシリサイド膜62a/ジャーマノシリサイド膜62b/シリサイド膜62cからなる。第1の実施の形態と同様に、ゲート電極31pと、ソース領域61のシリサイド膜61aおよびジャーマノシリサイド膜61bを構成する材料を、第1の実施の形態のように、ゲート電極31pの金属材料の仕事関数 W_g とソース領域61のシリサイド膜61aおよびジャーマノシリサイド膜61bの仕事関数 W_s を $W_g > W_s$ となるように設定する。

【0067】

本実施の形態によれば、第1の実施の形態の効果に加え、チャンネル層が圧縮歪みが誘起されたSiGe層63からなるので、ソース領域61とチャンネル層としてのSiGe層6

10

20

30

40

50

3との界面におけるバリア高さが低下し、チャネル層の正孔濃度が一層増加し、電流駆動能力が増大する。

【0068】

(第3の実施の形態)

図7は、本発明の第3の実施の形態に係る電界効果型トランジスタの断面図である。

【0069】

図7を参照するに、電界効果型トランジスタ70は、Si基板21と、Si基板21上に設けられた埋め込み酸化膜71と、素子分離領域72により画成された第1領域23nと第2領域23pからなり、第1領域23nでは、埋め込み酸化膜71上にSiGe膜80n、引っ張り歪みが誘起された歪みSi膜81が順次積層された積層体にnチャンネルMISFET74nが設けられ、第2領域23pでは、埋め込み酸化膜71上に圧縮歪みが誘起された歪みSiGe膜80pにpチャンネルMISFET74pが設けられた相補型の電界効果型トランジスタである。

【0070】

第1領域23nのnチャンネルMISFET74nは、埋め込み酸化膜71上に形成された金属材料からなるソース領域76nおよびドレイン領域78nと、ソース領域76nとドレイン領域78nとに挟まれた歪みSi膜81の表面に形成されたゲート絶縁膜30と、ゲート絶縁膜30の上に形成された金属材料からなるゲート電極31nと、側壁絶縁膜33等から構成され、歪みSi膜81にチャネル領域79nが形成される。

【0071】

歪みSi膜81は、下地の歪みが緩和されたSiGe膜80n上にエピタキシャル成長して形成される。SiGe膜80nは格子歪みが緩和されており、歪みが誘起されていないSi膜よりも格子定数が大きくなっている。したがって、SiGe膜80n上にエピタキシャル成長した歪みSi膜81には、格子定数差により膜面内方向に引っ張り歪みが誘起される。その結果、歪みSi膜81の電子移動度が向上する。なお、引っ張り歪みの方向はゲート長方向すなわち、ソース領域76nとドレイン領域78nを結ぶ方向にほぼ平行であることが好ましい。なお、歪みが緩和されたSiGe膜80nは例えば以下のようにして形成する。すなわち、Si基板21上に例えば分子エピタキシ法やCVD法(例えば超高真空CVD法、水素還元法、熱分解法、MOCVD法等)によりエピタキシャル成長により圧縮歪みが誘起されたSiGe膜(第1領域23nのSiGe膜80nと第2領域23pのSiGe膜80p、例えば厚さ40nm)を形成し、次いで、SiGe膜との界面のSi基板21に埋め込み酸化膜71を形成した後、第1領域23nのSiGe膜の圧縮歪みを選択的な熱処理等により圧縮歪みが緩和される。なお、第2領域のSiGe膜80pは、熱処理等が行わないので、圧縮歪みが誘起された状態となる。

【0072】

SiGe膜80nは、厚さが5nm~60nmの範囲に設定され、10nm~40nmであることが好ましい。SiGe膜80nの組成は、 $Si_{1-x}Ge_x$ (xはGeの組成比)と表すと、xは0よりも大きくかつ1以下に設定され、 $x=0.1\sim 0.4$ の範囲に設定することが好ましい。Geの組成比が0.1よりも低いと歪みSi膜に引っ張り応力が十分に負荷されず、0.4よりも高いと歪みSi膜81との界面で転位が生じ易くなり、歪みSi膜81に負荷される引っ張り応力が不均一になる。なお、第2領域23pの歪みSiGe膜80pの厚さおよび組成範囲はSiGe膜80nと同様である。

【0073】

第1領域23nのソース領域76nおよびドレイン領域78nは歪みSi膜81およびSiGe膜80nの一部に形成され、例えばシリサイド膜およびジャーマノシリサイド膜からなり、ゲート電極31nは不純物が注入されたポリシリコン膜をシリサイド化したシリサイド膜からなる。なお、ソース領域76nおよびドレイン領域78nは歪みSi膜81のみに形成されてもよい。また、ゲート電極31n、ソース領域76nおよびドレイン領域78nは、シリサイド膜以外に第1の実施の形態で説明した単金属、合金、および導電性の金属間化合物の金属材料を用いてもよい。ソース領域76nおよびドレイン領域7

10

20

30

40

50

8 n は、歪み Si 膜 8 1 に溝部を設け、金属材料を充填して形成してもよい。

【0074】

n チャネル MISFET 7 4 n では、第 1 の実施の形態と同様に、ゲート電極 3 1 n の金属材料の仕事関数 W_g とソース領域 7 6 n の金属材料の仕事関数 W_s との関係が $W_g < W_s$ に設定される。ゲート電極 3 1 n とソース領域 7 6 n との間の仕事関数差によりソース領域 7 6 n とチャンネル領域との界面の電子に対するバリア高さを低下させてチャンネル領域 7 9 n の電子濃度を増加させることができる。

【0075】

また、第 2 領域 2 3 p の p チャネル MISFET 7 4 p は、埋め込み酸化膜 7 1 上に形成された金属材料からなるソース領域 7 6 p およびドレイン領域 7 8 p と、ソース領域 7 6 p とドレイン領域 7 8 p とに挟まれた歪み Si Ge 膜 8 0 p の表面に形成されたゲート絶縁膜 3 0 と、ゲート絶縁膜 3 0 の上に形成された金属材料からなるゲート電極 3 1 p と、側壁絶縁膜 3 3 等から構成され、圧縮歪みが誘起された歪み Si Ge 膜 8 0 p にチャンネル領域 7 9 p が形成される。

【0076】

歪み Si Ge 膜 8 0 p は、膜面内方向に圧縮歪みが誘起されている。歪み Si Ge 膜 8 0 p は、例えば、Si 基板 2 1 上に例えば CVD 法によりエピタキシャル成長により堆積した際に、歪みが誘起されていない Si Ge 膜の格子定数は Si の格子定数よりも大きいので、Si 基板 2 1 との格子定数差により圧縮歪みが誘起される。その結果、歪み Si Ge 膜 8 0 p のバンドギャップが減少し、ソース領域 7 6 p とチャンネル領域 7 8 p との界面の正孔に対するバリア高さが一層低下すると共に、歪み Si Ge 膜 8 0 p の正孔移動度が向上する。なお、圧縮歪みの方向はゲート長方向すなわち、ソース領域 7 6 p とドレイン領域 7 8 p を結ぶ方向にほぼ平行であることが好ましい。

【0077】

第 2 領域 2 3 p のソース領域 7 6 p およびドレイン領域 7 8 p は歪み Si Ge 膜 8 0 p に形成された、例えばジャーマノシリサイド膜からなり、ゲート電極 3 1 p は不純物が注入されたポリシリコン膜をシリサイド化したシリサイド膜からなる。また、ゲート電極 3 1 p、ソース領域 7 6 p およびドレイン領域 7 8 p は、シリサイド膜以外に、第 1 の実施の形態で説明した単金属、合金、および導電性の金属間化合物の金属材料を用いてもよい。この場合、ソース領域 7 6 p およびドレイン領域 7 8 p は歪み Si Ge 膜 8 0 p に溝部を設け金属材料を充填する。

【0078】

p チャネル MISFET 2 4 p では、第 1 および第 2 の実施の形態と同様に、ゲート電極 3 1 p の金属材料の仕事関数 W_g とソース領域 7 6 p の金属材料の仕事関数 W_s との関係が $W_g > W_s$ に設定される。ゲート電極 3 1 p とソース領域 7 6 p との間の仕事関数差によりソース領域 7 6 p とチャンネル領域 7 8 p との界面の正孔に対するバリア高さを低下させてチャンネル領域 7 9 p の正孔濃度を増加させることができる。

【0079】

また、本実施の形態に係る電界効果型トランジスタ 7 0 は、埋め込み酸化層 7 1 上に形成された薄膜の歪み Si 膜 8 1 あるいは歪み Si Ge 膜 8 0 p にチャンネル領域 7 9 n、7 9 p が形成されるので、寄生容量を低減し、短チャンネル効果を抑制できる。

【0080】

本実施の形態によれば、第 1 の実施の形態と同様にソース領域 7 6 n、7 6 p とチャンネル領域 7 9 n、7 9 p との界面のキャリアに対するバリア高さを低減すると共に、チャンネル領域 7 9 n、7 9 p に引っ張り歪みが誘起された歪み Si 膜 8 1 (n チャネル MISFET 7 4 n)、あるいは圧縮歪みが誘起された歪み Si Ge 膜 8 0 p (p チャネル MISFET 7 4 p) からなるので、それぞれ電子移動度、正孔移動度が増加し、高速動作が可能となる。

【0081】

なお、本実施の形態に係る電界効果型トランジスタは n チャネル MISFET 7 4 n お

10

20

30

40

50

よび p チャンネル MISFET のいずれかが単体でも効果を奏することは明らかである。

【0082】

また、上記の Si 基板 21 / 埋め込み酸化層 71 は、上述した SIMOX 法その他、貼り合わせ法やその他の公知の SOI 基板の製造方法を用いてもよい。また、Si 基板に限定されず、サファイア (Al_2O_3) 基板、シリコン・カーバイド (SiC) 基板等を用いてもよい。

【0083】

以上本発明の好ましい実施の形態について詳述したが、本発明に係る特定の実施の形態に限定されるものではなく、特許請求の範囲に記載された本発明の範囲内において、種々の変形・変更が可能である。

10

【0084】

なお、以上の説明に関して更に以下の付記を開示する。

(付記1) 半導体材料からなるチャンネル領域と、チャンネル領域を覆うゲート絶縁膜と、ゲート絶縁膜を覆うゲート電極と、

前記チャンネル領域の両側にそれぞれ直接接触し、金属材料からなるソース領域およびドレイン領域と、を備える n チャンネルの電界効果型トランジスタであって、

前記ゲート電極の金属材料の仕事関数 W_g とソース領域の金属材料の仕事関数 W_s との関係が $W_g < W_s$ であることを特徴とする電界効果型トランジスタ。

(付記2) 半導体材料からなるチャンネル領域と、チャンネル領域を覆うゲート絶縁膜と、ゲート絶縁膜を覆うゲート電極と、

20

前記チャンネル領域の両側にそれぞれ直接接触し、金属材料からなるソース領域およびドレイン領域と、を備える p チャンネルの電界効果型トランジスタであって、

前記ゲート電極の金属材料の仕事関数 W_g とソース領域の金属材料の仕事関数 W_s との関係が $W_g > W_s$ であることを特徴とする電界効果型トランジスタ。

(付記3) 付記1に記載の n チャンネルの電界効果型トランジスタと付記2に記載の p チャンネルの電界効果型トランジスタからなる相補型の電界効果型トランジスタ。

(付記4) 前記金属材料は、単金属、合金、および導電性の金属間化合物からなる群のうち、いずれか1種であることを特徴とする付記1~3のうち、いずれか一項記載の電界効果型トランジスタ。

30

(付記5) 前記金属間化合物は、金属のシリサイド、ジャーマナイド、およびジャーマノシリサイドからなる群のうちいずれか1種であることを特徴とする付記4記載の電界効果型トランジスタ。

(付記6) 半導体材料からなるチャンネル領域と、チャンネル領域を覆うゲート絶縁膜と、ゲート絶縁膜を覆うゲート電極と、

前記チャンネル領域の両側にそれぞれ直接接触し、金属材料からなるソース領域およびドレイン領域と、を備える n チャンネルの電界効果型トランジスタであって、

前記ゲート電極は Sb がドーパされた NiSi からなり、前記ソース領域は NiSi からなることを特徴とする電界効果型トランジスタ。

(付記7) 半導体材料からなるチャンネル領域と、チャンネル領域を覆うゲート絶縁膜と、ゲート絶縁膜を覆うゲート電極と、

40

前記チャンネル領域の両側にそれぞれ直接接触し、金属材料からなるソース領域およびドレイン領域と、を備える p チャンネルの電界効果型トランジスタであって、

前記ゲート電極は Al がドーパされた NiSi からなり、前記ソース領域は NiSi からなることを特徴とする電界効果型トランジスタ。

(付記8) 前記ゲート電極は、前記金属材料がゲート絶縁膜に直接接触することを特徴とする付記1~7のうち、いずれか一項記載の電界効果型トランジスタ。

(付記9) 前記ゲート絶縁膜は、シリコン窒化膜、シリコン酸窒化膜、 Al_2O_3 膜、 Ta_2O_5 膜、 HfO_2 膜、および ZrO_2 膜からなる群のうち少なくとも1つからなることを特徴とする付記1~8のうち、いずれか一項記載の電界効果型トランジスタ。

50

(付記10) 前記チャンネル領域は、Si層またはSi基板に形成されてなることを特徴とする付記1～9のうち、いずれか一項記載の電界効果型トランジスタ。

(付記11) 前記チャンネル領域は、真性Si層あるいは真性Si基板に形成されてなることを特徴とする付記10記載の電界効果型トランジスタ。

(付記12) 前記チャンネル領域は、圧縮歪みが誘起された $Si_{1-x}Ge_x$ 層からなることを特徴とする付記1～9のうち、いずれか一項記載の電界効果型トランジスタ(ただしxはGeの組成比であり、0より大きくかつ1以下である。)

(付記13) 前記チャンネル領域は、Si基板表面にエピタキシャル成長した $Si_{1-x}Ge_x$ 層からなることを特徴とする付記12記載の電界効果型トランジスタ。

(付記14) 前記 $Si_{1-x}Ge_x$ 層上にさらに緩和したSi層を有することを特徴とする付記12または13記載の電界効果型トランジスタ。 10

(付記15) 前記チャンネル領域は、絶縁性基板上のSi層または $Si_{1-x}Ge_x$ 層に設けられてなり、

前記ソース領域およびドレイン領域は、絶縁性基板の上に前記金属材料から形成されてなることを特徴とする付記1～9のうち、いずれか一項記載の電界効果型トランジスタ(ただしxはGeの組成比であり、0より大きくかつ1以下である。)

(付記16) 前記ソース領域およびドレイン領域は、前記Si層または $Si_{1-x}Ge_x$ 層に設けられたシリサイド膜、ジャーマノシリサイド膜、またはジャーマナイド膜からなることを特徴とする付記15記載の電界効果型トランジスタ。

(付記17) nチャンネルの電界効果型トランジスタの製造方法であって、 20

Si基板表面にゲート絶縁膜および多結晶Siからなるゲート電極を形成する工程と、前記ゲート電極の両側のSi基板の一部をシリサイドに変換してソース領域およびドレイン領域を形成すると共に、前記ゲート電極をシリサイド膜に変換する工程と、を備え、前記ゲート電極を形成する工程は、ゲート電極に不純物を注入する処理を含み、ゲート電極の金属材料の仕事関数 W_g とソース領域の金属材料の仕事関数 W_s とが $W_g < W_s$ なる関係を有するように該不純物を選択することを特徴とする電界効果型トランジスタの製造方法。

(付記18) pチャンネルの電界効果型トランジスタの製造方法であって、

Si基板表面にゲート絶縁膜および多結晶Siからなるゲート電極を形成する工程と、前記ゲート電極の両側のSi基板の一部をシリサイドに変換してソース領域およびドレイン領域を形成すると共に、前記ゲート電極をシリサイド膜に変換する工程と、を備え、前記ゲート電極を形成する工程は、ゲート電極に不純物を注入する処理を含み、ゲート電極の金属材料の仕事関数 W_g とソース領域の金属材料の仕事関数 W_s とが $W_g > W_s$ なる関係を有するように該不純物を選択することを特徴とする電界効果型トランジスタの製造方法。 30

(付記19) 前記ゲート電極の形成は、ポリシリコン膜を形成し、次いで該ポリシリコン膜に不純物を導入し、

前記不純物によりシリサイド膜に変換後の仕事関数 W_g を制御することを特徴とする付記17または18記載の電界効果型トランジスタの製造方法。

【図面の簡単な説明】 40

【0085】

【図1】(A)～(C)は本発明の原理を説明するための図である。

【図2】本発明の第1の実施の形態に係る電界効果型トランジスタの断面図である。

【図3】(A)～(C)は第1の実施の形態に係る電界効果型トランジスタの製造工程図(その1)である。

【図4】(A)～(C)は第1の実施の形態に係る電界効果型トランジスタの製造工程図(その2)である。

【図5】第1の実施の形態の変形例に係る電界効果型トランジスタの断面図である。

【図6】本発明の第2の実施の形態に係る電界効果型トランジスタの断面図である。

【図7】本発明の第3の実施の形態に係る電界効果型トランジスタの断面図である。 50

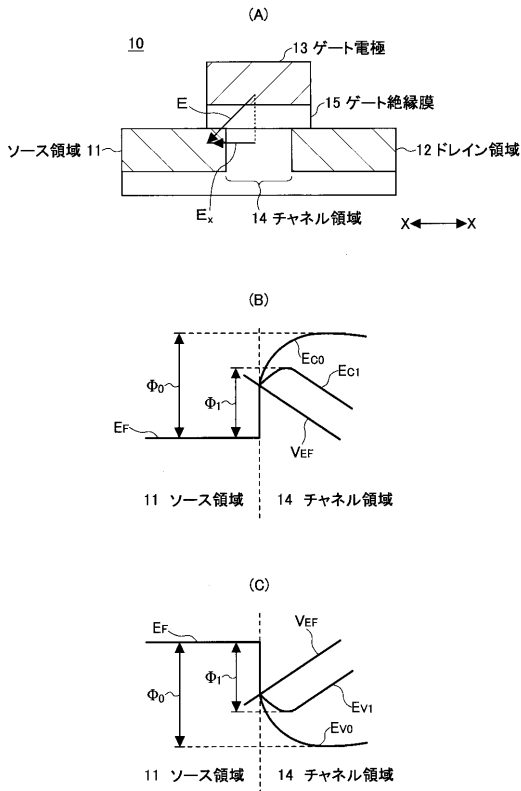
【符号の説明】

【0086】

10、20、50、60、70	電界効果型トランジスタ (F E T)	
11、61、76n、76p	ソース領域	
12、62、78n、78p	ドレイン領域	
13	ゲート電極	
14	チャネル領域	
15	ゲート絶縁膜	
21	S i 基板	
22	素子分離領域	10
23n	第1領域	
23p	第2領域	
24n、74n	nチャネルM I S F E T	
24p、74p	pチャネルM I S F E T	
25n	p型ウェル領域	
25p	n型ウェル領域	
26、61	ソース領域	
28、62	ドレイン領域	
29	チャネル領域	
30	ゲート絶縁膜	20
31n、31p	ゲート電極	
32、52	ゲート積層体	
33	側壁絶縁膜	
35	層間絶縁膜	
38、39、40	レジスト膜	
51	バリア膜	
63	S i G e 層	
64	S i キャップ層	

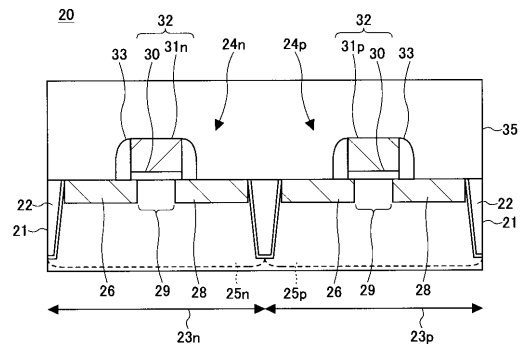
【 図 1 】

(A)~(C)は本発明の原理を説明するための図



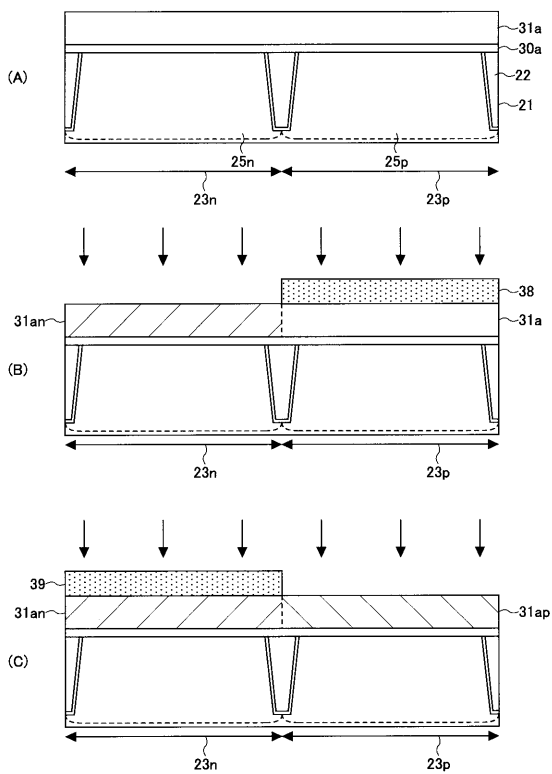
【 図 2 】

本発明の第1の実施の形態に係る電界効果型トランジスタの断面図



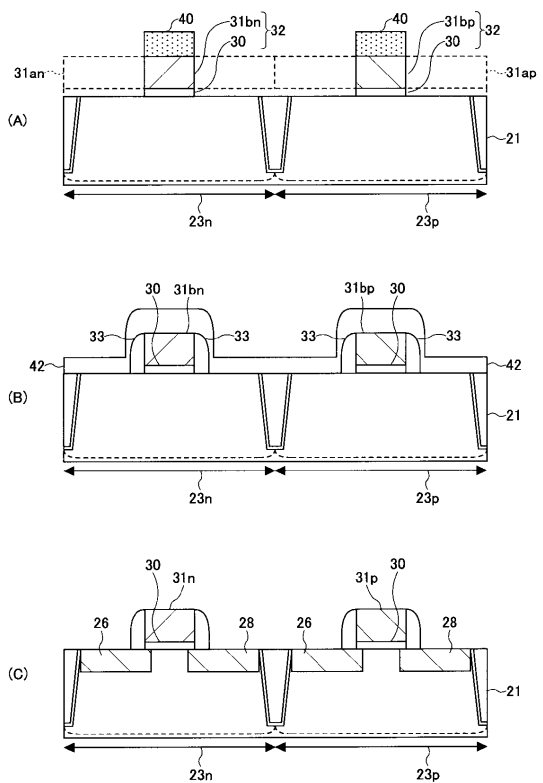
【 図 3 】

(A)~(C)は第1の実施の形態に係る電界効果型トランジスタの製造工程図(その1)



【 図 4 】

(A)~(C)は第1の実施の形態に係る電界効果型トランジスタの製造工程図(その2)



フロントページの続き

(51) Int.Cl.		F I		テーマコード(参考)
H O 1 L 29/786 (2006.01)		H O 1 L	27/08	3 2 1 A
H O 1 L 29/423 (2006.01)		H O 1 L	29/78	6 1 8 B
H O 1 L 29/49 (2006.01)		H O 1 L	29/78	6 1 6 S
		H O 1 L	29/78	6 1 7 M
		H O 1 L	29/58	G
		H O 1 L	29/78	6 1 6 V

F ターム(参考)	4M104	AA01	AA03	AA09	BB01	BB04	BB06	BB07	BB08	BB13	BB14
		BB16	BB17	BB18	BB19	BB20	BB21	BB22	BB25	BB27	BB29
		BB30	BB32	BB36	BB40	CC01	CC05	DD02	DD63	DD64	DD79
		DD80	DD84	EE03	EE12	EE14	EE17	FF18	GG09	GG10	GG14
5F048	AA08	AC03	BA01	BA04	BA14	BA16	BA19	BB08	BB09	BB10	
		BB11	BC15	BC18	BD09	BE03	BF06	BG13	DA23		
5F110	AA01	AA07	BB04	BB20	CC01	DD01	DD04	DD05	DD22	DD24	
		EE01	EE02	EE04	EE05	EE06	EE32	EE41	EE44	EE45	EE48
		EE50	FF01	FF02	FF03	FF04	FF09	GG01	GG02	GG12	GG19
		GG25	GG42	GG44	GG47	GG58	HK01	HK02	HK04	HK05	HK06
		HK33	HK34	HK40	HK42	HK50	NN02	NN62	NN65	NN78	QQ08
		QQ11	QQ17	QQ19							
5F140	AA05	AB03	AC28	AC36	BA01	BA17	BB18	BC05	BC12	BD01	
		BD04	BD05	BD07	BD09	BD11	BD12	BE09	BE10	BF01	BF08
		BF38	BG08	BG28	BG32	BG38	BG45	BG52	BG53	BG56	BH27
		BJ30	BK29	BK34	BK38	BK39	CB04	CB08	CF04		