



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I626688 B

(45)公告日：中華民國 107 (2018) 年 06 月 11 日

(21)申請案號：103142446

(22)申請日：中華民國 103 (2014) 年 12 月 05 日

(51)Int. Cl. : H01L21/31 (2006.01)

H01L21/3065(2006.01)

(30)優先權：2013/12/16 美國

61/916,726

2014/10/24 美國

14/523,523

(71)申請人：應用材料股份有限公司 (美國) APPLIED MATERIALS, INC. (US)

美國

(72)發明人：那克美荷 B NAIK, MEHUL B. (US) ; 任河 REN, HE (CN) ; 崔振江 CUI,

ZHENJIANG (CN)

(74)代理人：蔡坤財；李世章

(56)參考文獻：

TW 490796

US 2003/0176075A1

US 2005/0037604A1

US 2011/0104891A1

US 2011/0266682A1

審查人員：陳聖

申請專利範圍項數：20 項 圖式數：8 共 44 頁

(54)名稱

使用處理系統之氣隙結構整合

AIR GAP STRUCTURE INTEGRATION USING A PROCESSING SYSTEM

(57)摘要

一種在積體層堆疊中形成氣隙結構之方法，該方法包含在真空下在處理系統中乾蝕刻設置在堆疊上的模具層。模具層係設置於一或多個互連件之間，且模具層之乾蝕刻的處理曝露互連件之至少一部分。該方法亦包含在互連件之曝露部分上沉積襯層。在另一個實施例中，一種在積體層堆疊中形成氣隙結構之方法，包含在真空下在處理系統中在第一處理腔室中乾蝕刻設置在堆疊上的氧化物模具層。該方法亦包含在互連件上沉積低介電常數材料襯層，其中襯層具有低於約 2 奈米的厚度。於此揭露的方法係執行於處理系統中，且無需破壞真空。

A method for forming an air gap structure in an integrated layer stack includes dry etching a mold layer disposed on the stack in a processing system under vacuum. The mold layer is disposed between one or more interconnects, and the process of dry etching of the mold layer exposes at least a portion of the interconnects. The method also includes depositing a liner layer over the exposed portion of the interconnects. In another embodiment, a method for forming an air gap structure in an integrated layer stack includes dry etching an oxide mold layer disposed on the stack in an a first processing chamber in a processing system under vacuum. The method also includes depositing a low-k material liner layer over the interconnects, wherein the liner has a thickness of less than about 2 nanometers. The methods disclosed herein are performed in a processing system without breaking vacuum.

指定代表圖：

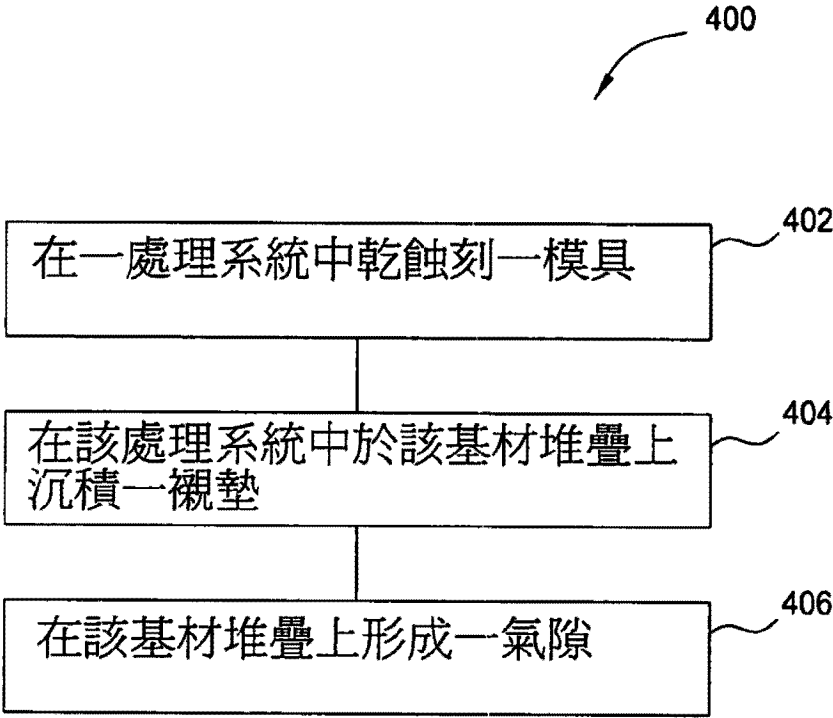
符號簡單說明：

400 . . . 方法

402 . . . 方塊

404 . . . 方塊

406 . . . 方塊



第4圖

的流程圖。第 5A-5D 圖顯示於互連件結構形成處理之不同階段期間之積體層堆疊的概要、截面圖。

【0015】 第 6A-6B 圖顯示於互連件結構形成處理之不同階段期間之積體層堆疊的概要、截面圖。第 7 圖顯示積體層堆的概要、截面圖。

【0016】 第 8 圖顯示處理系統的平面圖。為幫助理解，若可能的話，使用相同的元件符號以指定於圖式中共用之相同的元件。應理解，一個實施例的元件及特徵可無須進一步引用而有利地併入於其他實施例中。

【實施方式】

【0017】 在以下的說明書中，為了解釋的目的，許多特定的細節被提出，以提供本揭露書之實施例的通盤了解。在一些例子中，已知的結構和裝置係以方塊圖形式，而非以細節的方式而顯示，以避免混淆本揭露書的實施例。該等實施例係非常詳細地說明，以使熟知該技術領域者可以實施本揭露書的實施例，且應理解可使用其他實施例，且可在不背離本揭露書之範圍下作出邏輯的、機械的、電性的及其他的改變。

【0018】 於此所述的實施例大體關於使用處理系統之氣隙結構集成方法。更特別地，本揭露書的實施例關於整合於處理系統內之用於改良氣隙結構形成處理的模具層蝕刻處理及襯墊沉積處理。本揭露書的實施例大體關於使用具有一或多個處理腔室 200、300 之處理系統 800 而形成包含氣隙結構之含介電質之層結構的形成。處理系統有利地形成含介電質之層結構，而無需處理系統 800 中「破壞真空」，且因此處理

系統形成電性堅固的結構，因為在含介電質之層結構中的材料在形成處理期間未被氧化或受到侵蝕。處理系統 800 和處理腔室 200、300 的細節將進一步討論於下。

【0019】 第 4 圖顯示依據本揭露書之一個實施例的一種形成氣隙結構之方法 400 的流程圖。第 5A-5D 圖顯示依據本揭露書之一個實施例的積體層堆疊 500 之概要、截面圖。

【0020】 參照第 4 及 5A-5D 圖，方法 400 於方塊 402 處藉由乾蝕刻或從積體層堆疊 500 移除模具層 502 而開始。如第 5A 圖中所示，積體層堆疊 500 係包含導電材料 504 的鑲嵌結構，該導電材料 504 設置在第一低介電常數介電材料 506 中。在一個實施例中，導電材料 504 係諸如銅之金屬，且第一低介電常數介電材料 506 可包含摻碳氧化物或該摻碳氧化物之變體，如，氟化碳、奈米群集二氧化矽(nanoclustering silica, NCS)、中空氧化物(mesoporous oxides)，或有機「旋塗」材料、BLACK DIAMOND[®]膜層(如 BD1、BD2 及 BD3，可由加州聖克拉拉市之應用材料有限公司取得)。應考量亦可依據於此所述之實施例而使用其他合適的低介電常數介電材料(如，具有介電常數在約 1.5 至約 5 之間的材料)。

【0021】 第一低介電常數介電材料 506 可藉由旋塗技術、電漿強化化學氣相沉積(PECVD)、高密度電漿 CVD、混合物理 CVD(HPCVD)、中性束強化化學氣相沉積(NBECVD)、微波輔助化學氣相沉積(CVD)或任何其他適合低介電常數介電材料沉積之技術而沉積。第一阻障層 508 係設置於第一低介電常數介電材料 506 上以防止於第一低介電常數介電材料 506 中

的導電材料 504 擴散。第一阻障層 508 可包含氮化矽、氮化碳矽(SiCN)或 SiOCN。在一個實施例中，阻障層 508 可包含蝕刻終止材料，如氮化鋁(AlN)，及氮化矽、氮化碳矽(SiCN)或 SiOCN 之組合。在又一實施例中，阻障層 508 可包含具有氮化矽、氮化碳矽(SiCN)或 SiOCN 之選擇性金屬帽，如，鈷(Co)。

【0022】 第二低介電常數介電材料 510 係設置於阻障層 508 上。於一個實施例中，第二低介電常數介電材料可包含列於上述用於第一低介電常數介電材料 510 之任何材料或材料的組合。額外地，第二低介電常數介電材料 510 可藉由上述用於第一低介電常數介電材料 510 之任何技術而沉積。導電材料 504 形成設置於第二低介電常數介電材料 510 上之一或多個互連件 512。在一個實施例中，第二阻障層 534 係設置於互連件 512 和鄰近的第二低介電常數介電材料 510 及模具層 502 之間。顯示於第 5A 圖中的第二阻障層 534 可包含如第一阻障層 508 的相同材料或諸如鋇或氮化鋇之阻障材料，或對銅可成為阻障之任何其他材料(如，錳(Mn)、氮化錳(MnN)、鎢(W))，或由上述材料之組合所形成的任何材料。在一個實施例中，互連件 512 包含側壁 514 和頂壁 516。

【0023】 如第 5B 圖中所示，設置在互連件 512(第 5A 圖)之間的圖案化模具層 502 被選擇性地蝕刻，以在第一低介電常數介電材料 506 中形成開放溝槽 524。在一個實施例中，模具層 502 係犧牲氧化物，諸如二氧化矽(SiO₂)(由四乙基矽氧烷(tetraethyl orthosilicate, TEOS)前驅物所形成)、矽烷(SiH₄)，

或如由有機前驅物所形成的任何其他矽基氧化物。在其他實施中，模具層為超低介電常數材料，諸如碳、BLACK DIAMOND[®]膜層(如 BD1、BD2 及 BD3，可由加州聖克拉拉市之應用材料有限公司取得)。應考量，亦可依據於此所述之實施例而使用其他合適的低介電常數介電材料(如，具有介電常數在約 1.5 至約 3 之間的材料)。

【0024】 在一個實施例中，乾蝕刻處理係使用 NF_3 、 NH_3 或 C_xF_y 氣體，在約 2 mTorr 至約 20 mTorr 的處理壓力，在約 10 至約 80°C 的溫度及 13.56MHz 之 RF 功率的約 0.2 至約 2.0kW 之功率下而執行以移除模具層 502。與傳統的濕蝕刻相較，乾蝕刻模具層 502 並未等向性地蝕刻，且因此而損壞鄰近的結構，亦即，過度蝕刻或侵蝕導電材料 504 並損壞第二阻障層 534。因此，導電材料 504 擴散入形成在導電材料上之鄰近膜內的情形可減少或避免，如此一來保護了積體層堆疊 500 的電性性質和整體性。雖然單一層通孔係顯示於第 5A-5D 圖中，在一個實施例中，在乾蝕刻模具層 502 之前，使用排除光罩以防止鄰近下一個層通孔之後續氣隙的形成。

【0025】 儘管於此討論一種特定的積體層堆疊結構，應考量，在方塊 402 處之乾蝕刻模具層 502 的步驟可執行在適合用於後續氣隙結構形成的任何積體層堆疊上。於該技術領域中具有通常知識者將理解，使用在方塊 402 處的蝕刻化學係基於模具層 502 的成分和厚度而選擇及調整。大體而言，使用以蝕刻模具層 502 的乾蝕刻處理經選擇使得該乾蝕刻處理實質減少或防止蝕刻或氧化用以形成互連件 512 的材料，並因此

而幫助維持互連件 512 的整體性和結構。

乾蝕刻處理腔室之例子

【0026】 執行於方塊 402 中之乾蝕刻處理可被執行於處理系統 800 中的腔室 200 中(見第 8 圖)。第 2 圖為示例性的處理腔室 200 的截面圖，該處理腔室 200 經構造以乾蝕刻或從積體層堆疊移除材料。乾蝕刻可包含非等向性蝕刻、等向性蝕刻或上述蝕刻之組合。腔室 200 係尤其適合用於乾蝕刻模具層 502。適合實施一或多個實施例的處理腔室 200 可包含(但不限於)FRONTIER™ 處理腔室及 SiCoNi™ 處理腔室(兩者皆可由加州聖克拉拉市之應用材料有限公司取得)。應注意，可由其他製造商取得的其他真空處理腔室亦可適於實施本實施例。

【0027】 處理腔室 200 提供基材表面的熱處理和電漿處理兩者而無須破壞真空。在一個實施例中，處理腔室 200 包含腔室本體 212、蓋組件 240 及支撐組件 280。蓋組件 240 係設置於腔室本體 212 之頂端處，且支撐組件 280 係至少部分地設置於腔室本體 212 內。

【0028】 腔室本體 212 包含形成於腔室本體 212 側壁中之狹縫閥開口 214，以提供處理腔室 200 內部的存取。狹縫閥開口 214 係選擇性地開啓及關閉，以允許藉由外部基材處理機械手臂(圖未示)而進出腔室本體 212 之內部。

【0029】 在一或多個實施例中，腔室本體 212 包含形成於腔室本體 212 中的管道 215，熱傳送流體流經該管道 215。熱傳送流體可為加熱流體或冷卻劑，且熱傳送流體係使用以於處理期間控制腔室本體 212 之溫度。

形成在電漿凹洞 250 下方之複數個氣體通道或孔洞 265，以允許氣體自電漿凹洞 250 流經該複數個氣體通道或孔洞 265。分配板 270 係為實質盤形的且分配板 270 亦包含複數個孔洞 272 或通道，以經過該複數個孔洞 272 或通道分配氣體流。

【0038】 在一或多個實施例中，分配板 270 包含一或多個嵌入的管道或通道 274，用以容納加熱器或加熱流體，以提供蓋組件 240 的溫度控制。

【0039】 阻擋板 275 可選擇性地設置於第二電極 245 和分配板 270 之間。阻擋板 275 係可移除地安裝至第二電極 245 的下表面。阻擋板 275 可與第二電極 245 良好的熱接觸及電性接觸。在一或多個實施例中，阻擋板 275 可使用螺栓或類似的緊固件而耦接至第二電極 245。阻擋板 275 亦可螺入或旋入第二電極 245 的外徑上。阻擋板 275 包含複數個孔洞 276 以提供從第二電極 245 至分配板 270 的複數個氣體通道。

【0040】 支撐組件 280 可包含支撐構件 285，以支撐用於在腔室本體 212 內處理的基材。支撐構件 285 可藉由軸 287 而耦接至升舉機構 283，該軸 287 延伸穿過形成在腔室本體 212 的底表面中之位於中央的開口 214。升舉機構 283 可藉由波紋管 288 而撓性地密封至腔室本體 212，該波紋管 288 係繞軸 287 而防止真空從該軸 287 處洩漏。升舉機構 283 允許支撐構件 285 可在腔室本體 212 內於處理位置和較低傳送位置之間垂直地移動。在一個實施例中，支撐構件 285 包含由矽或陶瓷材料(舉例來說)所製成之可移除的頂板 290，以減少基材背側的污染。

壓力。

【0050】 在一個實施例中，處理腔室 300 允許處理氣體及/或清潔氣體經由氣體輸送設備 330 以相較於基材 90 的平面為垂直的方式(亦即，90 度)進入處理腔室 300。因此，基材 90 的表面被對稱地曝露至氣體，而允許在基材上的均勻膜形成。

【0051】 在一個實施例中，氣體輸送設備 330 包括處理腔室蓋體 370。腔室蓋體 370 包含自腔室蓋體 370 的中央部分延伸之擴大管道 334，及自擴大管道 334 延伸至腔室蓋體 370 之周圍部分的底表面 360。擴大管道 334 具有氣體入口 336A、336B，以自兩對類似的閥 342A/352A、342B/352B 提供氣體流。

【0052】 在一個構造中，閥 342A、342B 係耦接至各前驅物氣體源且可被耦接至相同的清潔氣體源。舉例來說，閥 342A 係耦接至第一前驅物氣體源 338 且閥 342B 係耦接至第二前驅物氣體源 339，且兩個閥 342A、342B 係耦接至清潔氣體源 340。每一閥 342A、342B 包含輸送管線 343A、343B，該輸送管線 343A、343B 具有閥座組件 344A、344B，且每一閥 352A、352B 包含清潔管線 345A、345B，該清潔管線 345A、345B 具有閥座組件 346A、346B。輸送管線 343A、343B 係與第一和第二前驅物氣體源 338、339 連通，且輸送管線 343A、343B 係與擴大管道 334 的氣體入口 336A、336B 連通。輸送管線 343A、343B 之閥座組件 344A、344B 控制前驅物氣體自前驅物氣體源 338、339 至擴大管道 334 的流動。清潔管線 345A、345B 係與清潔氣體源 340 連通，並與閥 342A、342B

339 第二前驅氣體源

340 氣體源

342A 閥

342B 閥

343A 輸送管線

343B 輸送管線

344A 閥座組件

344B 閥座組件

345A 清潔管線

345B 清潔管線

346A 閥座組件

346B 閥座組件

350A 氣體導管

350B 氣體導管

352A 閥

352B 閥

360 底表面

370 蓋體

372 帽體

378 真空系統

379 泵送管道

380 控制器

400 方法

402 方塊

802 第一處理腔室

804 第一傳送腔室

806 第一負載鎖定腔室

808 第二處理腔室

810 第二傳送腔室

812 工廠介面

814 第二負載鎖定腔室

816 艙

【生物材料寄存】

國內寄存資訊【請依寄存機構、日期、號碼順序註記】

無

國外寄存資訊【請依寄存國家、機構、日期、號碼順序註記】

無

【序列表】(請換頁單獨記載)

無

發明摘要

※ 申請案號：103142446

※ 申請日：2014 年 12 月 05 日

※IPC 分類：H01L 21/31 (2006.01)
H01L 21/3065 (2006.01)

【發明名稱】（中文/英文）

使用處理系統之氣隙結構整合

AIR GAP STRUCTURE INTEGRATION USING A
PROCESSING SYSTEM

【中文】

一種在積體層堆疊中形成氣隙結構之方法，該方法包含在真空下在處理系統中乾蝕刻設置在堆疊上的模具層。模具層係設置於一或多個互連件之間，且模具層之乾蝕刻的處理曝露互連件之至少一部分。該方法亦包含在互連件之曝露部分上沉積襯層。在另一個實施例中，一種在積體層堆疊中形成氣隙結構之方法，包含在真空下在處理系統中在第一處理腔室中乾蝕刻設置在堆疊上的氧化物模具層。該方法亦包含在互連件上沉積低介電常數材料襯層，其中襯層具有低於約 2 奈米的厚度。於此揭露的方法係執行於處理系統中，且無需破壞真空。

【英文】

A method for forming an air gap structure in an integrated layer stack includes dry etching a mold layer disposed on the stack in a processing system under vacuum. The mold layer is disposed between one or more interconnects,

and the process of dry etching of the mold layer exposes at least a portion of the interconnects. The method also includes depositing a liner layer over the exposed portion of the interconnects. In another embodiment, a method for forming an air gap structure in an integrated layer stack includes dry etching an oxide mold layer disposed on the stack in an a first processing chamber in a processing system under vacuum. The method also includes depositing a low-k material liner layer over the interconnects, wherein the liner has a thickness of less than about 2 nanometers. The methods disclosed herein are performed in a processing system without breaking vacuum.

【代表圖】

【本案指定代表圖】：第（ 4 ）圖。

【本代表圖之符號簡單說明】：

400 方法

402 方塊

404 方塊

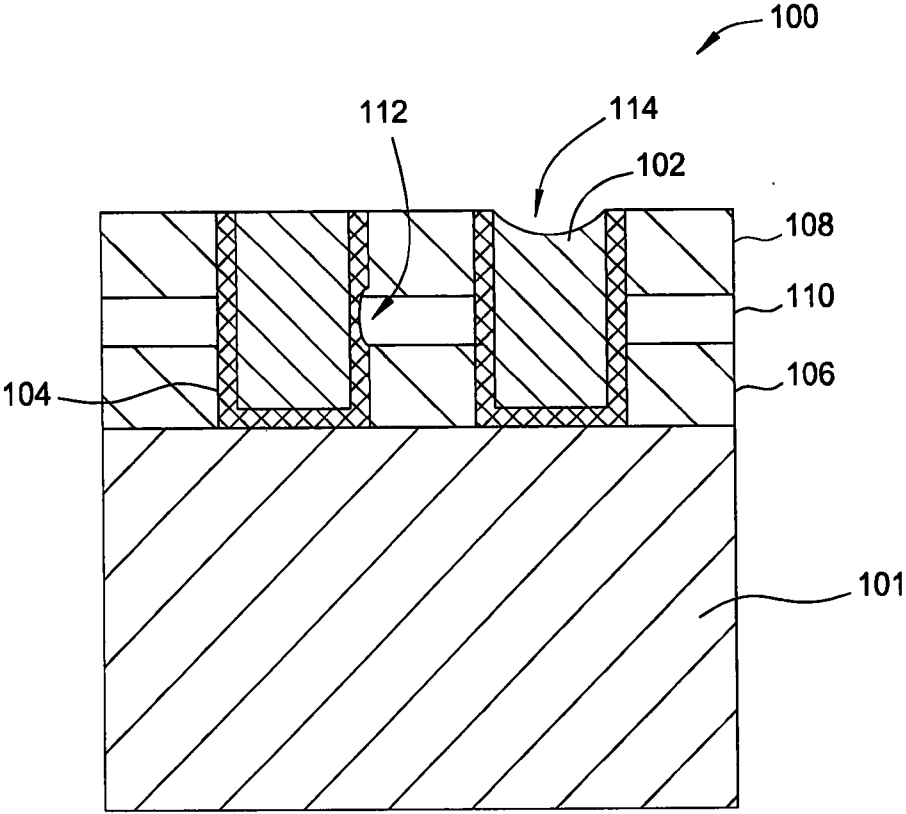
406 方塊

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

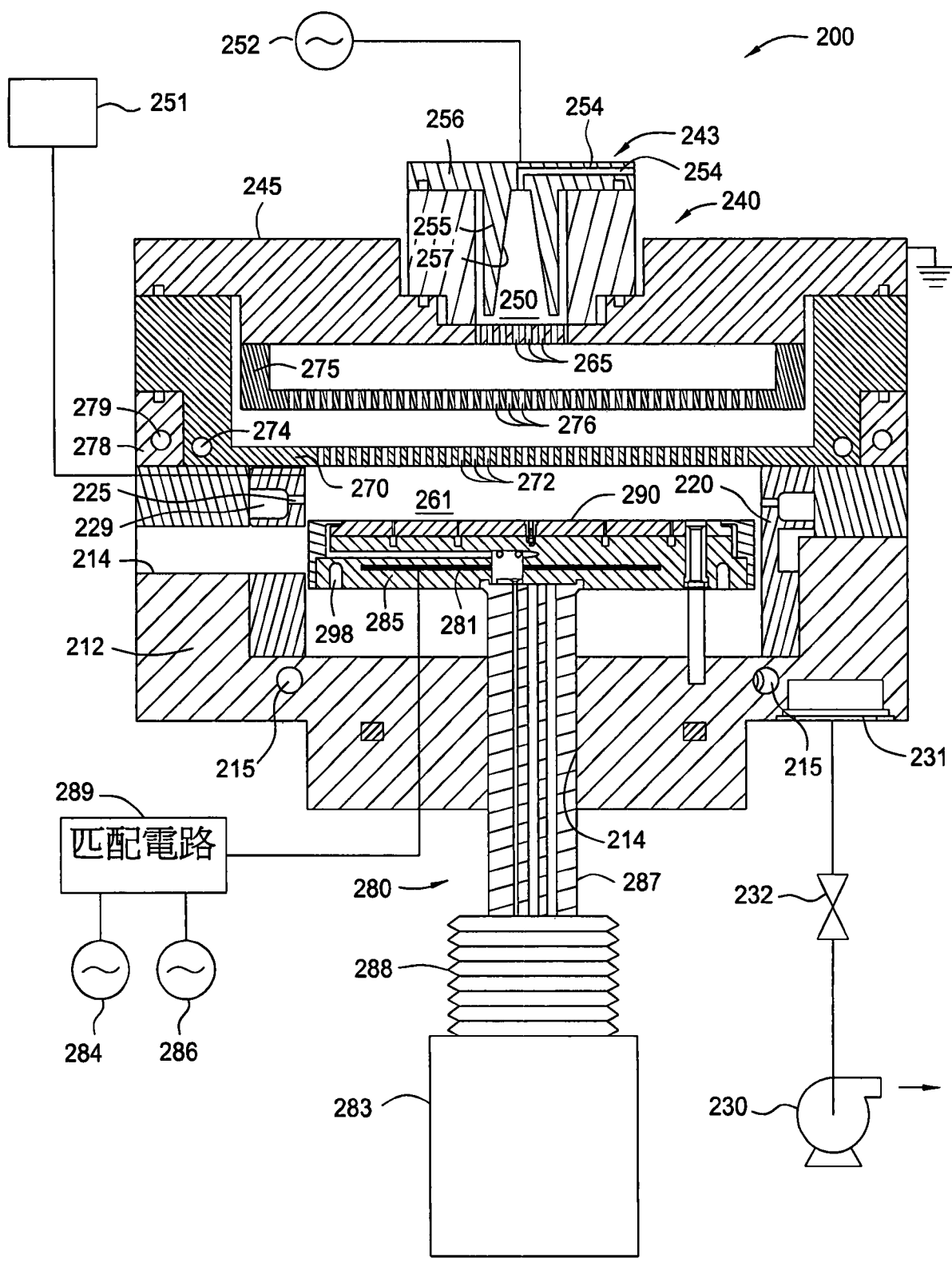
圖式

1/9



第1圖
(先前技術)

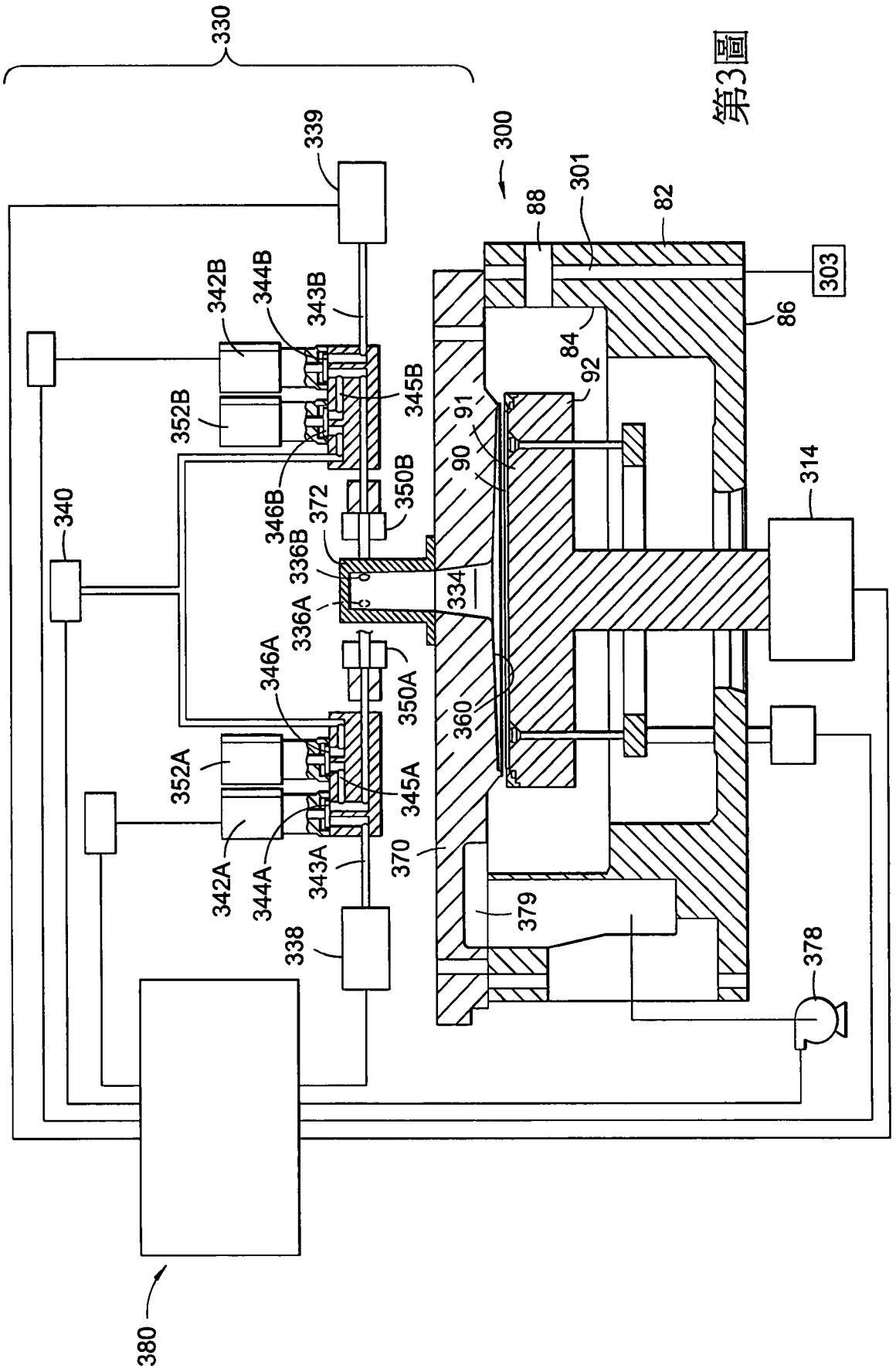
┌



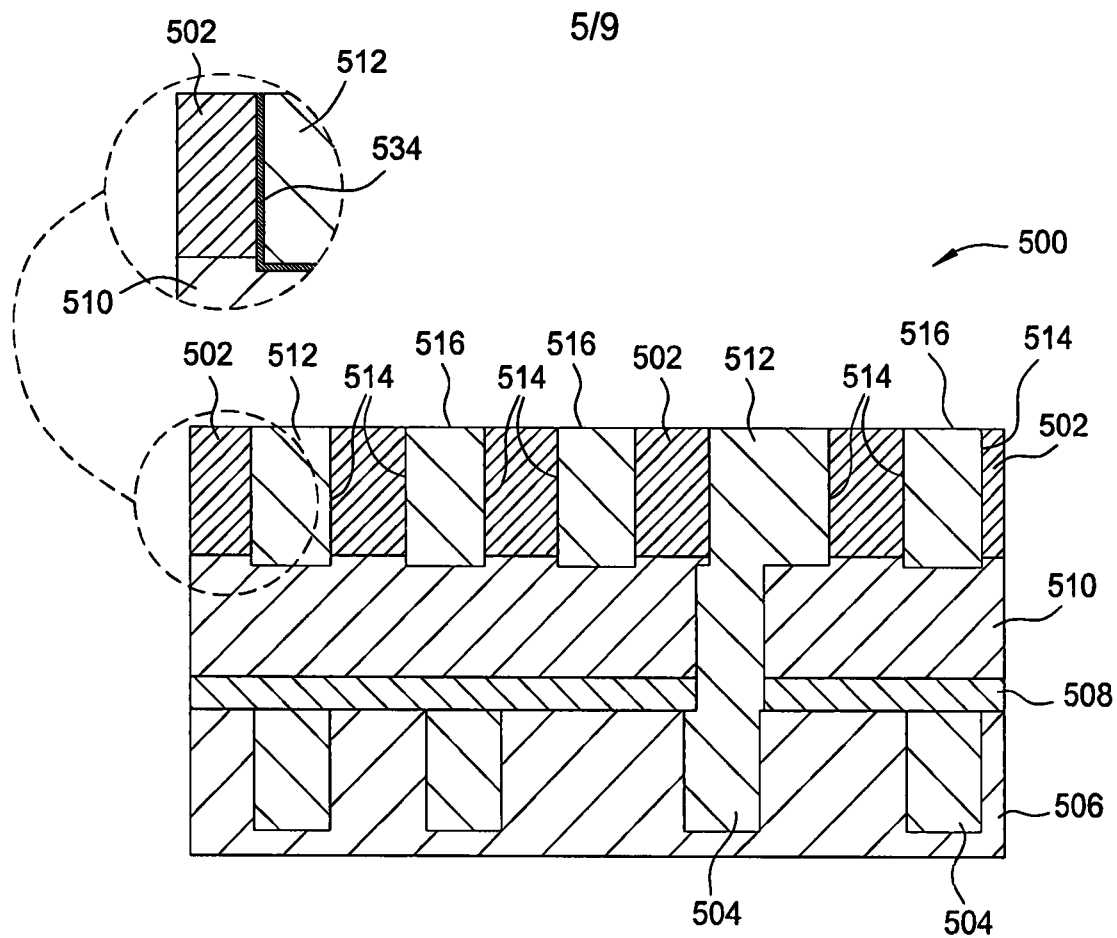
第2圖

└

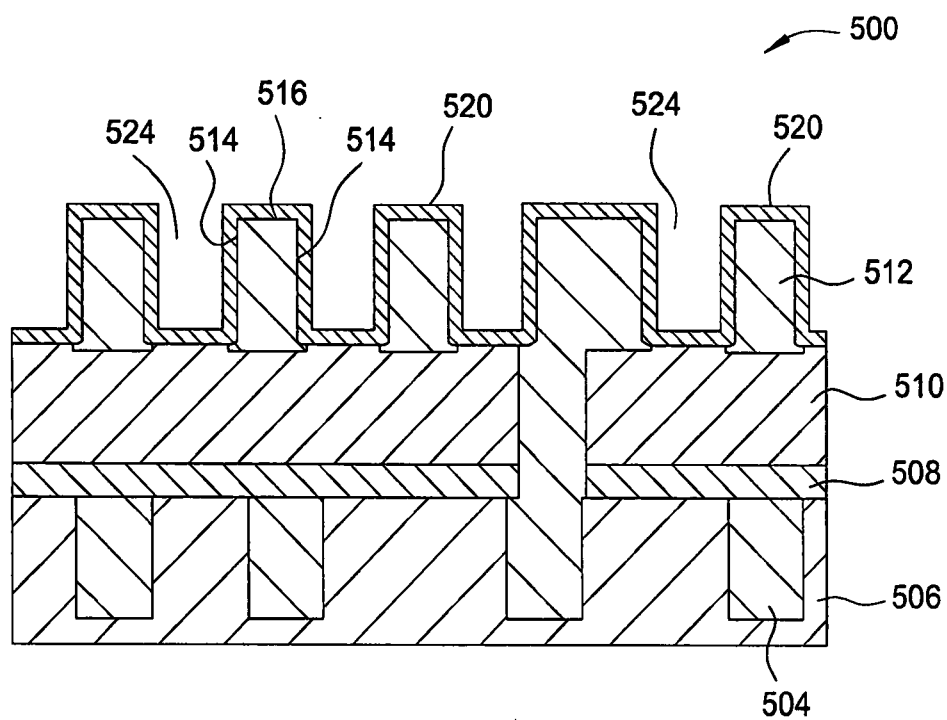
┌



└

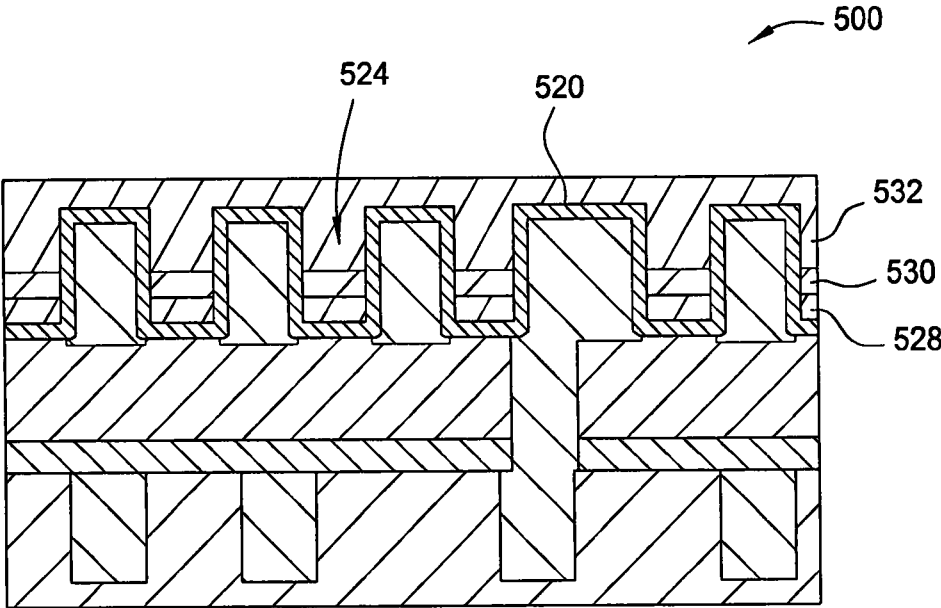


第5A圖

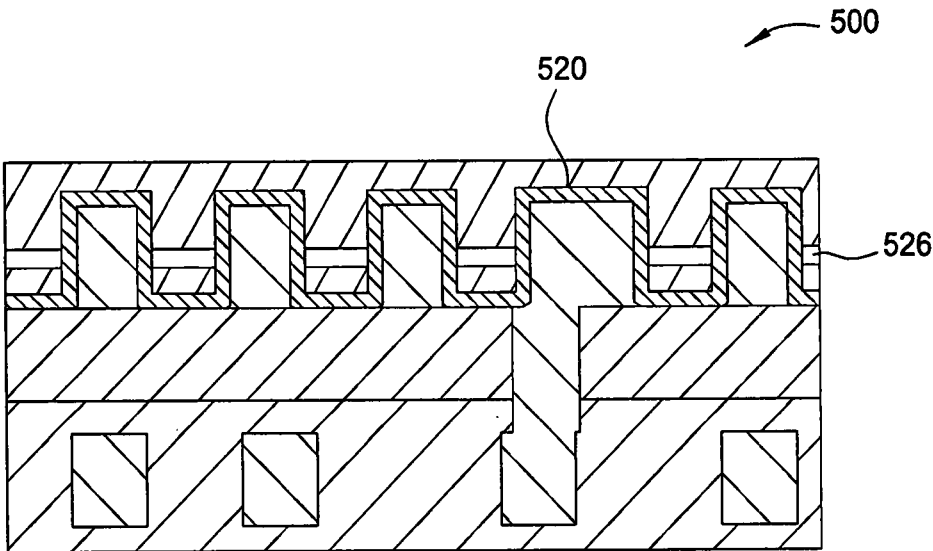


第5B圖

┌



第5C圖

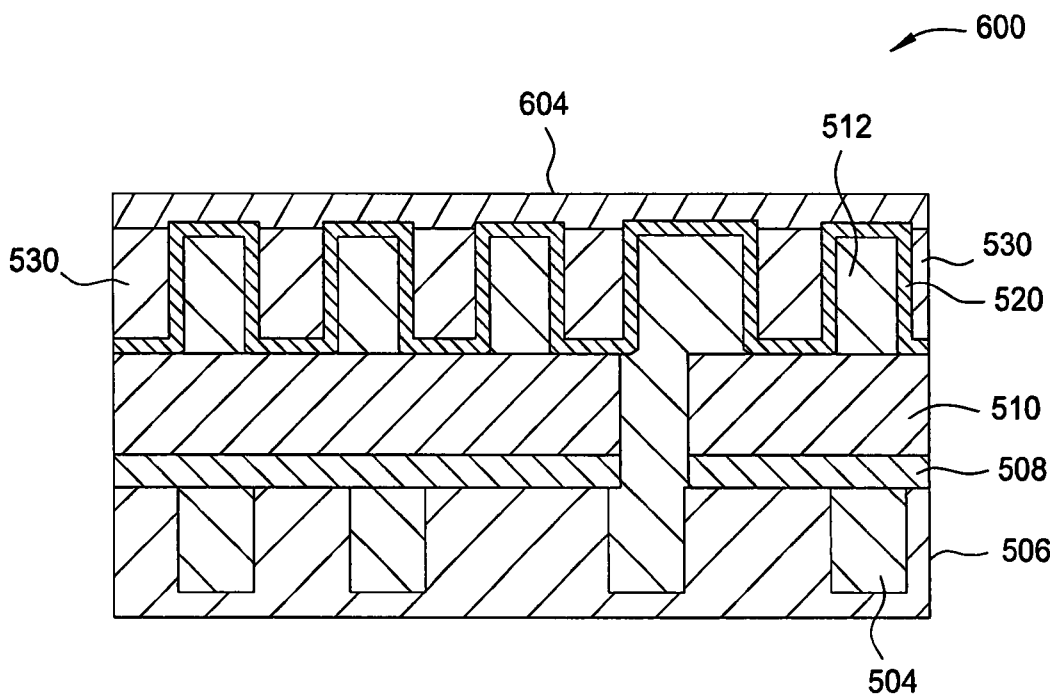


第5D圖

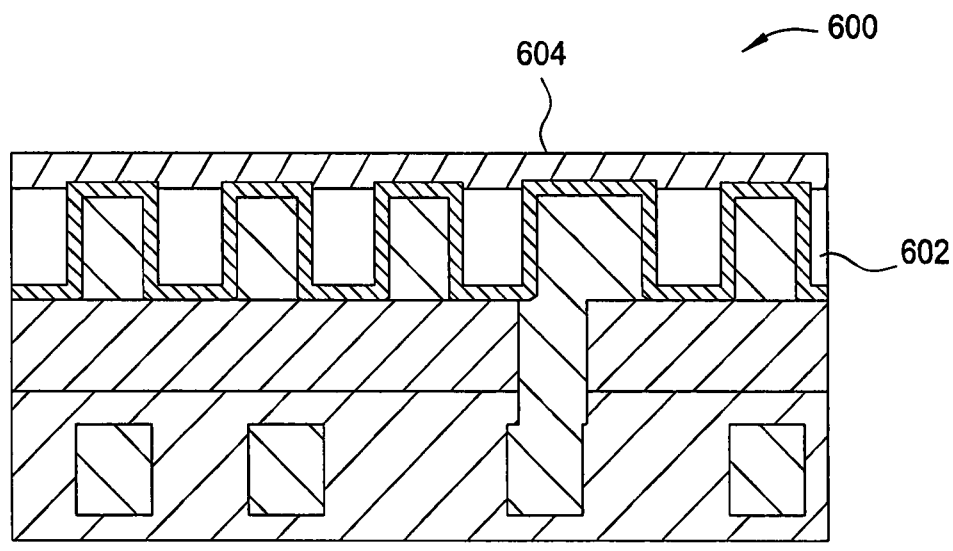
└

┌

7/9

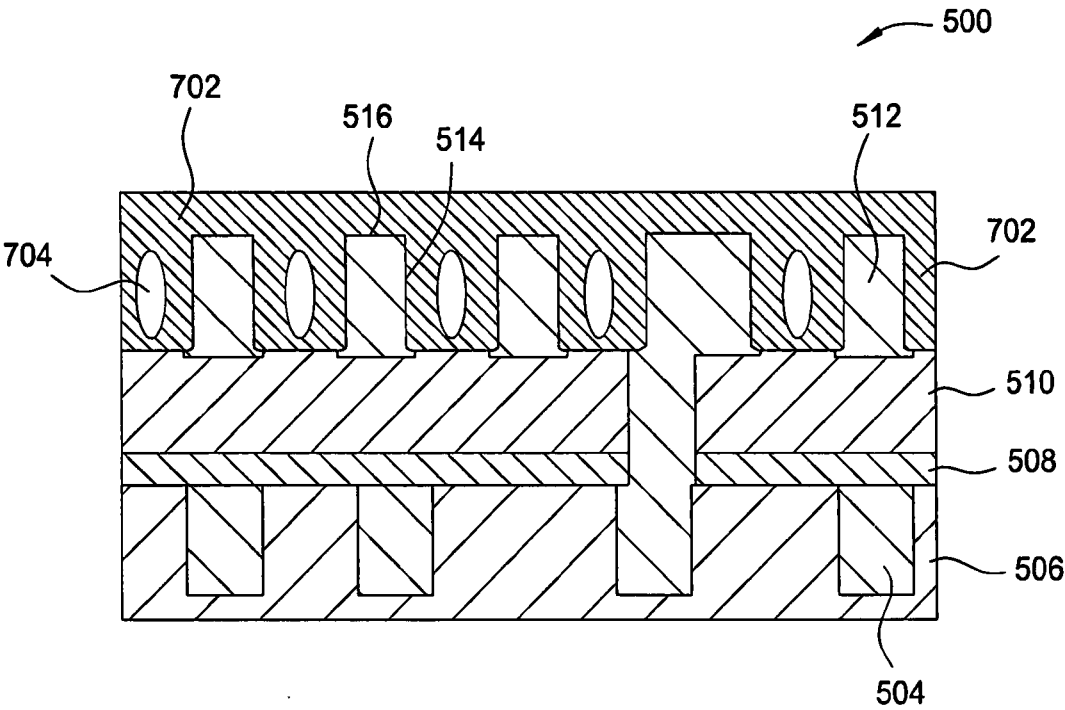


第6A圖



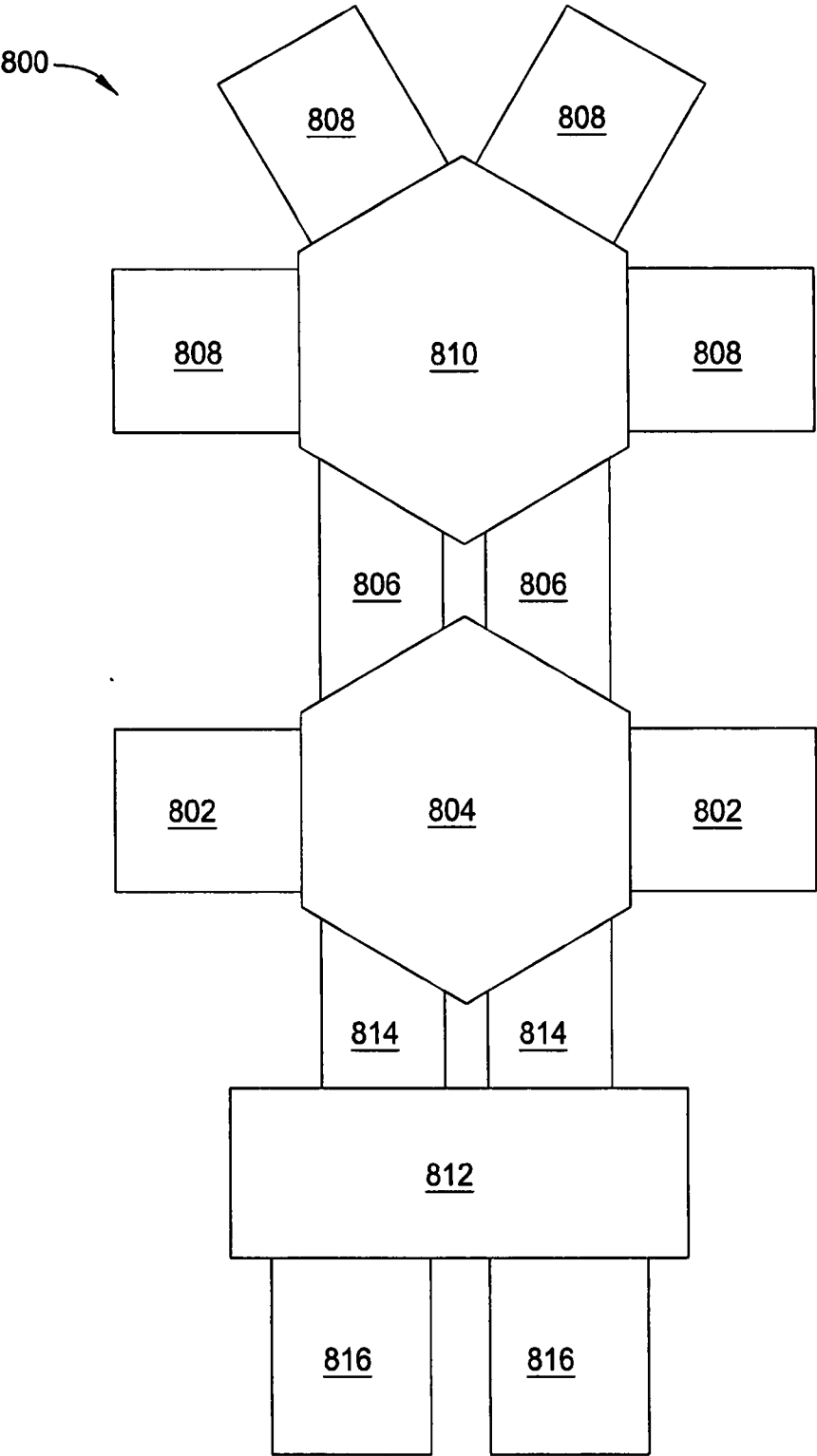
第6B圖

└



第7圖

┌



第8圖

└

and the process of dry etching of the mold layer exposes at least a portion of the interconnects. The method also includes depositing a liner layer over the exposed portion of the interconnects. In another embodiment, a method for forming an air gap structure in an integrated layer stack includes dry etching an oxide mold layer disposed on the stack in an a first processing chamber in a processing system under vacuum. The method also includes depositing a low-k material liner layer over the interconnects, wherein the liner has a thickness of less than about 2 nanometers. The methods disclosed herein are performed in a processing system without breaking vacuum.

【代表圖】

【本案指定代表圖】：第（ 4 ）圖。

【本代表圖之符號簡單說明】：

400 方法

402 方塊

404 方塊

406 方塊

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

使用處理系統之氣隙結構整合

AIR GAP STRUCTURE INTEGRATION USING A
PROCESSING SYSTEM

【技術領域】

【0001】 本揭露書之實施例大體關於使用積體處理系統而形成包含氣隙結構之介電層結構。

【先前技術】

【0002】 積體電路已發展成可在單一晶片上包含數百萬個組件(如，電晶體、電容器、電阻器)的複雜裝置。為達成更大的電路密度需求，需要積體電路組件在尺寸上的減小，如，次微米尺寸，及使用各種材料以製造裝置，以達成更快和更佳的電性效能，諸如使用具有較高導電率之材料以形成金屬線、使用具有較低介電常數(low-k)的材料作為絕緣層等。對於積體電路製造而言，具有低阻抗的金屬互連件，諸如銅和鋁互連件，提供在積體電路裝置上之積體電路組件間的導電路徑。大體而言，金屬互連件係藉由介電塊絕緣材料而彼此電隔離。在次微米的尺寸中，電容耦合潛在地發生於鄰近的金屬互連件之間，此舉可能導致串擾及/或電阻-電容(RC)延遲並降低積體電路的總體效能。

【0003】 一種用於積體電路組件之形成垂直及水平互連件之

方法係藉由鑲嵌法或雙重鑲嵌法。通常地，鑲嵌結構具有彼此堆疊於頂端上之介電塊絕緣層及導電金屬層，諸如低介電常數材料及導電銅層。垂直的互連件(亦即，通孔)及水平的互連件(亦即，溝槽)，係蝕刻入介電塊絕緣層中，且導電金屬層係接著充填入通孔及/或溝槽中，並被諸如藉由化學機械平坦化處理(CMP)而平坦化，使得導電金屬材料僅留在通孔及/或溝槽中。在鑲嵌過程中，可能需要包含一系列之硬光罩、低介電常數介電質、蝕刻終止層、氣隙等之相對複雜的介電膜堆疊。為獲得此種堆疊，在將通孔和溝槽充填導電金屬材料前，通常需要通孔/溝槽微影、圖案化及濕式清潔處理。

【0004】 第 1 圖顯示藉由傳統氧化物或低介電常數材料模具濕式蝕刻移除技術所製成的積體層堆疊 100，係使用以形成半導體基材 101 之表面上的互連件結構之至少一部分。積體層堆疊 100 係由設置在基材 101 上之低介電常數介電材料上沉積之毯覆模具膜(圖未示)所製成。模具膜經圖案化以選擇地移除部分的模具膜層，以於模具膜層中形成溝槽。阻障層 104 係沉積在圖案化之低介電常數介電材料 106 上，且導電材料 102 係沉積在阻障層 104 上的溝槽中。阻障層 104 經構造以防止在導電材料 102 和鄰近可流動之低介電常數介電材料 106 間的擴散。化學機械平坦化處理係接著執行以拋光回模具氧化物及阻障層 104，以曝露導電材料 102 的頂表面。濕式蝕刻技術將殘餘的模具膜移除，以形成第 1 圖中所示的積體層堆疊 100。接著，氣隙結構 110 係形成於第一可流動低介電常數材料 106 和第二可流動低介電常數材料 108 之間。

【0005】 然而，傳統的濕蝕刻技術係有很多問題的，因為所使用用以移除模具層(圖未示)之蝕刻劑，諸如氫氟酸(HF)或稀氫氟酸，可能在如區域 112 中所示地損壞阻障層 104。額外地，濕式蝕刻可能如區域 114 中所示地過度蝕刻或侵蝕導電材料 102，於區域 114 處導電材料係凹陷的。

【0006】 額外地，在模具濕式蝕刻步驟和後續處理(諸如，氣隙形成)之間的在環境條件下之長等待時間可能氧化阻障層 104 及導電材料 102。因此，有對於一種改良之互連件形成處理的需求，此改良之互連件形成處理在形成處理期間不會蝕刻或不會物理地損壞導電材料 102 及阻障層 104，且將進一步防止導電材料 102 和阻障層 104 的氧化。

【發明內容】

【0007】 於一個實施例中，一種在積體層堆疊中形成氣隙結構之方法，包含在真空下在處理系統中乾蝕刻設置在該積體層堆疊上的模具層。該模具層係設置於一或多個互連件之間，且該模具層之乾蝕刻的處理曝露該一或多個互連件之至少一部分。該方法亦包含在該一或多個互連件之該曝露部分上沉積襯層。於此揭露的方法係大體執行於該處理系統中，且無需破壞真空。

【0008】 在另一個實施例中，一種在積體層堆疊中形成氣隙結構之方法，包含在真空下在處理系統中在第一處理腔室中乾蝕刻設置在該積體層堆疊上的模具層。該模具層係設置於一或多個銅互連件之間，且該模具層之乾蝕刻的處理曝露該一或多個互連件之至少一部分。該方法亦包含在真空下在該

處理系統中之第二處理腔室中於該一或多個互連件之該曝露部分上沉積低介電常數材料襯層，該低介電常數材料襯層具有低於約 2 奈米的厚度。該方法係執行於處理系統中，且無需破壞真空。

【0009】 在又一實施例中，在處理系統中於基材上形成介電結構之方法包含在真空下在第一處理腔室中於該基材上乾蝕刻模具層。該模具層係設置於一或多個銅互連件之間，且該模具層之乾蝕刻的處理曝露該一或多個互連件的至少一部分。該方法亦包含在真空下從該第一處理腔室將該基材傳送至第二處理腔室。該方法亦包含在真空下在該第二處理腔室中於該基材上在該一或多個互連件之該曝露部分上沉積襯層。該方法亦包含在真空下在該第二處理腔室中於該基材上形成的該襯層上沉積一或多個介電層及犧牲層。

【圖式簡單說明】

【0010】 為使本揭露書的上述所載之特徵可以被詳細地理解之方式，可參考實施例而獲得本揭露書之實施例的一個更特定的說明(於前面所簡單摘要地)，其中一些部分係顯示於附隨的圖式中。然而，需注意到附隨的圖式僅說明本揭露書的典型實施例且不因此而視為限制本揭露書的範圍，因為本揭露書可容許其他等效的實施例。

【0011】 第 1 圖顯示積體層堆疊的概要、截面圖。

【0012】 第 2 圖顯示處理腔室的概要、截面圖。

【0013】 第 3 圖顯示處理腔室的概要、截面圖。

【0014】 第 4 圖顯示形成包含氣隙結構之互連件結構之方法

【0030】 腔室本體 212 可進一步包含襯墊 220，該襯墊 220 包圍支撐組件 280。襯墊 220 係可為維修和清潔之目的而移除。襯墊 220 可由諸如鋁之金屬、陶瓷材料，或其他適合處理的材料所製成。在一或多個實施例中，襯墊 220 包含形成在襯墊 220 中之一或多個孔洞 225 或泵送管道 229，該泵送管道 229 係與真空埠 231 流體連通。孔洞 225 提供用於氣體進入泵送管道 229 內的流動路徑，該孔洞 225 提供在處理腔室 200 內的氣體至真空埠 231 的出口。

【0031】 包含真空泵 230 和節流閥 232 的真空系統係耦接至真空埠 231，以調節通過處理腔室 200 的氣體之流動。真空泵 230 係耦接至設置在腔室本體 212 中的真空埠 231，且因此真空泵 230 與形成在襯墊 220 內的泵送管道 229 流體連通。

【0032】 蓋組件 240 包含至少兩個堆疊的組件，該至少兩個堆疊的組件經構造以於兩個堆疊的組件之間形成電漿容積或凹洞。在一個實施例中，蓋組件 240 包含垂直設置在第二電極 245(「下電極」)上之第一電極 243(「上電極」)，以於該第一電極 243 和第二電極 245 之間限定電漿容積或凹洞 250。第一電極 243 係連接至諸如 RF 功率供應器之功率源 252，且第二電極 245 係連接至地面，在兩個電極 243、245 之間形成電容。

【0033】 在一個實施例中，蓋組件 240 包含一或多個氣體入口 254(僅顯示一個)，該一或多個氣體入口 254 係至少部分地形成於第一電極 243 的上區域 256 內。氣體入口 254 在氣體入口 254 之第一端處與電漿凹洞 250 流體連通，並且氣體入

口 254 在氣體入口 254 之第二端處耦接至一或多個上游氣體源及/或其他氣體輸送組件，諸如氣體混合器。

【0034】 在一或多個實施例中，第一電極 243 具有作為電漿凹洞 250 邊界之擴大區域 255。在一或多個實施例中，擴大區域 255 係環形構件。在一或多個實施例中，擴大區域 255 類似於倒截圓錐或「漏斗」。在一或多個實施例中，擴大區域 255 之內表面 257 自擴大區域 255 之上部分漸漸地傾斜至下部分。在進入支撐組件 280 上之處理區域 261 內之前，產生於電漿凹洞 250 中的電漿係界定於蓋組件 240 中，於處理期間基材(圖未示)係設置在支撐組件 280 上。蓋組件 240 可被視為遠端電漿源，因為電漿係遠離處理區域 261 而產生。在一或多個實施例中，各種處理/載體氣體可經由氣體源 251 而傳送至處理區域 261。該等處理/載體氣體未被激發而形成電漿，且該等處理/載體氣體可經由氣體源 251 而引入處理區域 261 中。

【0035】 擴大區域 255 係與氣體入口 254 流體連通，且兩個氣體入口 254 可設置在擴大區域 255 的相對側，以產生漩流模式或「渦」流進入擴大區域 255，進而幫助在電漿凹洞 250 內混合氣體。

【0036】 蓋組件 240 可進一步包含鄰近第二電極 245 之分配板 270 及阻擋板 275。第二電極 245、分配板 270 及阻擋板 275 可在連接至腔室本體 212 之蓋緣 278 上堆疊及設置。蓋緣 278 可包含嵌入的管道或通道 279，用以循環熱傳送媒介。

【0037】 在一或多個實施例中，第二電極或頂板 245 可包含

【0041】 在一或多個實施例中，基材(圖未示)可使用真空吸盤或靜電吸盤而被緊固至支撐構件 285。靜電吸盤通常地包含環繞電極 281 之至少一介電材料，該電極 281 可位於支撐構件 285 上或形成為支撐構件 285 之整體部分。在一個實施例中，電極 281 係耦接至複數個 RF 偏壓功率源 284、286。雙 RF 偏壓功率源 284、286 係藉由匹配電路 289 而耦接至電極 281。RF 偏壓功率源 284、286 係大體可產生具有從約 50 kHz 至約 200MHz 的頻率及約 0 Watt 與約 5000 Watt 之間的功率之 RF 訊號。額外的偏壓功率源可耦接至電極 281，以控制所需要的電漿特性。

【0042】 支撐組件 280 的溫度可藉由經過流體管道 298 而循環之流體而控制，該流體管道 298 係嵌入於支撐構件 285 的本體中。

【0043】 可使用系統控制器(圖未示)以調節處理腔室 200 的操作。系統控制器可在儲存於電腦之記憶體上的電腦程式之控制下而操作。電腦程式可包含多個指令，該多個指令使於下所述的處理被執行於處理腔室 200 中。舉例來說，電腦程式可命令處理順序及時間、氣體的混合、腔室壓力、RF 功率等級、基座定位、狹縫閥開啓及關閉、基材冷卻和其他特定處理的參數。

【0044】 回頭參照第 4 及 5A-5D 圖，在方塊 404 處，方法 400 包含在處理系統 800 中在腔室 300 中於互連件 512 上沉積襯墊 520。襯墊 520 可藉由原子層沉積(ALD)、CVD、HPCVD、高密度電漿 CVD、遠端電漿 CVD、微波輔助 CVD、NBECVD

或電漿強化原子層沉積(PEALD)而沉積，其中用詞 ALD、CVD、HPCVD、NBECVD、PEALD 與反應劑或前驅物之連續引入，以在基材結構上沉積一層，或任何其他合適的沉積處理有關。在第 5B 圖中所示的實施例中，襯墊 520 係藉由 ALD 處理而在互聯件 512 之側壁 514 和頂壁 516 上所沉積的共形襯墊。

【0045】 在一個實施例中，襯墊 520 係介電襯墊，經構造以防止互連件 512 的氧化，並減少在相鄰互連件 512(如，鑲嵌基線)間的電容耦合。在一個實施例中，在互連件 512 之間的所欲電容可藉由選擇具有低介電常數之襯墊材料而達成。舉例來說，襯墊係選自包含碳化物、氮化物及矽烷，諸如氮碳化矽，或其任何合適的組合之介電材料，及/或其他有用的低介電常數材料。在一個例子中，執行於方塊 404 的襯墊沉積處理包含以約 3.7 Torr 的處理壓力，以約 350°C 的溫度，以 13.56 MHz 之 RF 功率的約 700W 的功率提供三甲基矽烷氣體約 10 秒鐘，以沉積約 20 埃(Å)的 SiCN 材料。

【0046】 在另一實施例中，所欲的電容係藉由沉積具有較常見的介電常數，以少於約 4 奈米的厚度(如少於約 2 奈米，或少於約 1 奈米)，但在厚度上大於至少一單分子層之襯墊 520 而達成。在一個實施例中，襯墊 520 係選自諸如氮化矽(SiN)或氮化鋁(AlN)，或其任何合適的組合之傳統介電材料，及/或其他有用的介電材料。在一個例子中，執行於方塊 404 處的襯墊沉積處理包含以約 3.5 Torr 的處理壓力，以約 350°C 的溫度，以 13.56 MHz 之 RF 功率的約 75W 的功率提供 SiH₄ 或

NH₃ 氣體約 5 秒，以沉積約 20 埃(Å)的 SiN 材料。在又一實施例中，所欲的電容可藉由最理想的襯墊材料及厚度的組合而達成。

襯墊沉積腔室之例子

【0047】 執行於方塊 404 中的襯墊沉積處理可執行於腔室中，該腔室類似第 3 圖中所示的腔室 300。大體而言，腔室 300 係適合用以在積體層堆疊上沉積襯墊，並且腔室 300 包含氣體輸送設備 330，該氣體輸送設備 330 適於諸如 ALD、CVD、HPCVD、PEALD、PEVD、微波輔助 CVD 或 NBECVD 之循環沉積。前驅物的後續引入可被重複，以沉積複數個薄層，以將共形層形成一所欲厚度。

【0048】 處理腔室 300 包括腔室本體 82，腔室本體 82 具有側壁 84 和底端 86。側壁 84 可包含耦接至流體源 303 之流體管道 301，用以加熱及冷卻側壁。位於處理腔室 300 中之狹縫閥 88 提供機械手臂(圖未示)之進出，以輸送基材 90 及從處理腔室 300 收回基材 90。

【0049】 基材支撐件 92 在處理腔室 300 中於基材接收表面 91 上支撐基材 90。基材支撐件 92 係安裝至升舉馬達 314，以升高及降低基材支撐件 92 和設置在基材支撐件 92 上的基材 90。基材支撐件 92 可被加熱以增加設置在基材支撐件 92 上的基材 90 之溫度。氣體輸送設備 330 係設置在腔室本體 82 之上部處，以提供諸如處理氣體及/或清潔氣體的氣體至腔室 80。真空系統 378 係與泵送管道 379 連通，以自處理腔室 300 排出任何所欲的氣體，並幫助維持在處理腔室 300 中的所欲

之閥座組件 344A、344B 下游的輸送管線 343A、343B 相交。清潔管線 345A、345B 之閥座組件 346A、346B 控制由清潔氣體源 340 至輸送管線 343A、343B 之清潔氣體的流動。閥 342A、342B 的輸送管線 343A、343B 可經由氣體導管 350A、350B 而被耦接至氣體入口 336A、336B。氣體導管 350A、350B 可與閥 342A、342B 整合，或可由閥 342A、342B 獨立出。

【0053】 擴大管道 334 包括具有內徑的管道，該內徑係自帽體 372 的上部至擴大管道 334 的下部而增加，擴大管道 334 的下部係鄰近於處理腔室蓋體 370 之底表面 360。大體而言，較大的氣流將需要較大直徑的擴大管道。

【0054】 上述的處理腔室 300 可藉由諸如控制器 380 之基於處理器的系統處理器而控制。控制器 380 可在儲存於電腦之記憶體上的電腦程式之控制下而操作。電腦程式可包含多個指令，該多個指令使於下所述的處理被執行於處理腔室 300 中。

【0055】 回頭參照第 4 及 5A-5D 圖，在方塊 406 處，方法 400 包含在襯墊 520 上形成氣隙結構 526，襯墊 520 係形成於積體層堆疊 500 中。在一個實施例中，氣隙結構 526 係藉由在襯墊 520 上及在方塊 402 中形成的溝槽 524 內使用一或多個可流動的 CVD 處理以沉積層堆疊而形成，該層堆疊包含第一可流動的低介電常數材料 528、一犧牲膜 530 及第二可流動的低介電常數材料 532。在一個實施例中，第一及第二可流動低介電常數材料 528 及 532 係摻碳氧化物或該摻碳氧化物之變體，如，氟化碳、NCS、中空氧化物(mesoporous oxides)，或

有機「旋塗」材料，且犧牲膜 530 包含碳(C)或聚合的碳-氫膜。在一個實施例中，襯墊 520 有利地保護銅互連件 512 遠離犧牲碳膜 530。在一替代實施例中，氣隙結構 526 係藉由在襯墊 520 上及在方塊 402 中形成的溝槽 524 內使用一或多個可流動的 CVD 處理以沉積層堆疊而形成，該層堆疊僅包含犧牲膜 530 及第二可流動的低介電常數材料 532。

【0056】 在一個實施例中，第一及第二可流動的低介電常數材料 528、532 及犧牲膜 530 接著藉由 UV 或熱處理而固化，以移除犧牲膜 530，並因而形成氣隙結構 526。然而，在層堆疊僅包含犧牲膜 530 和第二可流動的低介電常數材料 532 之實施例中，僅有犧牲膜 530 和第二可流動的低介電常數材料 532 藉由 UV 或熱處理而固化，以移除犧牲膜 530，並因而形成氣隙結構 526。在一個實施例中，第一及第二可流動的低介電常數材料 528、532 及犧牲膜 530 可在低於 400℃ 的溫度，在 UV 光下，使用諸如氦或氬之惰性氣體而固化。

【0057】 在一個實施例中，第二可流動的低介電常數材料 532(如)藉由化學機械研磨處理而研磨掉，以研磨襯墊 520 的一部分，並將互連件 512 的頂壁 516 曝露。阻障層(圖未示)可在執行後續處理(如毯覆低介電常數材料沉積)之前沉積在頂壁 516 上。在另一個實施例中，可流動的低介電常數材料 532 被僅部分地研磨掉，且襯墊 520 在執行後續處理(如毯覆低介電常數材料沉積)之前係未被研磨。因此，在頂壁 516 上之未研磨的襯墊 520 可使用作為阻障層，以防止在互連件 512 和毯覆低介電材料間的擴散。

【0058】 第 6A-6B 圖顯示依據於此所示之另一實施例的積體層堆疊 600 的概要、截面圖。積體層堆疊 600 類似於積體層堆疊 500。形成積體層堆疊 600 的處理包含執行如上所討論的操作 402-404。然而，在方法 400 的此實施例中，方塊 406 包含在積體層堆疊 600 中形成氣隙結構 602。氣隙結構 602 係藉由沉積層堆疊而形成，該層堆疊包含犧牲膜 530 和覆蓋層 604。層堆疊係藉由首先在襯墊 520 上和在溝槽 524 中以 CVD 處理(如，PECVD)沉積犧牲膜 530 而形成。犧牲膜 530 可包含如上所討論與積體層堆疊 500 相關的材料。接著，覆蓋層 604 係藉由 CVD 處理(如，PECVD)而在犧牲膜 530 上沉積。在一個實施例中，覆蓋層為多孔性材料，諸如 SiOCH。覆蓋層 604 及犧牲膜 530 接著藉由 UV 或熱處理而固化，以移除犧牲膜 530，並因此形成氣隙結構 602。

【0059】 第 7 圖顯示依據又一實施例之積體層堆疊 700 之概要、截面圖。積體層堆疊 700 類似於積體層堆疊 500，然而，在方塊 402 處乾蝕刻模具層 502 之後，非共形襯墊 702 係在方塊 404 處沉積於溝槽 524 中。非共形襯墊 702 的材料係類似於襯墊 520，然而，非共形襯墊 702 經沉積以在襯墊 702 內形成孔洞氣隙結構 704。孔洞氣隙結構 704 係藉由傳統技術而形成，該傳統技術藉由以一較快的速率在近頂壁 516 處，及以一較慢的速率在互連件 512 的側壁 514 處沉積襯墊 702，並且在溝槽 524 被充填前，在近頂壁 516 處「夾出(pinching off)」沉積。

處理系統之例子

【0060】 第 8 圖顯示處理系統 800 的平面圖。在一個實施例中，方法 400 之方塊 402 及 404，及至少一部分的方塊 406 係執行於處理系統 800 中。處理系統 800 係包含腔室 200 及 300 的積體群集工具。在一個實施例中，處理系統 800 包含耦接至第一傳送腔室 804 之複數個第一處理腔室 802。在一個實施例中，第一處理腔室 802 為腔室 200，亦即，用於乾蝕刻，且在方法 400 之方塊 402 處的乾蝕刻係執行於腔室 200 中。第一傳送腔室 804 亦耦接至一或多個第一負載鎖定腔室 806。第一傳送腔室 804 具有中央設置傳送機械手臂(圖未示)，用於在處理腔室 802 和第一負載鎖定腔室 806 間傳送基材。處理系統 800 亦包含耦接至第二傳送腔室 810 之複數個第二處理腔室 808。在一個實施例中，第二處理腔室 808 包含用於襯墊沉積的腔室，諸如腔室 300，且執行於方塊 404 處之襯墊 520 沉積和執行於方塊 406 處的層堆疊沉積處理係執行於腔室 300 中。一個此種合適的腔室可為由加州聖克拉拉市應用材料公司取得的 CENTINEL™ 腔室。

【0061】 第二處理腔室 808 亦包含用於層堆疊沉積之腔室。舉例來說，第一和第二可流動的低介電常數材料 528、532 係在第一處理腔室 802 中沉積，而犧牲膜 530 係在第二處理腔室 808 中沉積。在另一個實施例中，覆蓋層 604 和犧牲層 530 係在相同的處理腔室 808 中沉積。一個此種合適的腔室可為由加州聖克拉拉市應用材料公司取得的 ETERNA™ 腔室。第二傳送腔室 810 亦具有中央設置傳送機械手臂(圖未示)，用於在處理腔室 808 和第一負載鎖定腔室 806 間傳送基材。工廠

介面 812 係藉由第二負載鎖定腔室 814 而連接至第一傳送腔室 804。工廠介面 812 係耦接至在第二負載鎖定腔室 814 之相對側上的一或多個艙 816。艙 816 通常為前開式晶圓傳送盒 (front opening unified pods)，可由潔淨室側取得。雖然第一處理腔室 802 係顯示為腔室 200 且第二處理腔室 808 係顯示為腔室 300，應可考量可使用任何的腔室組合，而以最小的等待時間最大化基材的產出。

【0062】 在一個實施例中，處理系統 800 為 CENTURA[®]或 ENDURA[®]平台，兩者皆可由加州聖克拉拉市應用材料公司取得。應注意，可由其他製造商取得的其他處理系統亦可適於實施於此所述的一或多個實施例。

【0063】 方塊 402 及 404 的乾蝕刻及襯墊沉積處理，及方塊 406 的層堆疊沉積處理係執行於處理系統 800 中且「無需破壞真空」。於本文內所使用的用詞「無需破壞真空」係關於在從一個腔室(如腔室 200)的真空環境至第二腔室(如腔室 300)的真空環境間傳送積體層堆疊 500，同時維持真空壓力且無須將積體層堆疊 500 曝露至周遭環境的處理。在周遭環境中，積體層堆疊 500 可能被曝露至機械及化學污染物，諸如顆粒、濕氣、氧氣及類似物，機械及化學污染物可能損壞被製造的介電層結構，且機械及化學污染物可能在傳送時在每一層之間形成非所欲的界面層(如原生氧化層)。因此，在處理系統 800 中執行方法 400 而無需破壞真空的優點有：(i)最小化積體層堆疊 500 的等待時間；及(ii)防止在方塊 402 之乾蝕刻和方塊 404 的襯墊 520 沉積之間的互連件 512 的氧化，及防止在

方塊 404 之襯墊沉積和方塊 406 的氣隙結構形成中的層堆疊沉積之間的襯墊 520 之氧化。

【0064】 儘管前面部分係關於本揭露書的實施例，其他或進一步的實施例可在不背離本揭露書的基本範圍之情況下而設計，而本揭露書的範圍係由以下之申請專利範圍所決定。

【符號說明】

【0065】

- 82 腔室本體
- 84 側壁
- 86 底端
- 88 狹縫閥
- 90 基材
- 91 接收表面
- 92 基材支撐件
- 100 積體層堆疊
- 101 半導體基材
- 102 導電材料
- 104 阻障層
- 106 低介電常數材料
- 108 低介電常數材料
- 110 氣隙結構
- 112 區域
- 114 區域
- 200 處理腔室

- 212 腔室本體
- 214 狹縫閥開口
- 215 管道
- 220 襯墊
- 225 孔洞
- 229 泵送管道
- 230 真空泵
- 231 真空埠
- 232 節流閥
- 240 蓋組件
- 243 第一電極
- 245 第二電極
- 250 凹洞
- 251 氣體源
- 252 功率源
- 254 氣體入口
- 255 擴大區域
- 256 上區域
- 257 內表面
- 261 處理區域
- 265 孔洞
- 270 分配板
- 272 孔洞
- 274 通道

- 275 阻擋板
- 276 孔洞
- 278 蓋緣
- 279 通道
- 280 支撐組件
- 281 電極
- 283 升舉機構
- 284 功率源
- 285 支撐構件
- 286 功率源
- 287 軸
- 288 波紋管
- 289 匹配電路
- 290 頂板
- 298 流體管道
- 300 處理腔室
- 301 流體管道
- 303 流體源
- 314 升舉馬達
- 330 氣體輸送設備
- 334 擴大管道
- 336A 氣體入口
- 336B 氣體入口
- 338 第一前驅氣體源

404 方塊
406 方塊
500 積體層堆疊
502 模具層
504 導電材料
506 第一低介電材料
508 第一阻障層
510 第二低介電材料
512 互連件
514 側壁
516 頂壁
520 襯墊
524 溝槽
526 氣隙結構
528 第一可流動低介電材料
530 犧牲膜
532 第二可流動低介電材料
534 第二阻障層
600 積體層堆疊
602 氣隙結構
604 覆蓋層
702 非共形襯墊
704 氣隙結構
800 處理系統

申請專利範圍

1. 一種在一積體層堆疊中形成一氣隙結構之方法，包括以下步驟：

在真空下在一處理系統中乾蝕刻設置在該積體層堆疊上的一模具層，其中該模具層係設置於一或多個銅互連件之間，且該乾蝕刻該模具層之步驟曝露該一或多個銅互連件之至少一部分；及

在藉由該乾蝕刻所曝露之該一或多個銅互連件之該部分上沉積一共形襯層，其中該乾蝕刻之步驟及該沉積該共形襯層之步驟係執行於該處理系統中，且無需破壞真空。

2. 如請求項 1 所述之方法，更包括以下步驟：

在真空下於該一或多個銅互連件上沉積一層堆疊，其中該層堆疊包含一第一可流動低介電常數材料層、一犧牲膜層及一第二可流動低介電常數材料層，且其中沉積該層堆疊之步驟係執行於該處理系統中，且無需破壞真空。

3. 如請求項 1 所述之方法，更包括以下步驟：

在真空下於該一或多個銅互連件上沉積一層堆疊，其中該層堆疊包含一犧牲膜層及一可流動低介電常數材料層，且其中沉積該層堆疊之步驟係執行於該處理系統中，且無需破壞真空。

4. 如請求項 2 所述之方法，更包括以下步驟：

固化該層堆疊以移除該犧牲膜層並形成該氣隙結構。

5. 如請求項 3 所述之方法，更包括以下步驟：

固化該層堆疊以移除該犧牲膜層並形成一氣隙結構。

6. 如請求項 1 所述之方法，其中該模具層係為一矽基氧化物或一低介電常數材料。

7. 如請求項 1 所述之方法，其中該共形襯層包括選自由碳化物、氮化物和矽烷所組成之群組的一介電材料。

8. 如請求項 2 所述之方法，其中該第一及第二可流動低介電常數材料層係包括摻碳氧化物、氟化碳、奈米群集二氧化矽、中空氧化物，或有機「旋塗」材料。

9. 如請求項 2 所述之方法，其中該犧牲膜層包括碳或一聚合的碳-氮材料。

10. 一種在一積體層堆疊中形成一氣隙結構之方法，包括以下步驟：

在真空下在一處理系統中在一第一處理腔室中乾蝕刻設置在該積體層堆疊上的一氧化物模具層，其中該氧化物模具層係設置於一或多個銅互連件之間，且該模具層之乾蝕刻的處理曝露該一或多個銅互連件之至少一部分；及

藉由在真空下在該處理系統中在一第二處理腔室中於該一或多個銅互連件之該曝露部分上共形地沉積一低介電常數材料襯層而形成設置在該一或多個銅互連件上的一共形低介電常數材料襯層，該低介電常數材料襯層具有低於約 2 奈米的厚度，其中該乾蝕刻之步驟及該沉積該低介電常數材料襯層之步驟係執行於該處理系統中，且無需破壞真空。

11. 如請求項 10 所述之方法，更包括以下步驟：

在真空下在該處理系統中在該第二處理腔室中於該一或多個銅互連件上沉積一層堆疊，其中該層堆疊包含一第一可流動低介電常數材料層、一犧牲膜層及一第二可流動低介電常數材料層，且其中該沉積該層堆疊之步驟係執行於該處理系統中，且無需破壞真空。

12. 如請求項 10 所述之方法，更包括以下步驟：

在真空下於該一或多個銅互連件上沉積一層堆疊，其中該層堆疊包含一犧牲膜層及一可流動低介電常數材料層，且其中該沉積該層堆疊之步驟係執行於該處理系統中，且無需破壞真空。

13. 如請求項 11 或 12 所述之方法，其中該共形低介電材料襯層包括氮化碳矽(SiCN)且該犧牲膜層包括碳。

14. 如請求項 11 所述之方法，更包括以下步驟：

固化該層堆疊以移除該犧牲膜層並形成該氣隙結構。

15. 如請求項 14 所述之方法，更包括以下步驟：

研磨該第一可流動低介電常數材料層和該共形低介電常數材料襯層之一部分，以曝露該互連件之一頂部分。

16. 如請求項 14 所述之方法，更包括以下步驟：

部分地研磨該第一可流動低介電常數材料層之一部分，其中該共形低介電常數材料襯層係未被研磨。

17. 如請求項 10 所述之方法，其中該乾蝕刻係以約 2 mTorr 至約 20 mTorr 的一壓力使用 NF_3 、 NH_3 或 C_xF_y 氣體。

18. 如請求項 10 所述之方法，其中該沉積一低介電常數材料襯層之步驟係使用原子層沉積、化學氣相沉積、混合電漿化學氣相沉積、電漿強化化學氣相沉積、電漿強化原子層沉積、微波輔助化學氣相沉積或中性束強化化學氣相沉積而執行。

19. 一種在一處理系統中於一基材上形成一介電結構之方法，包括以下步驟：

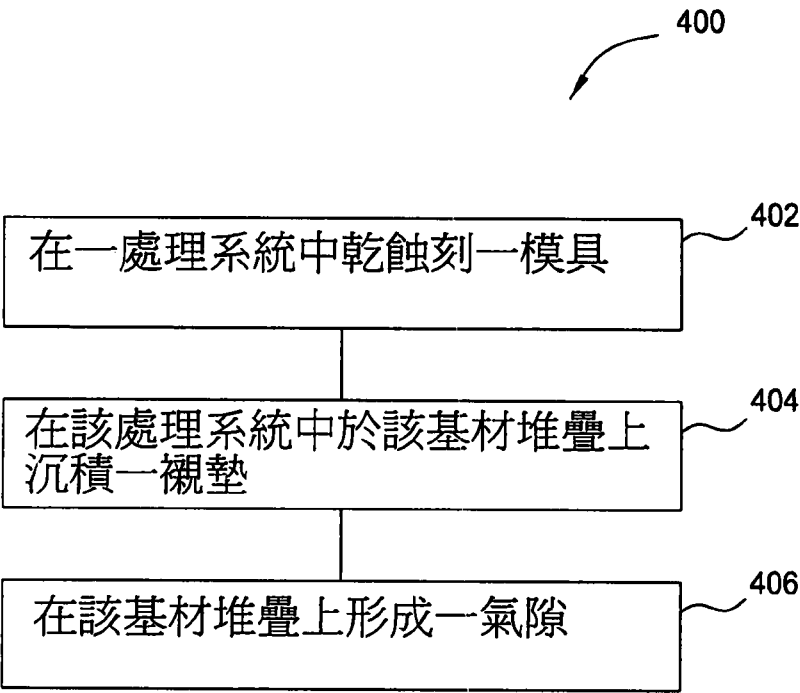
在真空下在一第一處理腔室中於該基材上乾蝕刻一模具層，其中該模具層係設置於一或多個銅互連件之間，且該模具層之乾蝕刻的處理曝露該一或多個銅互連件的至少一部分；

在真空下從該第一處理腔室將該基材傳送至一或多個第二處理腔室；

藉由在真空下在該一或多個第二處理腔室中在該基材上於該一或多個銅互連件之該曝露部分上共形地沉積一襯層而形成設置在該一或多個銅互連件上的一共形襯層；及

在真空下在該一或多個第二處理腔室中於該基材上形成的該襯層上沉積一或多個介電層及一犧牲層。

20. 如請求項 19 所述之方法，其中該沉積一襯層之步驟及沉積一或多個介電層之步驟係執行於獨立的第二處理腔室中。



第4圖