(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. ^{6}
H01L 29/772

(45) 공고일자 2001년09월17일
(11) 등록번호 10-0291970
(24) 등록일자 2001년03월19일

(21) 출원번호 10-1994-0014175
(22) 출원일자 1994년06월22일
(65) 공개번호 특1995-0002082
(43) 공개일자 1995년01월04일

(30) 우선권주장 93-174736 1993년06월22일 일본(JP)
93-180754 1993년06월25일 일본(JP)

(73) 특허권자 가부시키가이샤 한도오따이 에네루기 켄큐쇼
야마자끼 순페이
일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자 장홍경
일본가나가와껜야마또시후까미다이1-10-15파레스미야가미302
데라모또사또시
일본가나가와껜아쯔기시하세304-1플랫에스이엘-비205

(74) 대리인 이병호

심사관 : 손창호

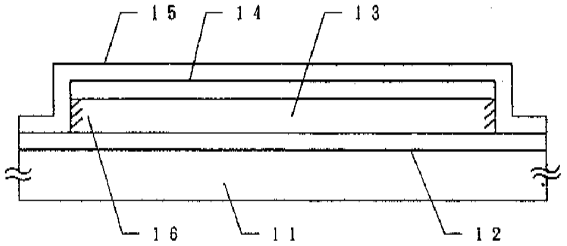
(54) 반도체디바이스및그제조방법

요약

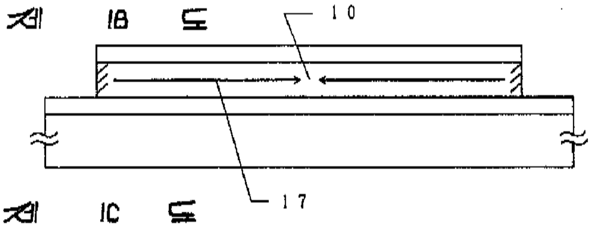
TFT를 제조하는 방법은 기판상에 형성된 바닥층상에 니켈막을 선택적으로 형성하는 것으로 시작된다. 비결정 실리콘막을 니켈막상에 형성하고 가열하여 결정화한다. 다시, 이 결정화된 막을 적외선으로 조사하여 어닐링하므로써, 양호한 결정성을 가지고 있는 결정 실리콘막을 얻는다. TFT는 이러한 결정 실리콘막을 사용하여 제조된다.

대표도

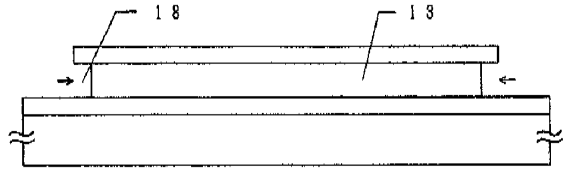
제 1A 도



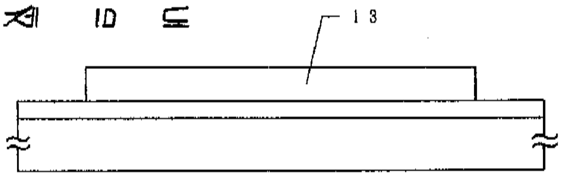
제 1B 도



제 1C 도



제 1D 도



명세서

[발명의 명칭]

반도체 디바이스 및 그 제조 방법

[도면의 간단한 설명]

제1a도 내지 제1d도는 본 발명의 실시예에 따른 TFT를 제조하기 위한 연속 단계를 도시하는 TFT의 단면도.

제2a도 및 제2b도는 본 발명의 다른 실시예에 따른 TFT를 제조하기 위한 연속 단계를 도시하는 TFT의 단면도.

제3a도 및 제3b도는 본 발명의 또다른 실시예에 따른 TFT를 제조하기 위한 연속 단계를 도시하는 TFT의 단면도.

제4도는 실리콘막내의 니켈 농도를 나타내는 그래프.

제5a도 내지 제5d도는 본 발명의 또다른 실시예에 따른 TFT를 제조하기 위한 연속 단계를 도시하는 TFT의 단면도.

제6도는 본 발명에 따른 TFT의 개략적인 다이어그램.

제7a도 내지 제7d도는 본 발명의 다른 실시예에 따른 TFT를 제조하기 위한 연속 단계를 도시한 TFT의 횡단면도.

제8a도 내지 제8e도는 본 발명의 다른 실시예에 따른 TFT를 제조하기 위한 연속단계를 도시한 TFT의 횡단면도.

제9도는 활성화 에너지와 어닐링 온도 사이의 관계를 도시한 도면.

제10a도 및 제 10b도는 EDX 결과를 도시한 도면.

〈도면의 주요부분에 대한 부호의 설명〉

11 : 기판 13 : 비정질 실리콘막

14 ; 산화규소막 15 : 규화니켈막

19,21 : 게이트 전극 23,25 : P형 도핑 영역

26,28 : N 형 도핑 영역

[발명의 상세한 설명]

[발명의 분야]

본 발명은 유리 또는 그와 같은 종류로 제조된 절연기판상에 형성된 박막 트랜지스터(이하 'TFT'라고 함)를 갖는 반도체 디바이스 및 그 제조 방법에 관한 것이다.

[발명의 배경]

유리 또는 그와 같은 종류로 제조된 절연기판에서 TFT를 갖는 공지된 반도체 디바이스는 그러한 TFT를 사용하여 화소를 활성화시키는 능동 매트릭스 액정 디스플레이(active - matrix liquid crystal display) 및, 영상 센서를 포함한다.

일반적으로, 이러한 디바이스에서 사용된 TFT는 박막의 형태로 된 실리콘 반도체로 제조된다. 박막의 형태로 된 실리콘 반도체는 대략 비정질 실리콘 반도체(이하, "a - Si"라고도 함) 및 결정 실리콘 반도체로 분류된다. 비정질 실리콘 반도체는 저온에서 제조된다. 덧붙여 비정질 실리콘 반도체는 화학 증기 증착법에 의해 비교적 용이하게 제조된다. 게다가, 비정질 실리콘 반도체는 용이하게 대량 생산될 수 있다. 그러므로, 비정질 실리콘 반도체는 가장 넓게 수용되고 있다. 그러나 전도도와 같은 비정질 실리콘 반도체의 물리적 성질은 결정 실리콘 반도체에 비해 열등하다. 비정질 실리콘 반도체로부터 고속 특성을 얻기 위하여, 결정 실리콘 반도체로 구성된 TFT의 제조 방법이 확립되어야 하고 열심히 연구되어 오고 있다. 결정 실리콘 반도체는 폴리실리콘(polysilicon), 실리콘 크리스털라이트(crystallites), 결정 성분을 함유한 비정질 실리콘, 및 결정 상태와 비정질 상태사이의 중간 성질을 갖는 반 비정질(semi - amorphous) 실리콘을 포함하는 것은 공지되어 있다.

이러한 결정 박막 실리콘 반도체를 달성하기 위한 공지된 방법은 다음과 같다.

(1) 제조중에 결정막을 직접 만든다.

(2) 일단 비정질 반도체막을 형성한 다음에, 그 막에 레이저광을 방사하여 레이저광의 에너지로서 막에 결정성을 부여한다.

(3) 일단 비정질 반도체막을 형성하고, 그 막에 열 에너지를 적용하여 결정화한다.

상기 방법(1)이 사용되는 경우에는, 표면 전체에 걸쳐 균일하게 양호한 물리적 성질을 갖는 반도체 막을 형성하기가 기술적으로 어렵다. 또한 막이 600℃이상의 고온에서 형성되므로 값싼 유리기판을 사용할 수가 없다. 따라서 이 방법은 원가와 관련된 문제점을 드러내고 있다.

상기 방법(2)에서는 현재 엑시머 레이저가 가장 통상적으로 사용되고 있다. 이러한 엑시머 레이저가 사용되면, 레이저광은 작은 면적만을 조광하고 따라서 처리율이 낮다. 게다가, 레이저는 대면적 기판(large-area substrate)의 전체 표면을 균일하게 처리하기에는 충분한 안정성을 갖지 못한다. 그러므로, 이 방법은 차세대의 기술이라고 생각된다.

상기 방법(3)은 방법(1) 및 (2)에 비해 넓은 면적의 기판을 처리할 수 있다. 그러나, 600℃를 초과하는 고온이 또한 필요하다. 저렴한 유리기판을 사용하는 경우에는 가열 온도를 낮출 필요가 있다. 특히, 현재는 넓은 면적을 갖는 액정 디스플레이가 제작되고 있는 경향이다. 이러한 경향에 따라, 넓은 유리기판이 사용 되어야 한다. 이러한 방법으로 넓은 유리기판이 사용되는 경우, 반도체 제조에서 필수적으로 가열 단계에서 발생하는 수축 및 응력이 마스크 정렬의 정확도 및 다른 단계를 약화시킨다. 이것은 심각한 문제점을 나타낸다. 특히, 현재 가장 통상적으로 사용되는 코닝(Corning) 7059의 경우에 변형점은 593℃이다. 따라서 종래 기술의 가열 및 결정화 단계가 실시되면, 커다란 비틀림이 초래된다. 온도의 문제외에, 가열시간 즉, 결정화에 요구되는 시간도 문제를 나타낸다. 특히 결정화에 필요한 가열시간은 종래 공정에서는 수십시간 이상이 된다. 그러므로, 가열시간을 축소시킬 필요가 있다.

[발명의 개요]

본 발명의 목적은 상기 문제들을 해결하기 위한 수단을 제공하는데 있다.

본 발명의 특별한 목적은 비정질 실리콘의 박막을 형성하고 이 박막을 결정화하기 위해 저온에서 종래보다 짧은 시간에 박막을 가열함으로써 결정 실리콘 반도체의 박막을 제조하는 방법을 제공하는데 있다.

당연하게도, 본 발명에 의한 제조방법으로써 제조된 결정 실리콘 반도체는 종래기술로 제조된 결정 실리콘 반도체 디바이스의 물리적 성질에 필적하거나 또는 그보다 월등히 우수한 물리적 성질을 가지며, TFT의 활성층 영역에서 사용될 수 있다.

본 발명자들은 CVD 방법 및 스퍼터링 방법에 의해 상술한 바와 같은 비정질 실리콘 반도체막을 형성하였다. 이러한 막은 결정화되기 위해 가열되었다. 본 발명자들은 비정질 실리콘 반도체막의 가열 방법을 실험으로 실시하였고, 그 방법은 아래와 같다.

실험에서, 비정질 실리콘막은 유리기판에 형성되었다. 이 막은 가열에 의해 결정화되었다. 본 발명자들은 막을 가열 및 결정화시킨 메카니즘에 대해 토론하였다. 결정은 유리기판과 비정질 실리콘의 접촉 영역에서 성장하기 시작하였다. 주어진 막 두께를 초과한 경우 결정이 기판 표면에 대해 수직인 기둥같이 성장하였음을 관찰하였다.

본 발명자들은 상기 현상을 다음과 같이 이해한다. 결정 핵 또는 종정(seed crystals)이 유리기판과 비정질 실리콘 막의 접촉 영역에 존재하고, 이 핵에서 결정이 성장한다. 이러한 결정핵은 기판의 표면과 유리면의 결정 성분에 존재하는 미량의 불순물 금속원소라고 생각한다. 산화규소(결정 유리로서 공지됨)의 결정성분이 유리면에 나타난다고 생각한다.

이에따라, 결정 온도는 결정핵을 더욱 적극적으로 주입함으로써 낮출 수 있다고 생각하였다. 이러한 온도 강하의 효과를 확인하기 위하여, 본 발명자들은 실험을 하였다. 즉, 다른 미량의 금속을 기판에 증착하였다. 비정질 실리콘의 박막을 금속층에 형성하였다. 다음에 비정질 실리콘을 가열하여 결정화하였다. 어떤 금속이 기판에 증착되는 경우 결정 온도 강하가 확인되었다. 결정이 이물질의 결정핵에서 성장하였다고 생각하였다. 또한 허용 온도를 감소시키는 메카니즘을 다수의 불순물 금속상에서 관찰하였다.

결정화 공정은 2개의 단계로 분류될 수 있는데 즉, 초기에 핵을 생성하는 단계와, 그 핵에서 결정을 성장시키는 단계로 분류될 수 있다. 초기 단계에서 핵의 생성 속도는 미세한 점상(microscopic dot-like)의 결정이 일정 온도에서 생성할 때까지 걸리는 시간을 측정함으로써 알 수 있다. 전술한 불순물 금속이 박막으로써 증착된 경우, 그 시간이 짧아졌다. 이것은 결정핵의 주입이 결정화 온도를 감소킨다는 것을 증명한다. 본 발명자들은 예기치 못한 사실을 발견하였다. 특히, 핵 형성 다음에 일어나는 결정 입자의 성장이 가열 시간을 변화시키는 동안에 관찰되었다. 어떤 금속이 막으로써 증착되고 그 다음에 금속막에 형성된 비정질 실리콘의 박막이 결정화된 경우, 핵 형성 후에 놀라운 속도로 결정이 성장하였다. 이러한 현상의 메카니즘은 아래에 상세히 설명하기로 한다.

어떤 경우에, 어떤 미량의 금속이 막으로써 증착되면, 비정질 실리콘의 박막이 금속막에 형성되고, 다음에 비정질 실리콘막이 가열 및 결정화되고, 약 4 시간안에 580℃보다 낮은 온도에서 전술한 두 효과에 의해 충분한 결정화가 만들어지는데, 이는 지금까지 결코 인식하지 못했던 것이다. 가장 뚜렷한 효과를 나타내며 그러한 효과를 전개하는 불순물 금속으로서 선택된 재료는 니켈이다.

이제 니켈의 효과를 입증하는 구조의 실예를 들기로 한다. 코닝 7059로 제조된 기판은 전혀 처리되지 않았다. 즉, 미량의 니켈을 구성하는 박막이 기판에 형성되지 않았다. 비정질 실리콘의 박막이 플라즈마 CVD에 의해 기판이 형성되었다. 이 박막을 결정화하기 위해 질소 분위기에서 박막이 가열되었다. 가열 온도가 600℃인 경우 요구되는 가열 시간은 10 시간 이상이었다. 미량의 니켈을 구성하는 박막이 기판에 형성된 경우, 비정질 실리콘의 박막을 약 4 시간 동안 가열함으로써 유사한 결정이 초래되었다. 결정화는 라만 분광기(Raman spectroscopy)로써 관찰되었다. 이것은 니켈이 대단히 큰 효과를 만든다는 것을 입증한다.

상기 설명으로부터 이해되듯이, 비정질 실리콘의 박막이 미량의 니켈을 구성하는 박막에 형성되면, 결정화 온도가 낮아질 수 있다. 또한 결정화 시간도 짧아질 수 있다. 이러한 공정이 TFT의 제조에 적용된다고 가정한다. 본 발명자들은 이제 이 공정을 상세히 설명한다.

먼저 미량의 니켈의 첨가를 실시하는 방법에 대해 설명한다. 제 1 방법에서, 박막이 기판에 미량의 니켈로서 형성된 다음 비정질 실리콘의 막이 형성된다. 제 2 방법에서, 먼저 비정질 실리콘의 막이 형성된 다음, 박막이 비정질 실리콘에 미량의 니켈로써 형성된다. 양쪽 방법은 온도를 유사하게 낮출 수 있다. 본 발명자들은 스퍼터링 또는 증발에 의해 막이 형성될 수 있다는 것을 알았다. 즉, 이 공정은 막을 형성하는 방법에 의존하지 않는다. 미량의 니켈이 기판에 박막으로써 증착되면, 코닝 7059의 유리기판에 산화규소의 박막을 형성하고 이 산화규소 막에 미량의 니켈로써 니켈 박막을 형성하는 것으로 구성된 방법은 기판에 미량의 니켈을 박막으로써 직접 증착하는 방법보다는 큰 효과를 만들어낸다.

본 발명자들은 실리콘과 니켈이 서로 직접 접촉한다는 사실은 온도 감소에 중요하며, 또한 코닝 7059의 경우 실리콘 이외의 성분은 실리콘과 니켈간의 접촉이나 또는 그들간의 반응을 방해할 수 있다고 생각한다.

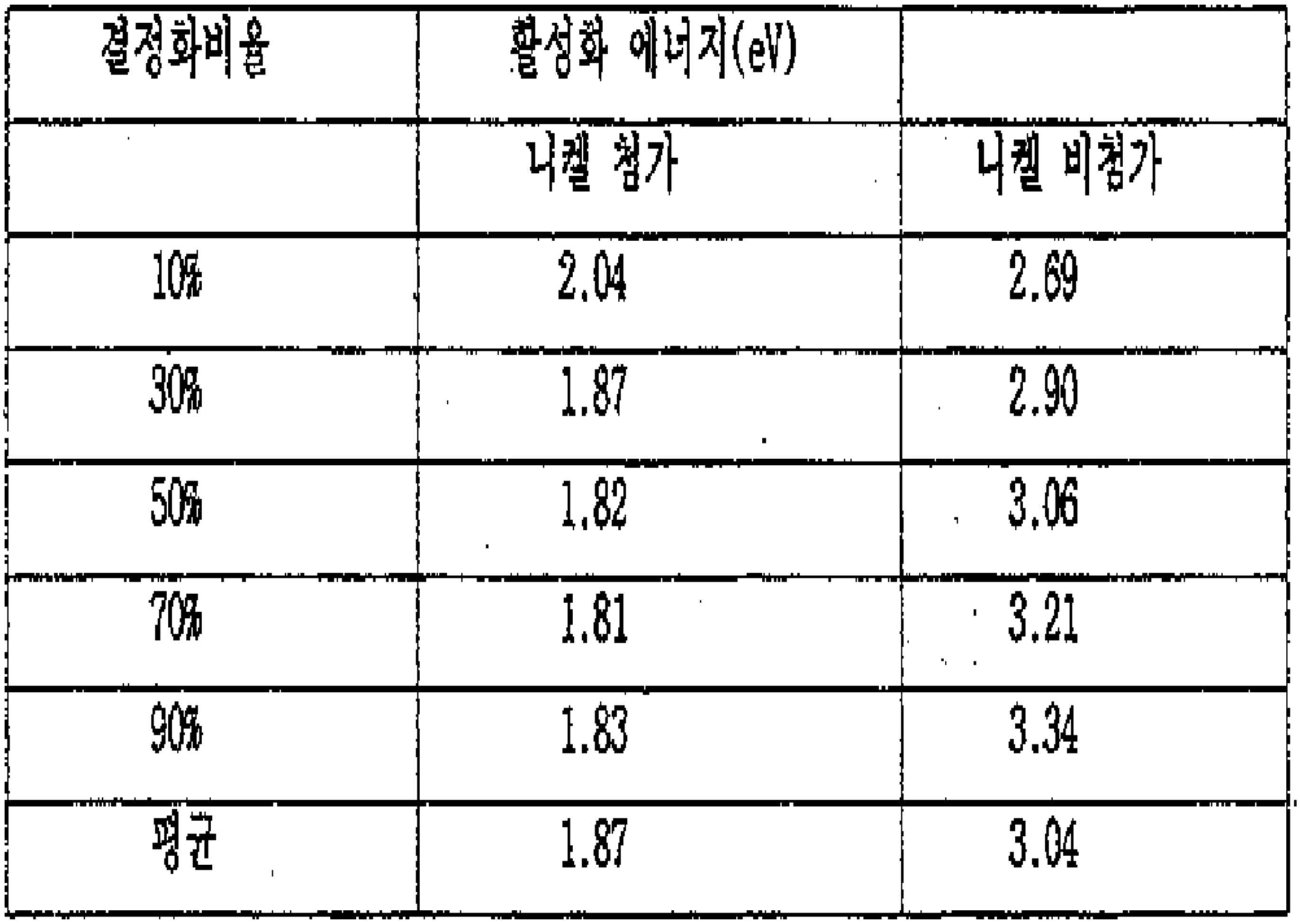
미량의 니켈을 첨가하는 한가지 방법은 박막을 비정질 실리콘층의 상단면 또는 하단면과 접촉하도록 형성하는 것이다. 니켈이 이온주입에 의해 첨가되면 유사한 효과가 만들어지고, 니켈의 도펀트(dopant) 농도가 1×10^{15} 원소수/cm^3 (atoms/㎤)를 초과하면 온도가 낮아진다는 것을 확인하였다. 도펀트 농도가 1×10^{21} 원소수/㎤보다 크면, 여기서 구한 라만 스펙트럼의 피크 형상은 단일 실리콘 물질로부터 구한 라만 스펙트럼의 피크 형상과는 명백히 다르다. 따라서, 본 발명자들은 이용가능한 도펀트 농도 범위는 1×10^{15} 내지 5×10^{19} 원소수/㎤라고 생각한다. 반도체의 물리적 성질을 고려하여 박막이 TFT의 활성층으로써 사용되면, 도펀트 농도를 1×10^{15} 내지 1×10^{19} 원소수/㎤의 범위로 제한할 필요가 있다. 미량의 니켈이 첨가되는 결정의 성장과 결정 형태(morphology)의 특성은 다음에 설명하기로 한다. 또한, 이러한 특성으로부터 평가되는 결정화 메카니즘에 대해 설명한다.

니켈이 첨가되지 않으면, 기판과의 접촉 영역에 존재하는 결정 핵으로부터 핵이 임의로 생성한다. 또한 결정이 핵에서 임의로 성장한다. (110) 또는 (111) 방향으로 비교적 양호하게 배향한 결정이 제조 방법에 의존하여 달성된다고 보고되었다. 당연하게도, 실제로 균일한 결정 성장이 박막 전체에 걸쳐 관찰된다.

이러한 메카니즘을 확인하기 위하여, 본 발명자들은 미분 주사 열량계(DSC ; differential scanning calorimeter)를 이용하여 분석하였다. 비정질 실리콘의 박막은 플라즈마 화학 증기 증착법(PCVD : plasma-assisted chemical vapor deposition)에 의해 기판에 형성되었다. 박막은 기판과 함께 용기내에 장전되었다. 온도는 일정 속도로 상승되었다. 명확한 열발생 피크가 700℃부근에서 관찰되었다. 당연히 이 온도는 온도 상승 속도(temperature elevation rate)에 따라 변화되었다. 상승속도가 10℃/분일때 결정이 700.9℃에서 시작되었다. 이때 3가지 다른 온도 상승 속도에서 측정되었다. 초기 핵 형성 후에 결정 성정을 위한 활성화 에너지가 오자와법(Ozawa's method)에 의해 발견되었다. 이 에너지는 약 3.04eV 였다. 반응 속도 공식은 이 공식이 이론곡선에 맞는지 판정하기 위해 이론곡선과 비교되었다. 발명자들은 핵의 임의 생성 및 그 성장 모델이 최선의 활성화 에너지에 책임이 있다는 것을 알았다. 이것은 종정이 기판과의 접촉 영역에 존재하는 결정 핵으로부터 임의로 생성된 다음에, 결정이 핵에서 성장한다는 이론을 명확히 입증한다.

미량의 니켈이 첨가된 것을 제외하면 유사한 측정들이 실시되었다. 온도가 10℃/분의 속도로 상승된 경우 결정화가 619.9℃에서 시작되었다. 연속적인 측정으로부터 결정 성장을 위한 활성화 에너지는 대략 1.87eV라는 것을 알았다. 이 수치는 결정 성장이 촉진된다는 것을 입증한다. 이론 곡선과 비교하여 알아낸 반응 속도 공식은 일차원 접촉 영역의 반응 속도 규칙 모델과 근사하게 일치한다. 이것은 결정이 일정한 방향으로 성장된다는 것을 암시한다. 전술한 열분석에서 얻은 데이터가 아래의 표 1에 기재되어 있다. 표 1에 주어진 활성화 에너지는 샘플의 가열중에 각 샘플로부터 방출된 열량을 측정하고, 그 열량에서 나오는 에너지를 오자와법이라고 불리는 분석 방법으로 계산함으로써 알아내었다.

[표 1]



결정화비율	활성화 에너지(eV)	
	니켈 첨가	니켈 비첨가
10%	2.04	2.69
30%	1.87	2.90
50%	1.82	3.06
70%	1.81	3.21
90%	1.83	3.34
평균	1.87	3.04

상기 표 1에 주어진 활성화 에너지는 결정화의 용이도(degree of easiness of crystallization)를 나타내는 변수이다. 활성화 에너지의 값이 증가됨에 따라, 결정화를 일으키기가 더욱 어렵다. 그 반대로 활성화 에너지의 값이 감소되면 결정화를 일으키기가 더욱 쉽다. 표 1로부터 알수 있듯이, 니켈을 포함하는 각 샘플의 활성화 에너지는 결정화가 진행됨에 따라 강하한다. 즉, 결정화가 진행됨에 따라 더욱 용이하게 결정화가 이루어진다. 니켈을 첨가하지 않고 종래 방법으로 형성된 결정 실리콘막의 경우에, 결정화가 진행할 때 활성화 에너지가 증가된다. 이것은 결정화가 진행할 때 결정화를 일으키기가 더욱 어렵다는 것을 가리킨다. 활성화 에너지의 평균값을 비교하면, 니켈이 첨가되어 결정화된 실리콘막의 값은 니켈을 첨가하지 않고 결정화된 실리콘막의 값이 약 62%인 것으로 나타난다. 이것은 니켈로 도핑된 비정질 실리콘막이 용이하게 결정화될 수 있음을 가리킨다.

니켈이 첨가된 결정의 형태는 전송 전자 현미경으로 관찰되었다. 관찰 결과는 니켈 도핑 영역이 인접한 영역과는 결정성장이 다르다는 것을 나타낸다. 특히, 니켈 도핑 영역의 횡단면을 관찰하였다. 격자상이라고 여겨지는 모아레 무늬(moire fringe) 또는 다른 무늬들이 기판에 거의 수직이었다. 본 발명자들은, 니켈이 첨가된 실리콘 또는 니켈과 실리콘의 혼합물이, 니켈이 첨가되지 않은 경우와 동일한 방법으로 기판에 거의 수직으로 기둥형 결정의 성장을 초래한 결정핵을 형성한다고 생각한다. 니켈 도핑 영역을 둘러싸고 있는 영역에서, 결정은 기판에 평행한 스타일리스 또는 기둥처럼 성장한 것으로 관찰되었다.

니켈 도핑 영역에 가까이 있는 결정의 형태를 관찰하였다. 처음에는 미량의 니켈이 직접 첨가되지 않은 영역이 결정화

된다는 것을 예상하지 못했다. 미량의 니켈이 첨가된 영역과, 니켈 도핑 영역에 가까이 있는 횡면(lateral) 결정 성장 영역과, 멀리있는 비정질 영역에 있는 니켈 농도는 이차 이온 질량 분광 측정법(SIMS : secondary ion mass spectrometry)에 의해 측정되었다. 니켈 도핑 영역에서 상당히 멀리 떨어진 장소에서는 저온 결정이 발생하지 않았고, 비정질 영역인 채로 남아 있었다. 제 4 도에 도시한 바와 같이, 횡면 결정 성장 영역에서의 니켈 농도는 니켈 도핑 영역에서의 농도보다 낮았다. 비정질 영역에서의 농도는 약 1 정도의 크기만큼 낮았다. 즉, 니켈 원소는 상당히 넓은 영역에 걸쳐 확산되었다. 특히 니켈이 직접 첨가된 영역에서는 니켈 농도가 높다. 횡면 성장부분(결정이 기판에 평행하게 성장한 부분)은 니켈이 직접 첨가된 영역보다 더 낮은 니켈 농도를 가진다.

니켈 도핑 영역에 가까이 있는 표면의 TEM영상으로부터, 기판에 평행한 최대의 횡면 결정이 니켈 도핑 영역으로부터 수백 마이크로미터 만큼 길게 성장하였고, 그 성장량은 시간의 지연에 따라 그리고 온도를 상승시킴에 따라 증가한다는 것이 관찰되었다. 예를 들어, 약 20㎛의 성장이 4시간 동안 550℃에서 실시한 공정에서 관찰되었다. 이러한 결정 성장은 스타일러스(stylus) 또는 기둥의 형태로서 진행되었고 또한 결정 성장의 말단부(전단부)가 집중적으로 니켈을 함유한다는 것이 확인되었다. Ni의 공간 분포는 횡면 성장의 특성이 되는 기둥형 결정에 관하여 EDX에 의해 측정되었고, 분포와 기둥형 결정과의 상호 관계를 검사하였다. Si의 전단부에 EDX측정을 수행하였다. 그 결과가 제 10a 도에 도시되어 있다. 제 10b 도는 참고로 Ni을 포함하지 않는 막의 측정을 도시하고, 제 10b 도는 검출의 하한계를 가리킨다고 생각할 수 있다. 상기 두 도면을 비교하면 전단부가 다량의 Ni을 함유한다는 것을 나타낸다.

전술한 바와 같이 얻어진 실험 결과는 본 발명자로 하여금 결정화가 아래에 설명하는 메카니즘에 의해 진행된다고 생각하게 만들었다. 먼저 결정핵이 생성된다. 니켈의 첨가가 저온에서 결정화를 가능하게 하기 때문에 미량의 니켈을 첨가함으로써 활성화 에너지가 감소된다. 발명자는 니켈이 이물질로써 작용하는 것이 한가지 원인이라고 생각한다. 다른 원인은 니켈-실리콘 금속간 혼합물중 하나가 결정 실리콘에 근접하는 격자상수를 가진다는 사실로부터 발생할 수 있다. 모든 핵 형성은 니켈 도핑 영역의 전표면에 걸쳐 거의 동시에 발생한다. 그 결과, 결정이 평면을 유지하면서 성장한다. 이런 경우에 반응 속도 공식은 일차원 접촉 영역 반응 속도 규칙 방법에 의해 주어진다. 따라서, 기판에 거의 수직인 기둥형 결정이 얻어진다. 그러나, 막 두께가 부과한 제한과 응력 등과 같은 효과 때문에 완전히 정렬된 결정학적 축선은 얻을 수 없다.

기판에 평행한 결정 성분은 기판에 수직인 성분보다 더욱 균일하다. 따라서 기둥형 또는 스타일러스형 결정은 니켈 도핑 영역에 생성된 결정핵 둘레에서 균일하게 횡면으로 성장한다. 당연히 반응 속도 공식은 일차원 접촉 영역 반응 속도 규칙 방법에 의해 주어진다고 예상된다. 결정 성장을 위한 활성화 에너지는 전술한 바와 같이 니켈의 첨가로써 감소되기 때문에 횡면 성장 속도가 매우 빠르고 이것이 사실이다.

니켈 도핑 영역 및 가까운 횡면 성장 영역의 전기적 특성은 다음에 설명한다. 니켈 도핑 영역의 전기적 특성중에서, 전도도는 니켈이 첨가되지 않은 막의 전도도와 대략 유사하다. 이 막은 수십 시간 동안 약 600℃에서 결정화되었다. 활성화 에너지는 전도도의 온도 의존성으로부터 알게 되었다. 니켈 농도가 10^{17} 내지 10^{18} 원소수/㎤인 경우, 니켈의 에너지 레벨에 기여하는 것같은 어떠한 작용도 관찰되지 않았다. 즉, 이 실험 결과로부터 니켈 도핑 영역이 상기 농도를 가지면 TFT의 활성층으로써 사용될 수 있다는 것을 알았다. 실험 결과가 제 9 도에 도시되어 있다. 이 실험에 사용된 샘플은 아래와 같이 준비되었다. 코닝 7059유리가 기판으로서 사용된다. SiO_2기 2000Å막이 유리에 스퍼터링되어 형성된다. 다음에 비정질 실리콘막이 SiH_4/H_2혼합가스로서 CVD에 의해 형성되고, 그후 소량의 Ni이 니켈 전극을 이용하여 플라즈마 처리에 의해 첨가된다. 처리 조건은 다음과 같다.

반응가스 : Ar/H_2 = 25/50 sccm

반응압력 : 10Pa

기판온도 : 300℃

RF - 전력 : 20W

처리시간 : 5분

열결정화는 430℃에서 1시간동안 수소를 추출한 후 450℃와 700℃ 사이에서 실시되었다. 결정화가 실시된 분위기는 질소 분위기이었다. 질소가 유출입 되었다. 본 발명자들은 전류 및 전압에서 측정되었던 온도 의존성을 실리콘막에 형성된 동일 평면상(coplanar - type) Al 전극으로서 측정함으로써 결정 실리콘 반도체의 전기적 특성(전도도)을 검사하였다. 제 9 도의 활성화 에너지는 전도도로부터 구한다. 활성화 에너지의 값은 이 실험에 관한한 결정 실리콘 반도체로서는 적절하고, 또 Ni의 에너지 레벨에 의한 전기적 특성(전도도)에 관한 효과는 대략 정상 온도에서 측정하였을 때 적어도 아주 작다고 말할 수 있다.

다른 한편, 횡면 성장부분의 전도도는 니켈 도핑 영역의 전도도보다는 적어도 일 등급의 크기만큼 더 높고, 결정 실리콘 반도체를 위해서는 비교적 높은 편이다. 전류의 흐름 방향이 횡면 결정 성장의 방향과 일치하기 때문에, 본 발명자들은 전자의 운동 등을 방해하기 위한 입자 경계가 전극 사이에 거의 존재하지 않는다고 생각한다. 이것은 TEM 영상의 결과와 양호하게 일치한다. 즉, 캐리어(carrier)가 스타일러스 또는 기둥 모양으로 성장한 결정의 입자 경계를 따라 이동하며, 따라서 용이하게 이동한다.

본 발명자들은, 스타일러스 또는 기둥 모양으로 성장한 결정의 전단부가 니켈 도핑 영역과 유사하게 높은 니켈 농도를 가진다는 것을 확인하였다. 이로부터 TFT와 같은 디바이스를 제조하는 경우, 두껍게 도핑된 영역을 이용하면 디바이스의 작동이 니켈에 의해 영향을 받는다고 평가한다. 그러므로, 기판에 평행하게 성장한 결정 실리콘막의 결정의 시작 지점이나 결정성장의 종단 지점은 어느 것도 사용되지 않는다. 중간 영역만을 사용하는 것이 양호하다.

이에 따라 본 발명에서는 제 1a 도 내지 제 1d 도에 도시한 바와 같이 결정화해야 할 비정질 실리콘막(13)과 위에 덮인 산화규소막(14)은 아일랜드(island)로서 패턴화된다. 규화 니켈(nickel silicide)과 같은 요소를 미량 포함한 막(15)이 아일랜드에 형성된다. 규화 니켈은 비정질 실리콘막(13)의 측면(16)에 형성된다. 결정은 화살표(17)로 나타낸 바와 같이 상기 측면에서 성장이 발생된다. TFT와 같은 디바이스는 니켈로 두껍게 도핑된 영역(10,18)을 사용하지 않고 제작된다.

즉, 기판에 평행하게 성장한 결정 실리콘막의 결정이 시작 지점이나 결정 성장의 종단 지점 또는 전단부는 어느 것도 사용되지 않는다. 중간 영역이 사용되고, 캐리어가 용이하게 이동하는 결정 실리콘막이 사용된다. 동시에, 니켈이 얇게 도핑된 영역이 사용된다. 특히, 니켈이 얇게 도핑된 영역은, 결정화 촉진용 금속 원소로 도핑된 영역과 결정화 후에 기판에 평행한 최종 성장 부분을 제거(즉, 에칭)함으로써 사용될 수 있다.

기판상의 신규한 결정성 실리콘막을 단결정 실리콘으로 하지 않는 것이 중요하다. 본 발명은 막이 박막 형태로 결정화된 결정성 실리콘막이고, 결정 성장의 방향이 기판에 평행한 것을 특징으로 한다. 상기 막은 단결정 실리콘과는 아주 다르다. 그러므로, 신규한 결정성 실리콘막은 비단결정의 결정성 실리콘막(non - single crystal crystalline sillicon film)으로서 언급될 수 있다.

본 발명에 따라서 결정화를 촉진하기 위한 원소는 주기율표상의 Ⅷ 족, 즉, Fe, Co, Ni, Ru, Rh, Pd, Os, Ir 및 Pt에 속하는 원소로부터 선택될 수 있다. 또한, 전이 원소 Sc, Ti, V, Cr, Mn, Cu 및 Zn이 사용될 수 있다. Au 및 Ag도 실험상으로 결정화를 촉진한다. Ni는 상술한 원소중 가장 뚜렷한 효과를 가져온다. Ni의 작용에 의해 결정화된 실리콘막이 TFT를 제조하는데 사용될 수 있고 이들 TFT는 성공적으로 작동된다는 것을 확신한다.

결정화를 촉진하기 위한 금속원소는 기판에 평행한 결정성장의 전단부에 농축된다. 디바이스는 금속원소가 추가되는 성장의 시작점과 전단부 사이에 배치된 영역에서 제작된다. 그러므로, 캐리어는 고속도로 이동될 수 있다. 동시에 캐리어의 이동에 나쁜 영향을 미칠 것으로 생각되는 금속원소의 농도는 감소시킨다. 그러므로, 우수한 특성을 가지는 디바이스를 얻게 된다.

본 발명의 다른 특징에 있어서, 기판상에 형성된 비단결정 반도체막(예, 실리콘막)은 600℃이하에서 막을 가열하고 결정성을 강화하기 위해 상기 막을 강한 광선으로 조사함으로써 결정화된다. 동시에 이 막은 더 밀도가 높아진다.

본 발명의 다른 특징에 있어서, 결정화를 촉진시키기 위한 니켈과 같은 금속 원소로 도핑된 실리콘막(예, 비단결정 실리콘막)을 가열하여 결정화한다. 그리고나서, 적외선 또는 레이저광(예, 파장 1.3㎛의 피크를 가지는 적외선)과 같은 강한 광선으로 조사하여 막을 가열하고 어닐링한다. 이 방법으로, 결정성이 개성된다.

본 발명에 따라서 결정화를 촉진하기 위한 원소는 주기율표상의 Ⅷ족, 즉, Fe, Co, Ni, Ru, Rh, Pd, Os, Ir 및 Pt에 속하는 원소로부터 선택될 수 있다. 또한 전이 원소 Sc, Ti, V, Cr, Mn, Cu 및 Zn이 사용될 수 있다. Au 및 Ag도 실험상으로 결정화를 촉진한다. Ni는 상술한 원소중 가장 뚜렷한 효과를 가져온다. Ni의 작용에 의해 결정화된 실리콘막이 TFT를 제조하는데 사용될 수 있고 이들 TFT는 성공적으로 작동된다는 것을 확신한다.

600℃이하에서 가열에 의해 결정된 박막 실리콘 반도체는 적외선 또는 레이저광으로 조사되어 실리콘 막을 선택적으로 가열한다. 역시, 결정성이 강화될 수 있다. 이때에, 적외선은 유리기판에 의해 쉽게 흡수되지 않으며 따라서 어닐링은 유리기판을 크게 가열하지 않고 수행될 수 있다.

본 발명의 다른 목적과 특징은 아래의 상세한 설명으로부터 이해될 것이다.

[제1 실시예]

본 예에서, 유리 기판상에 형성된 투명한 실리콘막을 사용한 P-채널 TFT(PTFT)와 N-채널 TFT(NTFT)는 회로를 확립하기 위해 보충적으로 결합된다. 본 발명의 구조체는 능동 매트릭스 액정 디스플레이의 화소 전극용 스위치 장치와, 이 장치의 주변 드라이버 회로와, 영상 센서와 집적 회로에 적용될 수 있다. 더우기, 본 실시예가 적용되는 장치는 절연게이트 전계 효과 트랜지스터(insulated-gate field-effect transistor)로 제한하지 않는다. 이것은 다른 트랜지스터 및 다이오드일 수 있다. 본 발명은 반도체 디바이스, 레지스터 및 커패시터를 포함한 집적회로에 적용할 수 있다.

제 1a 도 내지 제 1d 도와 제 2a 도 및 제 2b 도는 프로세스 순서를 도시하는 본 발명의 예에 따라 제조되는 TFT의 횡단면도이다. 우선 산화규소는 코닝(Corning) 7059로 제조된 기판(11)상의 2000Å 두께의 기저막(12)으로 스퍼터된다. 그런 연후에, 두께가 500 내지 1500Å(예컨대 500Å)인 공지된 비정질 실리콘막(13)이 플라즈마 CVD(PCVD)에 의해 형성된다. 그 다음에, 두께가 200 내지 2000Å(예컨대 1,000Å)인 산화 규소막(14)이 스퍼터링에 의해 형성된다. 비정질 실리콘막(13)과 산화 규소막(14)의 적층판은 사직석판술로서 아일랜드(islands)로 패턴화된다.

상술한 단계 후에는 두께가 5 내지 200Å, 예컨대 100Å인 규화니켈 막(15)이 스퍼터링 기술에 의해 형성된다. 규화니켈막(15)의 조성물은 화학식 $NiSi_x$로 되며, 여기에서 x는 $0.4 \leq x \leq 2.5$(예컨데 $x=2.0$)이다. 규화니켈막은 비정질 실리콘막의 측면상에 형성된다. 이 막은 증발, CVD 또는플라즈마 처리에 의해 형성될 수도 있다. 이 방법으로서, 제 1a 도에 도시한 형상이 얻어진다. 결정화를 촉진시키기 위한 금속이 니켈이 아니면, 박막(15)은 스퍼터링, 증발, 플라즈마 처리, 또는 니켈 이외의 금속을 이용한 CVD에 의해 형성될 수 있다.

다음에, 적층판은 규화니켈 영역(16)을 형성하도록 1시간 동안 300 내지 600℃(예컨데 450℃)로 가열되고, 그후 규화니켈막(15)을 제거한다. 비정질 실리콘막(13)은 환원 수소 분위기(양호하게는 수소의 부분압이 0.1 내지 1atm 인 곳) 또는 불활성 분위기(대기압)에서 4시간 동안 550℃로 어닐링된다. 이때에 결정은 화살표(17)로 도시한 바와 같이 기판(11)과 평행하게 성장한다.

상술한 단계는 하기와 같이 변경될 수 있다. 열 어닐링은 규화니켈을 형성하지 않고 4시간 동안 550℃에서 실시된다. 결정은 비정질 실리콘막(13)의 측면(16)으로부터 직접 성장한다. 다음에, 규화니켈막(15)이 제거된다. 이 변경된 단계가 적용되면, 결정화는 규화니켈(16)의 형성과 동시에 이뤄진다. 그러나, 이 경우에는니켈 원소가 열 어닐링 동안에 확산될 가능성이 있다.

상술한 단계의 결과로써 비정질 실리콘막이 결정화되었다. 따라서, 결정 실리콘막(13, 제 1(c)도)이 유도될 수 있다. 그 다음에 등방성 에칭(isotropic etching)은 결정 실리콘막(13)의 측면(18)을 에칭하도록 수행되는데, 이는 이 부분이 규화니켈로 제조되고 10^{21} 원소수/㎤ 이상의 높은 농도의 니켈을 포함하기 때문이다. 이 방법에서 규화니켈 영역의 제거는 TFT와 같은 디바이스가 제조될 경우 매우 중요하다. 예컨데, 이 단계 후에 소스/드레인 영역을 형성하기 위한 이온 주입 단계와, 소스/드레인 영역을 활성화시키기 위한 활성 단계와, 기타 단계들이 수행된다. 상술한 단계에서, 실리콘막(13)에 열이 가해지는 것이 필수적이고, 따라서 니켈 원소가 실리콘막에서 니켈 풍부 영역(nickel - rich region)밖으로 확산될 수 있다. 특히, 규화 니켈이 형성되는 경우, 상당량의 니켈이 이 규화니켈 영역으로부터 확산될 것으로 예상된다. 이는 TFT의 동작에 영향을 미치게 된다. 결국, 결정화 후에 전술된 바와 같이 규화니켈 영역을 제거하는 것이 유리하다.

그 후, 산화규소막(14)을 제거하여 제 1c 도에 도시된 형상을 얻었다. 결정은 양측면에서부터 성장하여 그들의 전단부가 결정화된 실리콘막(13)의 중심에서 상호 겹쳐졌다. 이 중심부분에는 니켈이 대량으로 도핑되기 때문에, 이 대량으로 도핑된 영역을 TFT의 채널 형성 영역으로 이용하는 것은 바람직하지 않다.

그 후, 제 2a 도에 도시된 바와 같이, 스퍼터링에 의해 두께 1000Å 의 산화 규소막(201)을 게이트 절연막으로 형성했다. 이 스퍼터링 단계 중에, 산화규소로 이루어진 타겟을 이용했다. 기판의 온도는 200 내지 400℃, 예컨데 350℃였다. 스퍼터링 분위기는 산소와 아르곤으로 조성됐다. 산소량에 대한 아르곤의 비는 0 대 0.5, 예컨데 0.1 이하였다.

계속해서, 스퍼터링에 의해 두께가 약 6000 내지 8000Å, 예컨데 6000Å의 알루미늄막을 형성했다. 그 막은 0.1 내지 2%의 실리콘을 함유했다. 알루미늄막을 패턴화하여 게이트 전극(19,21)을 형성했다. 알루미늄 전극 표면을 양극 산화처리하여 그 표면상에 산화물층(20,22)을 형성했다. 이 양극 산화 처리 작업은 1 내지 5%의 주석산을 함유하는 에틸렌 글리콜(etylene glycol) 용액중에서 실행했다. 얻어진 산화물층(20,22)의 두께는 2000Å이었다. 이들 산화물층(20,22)의 두께는 후기 이온 도핑 단계에서 오프셋 게이트 영역을 결정한다. 그러므로, 오프셋 게이트 영역의 길이는 전술한 양극산화 처리 단계에서 결정될 수 있다.

그 후, 불순물 이온이 주입되어 채널 및 소스/드레인 영역을 형성하는 활성층에 하나의 전도도 형식을 부여했다. 이러한 이온 주입 단계에서, 게이트 전극(19)과, 그 둘레의 산화물층(20)과, 게이트 전극(21) 및 그 둘레의 산화물층(22)을 마스크로서 이용하여 불순물, 즉, 인 및 붕소를 주입했다. 포스핀(PH_3) 및 디보란(B_2H_6)을 도펀트 가스로 이용했다. 포스핀을 60 내지 90kV, 예컨데 80kV로 가속시켰다. 디보란을 40 내지 80kV, 예컨데 65kV로 가속시켰다. 선량(dose)은 1×10^{15} 내지 8×10^{15} 이온/㎠ 이었다. 예를 들면, 인의 선량은 2×10^{15} 이온/㎠ 이었다. 붕소의 선량은 5×10^{15} 이온/㎠ 이었다. 도핑 단계중에, 하나의 영역에 포토레지스트를 피복하여 원소들을 선택적으로 주입했다. 그 결과, N형 도핑 영역(26,28)과, P형 도핑 영역(23,25)이 형성됐다. 그러므로, P 채널 TFT(PTFT)를 위한 영역과 N 채널 TFT(NTFT)를 위한 영역이 형성될 수 있었다.

그 후에, 그 적층판(laminate)을 레이저 광이나 다른 강력한 광을 조사함으로써 어닐링했다. KrF 엑시머 레이저(파장이 248nm, 펄스폭이 20nsec 임)에 의해 방출된 레이저 광을 이용했다. 다른 레이저도 이용될 수 있다. 200 내지 400mJ/㎠, 예컨데 250mJ/㎠의 에너지 밀도로서 레이저 광을 방출했다. 소정 지점마다 2 내지 10쇼트(shot), 예컨데 2

쇼트가 방출됐다. 레이저 조사중에, 기판을 약 200 내지 450℃로 가열하는 것이 유리하다. 사전에 결정화된 영역에 니켈 원소가 이미 확산되었기 때문에, 이 레이저 어닐링 단계에서 레이저 조사가 재결정화를 촉진한다. 전도도 형식 P를 부여하기 위해 불순물로 도핑된 영역(23,25)과, 전도도 형식 N을 부여하기 위해 불순물로 도핑된 영역(26,28)이 쉽게 활성화 될 수 있다.

이 단계에서 레이저 광 이외의 강력한 광의 조사가 이용되는 경우, 예를 들면 파장이 1.2㎛인 적외선을 이용하는 것이 유리하다. 적외선은 실리콘에 의해 쉽게 흡수될 수 있어서 1000℃ 이상에서 수행된 열어닐링에 비견될만한 효과적인 어닐링을 허용한다. 그러나, 유리기판은 적외선을 쉽게 흡수하지 않으며, 따라서 기판의 과열이 억제된다. 더우기, 처리공정이 단시간내에 수행될 수 있다. 결과적으로, 유리 기판의 수축이 문제로 되는 단계에 대해서는 적외선 조사를 이용하는 것이 가장 적합하다.

계속해서, 6000Å의 두께를 갖는 산화규소막(29)이 플라즈마 CVD에 의하여 중간층 절연체로서 형성되었다. 상기 산화규소막(29)내에는 접촉홀이 형성되었다. 전도성 상호 접속부(30,31,32)와 TFT의 전극은 예를 들어, 질화 티타늄(titanium nitride)과 알루미늄과 같은 금속 재료의 다층막으로 제조되었다. 마지막으로, 상기 적층판은 1 기압의 수소 분위기에서 30 분 동안 350℃에서 어닐링되었다. 이러한 방식으로, 상보형 TFT를 포함하는 반도체 회로가 완성되었다. (제 2b 도).

상기 회로는 상보형 PTFT와 NTFT 포함하는 CMOS 구조로 이루어진다. 상술된 단계는 다음과 같이 변경될 수도 있다. 두개의 TFT가 동시에 제조되어, 두개의 독립된 TFT로 분리된다.

이러한 구조에서, 상기 캐리어가 소스와 드레인 사이에서 이동하는 방향은 결정이 채널 형성 영역에서 성장하는 방향과 실질적으로 일치한다. 그러므로, 이동성이 높은 TFT를 얻을 수 있다. 즉, 상기 캐리어는 스타일러스형 또는 기둥형 결정의 입자 경계를 따라 이동한다. 상기 캐리어가 받는 저항이 감소될 수 있어서 높은 이동성을 갖는 TFT의 제조를 가능하게 한다.

[제2 실시예]

이 실시예는 화소용 스위치 장치로 사용되는 N 채널 TFT를 갖는 능동 매트릭스 액정 디스플레이에 관한 것이다. 하기의 설명에서는 오직 하나의 화소만이 취급된다. 다른 다수의 (일반적으로 수십만의) 화소는 비슷하게 구성된다. 상기 N 채널 TFT는 P 채널 TFT로 교체될 수도 있다는 것은 명백하다. 상기 TFT는 액정 디스플레이의 화소부에서 보다는 주변 회로에 사용될 수 있다. 또한, 상기 TFT는 영상 센서 또는 다른 장치에 사용될 수 있다.

본 실시예의 프로세스 순서는 제 1a 도 내지 제 1d 도 및 제 3a 도 내지 제 3b 도에 도시되어 있다. 상기 제조 단계는 다음의 순서로 수행된다. 이 실시예에서는 1.1mm의 두께와 가로세로 300×400mm의 코닝 7059로 제조된 기판(201)이 사용되었다. 제 1a 도 내지 제 1d 도에 도시된 단계는 제 1 실시예의 단계와 같으며, 따라서 그 설명은 생략하기로 한다.

제 1(d) 도에서, 결정화된 실리콘막(13)을 얻은 후, 개별 디바이스는 패턴화에 의해 분리된다. 상기 개별 디바이스 사이의 실리콘막(13)의 중심부가 제거된다면, 니켈로 강하게 도핑된 실리콘막(13)의 중심부가 제거되어 소정의 결과를 얻을 수 있다. 이러한 방식으로, 제 3a 도에 도시된 바와 같이, 활성층 영역(제 3a 도의 33,34,35)이 결정되어, 게이트 절연막으로 되는 산화규소막(301)이 형성되었다. 상기 산화규소막은 스퍼터링에 의해 형성될 수도 있다. 이 실시예에서, 산화규소막은 산소 분위기내에서 플라즈마 CVD에 의해 TEOS로부터 형성되었다. 상기 산화 규소막의 두께는 1000Å이었다.

그런 다음, 주로 실리콘으로 구성된 공지된 막이 CVD에 의해 형성되어 게이트 전극(32)을 형성하도록 사진석판술로 패턴화되었다. 인 이온이 N형 불순물로써 이온 주입법에 의하여 주입되었다. 소스 영역(33)과, 채널 형성 영역(34) 및 드레인 영역(34)은 자동 중심 조정 방법에 의해 형성되었다. 상기 실리콘막은 이온 주입에 의해 저하된 실리콘막의 결정성을 개선하기 위해 레이저 및 또는 다른 강력한 광으로 조사되었다. 이때, 상기 레이저광의 에너지 강도는 250 내지 300mJ/㎠ 였다. 상기 레이저 조사의 결과, TFT의 소스/드레인 영역의 시트저항은 300 내지 800Ω/㎠로 변하였다. 레이저 광보다 강력한 광을 사용하는 경우, 적외선을 사용하는 램프 어닐링을 이용하는 것이 효과적이다.

그 후, 중간층 절연체(36)는 산화규소로부터 형성되고, 화소 전극(39)은 ITO로부터 제조되며, 접촉홀이 형성되었다. 크롬과 알루미늄의 다층막으로부터 TFT의 소스/드레인 영역상에 전극(38,39)이 형성되었다. 또한, 하나의 전극(39)은 상기 ITO 전극(37)에 접속된다. 마지막으로, 상기 적층판은 수소 분위기에서 2시간 동안 200 내지 300℃로 어닐링되므로써 수소 처리가 완료된다. 이런 방법으로 TFT가 완성되었다. 상기 단계는 다른 다수의 화소 영역에서도 동시에 수행됐다.

이 실시예에서 제조된 TFT는 소스 영역과, 채널 형성 영역 및 드레인 영역을 형성하는 활성층으로써 결정 실리콘막을 사용한다. 상기 결정 실리콘막은 캐리어가 흐르는 방향으로 성장된 결정을 포함한다. 따라서, 캐리어는 결정 입자 경계를 넘지 않는다. 즉, 캐리어는 스타일러스형 또는 기둥형 결정의 입자 경계를 따라 이동한다. 이로 인해, 고이동성을 갖는 TFT가 형성될 수 있다.

제 1c 도에 도시된 단계에서, 규화니켈 영역이 제거된다. 그리고, 제 1d 도 내지 제 3a 도에 도시된 단계에서, 활성층이 실리콘막(13)의 중심부(10)를 포함하지 않고 형성된다. 이런 방법으로, 활성층은 니켈에 의해 크게 도핑되지 않는다. 이것이 TFT의 신뢰성을 향상시킬 수 있다. 즉, 규화니켈은 측면(18)에서 형성되는 것이다. 마지막으로 성장하는 결정은 서로 만나서 중심부(10)에서 끝나므로, 이 부분은 니켈에 의해 크게 도핑된다. 그래서 상기 부분이 박막 트랜지스터의 완성전에 에칭되는 것은 중요하다. 본 발명은 박막 트랜지스터에만 한정되는 것은 아니다. 예를 들면 활성층을 사용하여 박막 다이오드같은 반도체 디바이스를 제작하는 데도 이점이 있다.

[제3 실시예]

이 실시예에서, 유리기판상에 형성된 결정 실리콘막을 사용하는 P-채널 TFT(PTFT)와 N-채널 TFT(NTFT)는 회로를 구성하기 위해 상호 보완적으로 결합된다. 이 실시예의 구조는 능동 매트릭스 액정 디스플레이의 화소 전극용 스위치 장치, 이 스위치 장치의 주변 드라이버 회로, 영상 센서, 그리고 집적 회로 등에 적용될 수 있게 한다.

이 실시예의 프로세스 순서는 제 5a 도 내지 제 5d 도에 도시된다. 처음에, 산화규소는 스퍼터링되어서 코닝 7059로 구성된 기판(401)상에 두께 2000Å의 기저막이 된다. 그후, 금속이나 산화 규소와 같은 물질로 만들어진 마스크(403)가 형성된다. 이 마스크(403)는 기저막(402)을 슬릿 형상으로 노출되게 한다. 즉, 제 5a 도에서 도시된 상태를 위에서 쳐다볼 때 기저막(402)의 슬릿부는 노출되고, 그외 부분은 마스크된다. 마스크(403)를 형성한 후, 5 내지 200Å의 두께, 일예로 20Å의 두께를 갖는 규화니켈막은 스퍼터링에 의해 영역(400)상에 선택적으로 형성된다. 규화니켈의 구성은 화학식 $NiSi_x$로 주어지는데, 여기서 x의 값은 $0.4 \leq x \leq 2.5$(일례로 $x=2.0$)이다. 이러한 조건하에서, 니켈 원소는 영역(400) 안으로 선택적으로 주입된다.

그 다음에, 마스크(403)는 제거된다. 그리고, 500 내지 1500Å의 두께, 예를 들어 1000Å의 두께를 갖는 고유의(I-타입) 비정질 실리콘막(404: 비단결정 실리콘막)이 플라즈마 CVD에 의해 형성된다. 이 막은 몇초 내지 몇분 동안 0.

5 내지 5㎛(이 실예에서는 1 내지 1.5㎛)의 파장에서 피크인 적외선으로 조사되는데, 이는 영역(400)상의 비정질 실리콘막을 규화니켈로 변형시키기 위한 것이다. 이 단계는 실리콘막을 통해 니켈 원소를 확산하는데 효과적이다. 상기 과정에서, 적외선 대신에 레이저 광을 사용할 수도 있다.

적층판은 비정질막을 결정화하기 위해 환원 수소 분위기(양호하게, 수소의 부분압은 0.1 내지 1 기압이다) 또는 불활성 분위기(대기압에서)에서 4시간 동안 550℃로 어닐링된다. 이 과정에서, 규화니켈막이 영역(400)상에 선택적으로 형성된다. 이 영역(400)에서, 결정 실리콘막(404)은 기판(401)에 수직으로 결정화된다. 영역(400) 이외의 다른 영역에서, 결정은 영역(400)으로부터 횡방향으로, 즉 화살표(405)가 가리키는 바와 같이 기판에 평행하게 성장된다.

이러한 단계 후, 적층판은 전술한 적외선광의 조사에 의해 어닐링된다. 이는실리콘막(404)의 결정화를 더욱 촉진시킨다. 어닐링중, 보호막으로 작용하는 질화 규소막은 표면상에 양호하게 형성되는데, 이는 실리콘막(404)의 표면 상태가 향상되었기 때문이다. 또한, 실리콘막(404) 표면의 이러한 상태는 H_2 또는 HC1 분위기에서 어닐링을 수행함으로써 효과적으로 향상된다. 적외선 대신에, 레이저 광을 사용할 수도 있다.

이러한 어닐링이 실리콘막을 선택적으로 가열하기 때문에, 유리기판에 적용되는 열량이 최소로 억제될 수 있다. 또한, 실리콘막의 결함과 불량 접착(dangling bond)이 매우 효과적으로 감소될 수 있다.

결정화 단계 후, 적외선이나 레이저 광을 사용해서 어닐링을 수행하는 것은 중요하다. 비정질 실리콘막이 막을 열적 결정화시키지 않고 적외선이나 레이저 광에 의해 어닐링되는 경우에, 마이크로미터에 속하는 큰 입자 직경을 가진 결정 실리콘막이 얻어질 수 있다. 그러나, 결정은 디바이스에서 사용하기에 부적절한 명료한 입자 경계를 갖는다. 예를 들면, 어떤 명료한 입자 경계는 채널 형성 영역내에 존재한다. 이것은 캐리어의 운동을 방해하여 원하지 않는 결과를 초래한다.

다른 한편, 결정이 상술한 바와 같이 열적 결정화에 의해 기판에 평행하게 성장하고 이 결정들로 구성된 실리콘막이 적외선이나 레이저광에 의해 어닐링되면, 기판에 평행한 스타일러스 형상이나 기둥으로 성장한 결정으로 이루어진 결정 구조는 밀집하게 형성된다. 이는 일방향으로 일차원 이방성을 가진 결정 성장을 촉진시킨다. 이런 방향으로의 캐리어의 운동은 결정 입자 경계에 의해 거의 영향을 받지 않는다.

상술한 공정 단계의 결과로서, 비정질 실리콘막은 결정화되고, 결정 실리콘막(404)이 얻어진다. 그후 개별 디바이스가 분리된다. TFT의 활성층 영역이 만들어진다. 이때, 성장 결정의 전단부(105)가 채널 형성 영역(405)인 부분에 존재하지 않는다는 점이 중요하다. 이는 소스와 드레인 사이의 캐리어 이동이 채널 형성 영역의 니켈에 의해 영향을 받는 것으로부터 방지케 한다.

1000Å 두께의 산화규소막은 스퍼터링 기술에 의해 게이트-절연막으로 형성된다. 이런 스퍼터링 공정중에, 산화규소로 구성된 타겟이 사용된다. 기판 온도는 200 내지 400℃, 예를 들면 350℃이었다. 스퍼터링 분위기는 산소와 아르곤으로 둘러싸여 있다. 산소 양에 대한 아르곤 양의 비율은 0 내지 0.5, 예를 들면, 0.1 이하이다.

산화규소막(406)이 게이트-절연막으로 형성된 후, 적외선광이나 레이저광의 조사에 의해 다시 어닐링된다. 이 어닐링은 산화규소막(406)과 실리콘막(404) 사이의 접촉 영역의 레벨과, 접촉 영역에 인접한 부분의 레벨을 주로 소멸시킨다. 이는 게이트-절연막과 채널 형성 영역 사이의 접촉 영역의 특성이 상당히 중요한 절연-게이트 전계 효과 트랜지스터용으로 유용하다.

다음에, 6000 내지 8000Å, 예를 들면, 6000Å의 두께를 갖는 알루미늄막이 스퍼터링에 의해 형성된다. 상기 막은 0.1 내지 2% 실리콘을 함유한다. 알루미늄 막은 게이트 전극(407, 409)을 형성하도록 패턴화되어 있다. 알루미늄 전극의 표면은 이 표면상에 산화물층(408,410)을 형성하도록 양극 산화 처리된다. 이 양극 산화 처리 단계는 1 내지 5% 주석산을 함유하는 에틸렌 글리콜 용액으로 실행된다. 얻어진 산화물층(408,410)의 두께는 2000Å이었다. 이 두께는 후기 이온-도핑 단계에서 오프셋 게이트 영역을 결정한다. 그래서, 오프셋 게이트 영역의 길이는 상술된 양극 산화 처리 단계에서 결정된다.

또한, 불순물 이온은 소스/드레인 및 채널을 형성하는 활성층 영역에 하나의 전도도 형식을 제공하도록 주입된다. 이러한 이온 주입 단계에서, 불순물 예를 들면, 인, 붕소 등이 마스크로서 게이트 전극(407)과, 이를 둘러싸는 산화물층(408)과, 게이트 전극(409) 및 이를 둘러싸는 산화물층(410)을 사용하여 주입된다. 포스핀(PH_3)과 디보란(B_2H_6)이 도펀트 가스로서 사용된다. 이 포스핀은 60 내지 90kV 예를 들면 80kV에서 가속되었다. 디보란은 40 내지 80kV, 예를 들면 65kV에서 가속되었다. 선량은 1×10^{15} 내지 8×10^{15} ions/㎠ 이었다. 예를 들면 인의 선량은 2×10^{15} ions/㎠ 이었고 붕소의 선량은 5×10^{15} ions/㎠이었다. 도핑 단계중에, 하나의 영역이 원소를 선택적으로 주입하기 위해 포토레지스터로 피복되었다. 그 결과, N형 도핑 영역(414,416)과 P형 도핑 영역(411,413)이 형성되었다. 그래서, P-채널 TFT(PTFT) 영역과 N-채널 TFT(NTFT)영역이 형성되었다.

그 후에, 적층판은 레이저광의 조사에 의해 어닐링되었다. KrF 엑시머 레이저(파장이 248nm 이고 펄스 폭이 20nsec 임)에 의해 방출된 레이저 광이 사용되었다. 다른 레이저도 사용될 수 있다. 레이저 광은 에너지 밀도가 200 내지 400 mJ/㎠, 예를 들면, 250mJ/㎠로 방출되었다. 위치마다 2 내지 10 쇼트, 예를 들면 2쇼트가 방출되었다. 레이저 조사 동안 약 200 내지 450℃까지 기판을 가열하는 것이 바람직하였다. 니켈 원소가 앞서 결정화된 영역내에 확산되었기 때문에, 레이저 조사는 금번 레이저 어닐링 단계에서의 재결정을 조장한다. 전도도 형식 P를 부여하기 위한 불순물로 도핑된 영역(411,413)과 전도도 형식 N을 부여하기 위한 불순물로 도핑된 영역(414,416)은 쉽게 활성화될 수 있었다.

이 단계는 또한, 적외선 광을 이용하는 램프 어닐링을 활용할 수도 있다. 적외선 광은 실리콘내로 쉽게 흡수되어 1000℃이상에서 수행된 열 어닐링과 비교할 때 효과적인 어닐링을 가능하게 한다. 그러나, 적외선은 유리기판에 의해 쉽게 흡수되지 않으므로 기판이 과열되는 것이 방지된다. 또한, 처리는 짧은 시간내에 수행될 수 있다. 결과적으로 적외선의 조사를 사용하는 것은 유리기판의 수축이 문제가 되는 단계에서 가장 적합하다.

그 다음에, 6000Å의 두께를 가지는 산화 규소막(418)이 플라즈마 CVD에 의해 중간층 절연체로 형성되었다. 중간층 절연체는 폴리이미드로 제조될 수 있다. 접촉 홀은 산화규소막(418)내에 형성된다. TFT의 전극 및 전도성 상호 접속부(417,420,419)는 질화티타늄 및 알루미늄과 같은 금속 재료의 다층막으로 제조된다. 최종적으로, 적층판은 수소 분위기 1 기압속에서 350℃에서 30분 동안 어닐링되었다. 이러한 방법으로 상보성 TFT를 포함하는 반도체 회로가 완성되었다(제 5d 도).

이러한 회로는 상보성 PTFT 및 NTFT 를 포함하는 CMOS 구조이다. 상기 단계는 다음과 같이 변경될 수도 있다. 두 TFT는 동시에 제조되고 두개의 독립 TFT로 분리된다.

제 6 도는 제 5d 도에 도시된 구조의 개략 평면도이다. 제 5a 도 내지 제 5d 도 및 제 6 도에서, 유사한 부품은 유사한 참조부호로 표시된다. 제 6 도에 도시된 바와 같이, 결정화는 화살표 방향으로 진행된다. 결정은 소스 및 드레인 영역을 연결하는 라인을 따라 성장한다. 본 구조의 TFT 작동중에, 캐리어는 스타일러스 또는 기둥과 같이 성장한 결정을 따라 소스 및 드레인 사이에서 이동한다. 특히, 캐리어는 스타일러스형 또는 기둥형 결정의 입자 경계를 따라 이동한다. 캐리어가 받는 저항은 감소될 수 있다. 이것은 높은 이동성을 갖는 TFT의 제조를 가능하게 한다.

이 실시예에서는, 비정질 실리콘막(404) 아래에 위치된 기처층(402)상에 Ni박막을 선택적으로 형성하고 결정의 성장을 이 박막으로부터 시작하게 함으로써 Ni원소가 주입된다. 이 Ni막은 너무 얇아서 막으로써 관찰하기가 어렵다. 비정질 실리콘막(404)의 형성후에, 규화 니켈막이 선택적으로 형성될 수 있다. 즉, 결정성장이 비정질 실리콘의 상부 표면으로부터 또는 하부 표면으로부터 시작될 수 있다. 다른 가능한 방법이 비정질 실리콘막을 증착시키는 것과, 그뒤 이온 도핑에 의해 상기 비정질 실리콘막(404)의 선택된 부위내로 니켈 이온을 주입시키는 것으로 구성된다. 이 방법은 니켈

원소의 농도가 제어될 수 있다는 특징이 있다. 또한 플라즈마 처리 또는 CVD가 사용될 수도 있다.

[제4 실시예]

이 실시예는 화소용 스위치 장치로서 배열된 N-채널 TFT를 가지는 능동 매트릭스 액정 디스플레이다. 다음의 설명에서, 오직 한 화소만 취급되지만 다른 수많은 (보통 수십만개의) 화소도 유사하게 구성되어 있다. 분명하게, N-채널 TFT는 P-채널 TFT로 대체될 수 있다. TFT는 액정 디스플레이의 화소에서 보다 주변 회로에서 사용될 수 있다. 즉, TFT의 사용에는 제한이 없다.

절연 게이트 전계 효과 트랜지스터가 다음과 같이 제조된다. 본 예의 프로세스 순서는 제 7a 도 내지 제 7d 도에 개략적으로 도시되어 있다. 본 예에 있어서, 두께 1.1mm, 치수 300×400mm를 갖는 코닝 7059로 제조된 유리 기판(201)이 사용되었다. 먼저, 두께 2000Å의 기저막(202)으로서 산화규소가 스퍼터링된다. 이후, 금속, 산화규소, 포토레지스트, 또는 기타 재료로부터 마스크(203)가 형성된다. 규화니켈막은 5 내지 200Å의 두께, 예를 들어 20Å의 두께로 스퍼터링되므로써 형성된다. 규화 니켈의 조성은 화학식 $NiSi_x$로 주어지며, 여기서 $0.4 \leq x \leq 2.5$(예로서 $x=2.0$)이다. 이런 방식으로 영역(204)에는 규화니켈막이 선별적으로 형성된다.

그 후에, LPCVD 또는 플라즈마 CVD에 의해 두께가 1000Å인 비정질 실리콘막(205)이 형성된다. 이후, 막은 규화 니켈막에 함유된 니켈과 비정질 실리콘막(205)사이에 규화물을 생성하기 위해 적외선 또는 레이저광에 의해 조사되어 어닐링된다. 이 단계는 또한 비정질 실리콘막내에 니켈 원소를 효과적으로 확산시키고자 하는 것이다. 적층판은 400℃에서 1시간 동안 탈수소화된다. 이후 비정질 막은 열어닐링에 의해 결정화된다. 이 어닐링 단계는 환원 수소 분위기에서 (수소의 부분압은 0.1 내지 1 atm이다) 550℃에서 4시간 동안 진행된다. 이 열 어닐링은 또한 질소와 같은 불활성가스 분위기에서 진행될 수도 있다.

상기 어닐링 단계에서는, 비정질 실리콘막(205) 아래의 영역(204)에 규화니켈막이 형성된다. 따라서 이 영역에서부터 결정화가 시작된다. 이 결정화 도중에 실리콘 결정은 제 7b 도에 하나의 화살표로 도시하듯이 규화니켈이 증착된 영역(204)에서 기판(201)과 수직하게 성장한다. 다른 화살표로 도시하듯이, 결정은 규화니켈이 증착되지 않는 영역(즉, 204 영역 이외의 영역)에서 기판과 평행하게 성장한다.

이러한 가열 단계 이후에 마스크(103)가 제거된다. 실리콘막(205)은 적외선이나 레이저광의 조사에 의해 다시 열 어닐링된다. 이런 방법으로 결정 실리콘으로 구성되는 반도체막(205)이 얻어질 수 있다. 이후, 반도체막(205)이 사진 석판술로서 팬턴화되어 반도체 아일랜드 영역이나 TFT의 활성층을 형성한다. 화살표로 도시된 바와 같이 성장한 결정의 전단부가 활성층내에, 특히 채널 형성 영역에 존재하지 않는 점은 중요하다.

특히, 제 7b 도의 화살표의 전단부가 성장하는 결정의 단부를 가리키는 경우, 수평 화살표의 단부(도면의 좌측단부)에 있는 니켈 도핑영역(204) 및 결정 실리콘막(205)은 부식되었다. 활성층으로서는 결정 실리콘막(205)에 평행하게 성장한 중간 결정부를 사용하는 것이 유익하다. 이는 TFT 특성이 성장한 결정의 전단부에 농축된 니켈 원소에 의해 악영향을 받는 것을 방지한다.

이후, 두께가 70 내지 120nm, 통상은 100nm인 게이트 절연막(206)이 플라즈마 CVD에 의해 산소 분위기에서 TEOS로부터 형성된다. 기판 온도는 유리기판이 수축되거나 뒤틀리는 것을 방지하기 위해 400℃미만으로 설정되며 보통은 200 내지 350℃로 설정된다.

이어서 적층판은 다시 적외선이나 레이저광의 조사에 의해 가열됨으로써 실리콘막(205)과 산화규소막(206) 사이의 경계면의 특성이 개선된다. 이후 주로 실리콘으로 구성되는 공지의 막이 CVD에 의해 형성되고 사진 석판술로서 패턴화

되어 게이트 전극(207)을 형성한다. 이어서 이온 주입 방법에 의해 인 이온이 N 형 불순물로서 주입된다. 소스 영역(208)과, 채널 형성 영역(209) 및, 드레인 영역(210)이 자동 중심 조정 방법에 의해 형성된다. 실리콘막은 KrF 레이저에 의해 방사되는 레이저 광으로 조사됨으로써 이온 주입에 의해 저하된 그 결정성이 향상된다. 이때 레이저 광선의 에너지 밀도는 250 내지 300mJ/㎠이다. 레이저 조사의 결과로서, TFT의 소소/드레인 영역의 시트 저항은 300 내지 800Ω/㎠으로 변한다. 이 단계에서는 적외선을 이용한 램프 어닐링을 사용하는 것이 유리하다.

본 실시예에서, 게이트 전극(207)은 주로 실리콘으로 구성되며, 따라서 게이트 전극의 막은 상기 이온 주입 및 후속 어닐링에 의해 더 견고하게 제조될 수 있다.

이후, 산화규소 또는 폴리이미드로부터 중간층 절연체(211)가 형성된다. 화소 전극(212)이 ITO로부터 제조되며, 접촉 홀이 형성된다. 전극(213,214)은 크롬 및 알루미늄의 다층막에서 TFT의 소스/드레인 영역상에 형성된다. 하나의 전극(214)은 또한 ITO 전극(212)과 연결된다. 마지막으로 상기 적층판은 수소 안에서 2시간 동안 200-300℃로 어닐링되며, 따라서 실리콘은 완전히 수소 처리된다. 이와 같은 방식으로, TFT가 완성된다. 이 단계는 또한 다른 다수의 화소 영역에서 동시에 수행된다.

이 실시예에서 사용된 TFT는 소스 영역과, 채널 형성 영역 및 드레인 영역을 형성하는 활성층으로서 작용하는 결정 실리콘막을 사용하고, 이 결정 실리콘막은 캐리어의 유동 방향으로 성장한 결정을 포함한다. 따라서, 캐리어는 결정의 입자경계를 지나가지 않는다. 상기 캐리어는 스타일러스형 또는 기둥형 결정의 입자 경계를 따라 이동한다. 이것은 높은 이동성을 갖는 TFT의 제작을 가능하게 한다. 이 실예에서 제작된 TFT는 N-채널형이고 90 내지 130 ㎠/V.s의 이동성을 가지며, 그것은 600℃에서 48시간 동안 수행된 열적 어닐링에 의한 결정화에 의해 얻어진 결정 실리콘막을 사용하는 종래의 N-채널 TFT에서의 80 내지 100㎠/V.s의 이동성에 비해 훨씬 우수하다. 결정화 단계가 진행되는 동안 적외선 또는 레이저광의 조사를 이용하는 어닐링과 게이트 절연막의 형성에 이은 적외선 또는 레이저광의 조사를 이용하는 어닐링이 생략되는 경우, 만들어진 TFT는 일반적으로 낮은 이동성 및 낮은 온/오프(ON/OFF) 전류비를 갖는다.

[제5 실시예]

이 실시예는 제3 실시예의 구조에 대한 연장이다. TFT는 결정화를 촉진하는 금속으로 얇게 도핑된 영역만을 이용하여 제조된다. 제 8a 도 내지 제 8e 도는 이 실시예의 프로세스 순서를 도시한다. 유사한 요소들에는 제 5a 도 내지 제 5d 도, 제 8a 도 내지 제 8e 도의 참고부호를 동일하게 표시될 것이다. 먼저 기저막(402)은 유리기판(401)상에 형성된다. 규화니켈막은 마스크(403)를 사용하여 제3 실시예에서와 같은 방식으로 영역(400)에 형성된다. 상기 방식으로 니켈 원소가 영역(400)에 주입된 후에, 적외선 또는 레이저광을 이용한 어닐링이 수행되고, 이어서 마스크(403)가 제거된다. 이어서, 비정질 실리콘막(404)이 형성된다. 비정질 실리콘막은 실리콘막(404)을 결정화하기 위하여 4시간 동안 550℃에서 어닐링되었다. 화살표(405)로 지시한 대로 결정은 기판과 평행하게 성장된다. 열적 어닐링 이후, 또 다시 결정화를 촉진시키기 위해 적외선 또는 레이저광의 조사를 이용하여 어닐링이 실행된다.

이러한 방법으로 제 8b 도에 도시된 상태가 실현되었다. 이 상태에서, 니켈 원소는 영역(442)에 직접 주입된다. 즉, 이 영역(442)은 니켈로 고농도로 도핑된다. 결정의 성장은 영역(441,443)에서 종결된다. 이 영역(441,443)도 또한 니켈로 고농도로 도핑된다. 여기서 이 영역에서의 니켈 농도가 삽입된 결정화 영역에서의 니켈 농도보다 거의 일등급의 크기만큼 크다는 사실을 알았다.

이 실시예는 니켈로 고농도로 도핑된 영역이 사용되지 않는다는 것을 특징으로 한다. 제 8c 도에 도시된 바와 같이, 마스크는 부분(444 및 445)에서 레지스터로부터 형성된다. 영역(441,442,443)은 에칭으로 제거된다. 이러한 에칭 단계는 수직 이방성을 갖는 RIE에 의해 수행되었다.

에칭 후에 마스크(444,445)는 제거된다. 따라서 제 8d 도에 도시된 형상이 얻어진다. 이러한 상태하에서 결정은 기판(401)과 평행하게 성장되었다. 부가로 니켈로 얇게 도핑된 결정 실리콘막(446,4478)이 얻어진다. 이들 결정 실리콘막(446,447)은 TFT 또는 박막 다이오드 등을 형성하는 박막 반도체의 활성층으로 작용한다. 따라서 이들 결정 실리콘막이 방향이 정해진다. 상기 막의 니켈 농도는 10^{17} 내지 10^{19} 원소수/㎠ 이다.

이 실시예에서, 실리콘막(446,447)은 TFT의 활성층으로서 사용된다. 상보형 TFT 회로는 이들 TFT로 구성된다. 이 회로의 구조는 제 8e 도에 도시되어 있으며, 제 5d 도에 도시된 구조에서 2개의 TFT의 활성층이 서로 접촉하고 니켈 농도가 중간 영역에서 높은 것을 제외하고는 제 5d 도에 도시된 구조와 유사하다.

제 8e 도에 도시된 구조가 채택된 경우에, 활성층은 니켈로 두껍게 도프되지 않는다. 이러한 사실은 동작의 안정성을 향상시킨다.

이 실시예에서는, 게이트 절연막(446)과 활성층(447)간의 접촉 영역의 특성이 향상되도록 게이트 절연막 형성 후에 적외선 또는 레이저 광의 조사를 사용하여 어닐링을 수행하는 것이 아주 유리하다.

비정질 실리콘막은 사진석판술에 의해 아일랜드로 패턴화된다. 결정화를 촉진하기 위한 금속 원소의 막이 비정질 실리콘막의 측면상에 증착된다. 이러한 방법으로 기판에 평행하게 성장한 결정으로 이루어진 실리콘막으로 전체 비정질 실리콘막을 만들 수 있다. 상기 금속 원소막을 제거한 후에 TFT가 결정화된 실리콘막을 사용하여 만들어진다. 그 결과, 고이동성을 가진 TFT가 만들어진다.

가열 동작으로 결정 실리콘막이 결정화된다. 이어서, 적외선 또는 레이저광의 조사로 실리콘막이 어닐링된다. 이러한 사실은 결정화를 촉진하여 보다 밀집된 막으로 만든다. 결과적으로, 양호한 결정성을 가진 실리콘막이 생성된다. 또한 접촉 영역 레벨은 절연막이 실리콘막상에 형성된 후에 적외선 또는 레이저광의 조사에 의한 어닐링을 실시함으로써 감소될 수 있다. 특히, 절연 게이트 전계 효과 트랜지스터를 제조하는 경우에 상당한 잇점을 가지게 된다.

(57) 청구의 범위

청구항 1.

반도체 디바이스 제조 방법에 있어서, 비단결정 반도체막을 기판상에 형성하는 단계와; 절연막을 상기 반도체막상에 형성하는 단계와; 상기 반도체막과 상기 절연막을 패턴화하는 단계와; 상기 반도체막의 결정화를 촉진하는 금속원소를 함유한 막을 패턴화된 절연막상에 형성하여 패턴화된 반도체막의 측면과 접촉시키는 단계와; 상기 패턴화된 반도체막의 측면으로부터 결정화를 시작하는 단계를 포함하는 반도체 디바이스 제조 방법.

청구항 2.

제1항에 있어서, 상기 결정화 후에 상기 금속원소를 함유한 막을 제거하여 기판에 평행하게 성장한 결정을 포함하는 결정 실리콘막을 획득하도록 하는 반도체 다바이스 제조 방법.

청구항 3.

제1항에 있어서, 박막 트랜지스터는 결정화된 반도체막을 사용하여 제조되는 반도체 다바이스 제조 방법.

청구항 4.

제3항에 있어서, 박막 트랜지스터의 소스/드레인 영역은 결정이 성장하는 방향을 따라 형성되는 반도체 다바이스 제조 방법.

청구항 5.

제1항에 있어서, 결정의 성장이 시작되는 부분과 결정의 성장이 정지하는 부분을 제거하는 단계와; 결정화를 촉진하기 위한 금속원소로 소량이 도핑되는 영역을 사용하여 반도체 디바이스를 제조하는 단계를 추가로 포함하는 반도체 다바이스 제조 방법.

청구항 6.

제1항에 있어서, 상기 비단결정 반도체막은 비정질 실리콘막인 반도체 다바이스 제조 방법.

청구항 7.

제1항에 있어서, 상기 절연막은 산화규소를 포함하는 반도체 다바이스 제조 방법.

청구항 8.

제1항에 있어서, 상기 금속원소를 포함하는 막은 규화니켈을 포함하는 반도체 다바이스 제조 방법.

청구항 9.

반도체 다바이스 제조 방법에 있어서, 기판상에 비단결정 반도체막을 형성하는 단계와; 상기 반도체막상에 절연막을 형성하는 단계와; 상기 반도체막과 상기 절연막을 패턴화하는 단계와; 상기 반도체막의 결정화를 촉진하기 위해 금속원소를 함유하는 막을 상기 패턴화된 절연막상에 형성함과 함께 상기 패턴화된 반도체막의 한 측면과 접촉시키는 단계와; 상기 금속원소를 함유하는 막을 형성하는 단계 후에 패턴화된 반도체막을 가열하는 단계를 포함하는 반도체 다바이스 제조 방법.

청구항 10.

제9항에 있어서, 상기 패턴화된 반도체막은 가열에 의해 결정화되는 반도체 다바이스 제조 방법.

청구항 11.

제9항에 있어서, 상기 비단결정 반도체막은 비정질 실리콘막인 반도체 다바이스 제조 방법.

청구항 12.

제9항에 있어서, 상기 절연막은 산화규소를 포함하는 반도체 다바이스 제조 방법.

청구항 13.

제9항에 있어서, 상기 금속원소를 함유하는 막은 규화니켈(nickel silicide)을 포함하는 반도체 다바이스 제조 방법.

청구항 14.

트랜지스터 제조 방법에 있어서, 기판 위에 비단결정 반도체막을 형성하는 단계와; 상기 반도체막에 절연막을 형성하는 단계와; 상기 반도체막과 상기 절연막을 패턴화하는 단계와; 상기 반도체막의 결정화를 촉진하기 위해 금속원소를 함유하는 막을 상기 패턴화된 절연막상에 형성하여 상기 패턴화된 반도체막의 한 측면과 접촉시키는 단계와; 패턴화된 반도체막의 측면에서부터 결정화를 시작하는 단계와; 결정화후에 상기 금속원소를 함유하는 막과 접촉하는 패턴화된 반도

체막의 부분을 제거하는 단계와; 결정화된 결정 성장의 전단부를 포함하는 패턴화된 반도체막의 다른 부분을 제거하는 단계와; 패턴화된 반도체막의 나머지 부분에 제공된 반도체 영역으로 구성된 트랜지스터를 형성하는 단계를 포함하는 트랜지스터 제조 방법.

청구항 15.

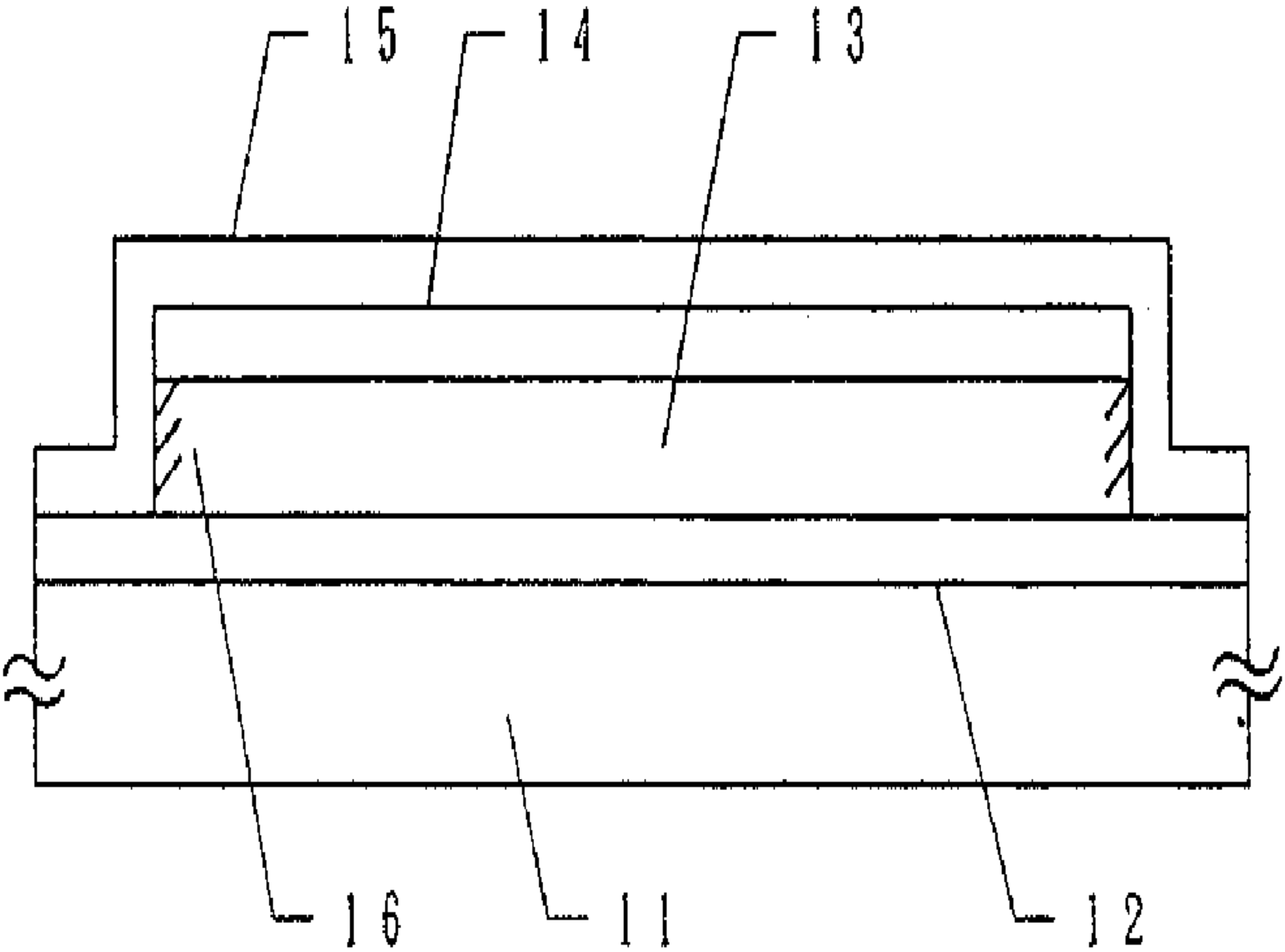
반도체 디바이스 제조 방법에 있어서, 기판 위에 비단결정 반도체막을 형성하는 단계와; 상기 반도체막에 절연막을 형성하는 단계와; 상기 반도체막과 상기 절연막을 패턴화하는 단계와; 상기 반도체막의 결정화를 촉진하기 위해 금속원소를 함유하는 막을 상기 패턴화된 절연막상에 형성하여 상기 패턴화된 반도체막의 한 측면과 접촉시키는 단계와; 패턴화된 반도체막의 측면에서부터 기판에 평행한 방향으로 결정화를 시작하는 단계를 포함하는 반도체 다바이스 제조 방법.

청구항 16.

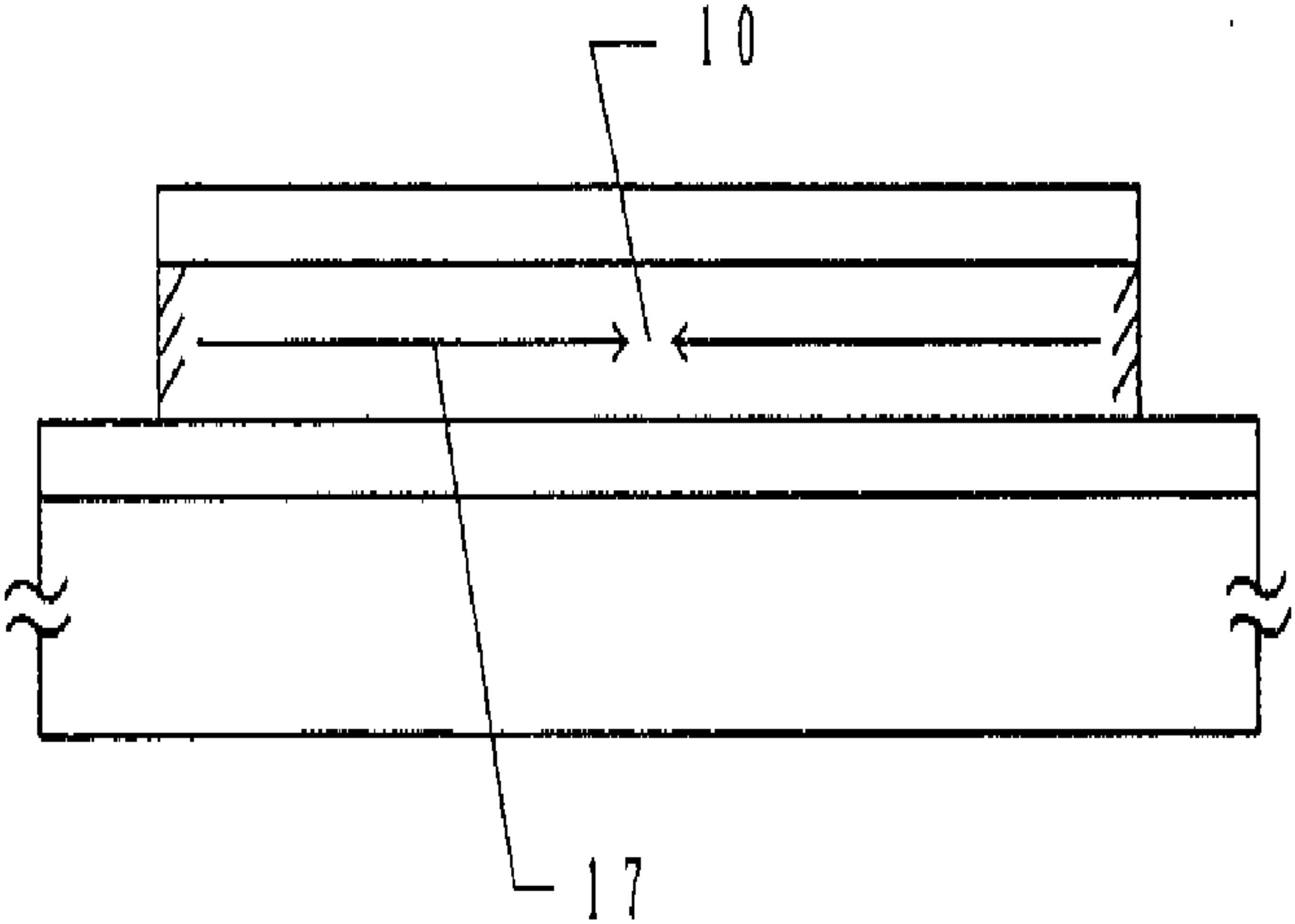
반도체 다바이스 제조 방법에 있어서, 기판 위에 비단결정 반도체막을 형성하는 단계와; 상기 반도체막에 절연막을 형성하는 단계와; 상기 반도체막과 상기 절연막을 패턴화하는 단계와; 상기 반도체막의 결정화를 촉진하기 위해 금속원소를 함유하는 막을 상기 패턴화된 절연막상에 형성하여 상기 패턴화된 반도체막의 한 측면과 접촉시키는 단계와; 패턴화된 반도체막의 결정성장을 기판에 평행한 방향으로 만들기 위하여 상기 금속원소를 함유하는 막의 형성단계 후에 패턴화된 반도체막을 가열하는 단계를 포함하는 반도체 다바이스 제조 방법.

도면

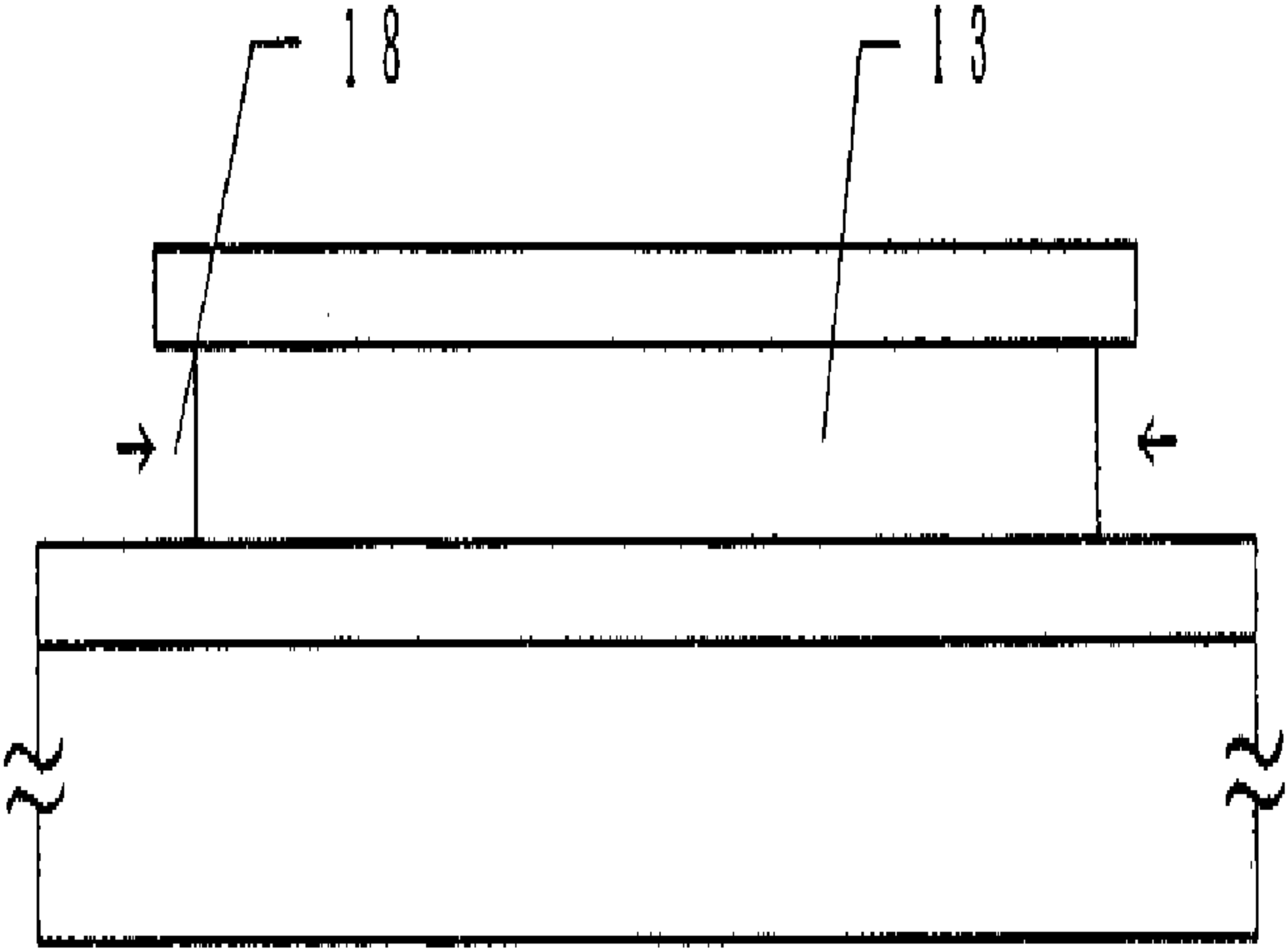
도면 1a



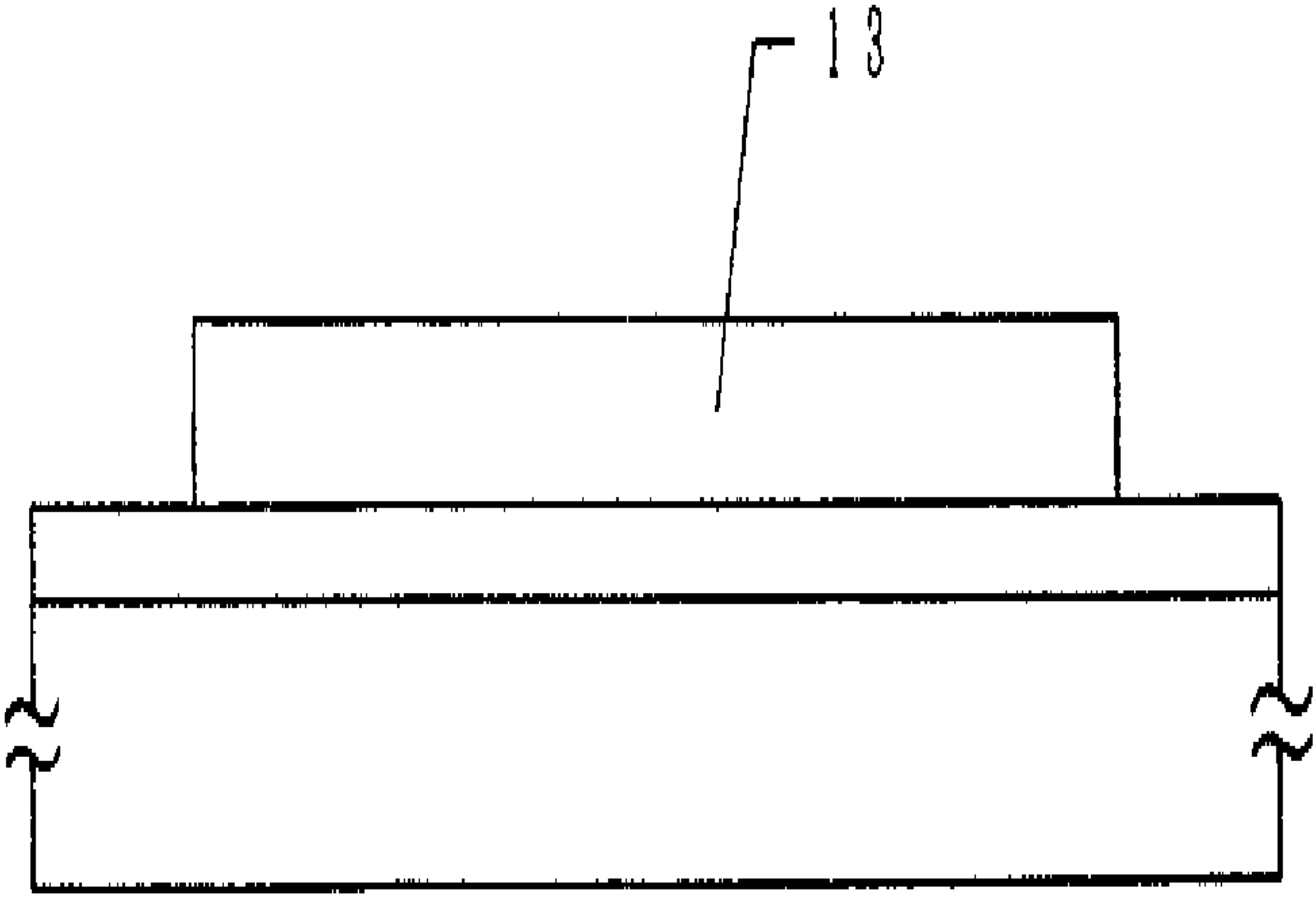
도면 1b



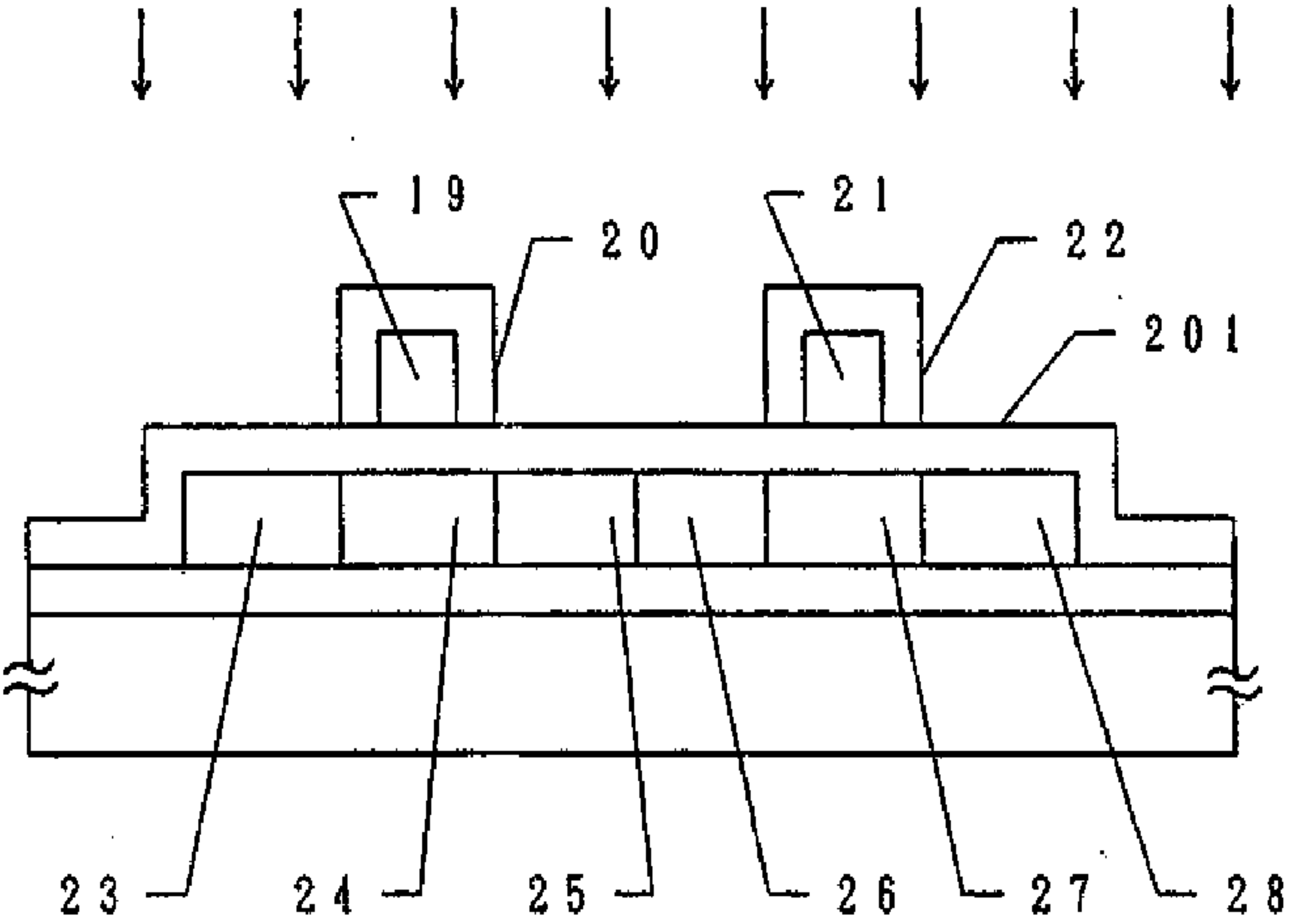
도면 1c



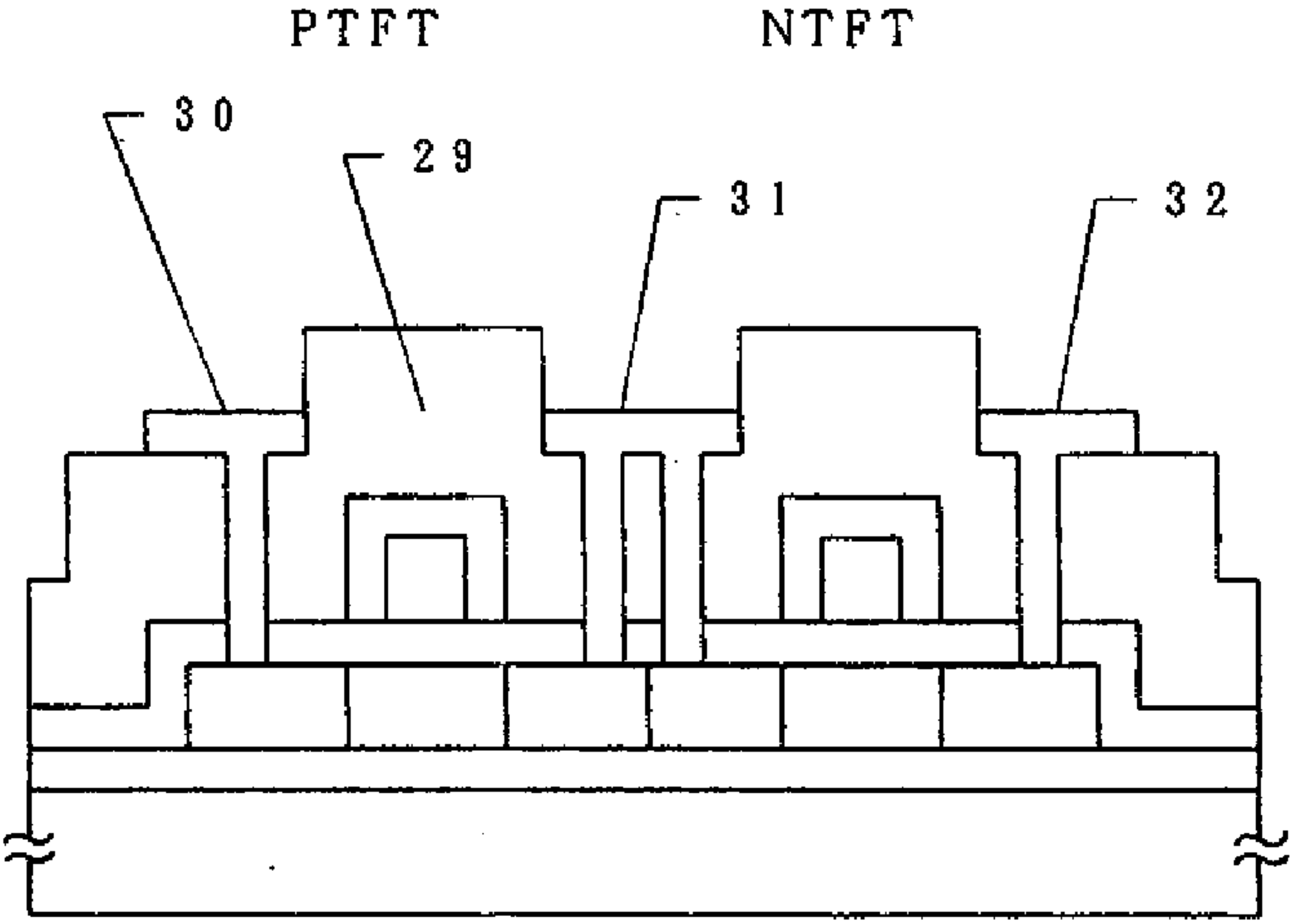
도면 1d



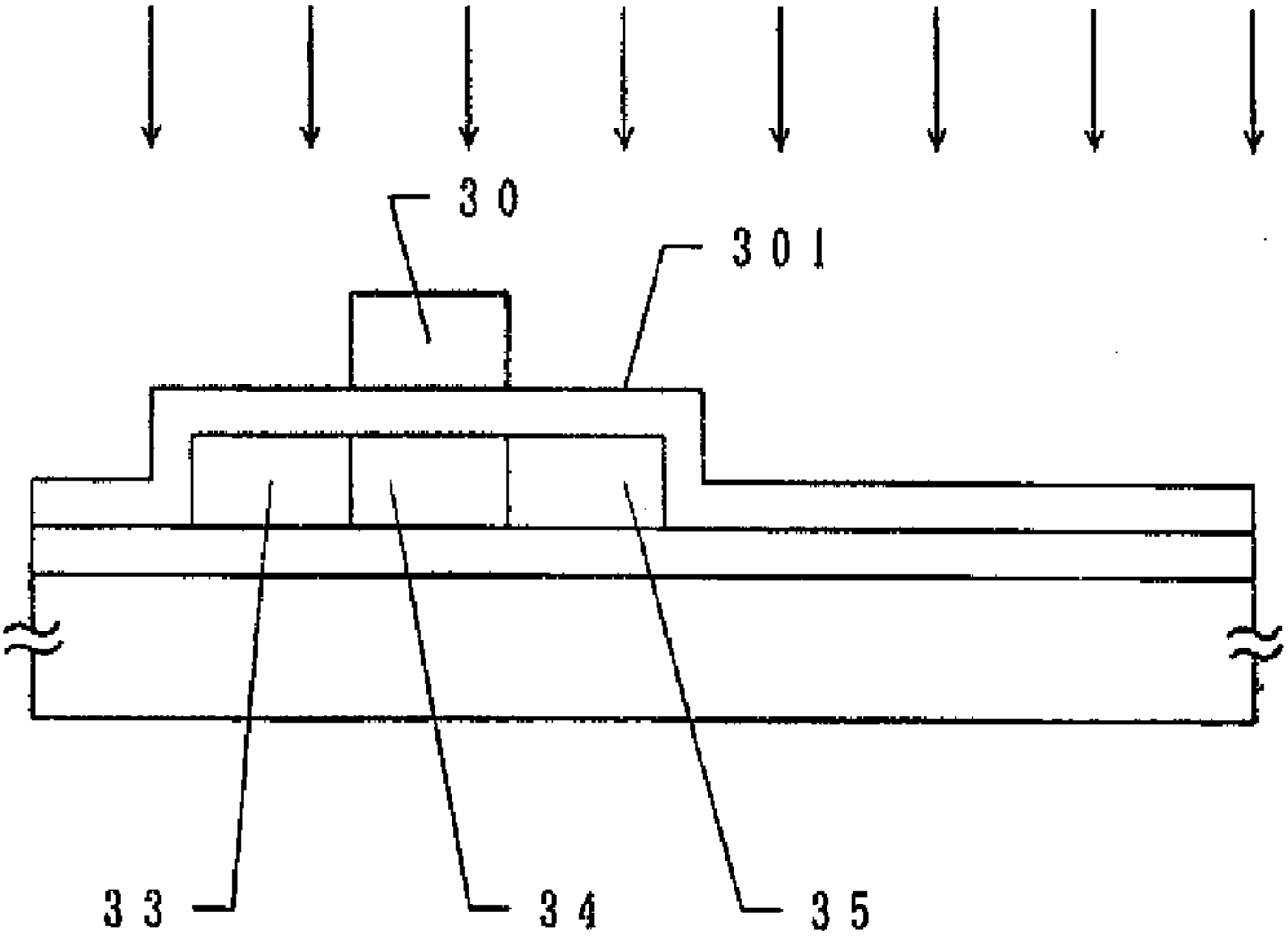
도면 2a



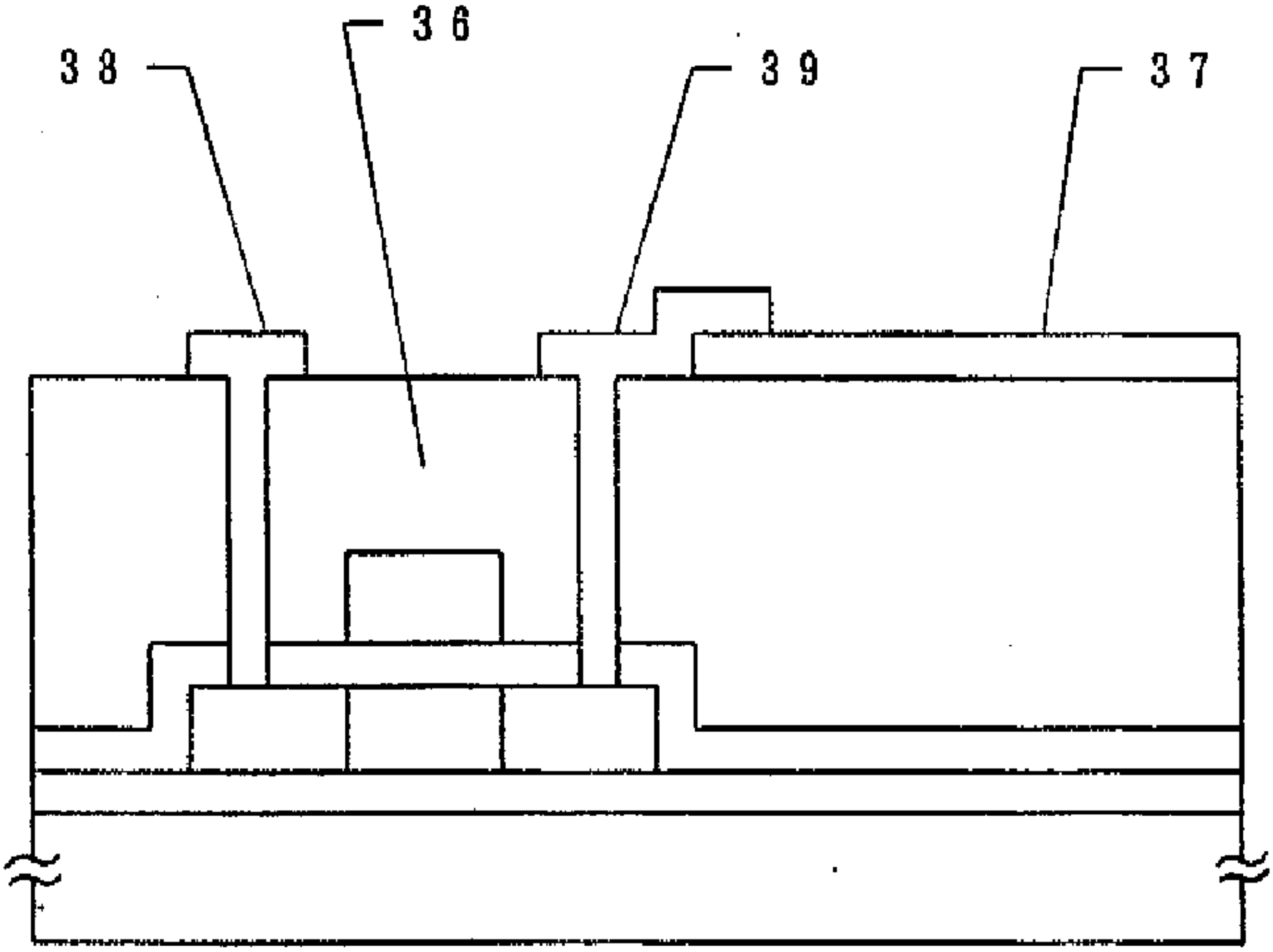
도면 2b



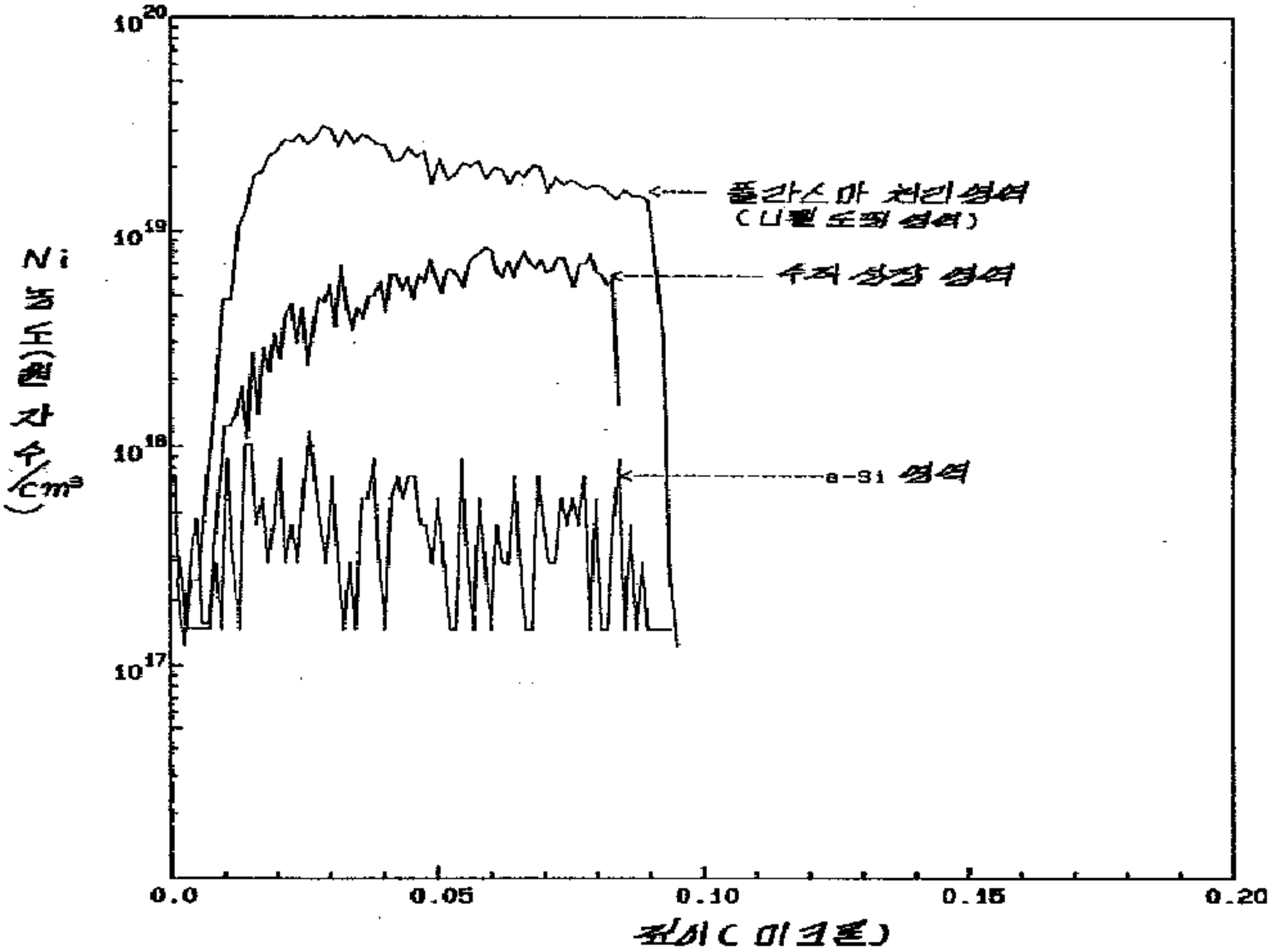
도면 3a



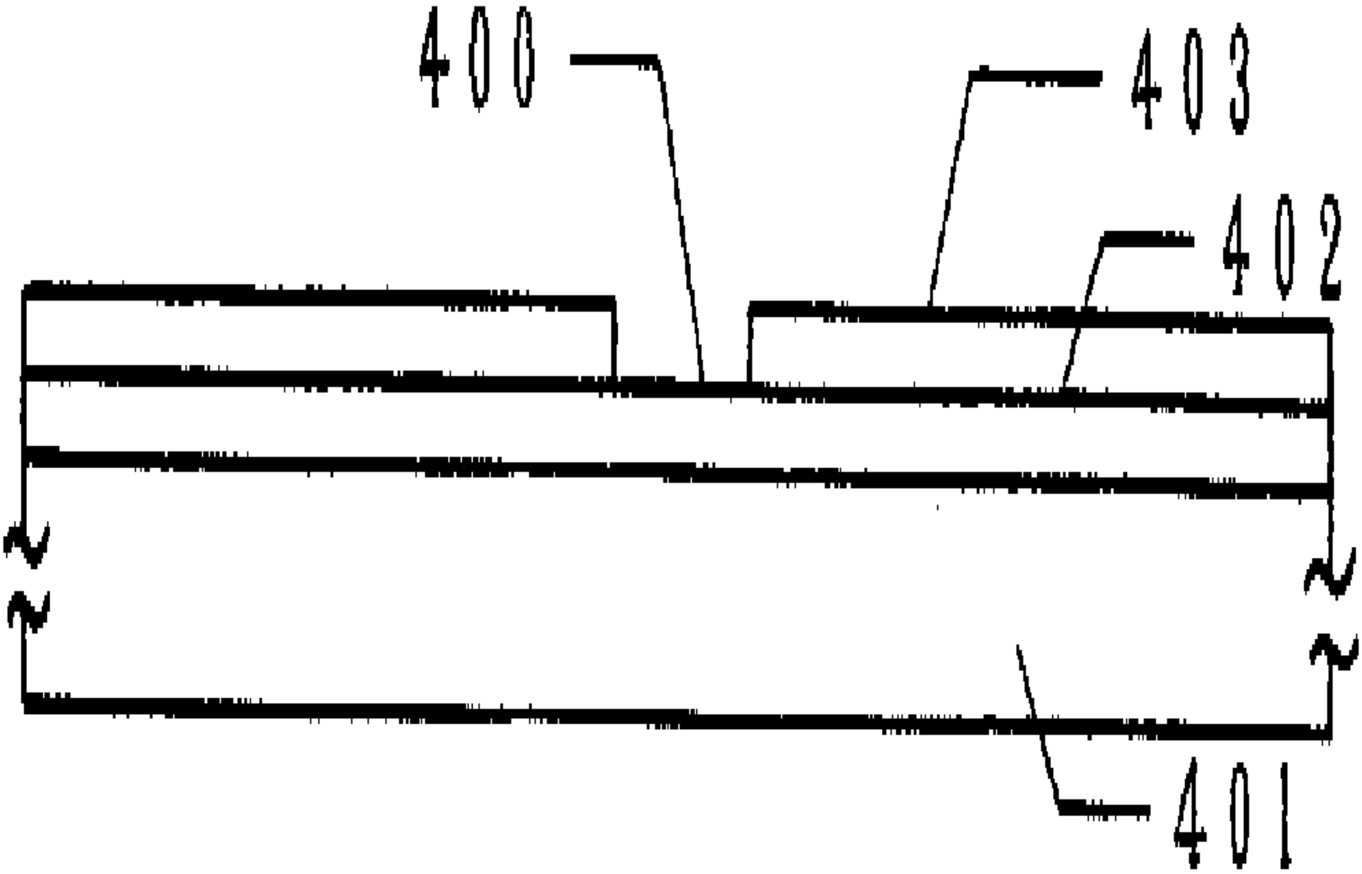
도면 3b



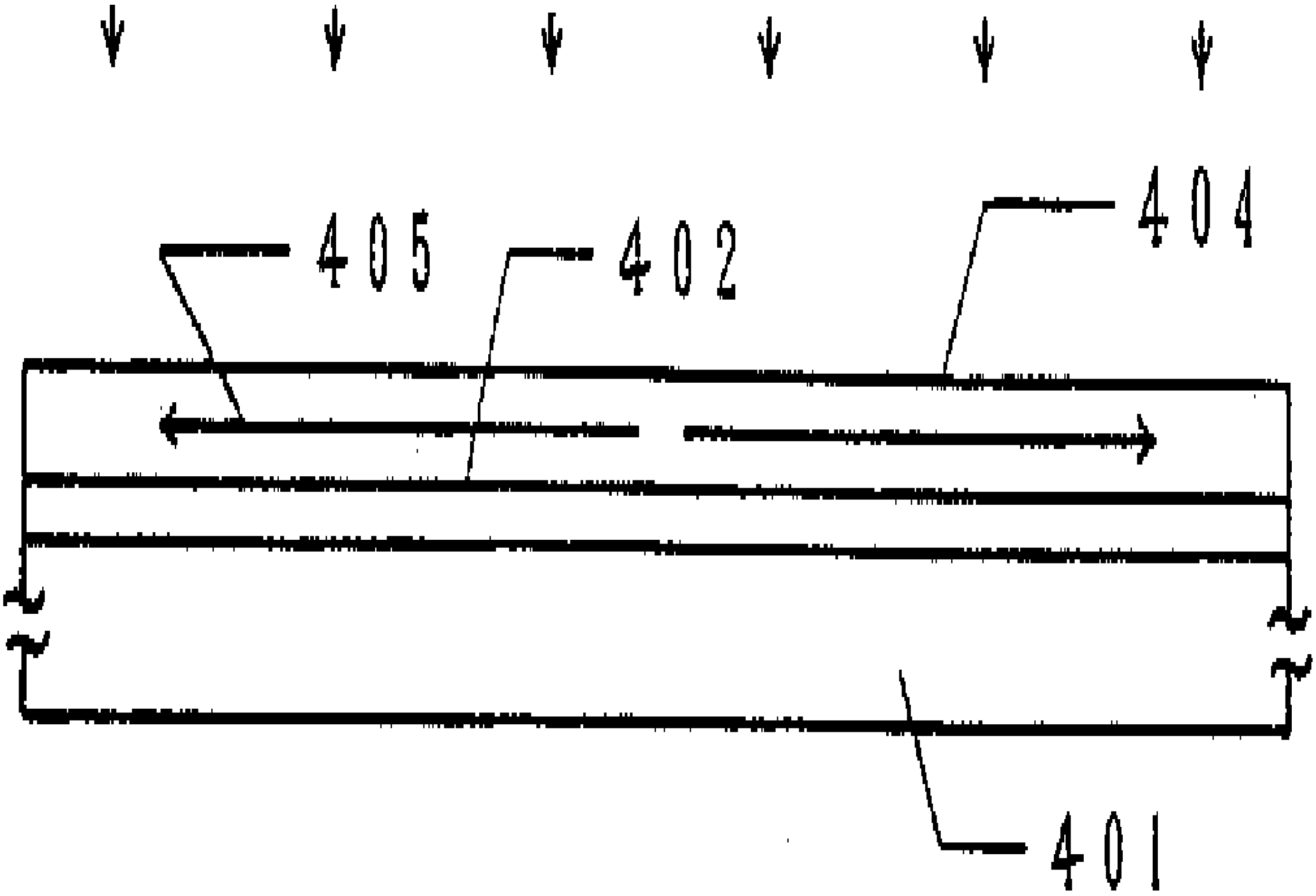
도면 4


10^{20}
10^{19}
10^{18}
10^{17}
Ni 농도(원자수/cm³)
플라스마 처리영역
(니켈 도입 영역)
수직 성장 영역
a-Si 영역
0.0
0.05
0.10
0.15
0.20
깊이(미크론)

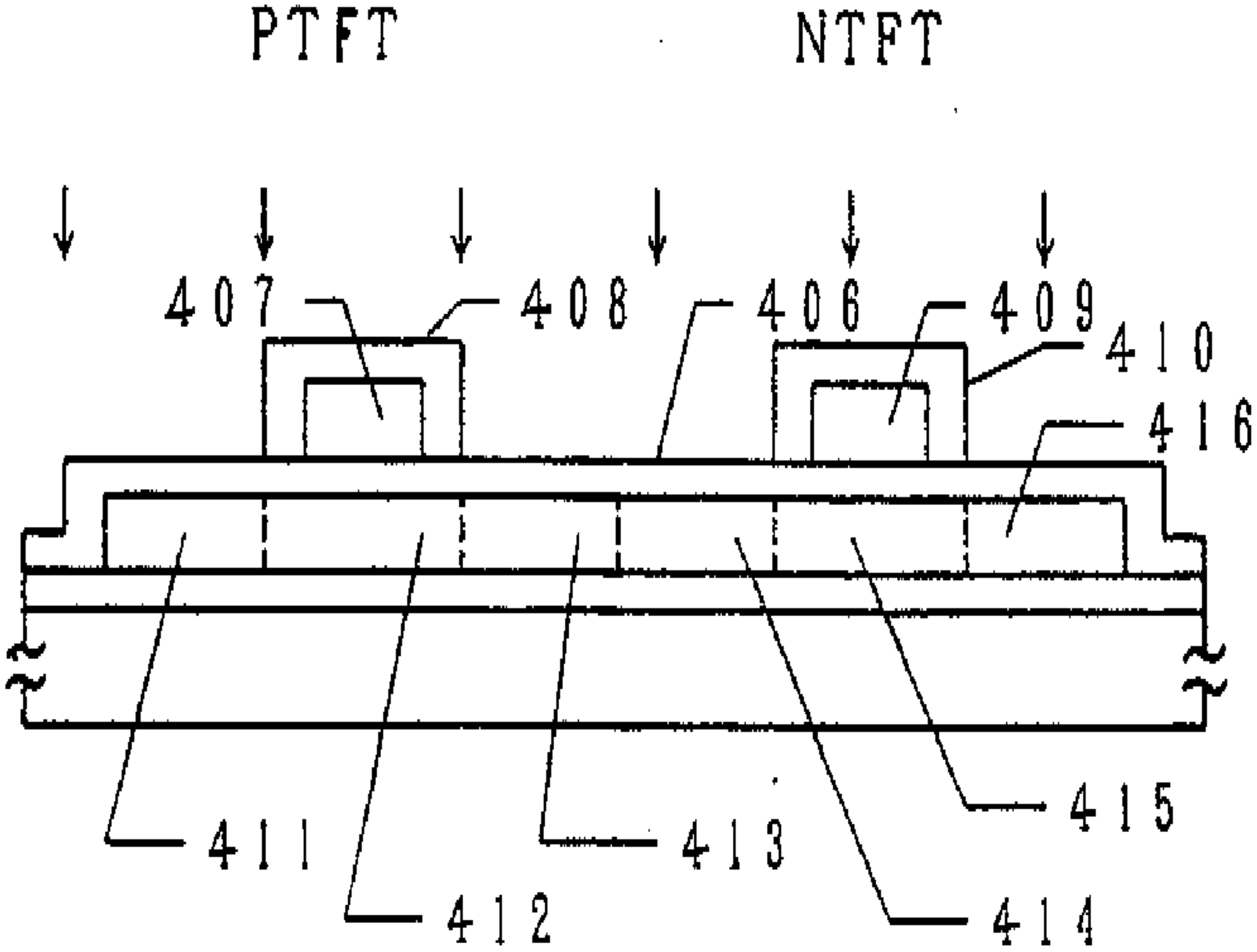
도면 5a



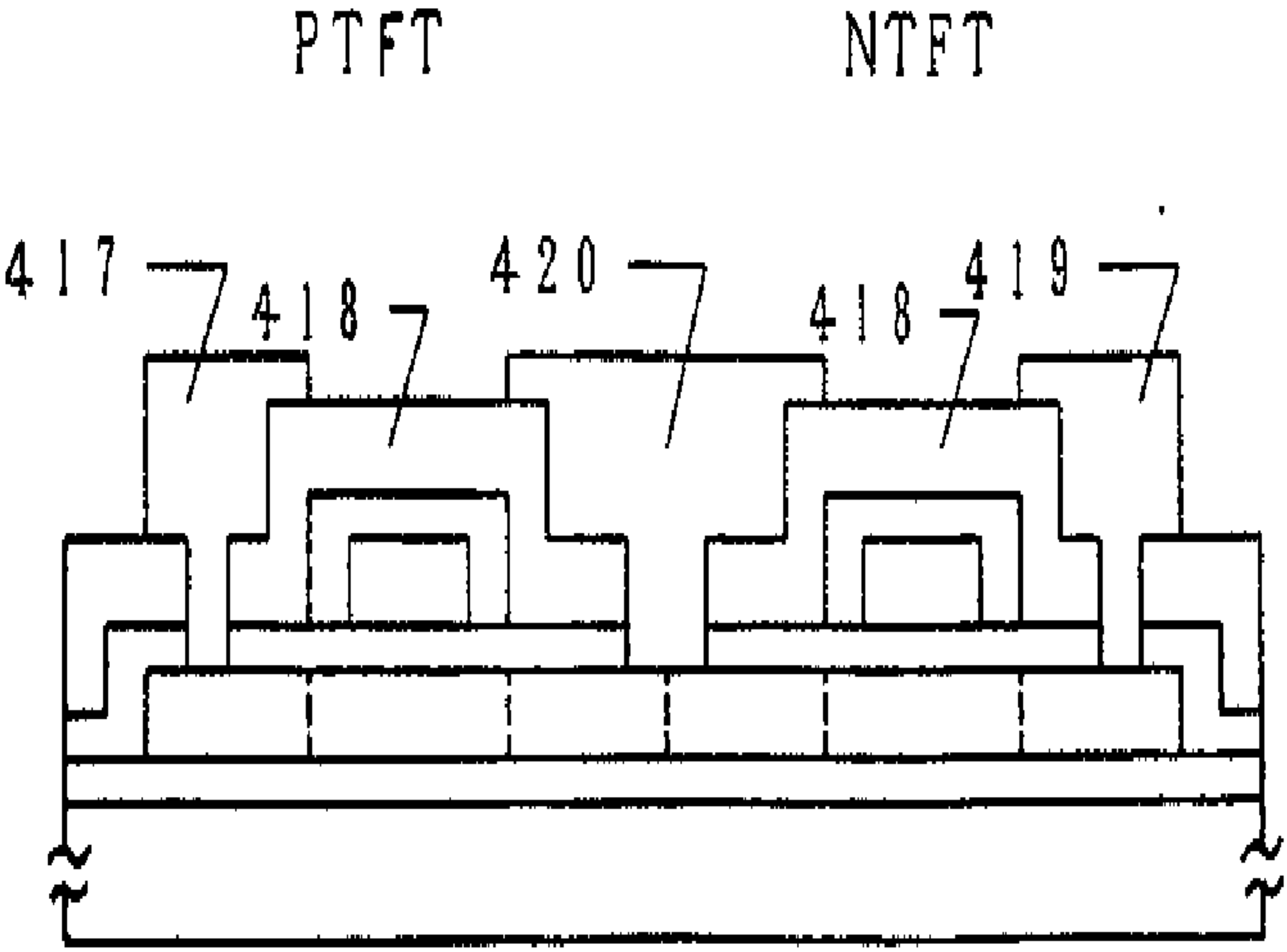
도면 5b



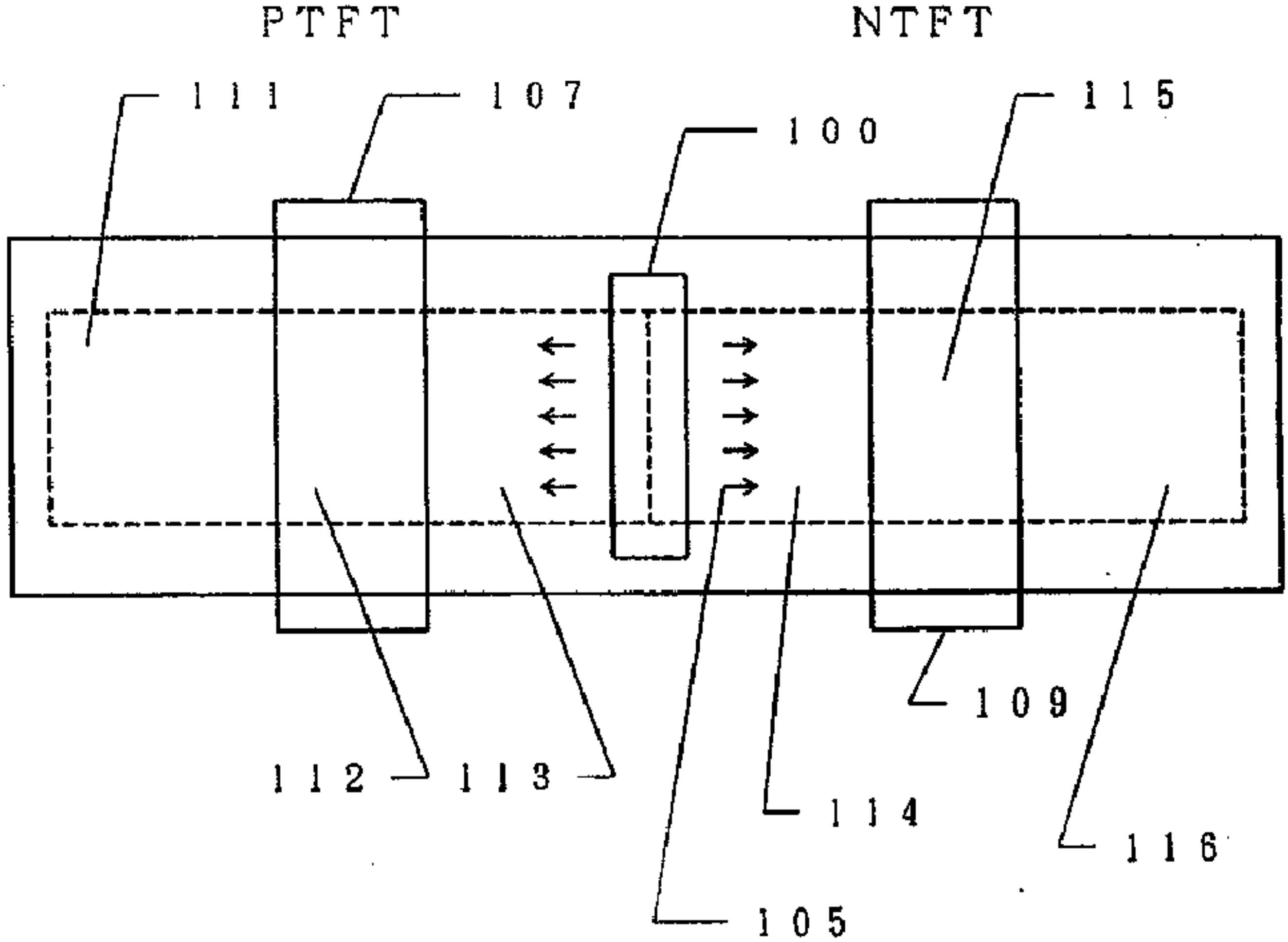
도면 5c



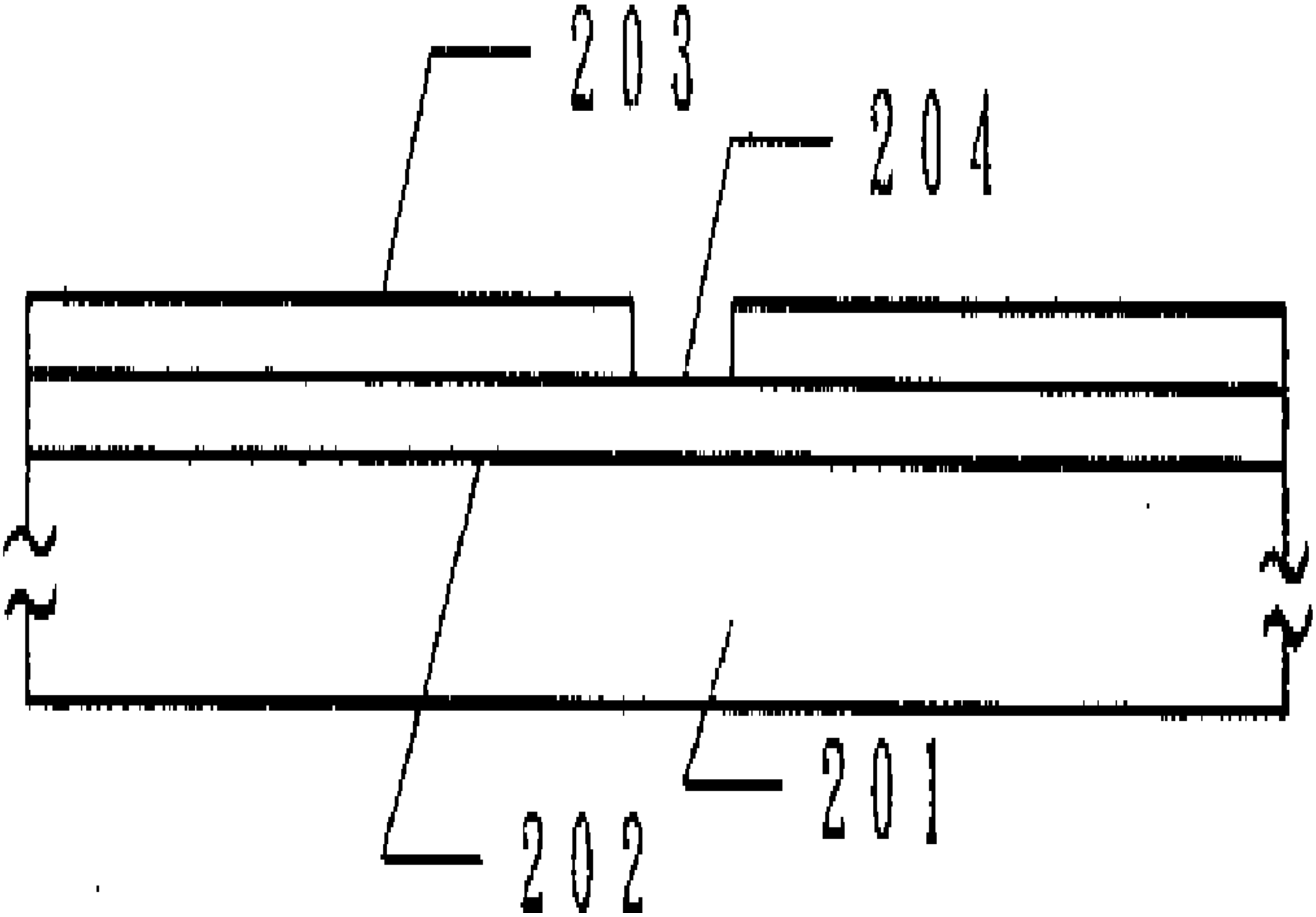
도면 5d



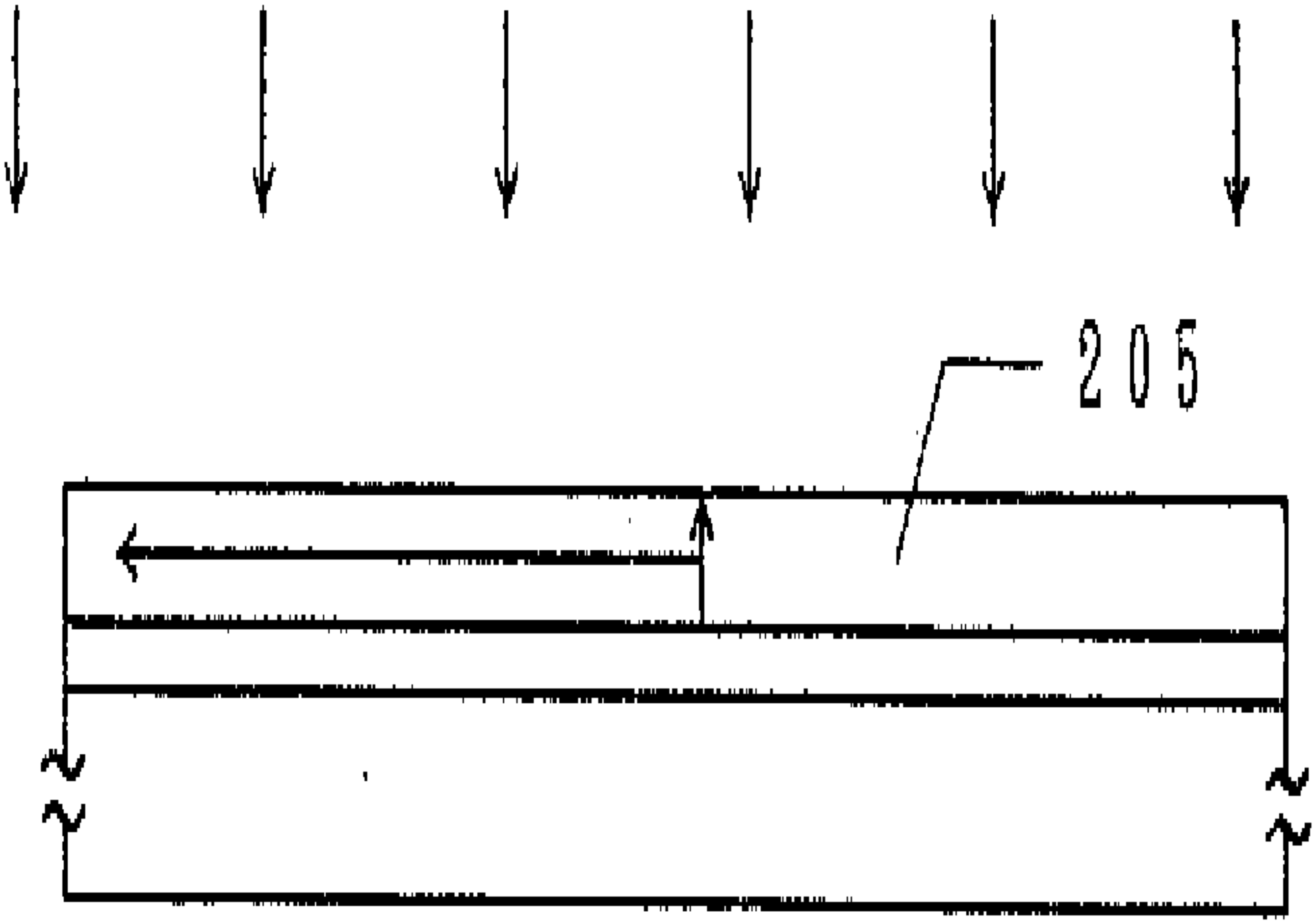
도면 6



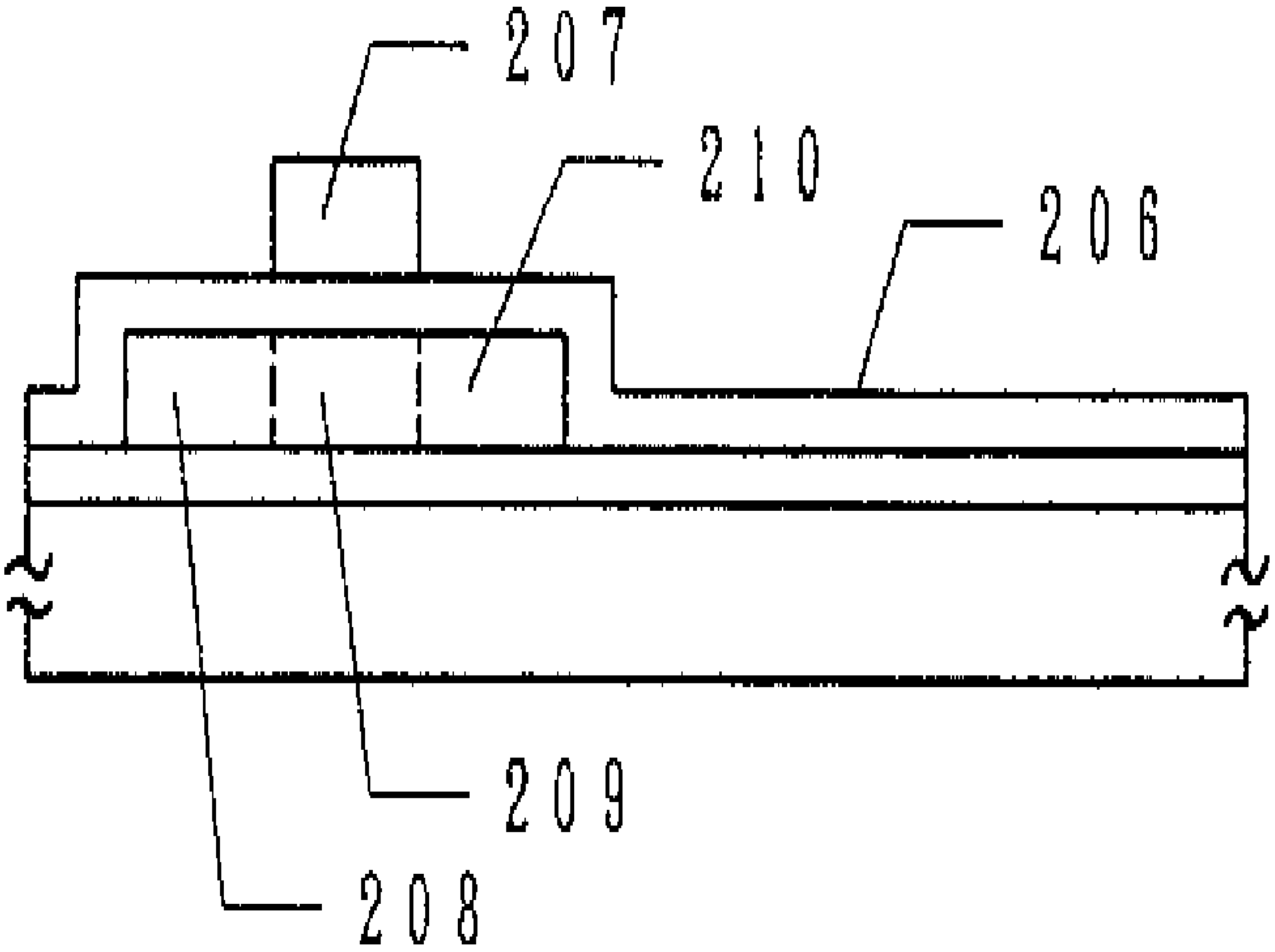
도면 7a



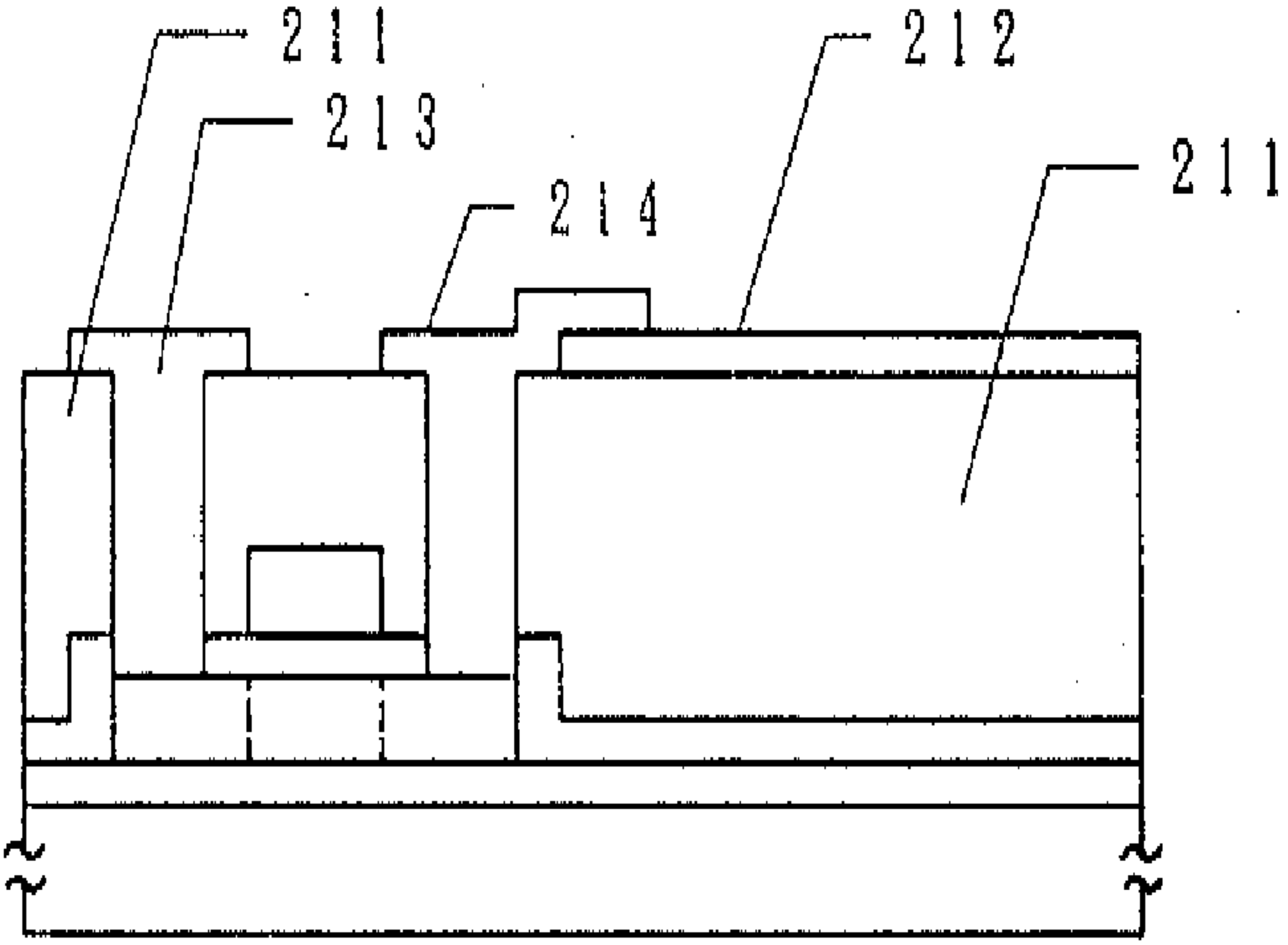
도면 7b



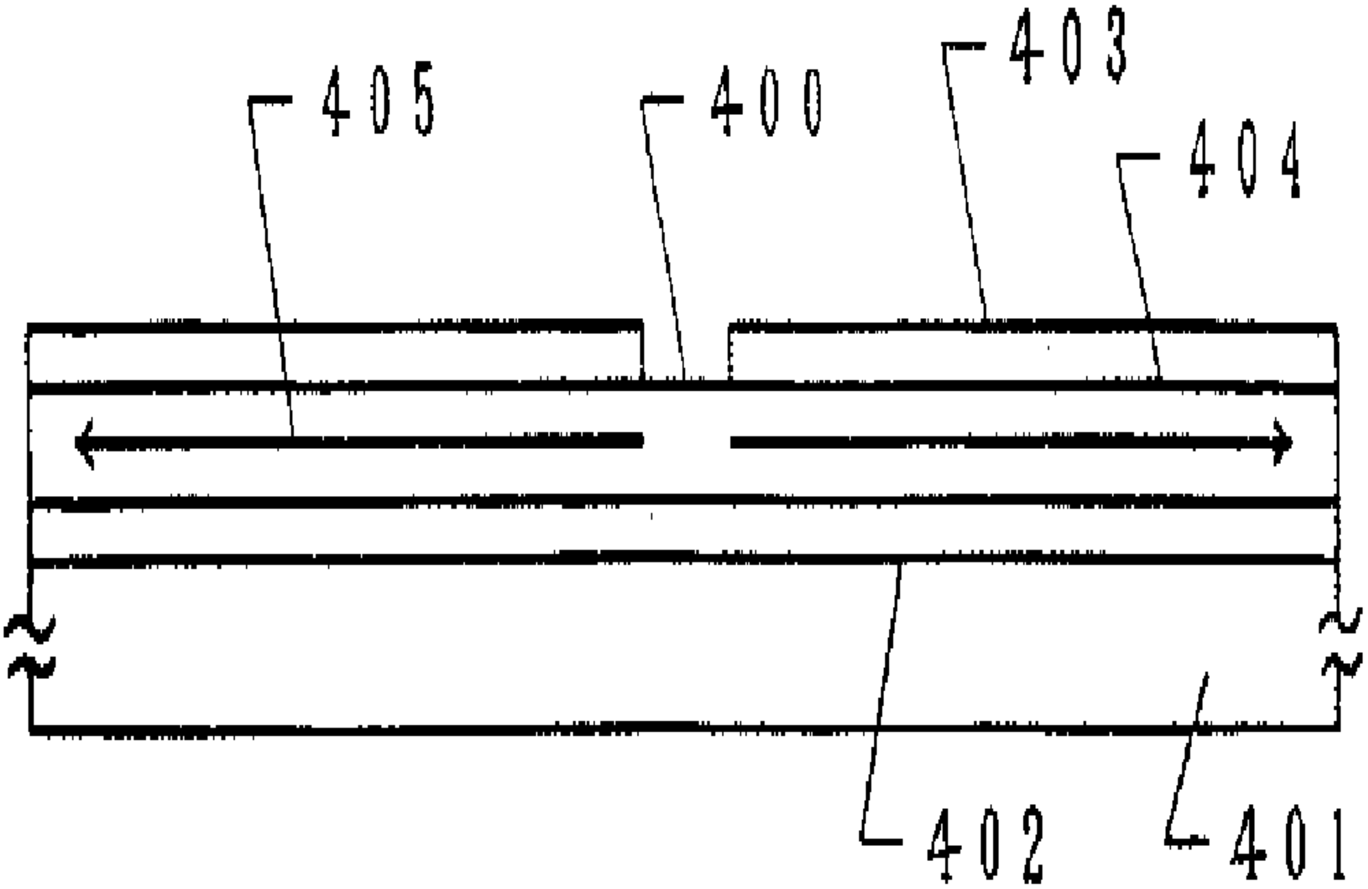
도면 7c



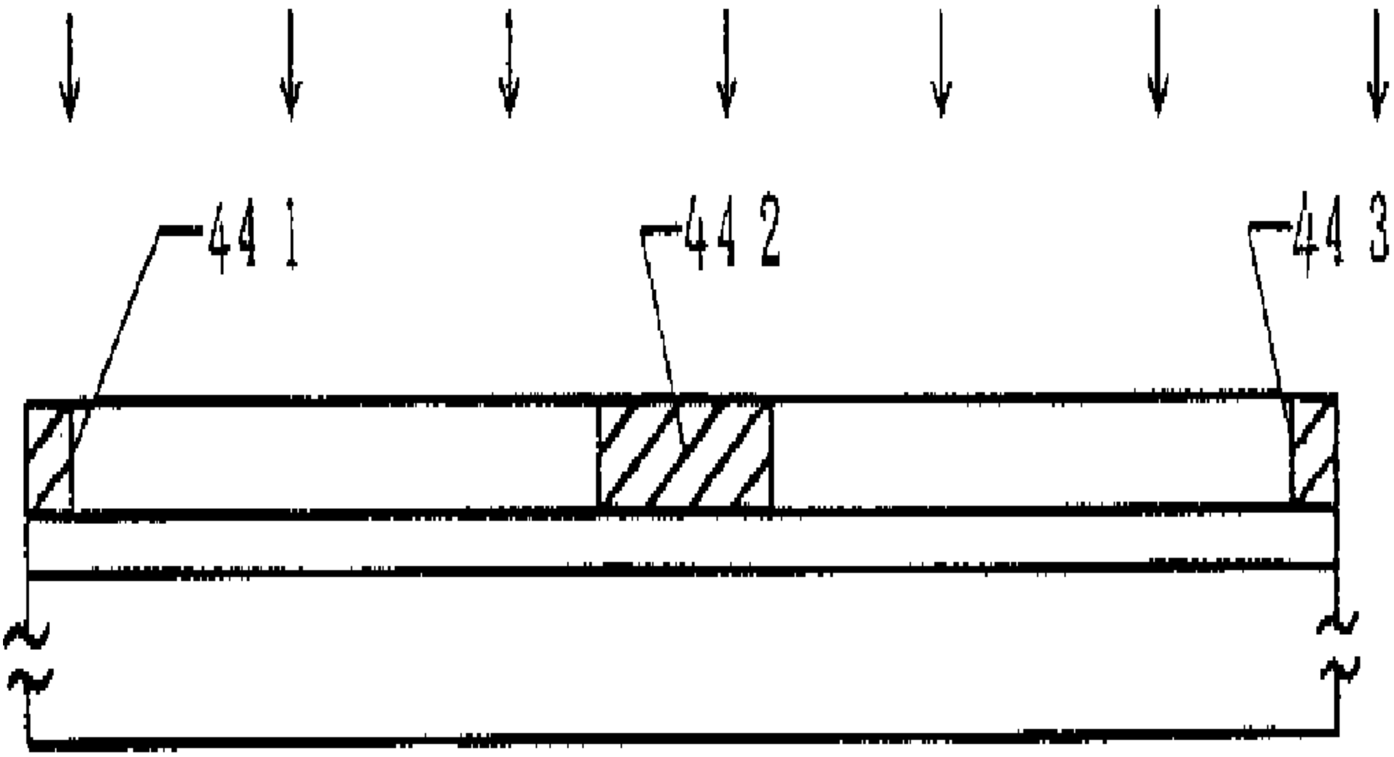
도면 7d



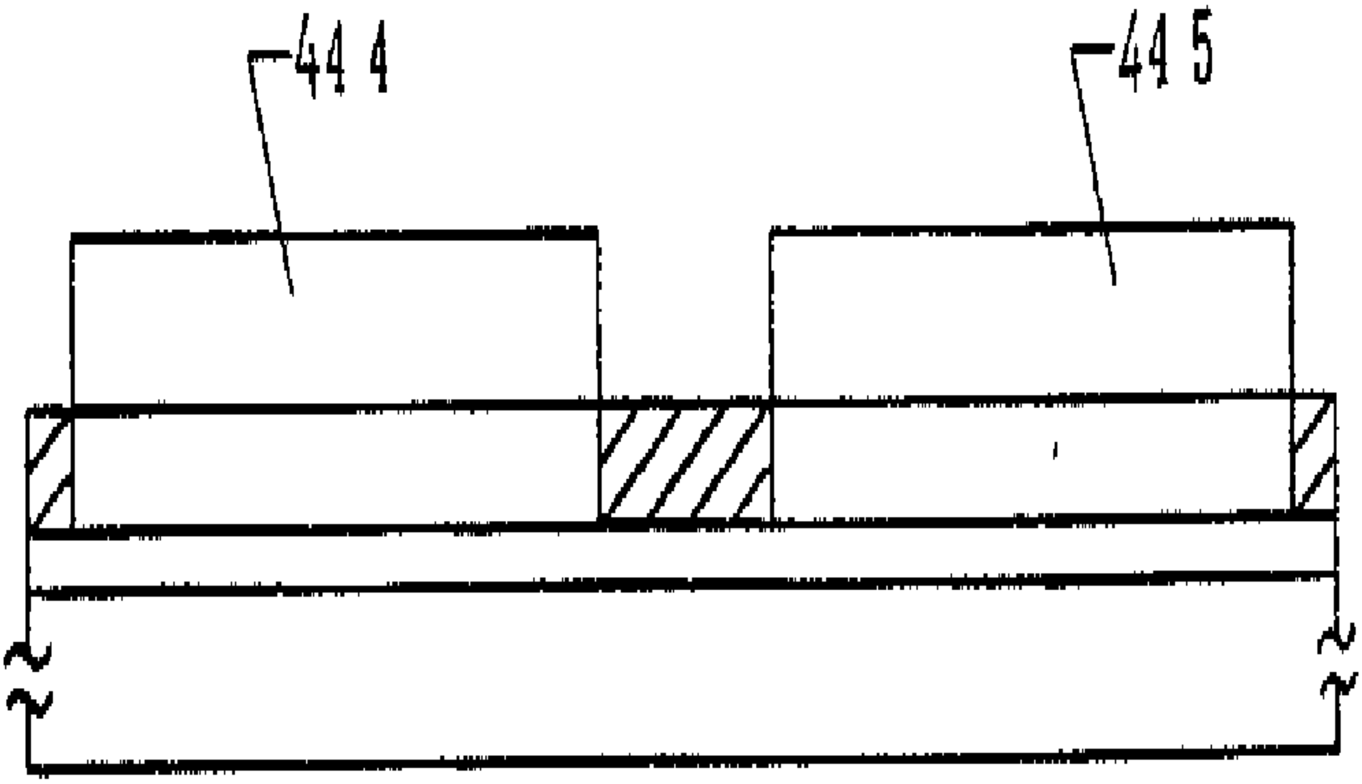
도면 8a



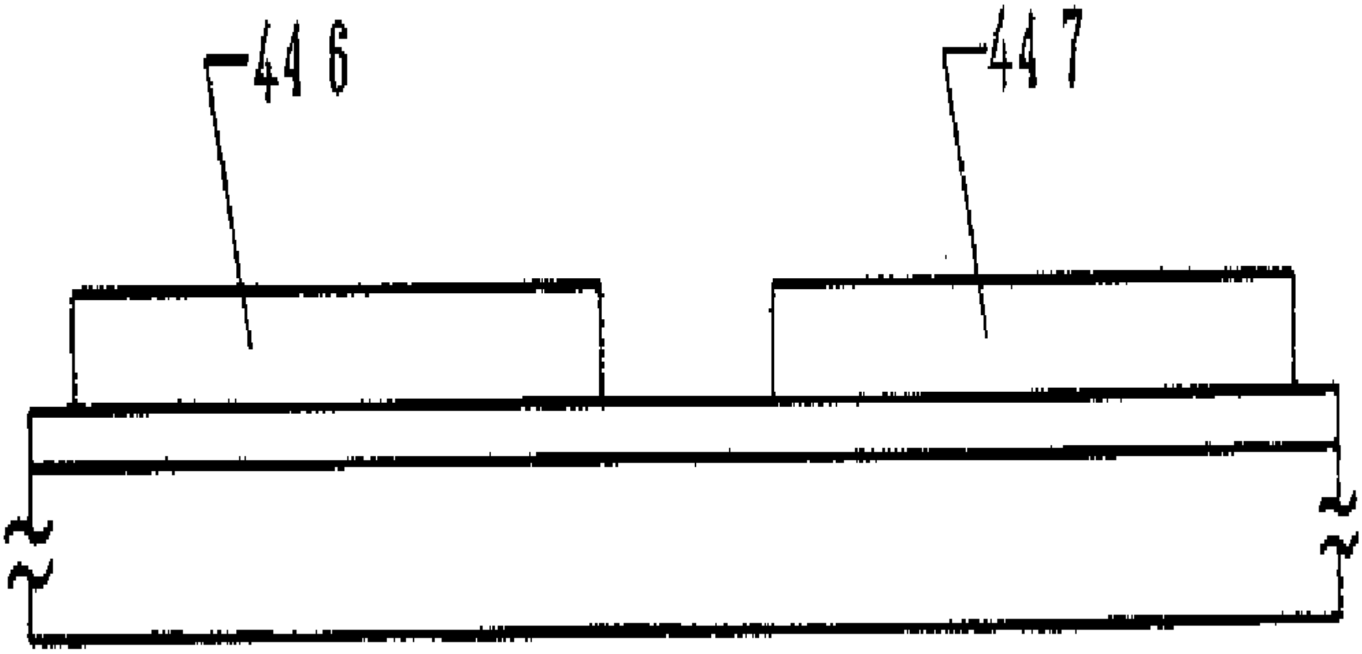
도면 8b



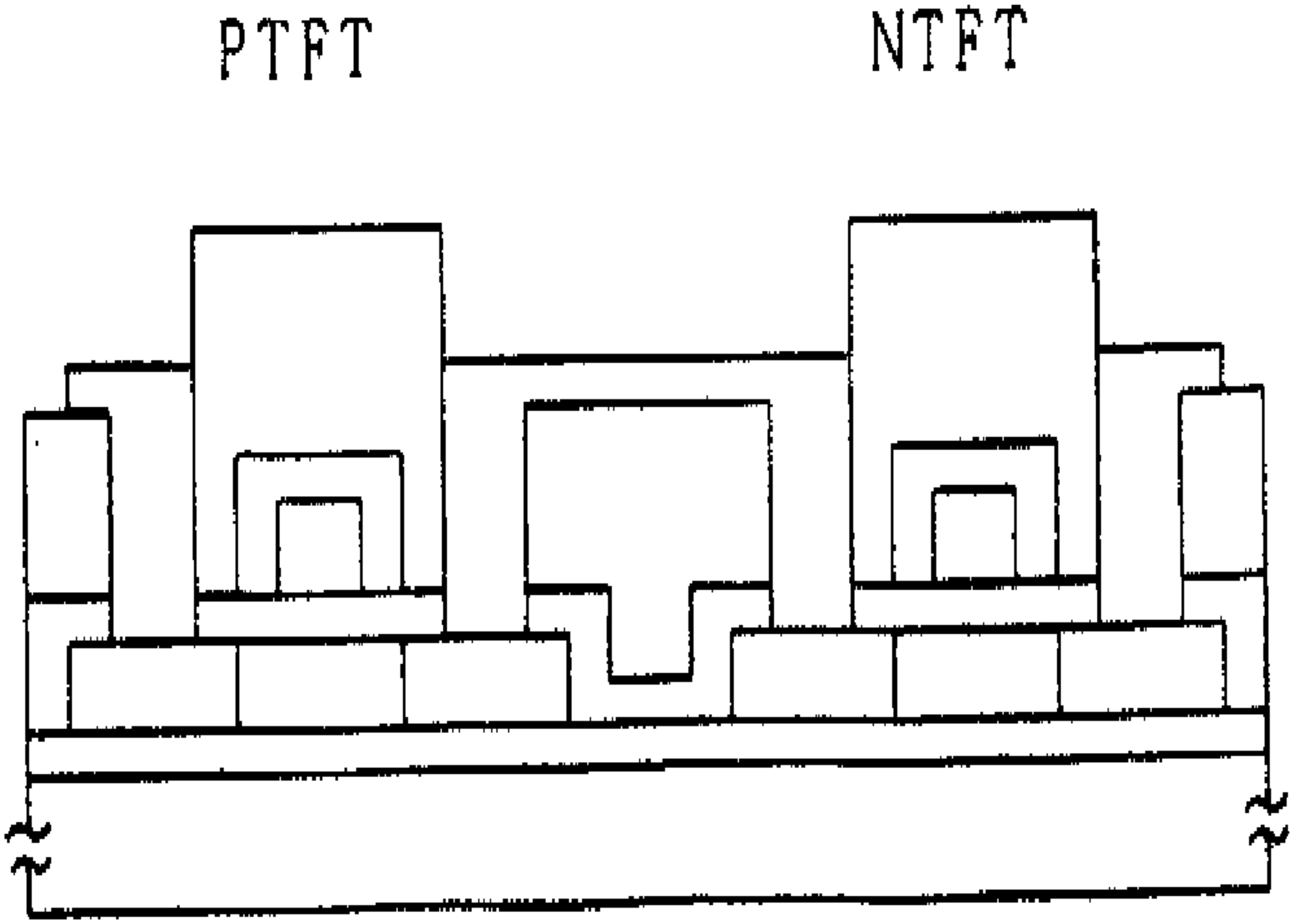
도면 8c



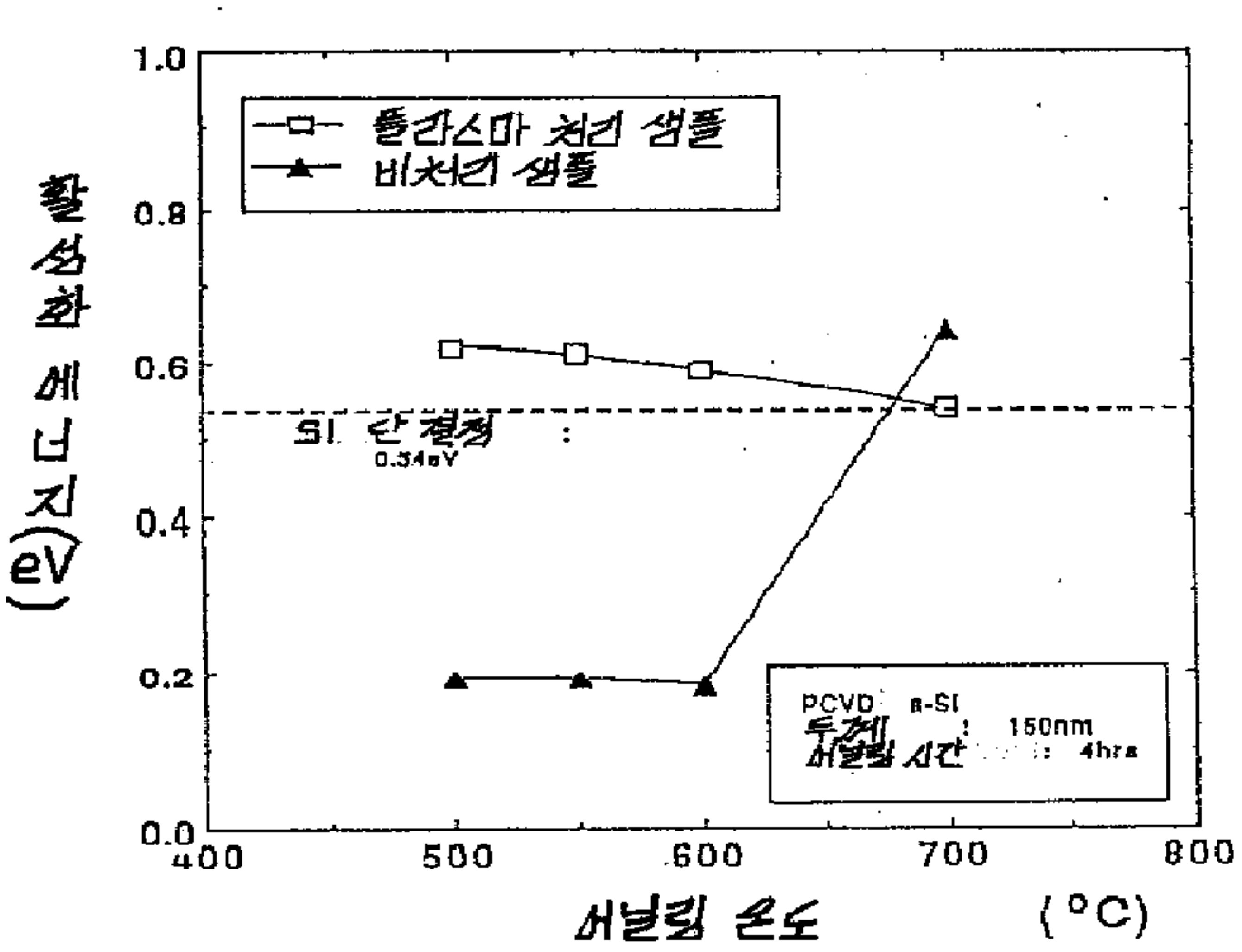
도면 8d



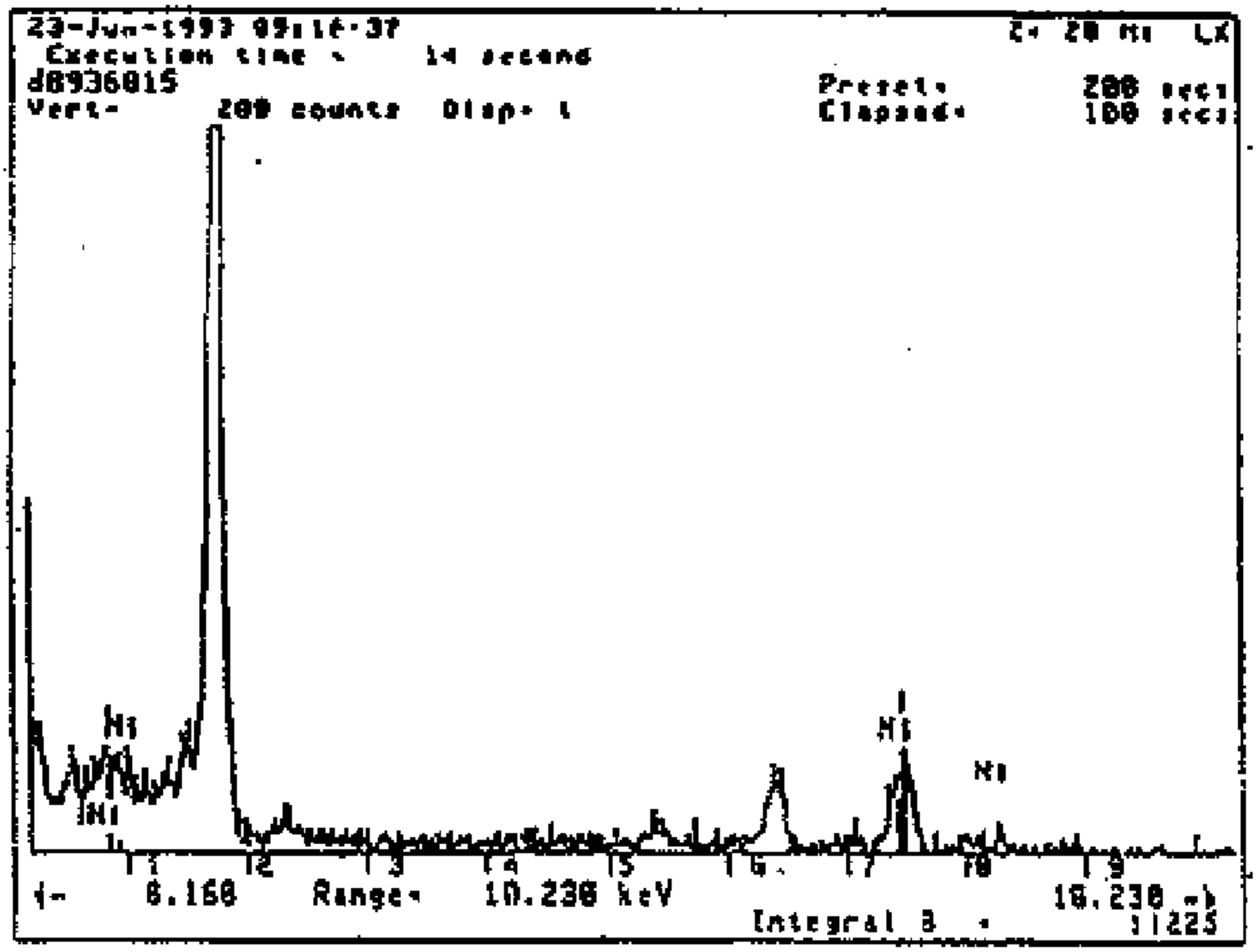
도면 8e



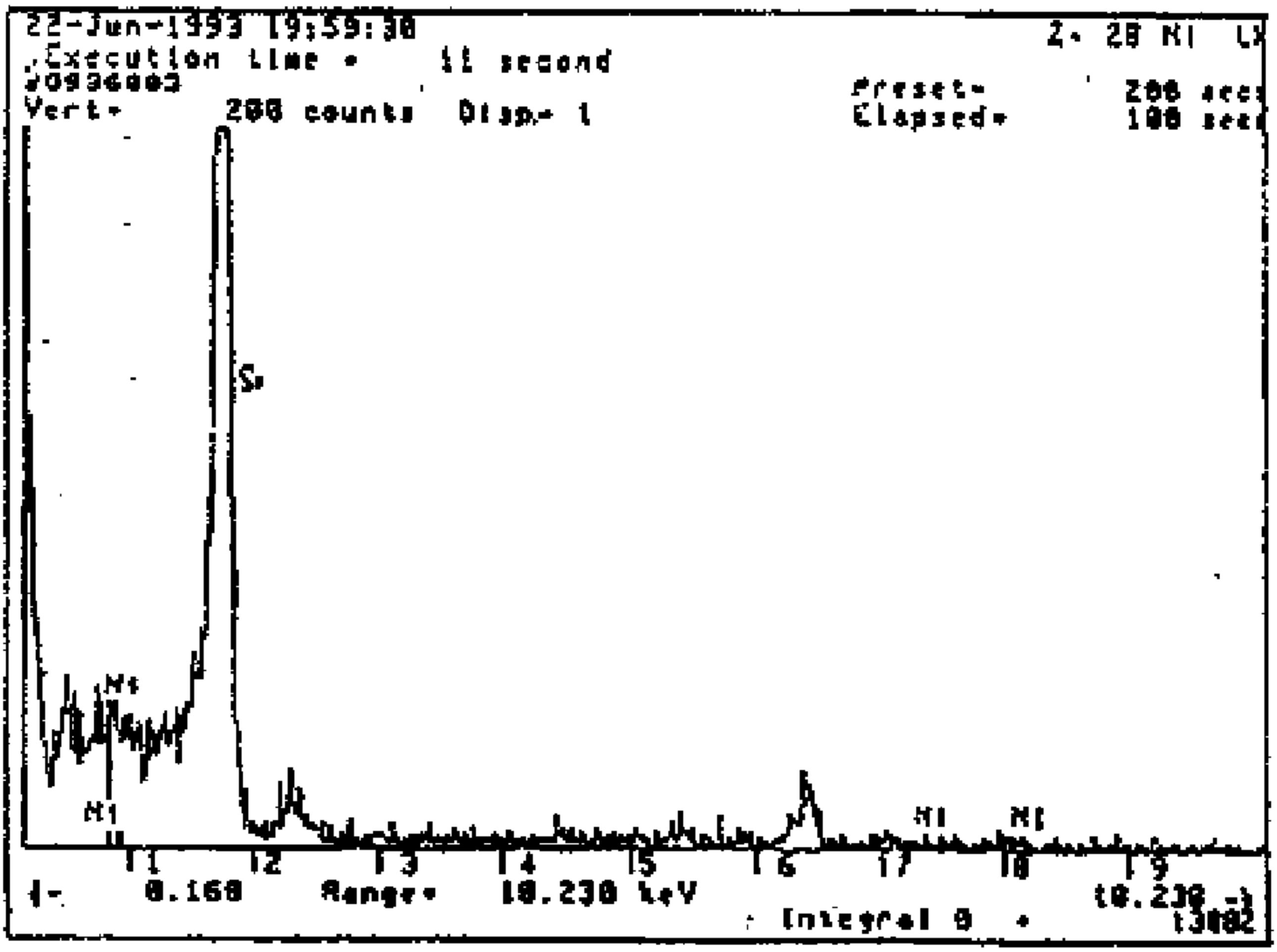
도면 9


플라스마 처리 샘플
비처리 샘플
활성화 에너지 (eV)
1.0
0.8
0.6
0.4
0.2
0.0
Si 단결정 : 0.34eV
PCVD a-Si
두께 : 150nm
어닐링 시간 : 4hrs
400
500
600
700
800
어닐링 온도 (°C)

도면 10a


23-Jun-1993 09:16:37
Execution time = 14 second
d8936015
Vert= 200 counts Disp= 1
Z= 28 Ni LX
Preset= 200 secs
Elapsed= 100 secs
Ni
Ni
Ni
Ni
1
2
3
4
5
6
7
8
9
0.160
Range= 10.230 keV
10.230
Integral 0 = 31225

도면 10b


22-Jun-1993 19:59:30
Z= 28 Ni LX
Execution time = 11 second
#0936003
Preset= 200 secs
Vert= 200 counts Disp= 1
Elapsed= 100 secs
Si
Ni
Ni
Ni
Ni
1
2
3
4
5
6
7
8
9
← 0.160 Range= 10.230 keV 10.230 →
Integral 0 = 13002