



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0103418  
(43) 공개일자 2013년09월23일

- (51) 국제특허분류(Int. Cl.)  
*H02M 3/28* (2006.01) *G03G 15/00* (2006.01)  
(21) 출원번호 10-2013-0024804  
(22) 출원일자 2013년03월08일  
심사청구일자 없음  
(30) 우선권주장  
JP-P-2012-053524 2012년03월09일 일본(JP)

- (71) 출원인  
**캐논 가부시끼가이샤**  
일본 도쿄도 오오따꾸 시모마루꼬 3조메 30방 2고  
(72) 발명자  
**쇼지 류헤이**  
일본 도쿄도 오오따꾸 시모마루꼬 3조메 30방 2고  
캐논 가부시끼가이샤내  
**아오키 마사루**  
일본 도쿄도 오오따꾸 시모마루꼬 3조메 30방 2고  
캐논 가부시끼가이샤내  
**하야사키 미노루**  
일본 도쿄도 오오따꾸 시모마루꼬 3조메 30방 2고  
캐논 가부시끼가이샤내  
(74) 대리인  
**박충범, 장수길**

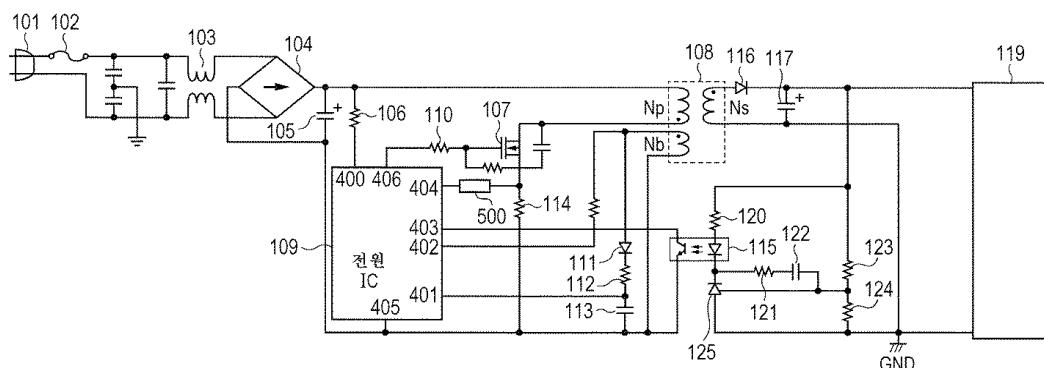
전체 청구항 수 : 총 12 항

(54) 발명의 명칭 전원 장치 및 화상 형성 장치

### (57) 요약

전원 장치는 변압기, 변압기의 일차측을 구동하기 위한 스위칭 유닛, 일차측에 흐르는 전류에 대응하는 출력을 검출하는 검출 유닛, 이차측으로부터의 출력 전압을 일차측에 전달하는 전달 유닛, 전달 유닛으로부터의 출력에 따라 스위칭 유닛의 동작을 제어하는 제어 유닛을 포함하고, 스위칭 유닛을 구동하기 위한 스위칭 주파수가 변압기의 공진 주파수를 포함한 미리 정해진 주파수 범위 내일 경우에, 제어 유닛은 검출 유닛으로부터의 출력에 따라 스위칭 유닛의 턴 온 시간을 단축하도록 스위칭 유닛을 제어한다.

### 대표도



## 특허청구의 범위

### 청구항 1

전원 장치로서,

일차측과 이차측이 서로 절연된 변압기,

상기 변압기의 상기 일차측을 구동하는 스위칭 수단,

상기 일차측에 흐르는 전류를 검출하여 출력 값을 출력하는 검출 수단 - 상기 출력 값을 상기 변압기의 공진 주파수와 상기 전류에 대응함 -,

상기 이차측으로부터의 출력 전압을 상기 일차측에 전달하는 전달 수단, 및

상기 전달 수단으로부터의 출력에 따라 상기 스위칭 수단의 동작을 제어하는 제어 수단을 포함하고,

상기 스위칭 수단을 구동하기 위한 스위칭 주파수가 상기 변압기의 공진 주파수를 포함한 미리 정해진 주파수 범위 내일 경우에, 상기 제어 수단은 상기 검출 수단에 의해 출력된 출력 값에 따라 상기 스위칭 수단의 턴 온 시간을 단축하도록 상기 스위칭 수단을 제어하는, 전원 장치.

### 청구항 2

제1항에 있어서,

상기 검출 수단으로부터의 출력이 포지티브 값을 가질 때, 상기 제어 수단은 상기 스위칭 수단을 턴 온하여, 상기 검출 수단에 의해 출력된 출력 값이 상기 전달 수단의 출력보다 높은 값에 도달할 때까지의 기간을 단축하는, 전원 장치.

### 청구항 3

제2항에 있어서,

상기 검출 수단은 상기 일차측에 흐르는 전류 값을 변환하여 전압 값을 출력하고,

상기 전원 장치는, 상기 검출 수단과 상기 제어 수단 사이에 설치되고 상기 검출 수단에 의해 출력된 전압 값을 보정하는 보정 회로를 더 포함하고,

상기 보정 회로는,

상기 검출 수단에 의해 출력된 전압 값을 분압하도록 직렬로 접속된 제1 저항과 제2 저항, 및

직렬로 접속된 코일과 커패시터를 포함하고, 상기 제1 저항의 양단에 병렬로 접속된 회로를 포함하고,

상기 보정 회로는, 상기 코일과 상기 커패시터를 포함하는 상기 회로의 발진 주파수가 상기 변압기의 공진 주파수가 되도록 설정된, 전원 장치.

### 청구항 4

제1항에 있어서,

상기 검출 수단에 의한 출력 값을 상기 일차측의 전류 값으로부터 변환된 전압 값이고,

상기 제어 수단은 상기 검출 수단에 의해 출력된 출력 전압을 미리 정해진 증폭률로 증폭시킴에 의해 상기 검출 수단의 전압을 보정함으로써, 상기 검출 수단에 의해 출력된 출력 값이 상기 전달 수단의 출력보다 높은 값에 도달할 때까지의 기간을 단축하는, 전원 장치.

### 청구항 5

전원 장치로서,

일차측과 이차측이 서로 절연된 변압기,

상기 변압기의 상기 일차측을 구동하는 스위칭 수단,

상기 일차측에 흐르는 전류를 검출하여 그 전류에 대응하는 출력 값을 출력하는 검출 수단,

상기 이차측으로부터의 출력 전압을 상기 일차측에 전달하는 전달 수단, 및

상기 전달 수단으로부터의 출력에 따라 상기 스위칭 수단의 동작을 제어하는 제어 수단을 포함하고,

상기 스위칭 수단을 구동하기 위한 스위칭 주파수가 상기 변압기의 공진 주파수를 포함한 미리 정해진 주파수 범위 내일 경우에, 상기 제어 수단은 상기 검출 수단에 의해 출력된 출력 값에 따라 상기 스위칭 수단의 턴 오프 시간을 연장하도록 상기 스위칭 수단을 제어하는, 전원 장치.

#### **청구항 6**

제5항에 있어서,

상기 이차측에서의 출력 전압을 평활화하고 정류하여, 평활화되고 정류된 전압을 상기 전달 수단에 출력하는 평활화 및 정류 수단을 더 포함하고,

상기 평활화 및 정류 수단이 상기 평활화되고 정류된 전압을 미리 정해진 시간 동안 증가시킴으로써, 상기 제어 수단이, 상기 전달 수단에 의해 상기 제어 수단에 전달된 출력 전압이 미리 정해진 전압을 초과하는 것을 검출하는 것이 지연되는, 전원 장치.

#### **청구항 7**

제6항에 있어서,

상기 전달 수단은 상기 평활화 및 정류 수단에 의해 출력된 상기 평활화되고 정류된 전압을 기준 전압과 비교하는 오차 검출 수단을 포함하고,

상기 오차 검출 수단은 션트 레귤레이터를 포함하고, 상기 션트 레귤레이터에는, 상기 평활화 및 정류 수단의 출력 전압을 분압하도록 직렬로 접속된 제1 저항과 제2 저항 사이의 노드의 전압이 입력되고,

상기 션트 레귤레이터는, 상기 제1 저항과 상기 제2 저항 사이의 상기 노드의 전압이 입력되는 레퍼런스 단자를 포함하고,

직렬로 접속된 제3 저항과 스위치를 포함한 회로가 상기 제1 저항의 양단에 병렬로 접속되어, 상기 스위치를 턴 온시킴으로써 상기 레퍼런스 단자에 입력되는 전압을 증가시키는, 전원 장치.

#### **청구항 8**

제5항에 있어서,

상기 전달 수단에 의해 상기 제어 수단에 전달된 출력 전압이 미리 정해진 전압을 초과하는 것이 검출될 때까지의 시간이, 상기 변압기의 공진 주파수를 포함한 미리 정해진 주파수 범위에 대응하는 주기일 경우에, 상기 제어 수단은 상기 스위칭 수단을 턴 온하는 타이밍을 미리 정해진 시간만큼 지연하는, 전원 장치.

#### **청구항 9**

화상 형성 장치로서,

기록재에 화상을 형성하는 화상 형성 수단,

상기 화상 형성 수단을 구동하는 구동 수단, 및

상기 구동 수단에 전력을 공급하는 전원을 포함하고,

상기 전원은,

일차측과 이차측이 서로 절연된 변압기,

상기 변압기의 상기 일차측을 구동하는 스위칭 수단,

상기 일차측에 흐르는 전류를 검출하여 출력 값을 출력하는 검출 수단 - 상기 출력 값을 상기 변압기의 공진 주

파수와 상기 전류에 대응함 - ,

상기 이차측으로부터의 출력 전압을 상기 일차측에 전달하는 전달 수단, 및

상기 전달 수단으로부터의 출력에 따라 상기 스위칭 수단의 동작을 제어하는 제어 수단을 포함하고,

상기 스위칭 수단을 구동하기 위한 스위칭 주파수가 상기 변압기의 공진 주파수를 포함한 미리 정해진 주파수 범위 내일 경우에, 상기 제어 수단은 상기 검출 수단에 의해 출력된 출력 값에 따라 상기 스위칭 수단의 턴 온 시간을 단축하도록 상기 스위칭 수단을 제어하는, 화상 형성 장치.

### 청구항 10

화상 형성 장치로서,

기록재에 화상을 형성하는 화상 형성 수단,

상기 화상 형성 수단의 동작을 제어하는 제어기, 및

상기 제어기에 전력을 공급하는 전원을 포함하고,

상기 전원은,

일차측과 이차측이 서로 절연된 변압기,

상기 변압기의 상기 일차측을 구동하는 스위칭 수단,

상기 일차측에 흐르는 전류를 검출하여 출력 값을 출력하는 검출 수단 - 상기 출력 값을 상기 변압기의 공진 주파수와 상기 전류에 대응함 - ,

상기 이차측으로부터의 출력 전압을 상기 일차측에 전달하는 전달 수단, 및

상기 전달 수단으로부터의 출력에 따라 상기 스위칭 수단의 동작을 제어하는 제어 수단을 포함하고,

상기 스위칭 수단을 구동하기 위한 스위칭 주파수가 상기 변압기의 공진 주파수를 포함한 미리 정해진 주파수 범위 내일 경우에, 상기 제어 수단은 상기 검출 수단에 의해 출력된 출력 값에 따라 상기 스위칭 수단의 턴 온 시간을 단축하도록 상기 스위칭 수단을 제어하는, 화상 형성 장치.

### 청구항 11

화상 형성 장치로서,

기록재에 화상을 형성하는 화상 형성 수단,

상기 화상 형성 수단을 구동하는 구동 수단, 및

상기 구동 수단에 전력을 공급하는 전원을 포함하고,

상기 전원은,

일차측과 이차측이 서로 절연된 변압기,

상기 변압기의 상기 일차측을 구동하는 스위칭 수단,

상기 일차측에 흐르는 전류를 검출하여 그 전류에 대응하는 출력 값을 출력하는 검출 수단,

상기 이차측으로부터의 출력 전압을 상기 일차측에 전달하는 전달 수단, 및

상기 전달 수단으로부터의 출력에 따라 상기 스위칭 수단의 동작을 제어하는 제어 수단을 포함하고,

상기 스위칭 수단을 구동하기 위한 스위칭 주파수가 상기 변압기의 공진 주파수를 포함한 미리 정해진 주파수 범위 내일 경우에, 상기 제어 수단은 상기 검출 수단에 의해 출력된 출력 값에 따라 상기 스위칭 수단의 턴 오프 시간을 연장하도록 상기 스위칭 수단을 제어하는, 화상 형성 장치.

### 청구항 12

화상 형성 장치로서,

기록재에 화상을 형성하는 화상 형성 수단,  
 상기 화상 형성 수단의 동작을 제어하는 제어기, 및  
 상기 제어기에 전력을 공급하는 전원을 포함하고,  
 상기 전원은,  
 일차측과 이차측이 서로 절연된 변압기,  
 상기 변압기의 상기 일차측을 구동하는 스위칭 수단,  
 상기 일차측에 흐르는 전류를 검출하여 그 전류에 대응하는 출력 값을 출력하는 검출 수단,  
 상기 이차측으로부터의 출력 전압을 상기 일차측에 전달하는 전달 수단, 및  
 상기 전달 수단으로부터의 출력에 따라 상기 스위칭 수단의 동작을 제어하는 제어 수단을 포함하고,  
 상기 스위칭 수단을 구동하기 위한 스위칭 주파수가 상기 변압기의 공진 주파수를 포함한 미리 정해진 주파수 범위 내일 경우에, 상기 제어 수단은 상기 검출 수단에 의해 출력된 출력 값에 따라 상기 스위칭 수단의 턴 오프 시간을 연장하도록 상기 스위칭 수단을 제어하는, 화상 형성 장치.

## 명세서

### 기술분야

[0001] 본 발명은 상용 전원을 정류 및 평활화해서 얻어지는 고 직류 전압을, 기기에 필요한 저 직류 전압으로 변환하는 자려 플라이백 스위칭 전원 장치(self-excited flyback switching power supply device) 및 그 전원 장치를 포함하는 화상 형성 장치에 관한 것이다.

### 배경기술

[0002] 최근, 다양한 전자 기기에 있어서 전력 절약화가 요구된다. 그러한 요구에 따라, 전자 기기의 전원에 대해서도 한층 더 높은 전력 절약화가 요구된다. 전자 기기의 전원의 예로서, 전계 효과 트랜지스터(field effect transistor: FET) 등의 스위칭 소자를 소정의 주파수에서 구동하여, 목표 전압을 출력하는 스위칭 모드 전원(이하, "스위칭 전원"이라고 일컬음)이 사용되고 있다. 스위칭 전원 중 어떤 종류에 있어서는, 전력 절약화 동작(이하, "경 부하 동작(light load operation)"이라고도 일컬음)시에 스위칭 소자의 스위칭 동작의 횟수를 줄여서 효율을 향상시킨다. 또한, 전력 절약화의 규격도 해마다 변경되어, 경 부하 동작시뿐만 아니라 통상 동작시에 있어서도 전력 절약화에 의해 효율을 향상시키는 것이 요구되고 있다.

[0003] 경 부하 동작시의 스위칭 전원에 있어서의 손실의 대부분은 스위칭 동작에 의해 유발된다. 그러므로, 경 부하 동작시에 있어서, 스위칭 동작의 횟수를 감소시키는 것이 스위칭 전원의 고 효율화에 크게 기여한다. 따라서, 다음의 조치를 취하는 경우가 자주 있다. 경 부하 동작시에 있어서 스위칭 동작에 의해 유발되는 손실을 감소시키기 위해서, 스위칭 소자의 턴 온 시간을 길게 한다. 이에 의해, 각각의 스위칭 동작의 에너지를 증가시킴으로써, 스위칭 동작의 휴지 기간을 길게 해서 단위 시간당 스위칭 횟수를 감소시킨다.

[0004] 그러나, 스위칭 동작의 휴지 기간을 길게 하면, 스위칭 주파수를 낮게 하게 된다. 그 결과, 스위칭 동작에 있어서의 변압기의 동작 음이 사람의 귀에 들리게 된다. 이것은, 스위칭 동작에 동기화해서 구동되는 변압기의 기계적 진동 소음이, 스위칭 주파수의 저하에 기인하여, 사람의 가청 주파수 대역(대략 20Hz 내지 20kHz)으로 시프트되기 때문이다.

[0005] 변압기로부터의 진동 소음을 감소시키는 한가지 주지 방법에 있어서는 변압기의 자계의 변화율을 억제해서 소음을 감소시킨다. 변압기의 자계의 변화율을 억제하기 위해서, 예를 들어, 변압기에 단면적이 큰 코어 재료를 사용하는 방법, 또는 스위칭 소자의 턴 온 시간을 짧게 해서 변압기의 스위칭당 전류를 감소시키는 방법이 채택되었다.

[0006] 변압기의 구동 전류 파형을 적절하게 생성해서 변압기의 진동 소음을 경감시키는 공지 방법에 있어서는, 예를 들어, 스위칭 전원 장치에 소프트-스타트 회로를 설치하고, 기동 개시시에 커페시터 양단의 전압의 상승 에지 및 하강 에지에서의 듀티 사이클(duty cycle)을 점차 변화시킨다. 변압기의 구동 전류 파형을 점차 커지게 또는 점차 작아지게 설정함으로써, 변압기의 자속이 변화되기 어려우므로, 진동 소음의 발생을 감소시킬 수 있다.

그러한 종래 방법이, 예를 들어, 일본 특허 제3665984호에 기재되어 있다.

[0007] 그러나, 변압기의 진동 소음을 감소시키는 전술한 방법들은 다음과 같은 과제가 있다. 변압기에 단면적이 큰 코어 재료를 이용하는 방법에 따르면, 변압기의 사이즈가 증가하므로, 전원 장치의 소형화가 곤란해진다. 또한, 스위칭 소자의 턴 온 시간을 일률적으로 짧게 하는 방법에 따르면, 턴 온 시간이 감소되어, 변압기의 자계의 변화를 감소시킴으로써, 변압기의 진동 소음이 감소된다. 그러나, 단위 시간당의 스위칭 횟수가 증가하기 때문에, 스위칭 손실이 증가하여, 전력 절약화에 반하는 제어가 되어버린다. 또한, 변압기의 구동 전류 파형을 점차 커지게 또는 점차 작아지게 변화시키는 방법은 변압기의 이차측의 부하에 공급하는 에너지가 작은 경 부하 운전의 경우에, 적용되기 어렵다. 즉, 이 방법은, 경 부하 동작시에서는 스위칭 동작의 휴지 기간이 제공되기 때문에, 소프트-스타트 회로에 의해 전류 파형을 점차 크게 변화시키거나 또는 점차 작게 변화시키는 것이 어렵기 때문에, 적용되기 어렵다.

[0008] 경 부하 동작시에 변압기를 구동할 경우, 변압기의 공진 주파수에 대하여 고려할 필요가 있다. 경 부하 운전시에 발생하는 변압기의 진동 소음의 음압 레벨은 스위칭 소자의 구동 주파수에 따라 변동한다. 특히, 스위칭 소자의 구동 주파수가 변압기의 공진 주파수와 일치할 때, 음압 레벨은 매우 높아진다. 스위칭 전원에 이용되는 변압기의 기계적인 공진 주파수는 변압기의 코어의 형상에 의존하지만, 대강 몇 kHz 내지 십몇 kHz에서 공진 주파수(f0)의 피크를 갖는다. 이 주파수 대역은 인간의 가청 대역이며, 경 부하 동작시에 있어서 동작 가능한 스위칭 소자의 구동 주파수 대역이기도 하다. 따라서, 변압기의 공진 주파수에서 스위칭 소자를 구동하면, 변압기로부터 현저하게 인식 가능한 불쾌한 소음이 발생한다. 전술한 종래 방법들에 있어서는, 변압기의 특성에 따라 진동 소음의 저감 제어를 행하지 않기 때문에, 경 부하 동작시의 스위칭 동작에 있어서 효과적으로 진동 소음을 억제할 수 없다는 과제가 있었다.

### 발명의 내용

[0009] 본 발명의 목적은 경 부하 동작시에 변압기로부터 발생하는 진동 소음을 감소시키고, 소비 전력을 감소시키는 것이다.

[0010] 본 발명의 다른 목적은, 전원 장치로서, 일차측과 이차측이 서로 절연된 변압기, 상기 변압기의 상기 일차측을 구동하기 위한 스위칭 유닛, 상기 일차측에 흐르는 전류를 검출하여 그 전류에 대응하는 출력 값을 출력하는 검출 유닛, 상기 이차측으로부터의 출력 전압을 상기 일차측에 전달하는 전달 유닛, 및 상기 전달 유닛으로부터의 출력에 따라 상기 스위칭 유닛의 동작을 제어하는 제어 유닛을 포함하고, 상기 스위칭 유닛을 구동하기 위한 스위칭 주파수가 상기 변압기의 공진 주파수를 포함한 미리 정해진 주파수 범위 내일 경우에, 상기 제어 유닛은 상기 스위칭 유닛을 제어하는, 전원 장치를 제공하는 것이다.

[0011] 본 발명의 다른 목적은, 화상 형성 장치로서, 기록재에 화상을 형성하는 화상 형성 수단, 상기 화상 형성 수단을 구동하는 구동 수단, 및 상기 구동 수단에 전력을 공급하는 전원을 포함하고, 상기 전원은, 일차측과 이차측이 서로 절연된 변압기, 상기 변압기의 상기 일차측을 구동하는 스위칭 수단, 상기 일차측에 흐르는 전류를 검출하여 그 전류에 대응하는 출력 값을 출력하는 검출 수단, 상기 이차측으로부터의 출력 전압을 상기 일차측에 전달하는 전달 수단, 및 상기 전달 수단으로부터의 출력에 따라 상기 스위칭 수단의 동작을 제어하는 제어 수단을 포함하는, 화상 형성 장치를 제공하는 것이다.

[0012] 본 발명의 다른 목적은, 화상 형성 장치로서, 기록재에 화상을 형성하는 화상 형성 유닛, 상기 화상 형성 유닛의 동작을 제어하는 제어기, 및 상기 제어기에 전력을 공급하는 전원을 포함하고, 상기 전원은, 일차측과 이차측이 서로 절연된 변압기, 상기 변압기의 상기 일차측을 구동하기 위한 스위칭 유닛, 상기 일차측에 흐르는 전류를 검출하여 그 전류에 대응하는 출력 값을 출력하는 검출 유닛, 상기 이차측으로부터의 출력 전압을 상기 일차측에 전달하는 전달 유닛, 및 상기 전달 유닛으로부터의 출력에 따라 상기 스위칭 유닛의 동작을 제어하는 제어 유닛을 포함하는, 화상 형성 장치를 제공하는 것이다.

[0013] 본 발명의 다른 특징들은 첨부 도면을 참조하여 하기의 예시적인 실시 형태들의 설명으로부터 명백해질 것이다.

### 도면의 간단한 설명

[0014] 도 1은 본 발명의 제1 실시 형태에 따른 DC 전원 장치의 회로 구성을 도시한다.

도 2a는 본 발명의 제1 실시 형태에 따른 IS 단자 전압 보정 회로의 회로 구성을 도시한다.

도 2b는 IS 단자 전압의 파형을 도시하는 그레프이다.

도 3a는 본 발명의 제1 실시 형태에 따른 DC 전원 장치의 경 부하 동작시에 있어서의 타이밍 차트를 도시한다.

도 3b는 경 부하 동작시에 있어서의 변압기의 음압 레벨을 도시한다.

도 4a는 본 발명의 제2 실시 형태에 따른 DC 전원 장치의 회로 구성도를 도시한다.

도 4b는 레귤레이션 저항 보정 회로의 회로 구성도를 도시한다.

도 5a는 본 발명의 제2 실시 형태에 따른 DC 전원 장치의 경 부하 동작시에 있어서의 타이밍 차트를 도시한다.

도 5b는 경 부하 동작시에 있어서의 변압기의 음압 레벨을 도시한다.

도 6은 본 발명의 제3 실시 형태 및 제4 실시 형태에 따른 DC 전원 장치의 회로 구성도를 도시한다.

도 7a는 본 발명의 제3 실시 형태에 따른 제어 IC의 기능 블록도를 도시한다.

도 7b는 DC 전원 장치의 경 부하 동작시에 있어서의 타이밍 차트를 도시한다.

도 8a는 본 발명의 제4 실시 형태에 따른 제어 IC의 기능 블록도를 도시한다.

도 8b는 DC 전원 장치의 경 부하 동작시에 있어서의 타이밍 차트를 도시한다.

도 9는 본 발명의 제5 실시 형태에 따른 레이저 범프 프린터의 개략 구성도를 도시한다.

도 10a는 종래의 DC 전원 장치의 회로 구성도를 도시한다.

도 10b는 전원 IC의 기능 블록도를 도시한다.

도 11a는 종래의 DC 전원 장치의 중 부하 동작시에 있어서의 타이밍 차트를 도시한다.

도 11b는 종래의 DC 전원 장치의 경 부하 동작시에 있어서의 타이밍 차트를 도시한다.

도 12는 종래의 DC 전원 장치의 경 부하 동작시에 있어서의 변압기의 음압 레벨을 도시한다.

### 발명을 실시하기 위한 구체적인 내용

[0015] 전술한 과제를 해결하기 위한 본 발명의 구체적인 구성에 대해서 하기의 실시 형태들에 의해 설명한다. 실시 형태들은 단지 예일 뿐이고, 본 발명의 기술적 범위는 그 실시 형태들로 한정되지 않는다.

[0016] [DC 전원 장치의 개요]

[0017] 우선, 본 발명의 전원 장치와의 비교를 위해, 종래의 직류 전원 장치(이하, "DC 전원 장치"라고 일컬음)의 회로 구성과 동작에 대해서도 10a를 참조하여 설명한다. 하기에서 설명되는 DC 전원 장치는 플라이백 스위칭 전원이다.

[0018] 인렛(inlet)(101)으로부터 입력된 AC 전압은 퓨즈(102), 공통 모드 코일(103), 및 정류 다이오드 브릿지(104)를 통하여 전파 정류(full-wave rectification)되어, 일차 평활 전해 커패시터(105)에 정류 전압(이하, "DC 전압"이라고 일컬음)으로서 충전된다. 그리고, 이 DC 전압은 전원 IC(109)를 기동시키기 위한 기동 저항(106)을 통해 전원 IC(109)에 공급되어, 전원 IC(109)를 기동시킨다. 전원 IC(109)는 스위칭 동작을 행하는 전계 효과 트랜지스터(107)(이하, "FET(107)"라고 일컬음)의 간헐적 동작을 제어하는 전원 IC이다. 전원 IC(109)가 기동되면, 전원 IC(109)로부터 전류 제한 저항(110)을 통하여 FET(107)의 게이트 단자에 소정의 전압이 인가되어, FET(107)가 온(ON) 상태(도통 상태)로 된다. FET(107)가 온 상태로 되면, 플라이백 변압기(108)(이하, "변압기(108)"라고 일컬음)의 일차 권선 Np에 일차 평활 전해 커패시터(105)의 DC 전압이 인가되어, 보조 권선 Nb에 있어서 일차 권선 Np와 같은 극성이 극성이 포지티브인 전압이 유도된다. 이 경우, 일차측과 이차측이 서로 절연된 변압기(108)의 이차 권선 Ns에도 전압이 유도된다. 그러나, 이 유도된 전압은 다이오드(116)의 애노드측에서 네거티브(-)이기 때문에, 변압기(108)의 이차측에는 전압이 전달되지 않는다. 따라서, 변압기(108)의 일차 권선 Np를 통해 변압기(108)의 여자 전류만이 흐르며, 변압기(108)에는 여자 전류의 제곱에 비례한 에너지가 축적된다. 여자 전류는 시간에 비례해서 증가한다. 변압기(108)의 보조 권선 Nb에 유도된 전압은 보조 권선 Nb에 유도된 전압을 정류하기 위한 다이오드(111)와, 저항(112)을 통하여 커패시터(113)를 충전한다. 이렇게 전원 IC(109)에 전원 전압이 공급된다.

[0019] 그 다음에, 전원 IC(109)로부터 FET(107)의 게이트 단자에의 전압 인가가 정지되고, FET(107)가 오프(OFF) 상태(비도통 상태)로 되어, 일차 권선 Np에의 전류가 차단되는 경우, 변압기(108)의 각 권선에는 전술한 기동시와는

역 극성의 전압이 유도된다. 그 결과, 이차 권선 Ns에는 다이오드(116)의 애노드측에서 극성이 포지티브(+)인 전압이 유도되고, 변압기(108)에 축적된 에너지가 다이오드(116)와 이차 평활 전해 커패시터(117)에 의해 평활화 및 정류되어, DC 전압으로서 출력되어 부하(119)에 공급된다. 또한, 변압기(108)가 동작하면, 변압기(108)의 보조 권선 Nb에 유도된 전압이 전원 IC(109)의 전원 전압으로서 공급된다. 그 결과, 전원 IC(109)는 동작을 계속할 수 있고, 계속해서 FET(107)의 스위칭 동작을 행할 수 있다. 따라서, 변압기(108)는 안정적인 동작을 계속할 수 있다.

[0020] 변압기(108)로부터 출력되는 DC 전압은 다음과 같이 제어된다. 우선, 출력된 DC 전압을 레귤레이션 저항들(123, 124)에 의해 분압하여 얻은 전압은, 저항(121) 및 커패시터(122)로 형성되는 위상 보상 회로로서 구성되기도 하며 오차 검출 수단으로서 기능하는 센트 레귤레이터(125)의 레퍼런스 단자(입력 단자)에 입력된다. 센트 레귤레이터(125)는 레퍼런스 단자의 입력 전압과, 미리 설정된 기준 전압을 비교하여, 2개의 전압의 오차에 대응하는 비교 결과에 따라 피드백 신호인 전압을 캐소드 단자로부터 출력한다. 센트 레귤레이터(125)의 캐소드 단자의 출력 전압에 따라 전류 제한 저항(120)을 통하여 포토커플러(115) 내의 발광 다이오드(light emitting diode: LED)를 통해 흐르는 전류 값이 변동한다. LED를 통해 흐르는 전류 값에 따라 포토커플러(115) 내의 포토트랜지스터를 통해 흐르는 전류도 마찬가지로 변동됨으로써, 전원 IC(109)의 단자(403)에의 입력 전압이 제어된다. 이와 같이, 전원 IC(109)가 센트 레귤레이터(125)의 피드백 신호에 기초하여 FET(107)의 스위칭 제어를 행함으로써, 안정적인 DC 전압을 출력하기 위한 제어가 행해질 수 있다. 도 10a의 전원 IC(109)에 있어서의 참조 부호 400 내지 406은 전원 IC(109)의 단자 번호들을 나타낸다.

#### [전원 IC의 개요]

[0022] 그 다음에, DC 전원 장치의 FET(107)를 제어하는 전원 IC(109)에 대해서 설명한다. 하기에서 설명되는 전원 IC(109)는, 상기의 설명에서도 사용된 일반적인 전원 IC(109)인, 가변 주파수 및 가변 듀티 사이클을 갖는 전류 제어 모드에서 동작하는 전원 IC(109)이다. 도 10b는 전원 IC(109) 내부의 기능 블록도를 도시한다. 도 10b에 있어서, 참조 부호 400 내지 406은 전원 IC(109)의 단자를 나타내고, 도 10a에 도시된 전원 IC(109)의 단자 번호와 동일하다.

[0023] 우선, 전원 IC(109)의 각 단자들에 대해서 설명한다. 도 10b에 있어서, 단자(400)는 기동 회로(415)를 기동하는 VH 단자이고, 단자(401)는 전원 IC(109)에 전원 전압을 공급하는 전원 전압(VCC) 단자이고, 단자(402)는 변압기(108)의 보조 권선 Nb에 유도되는 전압이 입력되는 BOTTOM 단자이다. 단자(403)는 포토커플러(115)를 통하여, 변압기(108)로부터 출력되는 DC 전압의 변동을 나타내는 피드백 신호가 입력되는 단자이다. 단자(404)는 변압기(108)를 통해 흐르는 전류를 검출하는 전류 검출 저항(114)을 통해 흐르는 FET(107)의 드레인 전류 Id가 입력되는 IS(전류 검출) 단자이다. 단자(405)는 전원 IC(109)의 GND 단자이다. 단자(406)는, FET(107)의 게이트 단자에 접속되고 내부 RS 플립플롭(413)(이하, "FF(413)"라고 일컬음)의 Q 단자의 출력에 접속된 OUT 단자이다.

[0024] 그 다음에, 도 10b의 전원 IC(109)의 블록도에 도시된 각 구성 요소들에 대해서 설명한다. 기동 회로(415)는 일차 전압이 공급되면, 전원 IC(109)를 기동시키는 회로이다. 비교기(407)는 BOTTOM 단자(402)에 접속된 반전 입력을 갖고, 기준 전압(408)에 접속된 비반전 입력을 갖는다. BOTTOM 단자(402)의 입력 전압이 기준 전압(408)을 하회하면, 비교기(407)는 AND 회로(411)에 하이(HIGH) 레벨 신호를 출력한다. 비교기(407)는 이차 권선 Ns의 회생 종료를 검출하는 회로를 형성한다. 비교기(409)는 FB 단자(403)에 접속된 비반전 입력과, 기준 전압(410)에 접속된 반전 입력을 갖는다. FB 단자(403)의 입력 전압이 기준 전압(410)을 상회하면, 비교기(409)는 AND 회로(411)에 하이 레벨 신호를 출력한다. 비교기(409)는 이차측의 DC 전압과 기준 전압을 비교하여, FET(107)의 휴지 기간의 종료를 검출하는 회로를 형성한다. AND 회로(411)는 비교기들(407, 409)의 출력들이 모두 하이 레벨인 경우에, FF(413)의 S(세트) 단자에 세트 신호를 출력한다. 비교기(412)는 FB 단자(403)에 접속된 반전 입력과, IS 단자(404)에 접속된 비반전 입력을 갖고, FB 단자와 IS 단자의 입력 전압들을 비교한다. IS 단자의 입력 전압이 더 높을 경우에, 비교기(412)는 FF(413)의 R(리세트) 단자에 하이 레벨의 리세트 신호를 출력한다. 또한, IS 단자(404)의 입력 전압이 기준 전압(414)보다 높아진 경우에, 비교기(412)는 전원 IC(109)의 발진 동작을 정지시킨다.

#### [DC 전원 장치의 동작의 개요]

[0026] 도 11a는 도 10a 및 도 10b에 도시된 DC 전원 장치의 통상 동작(즉, 중 부하 동작(heavy load operation))시의 타이밍 차트를 도시하고, 도 11b는 전력 절약화 동작(즉, 경 부하 동작)시의 타이밍 차트를 도시한다. 도 11a 및 도 11b는 FET(107)의 소스-드레인 전압 Vds 및 드레인 전류 Id, 다이오드(116)를 통해 흐르는 전류 If, 변압

기(108)의 이차측의 DC 전압 출력, 전원 IC(109)의 FB 및 IS 단자 전압들, 및 FF(413)의 S, R, Q 단자 전압들의 파형들을 도시한다. 도 11a 및 도 11b를 참조하여, 통상 동작시 및 전력 절약화 동작시의 DC 전원 장치의 동작에 대해서 하기에서 설명한다.

[0027] (1) 통상 동작시에 있어서의 DC 전원 장치의 동작

[0028] 통상 동작시의 DC 전원 장치의 동작에 대해서 도 11a를 참조하여 설명한다.

[0029] 1) 에너지의 축적(도 11a의 타이밍 P1부터 P2까지의 기간)

[0030] 타이밍 P1은 FET(107)가 온 상태로 되는 타이밍을 나타낸다. 즉, 전원 IC(109)에 있어서, FF(413)의 S 단자에 하이 레벨 신호(세트 신호)가 입력되고, Q 단자의 출력이 하이 레벨로 된다. 이에 따라, 전원 IC(109)의 단자(406)로부터 하이 레벨 신호가 출력되고, FET(107)의 게이트 단자에 소정의 전압이 인가된다. 그러면, FET(107)가 온 상태로 되고, FET(107)의 드레인 전류 Id는 선형적으로 증가한다. 그 결과, FET(107)의 드레인 전류 Id에 의해 변압기(108)에 에너지가 축적된다. 이차 권선 Ns에 유도되는 전압의 전위는 다이오드(116)를 역바이어스하는 전위이기 때문에, 다이오드(116)를 통해 전류 If가 흐르지 않고, 이차측의 DC 전압 출력이 하강한다. 한편, 전원 IC(109)의 FB 단자(403)의 입력 전압은 포토커플러(115)를 통하여 점차 상승한다. 전원 IC(109)의 IS 단자(404)의 입력 전압도 FET(107)의 드레인 전류 Id의 증가와 마찬가지로 선형적으로 증가한다.

[0031] 2) 에너지의 회생(도 11a의 타이밍 P2부터 P3까지의 기간)

[0032] 타이밍 P2는 FET(107)가 오프 상태로 되는 타이밍을 나타낸다. 전원 IC(109)의 FB 단자(403)의 입력 전압보다 IS 단자(404)의 입력 전압이 높아지면, 비교기(412)가 하이 레벨 신호(리세트 신호)를 출력하여 FF(413)의 R 단자에 입력된다. FF(413)의 R 단자에 하이 레벨 신호가 입력되면, FF(413)의 Q 단자, 즉, 전원 IC(109)의 OUT 단자(406)가 로우(LOW) 레벨로 된다. 그러면, FET(107)의 게이트 단자에 소정의 전압이 인가되지 않기 때문에, FET(107)가 오프 상태로 되어, FET(107)의 드레인 전류 Id가 흐르지 않게 된다. 그 결과, FET(107)가 온 상태일 때와는 역 극성의 전압이 이차 권선 Ns에 유도된다. 그러면, 다이오드(116)는 도통 상태로 되고, 변압기(108)에 축적된 에너지가 다이오드(116)의 전류 If로서 흐르기 시작하여, DC 전압 출력이 상승한다. 이에 따라, 전원 IC(109)의 FB 단자(403)의 입력 전압은 포토커플러(115)를 통하여 점차 하강한다. FET(107)가 오프 상태로 되어서 드레인 전류 Id가 흐르지 않게 되기 때문에, 전원 IC(109)의 IS 단자(404)의 입력 전압도 0V가 된다.

[0033] 3) 에너지의 회생 종료→재축적(도 11a의 타이밍 P3)

[0034] 타이밍 P3은 FET(107)가 다시 온 상태로 되는 타이밍을 나타낸다. 전원 IC(109)의 BOTTOM 단자(402)의 입력 전압, 즉, 보조 권선 Nb에 유도되는 전압이 기준 전압(408) 이하가 되는 경우와, FB 단자(403)의 입력 전압이 기준 전압(410)보다 높아지는 경우에, AND 회로(411)는 하이 레벨 신호를 출력한다. 그리고, 하이 레벨 신호가 세트 신호로서 FF(413)의 S 단자에 입력되는 경우, Q 단자에 접속된 전원 IC(109)의 OUT 단자(406)가 하이 레벨로 되고, FET(107)가 다시 온 상태로 된다. FET(107)가 다시 온 상태로 되는 타이밍 P3에서, 동작은 타이밍 P1의 동작과 같은 상태이며, 전술한 일련의 동작 사이클이 반복된다. 이와 같이, 일반적인 DC 전원 장치(전원 IC: 가변 주파수 및 가변 듀티 사이클을 갖는 전류 제어 모드에서 동작)의 일련의 동작이 행해진다.

[0035] (2) 전력 절약화 동작시에 있어서의 DC 전원 장치의 동작

[0036] 그 다음에, FET(107)의 스위칭 동작의 횟수를 감소시킴으로써, 스위칭 손실을 감소시키는 동작 모드인 전력 절약화 동작시에 있어서의 DC 전원 장치의 동작에 대해서 도 11b를 참조하여 설명한다. 타이밍 P1 및 타이밍 P2에 있어서의 DC 전원 장치의 동작은 전술한 통상 동작시와 동일하기 때문에, 그 설명을 생략한다.

[0037] 1) 에너지의 회생의 종료(도 11b의 타이밍 P3부터 P4까지의 기간)

[0038] 타이밍 P3은 타이밍 P2까지 변압기(108)에 축적된 에너지가 플라이백 전류로서 이차측에의 회생이 완전히 종료되는 타이밍, 즉, 다이오드(116)의 전류 If가 흐르지 않게 되는 타이밍을 나타낸다. DC 전원 장치가 전력 절약화 동작을 행한 경우, 다이오드(116)의 전류 If가 흐르지 않게 된 후의, 전원 IC(109)의 FB 단자(403)의 입력 전압은 도 11b에 도시된 바와 같이 기준 전압(410)을 하회한다. 이에 따라, 비교기(409)의 출력이 로우 레벨에 머물며, FF(413)의 S 단자를 하이 레벨로 설정하는 조건이 충족되지 않는다. 따라서, FF(413)의 Q 단자도 로우 레벨에 머물며, FET(107)는 온 상태로 이행할 수 없다. 그 결과, 다이오드(116)의 전류 If가 흐르지 않게 된 후에도, FET(107)의 오프 상태가 계속된다. 이때, FET(107)의 드레인-소스 전압 Vds는 변압기(108)의 일차측의 DC 전압 Vb에 수렴하도록 자려 발진을 행하고, 전원 IC(109)의 FB 단자(403)의 입력 전압의 전위는 이차측의 DC

전압 출력의 하강에 따라 점차 상승한다.

[0039] 2) 에너지의 재축적(도 11b의 타이밍 P4)

[0040] 타이밍 P4는 다시 FET(107)가 온 상태로 되는 타이밍을 나타낸다. 다이오드(116)의 전류 If가 흐르지 않게 된 후에, 변압기(108)의 이차측에 접속된 부하(119)에 의해 전력이 소비되기 때문에, DC 전압 출력이 하강한다. 이에 따라, 전원 IC(109)의 FB 단자(403)의 입력 전압은 포토커플러(115)를 통하여 점차 상승한다. 상승하는 FB 단자(403)의 입력 전압은 그 후 기준 전압(410)을 초과하므로, 비교기(409)는 하이 레벨 신호를 출력한다. 전원 IC(109)의 BOTTOM 단자(402)의 입력 전압, 즉, 보조 권선 Nb에 유도되는 전압이 기준 전압(408) 이하로 되면, 비교기(407)는 하이 레벨 신호를 출력하고, 그 결과, AND 회로(411)는 하이 레벨 신호를 출력한다. 그 결과, FF(413)의 S 단자에 하이 레벨 신호(세트 신호)가 입력되고, Q 단자에 접속된 전원 IC(109)의 OUT 단자(406)가 하이 레벨로 된다. 그러면, FET(107)의 게이트 단자에 소정의 전압이 인가되고, 다시 FET(107)가 온 상태로 된다. FET(107)가 다시 온 상태로 되는 타이밍 P4에서, 동작은 타이밍 P1에서의 동작과 같은 상태이며, 타이밍 P1부터 타이밍 P4까지의 일련의 동작 사이클들이 반복된다.

[0041] 이제, 경 부하 상태에서의 DC 전원 장치의 동작에 대해서 보충 설명한다. 전술한 바와 같이, FET(107)가 온 상태로 되는 타이밍은 전원 IC(109)의 BOTTOM 단자(402)의 입력 전압이 기준 전압(408) 이하로 되는 타이밍이고, FB 단자(403)의 입력 전압이 기준 전압(410)보다 높아진다. 도 11a에 도시된 바와 같이, 중 부하 상태에서는, FB 단자(403)의 입력 전압은 기준 전압(410)보다 충분히 높기 때문에, BOTTOM 단자(402)의 입력 전압이 기준 전압(408) 이하로 되는 타이밍에서 DC 전원 장치는 FET(107)를 온 상태로 한다. 그러나, 경 부하 상태에서, FB 단자(403)의 입력 전압은 낮고, 변압기(108)에 축적된 에너지가 플라이백 전류로서 이차측에 회생되는 기간에, 기준 전압(410)보다 낮아진다. 그 결과, 플라이백 전류가 흐르지 않게 된 후, FB 단자(403)의 입력 전압이 기준 전압(410)보다 높아지지 않는다면, FET(107)는 온 상태로 되지 않는다. 따라서, 경 부하 상태에서, 도 11b에 도시된 바와 같은 오프 상태의 기간이 긴 간헐 동작이 행해진다. 경 부하 동작시에 DC 전원 장치는 전술한 바와 같이 동작함으로써, 스위칭 동작의 횟수를 감소시킬 수 있어서 에너지를 절약한다.

[0042] 그 다음에, 도 12는 경 부하 동작시에 있어서의 변압기(108)의 음압 레벨의 예를 도시한다. 도 12에 있어서, 횡축은 주파수(Frequency)(킬로헤르츠(kHz) 단위)를 나타내고, 종축은 음압 레벨(Sound Power Spectrum: 음향 파워 스펙트럼)(데시벨(dB) 단위)을 나타낸다. 도 12는 경 부하 동작시의 FET(107)의 스위칭 주파수가 변압기의 공진 주파수(f0 킬로헤르츠)와 일치할 경우를 도시한다. 이에 따라, 도 12에 도시된 바와 같이, 변압기(108)의 공진 주파수(f0 킬로헤르츠)에서 음압 레벨의 높은 피크를 갖는 진동 소음이 발생한다. 공진 주파수(f0)가 인간의 가청 주파수 범위 내에 있을 경우에는, 진동 소음이 불쾌한 소음으로서 들린다.

[0043] 제1 실시 형태

[0044] 본 실시 형태에서는, 특정한 스위칭 주파수에서 FET(107)의 텐 온 시간을 단축하여, 변압기에 축적되는 에너지를 감소시킴으로써, 변압기의 진동 소음을 감소시키는 DC 전원 장치에 대해서 하기에서 설명한다.

[0045] [보정 회로의 개요]

[0046] 도 1은 본 실시 형태의 DC 전원 장치의 회로 구성을 도시한다. 도 1의 회로 구성은, FET(107)의 드레인 전류 Id를 검출하는 전원 IC(109)의 IS 단자(404)의 앞에 IS 단자 전압 보정 회로(500)를 설치한다는 점에서, 전술한 종래의 도 10a의 회로 구성과는 상이하다. IS 단자 전압 보정 회로(500)(이하, "보정 회로(500)"라고 일컬음)는, FET(107)가 오프 상태인 경우에, IS 단자(404)에 입력되는 전압 파형을 스위칭 주파수에 따라 변화시키는 회로이다. 도 1에 도시된 회로 구성 및 전원 IC(109)의 내부 구성은 보정 회로(500)를 제외하고는, 각각 도 10a 및 도 10b와 마찬가지이다. 그러므로, 그 설명을 생략한다.

[0047] 도 2a는 보정 회로(500)의 회로 구성을 도시한다. 도 2a에 있어서, 저항(514)(제2 저항)과 저항(515)(제1 저항)은 분압 저항들이다. 직렬로 접속된 코일(517)과 커패시터(516)는, FET(107)가 오프 상태일 때, IS 단자(404)의 입력 전압(이하, "IS 전압"이라고도 일컬음)을 발진시키는 직렬 LC 회로를 형성한다. 직렬 LC 회로의 코일(517)과 커패시터(516)의 각 상수들은 발진 주파수가 변압기(108)의 공진 주파수(f0)와 같아지도록 설정된다.

[0048] 도 2b는 FET(107)의 게이트 단자에의 입력인, 전원 IC(109)에 포함된 FF(413)의 Q 단자의 출력 파형과, 전원 IC(109)의 IS 단자(404)의 입력 전압의 파형 간의 관계를 나타내는 그래프이다. 횡축은 시간( $\mu$ sec(마이크로초) 단위)을 나타낸다. 도 2b는 FET(107)의 간헐 동작 시간이 충분히 길 경우에 있어서의 IS 단자(404)의 입력 전압의 파형을 도시한다. 도 2b에 있어서, 전원 IC(109)의 FF(413)의 Q 단자의 출력이 하이 레벨로부터 로우

레벨로 변화되고, 그에 따라 FET(107)가 온 상태로부터 오프 상태로 변화되면, IS 단자(404)의 입력 전압의 평균은 0V에 중심을 둔 자려 발진을 행하고, 점차 0V에 수렴한다는 것이 이해된다. 또한, 도 2b에 있어서, 변압기(108)의 공진 주파수(f0)의 역수로서 산출되는 공진 주기(도 2b의 타이밍 Pt) 근방에서 IS 단자(404)의 입력 전압이 포지티브의 전압 값을 갖는다는 것이 이해된다.

[0049] 전술한 종래 예에 있어서는, 도 11a 및 도 11b에 도시된 바와 같이, FET(107)가 오프인 상태에 있어서의 IS 전압은 스위칭 주파수에 관계없이 일정 값(=0V)을 갖는다. 그에 반해, 본 실시 형태에서, FET(107)가 오프인 상태에 있어서의 IS 전압은, 보정 회로(500)에 의한 자려 발진 때문에, 일정 값이 아니라 가변적이다. 본 실시 형태에서는, 가변적인 IS 전압을 이용함으로써, FET(107)의 스위칭 주파수에 따라 FET(107)의 턴 온 시간을 조정한다.

[0050] [DC 전원 장치의 동작의 개요]

[0051] 그 다음에, DC 전원 장치가 전력 절약화 상태에서 동작하고, FET(107)의 스위칭 주파수가 변압기의 공진 주파수에 대략 일치할 경우에 있어서의, 도 1에 도시된 본 실시 형태에 따른 DC 전원 장치의 동작에 대해서 도 3a의 타이밍 차트를 참조하여 설명한다. FET(107)의 스위칭 주파수가 변압기의 공진 주파수에 대략 일치할 경우는, FET(107)의 스위칭 주파수가 변압기의 공진 주파수에 중심을 둔 소정의 주파수 대역 내에 있는 경우를 일컫는다. 이후의 실시 형태들에 있어서도 마찬가지이다. 도 3a에 도시된 각 신호들 및 타이밍 P1 내지 P4에 있어서의 전원 IC의 동작은 도 11b의 종래 예와 마찬가지이므로, 그 설명을 생략한다.

[0052] (1) 변압기(108)의 공진 주파수 근방에서의 동작

[0053] 도 3a에 있어서, 예를 들어, T10 또는 T12와 같은 FET(107)의 스위칭 주파수가 변압기의 공진 주파수(f0)의 주기에 일치하는 타이밍(타이밍 P4)에 있어서, 전술한 바와 같이 보정 회로(500) 때문에, IS 단자(404)에 입력되는 전압은 0V보다 높은 전압이다. 타이밍 P4에 있어서, FET(107)가 온 상태로 되면, IS 단자의 전압은 드레인 전류 Id의 증가에 따라 증가한다. FET(107)가 온인 상태에서의 IS 전압은 0V보다 높기 때문에, 도 11b의 종래 예와 비교하여, IS 전압이 FB 단자(403)에 입력되는 전압을 초과하는 타이밍이 빨라진다. 그 결과, FET(107)의 턴 온 시간이 짧아진다. 이로 인해, FET(107)가 온인 상태에서 변압기(108)를 통해 흐르는 전류의 양이 감소되고, 그에 수반하여 변압기(108)의 코어에 작용하는 전자기력이 약해진다. 그러므로, 변압기(108)를 공진 주파수에서 구동할 때 발생하는 진동 소음이 감소된다.

[0054] (2) FET(107)의 도통 시간 단축 후의 동작

[0055] FET(107)의 턴 온 시간을 단축시켰기 때문에, 그에 수반하여 변압기(108)에 축적되는 에너지도 감소된다. 그 후, 감소된 에너지를 보간하기 위해서, 본 실시 형태에서는, 도 3a의 T11 또는 T13에 나타낸 바와 같은 변압기(108)의 공진 주파수보다 높은 주파수를 갖는 주기에서 FET(107)가 구동된다. FET(107)의 스위칭 주파수가 시프트되기 때문에, FET(107)의 턴 온 시간이 짧아지고, 변압기(108)의 이차측에 공급되는 플라이백 전류의 전류값에 따라 감소하는 FB 단자(403)의 입력 전압의 감소량도 작아진다. 그 결과, FB 단자(403)의 입력 전압이 기준 전압(410)을 초과하기 위해 필요한 시간이 짧아져서, 짧은 주기에 FET(107)가 다시 온 상태로 된다.

[0056] 도 3b는 본 실시 형태에 따른 DC 전원 장치의 경 부하 동작시에 있어서의 변압기(108)의 음압 레벨의 예를 도시하는 그래프이다. 횡축은 주파수(킬로헤르츠(kHz) 단위)를 나타내고, 종축은 음압 레벨(데시벨(dB) 단위)을 나타낸다. 도 3b의 f0는 변압기(108)의 공진 주파수를 나타낸다. 도 3b에 있어서, 종래 예의 주파수와 음압 레벨 간의 관계를 나타내는 도 12에 비해, 변압기(108)의 공진 주파수(f0)에서의 음압 레벨이 감소된다는 것이 이해된다. 음압 레벨은 작지만, 변압기(108)의 공진 주파수(f0)가 아닌 주파수들에서도 피크 값들이 있다는 것도 이해된다. 피크들은, 변압기(108)의 공진 주파수(f0)에 있어서의 FET(107)의 스위칭을 억제하기 위해서, 스위칭 주파수를 시프트한 것 때문에 발생한다.

[0057] 이상 설명한 바와 같이, 본 실시 형태에 따르면, 경 부하 동작시에 변압기로부터 발생하는 진동 소음을 감소시킬 수 있고, 소비 전력을 감소시킬 수 있다. 본 실시 형태의 DC 전원 장치에 따르면, 스위칭 주파수가 변압기의 공진 주파수에 대략 일치할 경우, FET의 턴 온 시간의 단축 제어와, 스위칭 주파수의 시프트 제어를 반복함으로써, 원하는 전압을 안정적으로 출력한다. 즉, 변압기의 진동 소음을 현저하게 발생시키는 변압기의 공진 주파수와 일치하는 주파수에서 FET를 구동하는 경우에는, FET의 턴 온 시간을 단축시킨다. FET의 턴 온 시간의 단축에 기인하여 변압기의 이차측에 공급되는 전류의 양의 불충분하게 되지만, 그 후의 제어에 의해 FET의 스위칭 간격(주기)을 짧게 함으로써 전류의 양을 보간한다. 이에 의해, 변압기의 이차측의 DC 전압 출력의 안정적인 공급과, 변압기의 불쾌한 진동 소음의 감소를 동시에 실현할 수 있다.

- [0058] 본 실시 형태에서는, 스위칭 소자인 FET의 신호 제어를 위해 전원 IC를 이용했으나, 마찬가지의 효과가 얻어질 수 있는 것이라면, 다른 수단을 이용할 수도 있다. 본 실시 형태에서는, IS 전압의 보정을 위해 분압 저항과 직렬 LC 회로가 병렬로 접속된 보정 회로를 이용하지만, 마찬가지의 효과, 즉, FET의 턴 온 시간을 변압기의 공진 주파수 근방에서 단축시킬 수 있는 효과가 얻어질 수 있는 것이라면, 다른 회로 구성을 이용할 수도 있다. 또한, 본 실시 형태의 회로 구성에서는 생략되었지만, IS 단자에의 네거티브 전압 인가에 대한 보호 다이오드를 보정 회로에 추가할 수도 있다.
- [0059] 제2 실시 형태
- [0060] 본 실시 형태에서는, 특정한 주파수, 즉, 변압기의 공진 주파수에서 FET가 도통되지 않도록, FET의 턴 온 타이밍(스위칭 주기)을 지연시킴으로써, 변압기의 진동 소음을 감소시키는 DC 전원 장치에 대해서 하기에서 설명한다.
- [0061] [보정 회로의 개요]
- [0062] 도 4a는 본 실시 형태의 DC 전원 장치의 회로 구성을 도시한다. 도 4a의 회로 구성은 다음과 같은 점에서 도 10a의 전술한 종래의 DC 전원 장치의 회로 구성과는 상이하다. 즉, 레귤레이션 저항 보정 회로(501)가, 변압기(108)의 이차측에 설치된 저항(123)(제1 저항)과 병렬 접속되어 삽입되고, 레귤레이션 저항 보정 회로(501)를 제어하는 제어 유닛(800)과 메모리(801)가 부하(119)에 설치된다. 보정 회로(500) 대신에, 레귤레이션 저항 보정 회로(501)(이하, "보정 회로(501)"라고 일컬음), 제어 유닛(800), 및 메모리(801)가 설치된다는 점에서, 본 실시 형태의 회로 구성은 제1 실시 형태의 회로 구성과는 상이하다. 또한, 도 4a에 도시된 회로 구성과 전원 IC(109)의 내부 구성은 보정 회로(501)를 제외하고는, 각각 도 10a 및 도 10b와 마찬가지이다. 그러므로, 그 설명을 생략한다.
- [0063] 도 4b는 보정 회로(501)의 회로 구성을 도시한다. 도 4b에 있어서, 보정 저항(521)(제3 저항)은 션트 레귤레이터(125)의 레퍼런스 단자에 입력되는 전압을 보정하기 위해서 설치된다. 스위치(522)는 부하(119) 내에 설치된 제어 유닛(800)(예를 들어, CPU 또는 ASIC)으로부터의 스위치 제어 신호에 응답하여 그리고 전원의 동작 상태에 따라 단락(온)과 개방(오프)이 스위칭된다.
- [0064] 제어 유닛(800)으로부터의 하이 레벨의 스위치 제어 신호에 응답하여 스위치(522)가 단락(온)되면, 레귤레이션 저항(123)과 보정 저항(521)이 병렬 접속되고, 2개의 저항의 합성 저항 값은 레귤레이션 저항(123)의 저항 값보다 작아진다. 그 결과, 레귤레이션 저항(124)(제2 저항)과 저항(123)에 의해 분압된 전압과 저항 값의 비례 관계에 기초하여, 저항(123)과 저항(124) 사이의 노드에 접속되는 션트 레귤레이터(125)의 레퍼런스 단자에 입력되는 전압이 상승한다. 이 전압 상승을 상쇄하기 위해서, 션트 레귤레이터(125)는 캐소드 단자의 출력 전압을 저하시킴으로써, 포토커플러(115) 내의 발광 다이오드(LED)에의 유입 전류를 증가시키는 제어를 행한다. 포토커플러(115) 내의 발광 다이오드(LED)에 유입되는 전류의 양이 증가함으로써, 포토커플러(115) 내의 포토트랜지스터의 콜렉터 전류가 증가함으로써, 전원 IC(109)의 FB 단자(403)의 입력 전압의 상승량이 억제된다.
- [0065] 이 제어를 변압기(108)의 휴지 기간인 FET(107)의 턴 오프시에 행함으로써, 전원 IC(109)의 FB 단자의 입력 전압 상승을 억제할 수 있어서 FET(107)의 턴 오프 시간을 연장하여, 그에 의해 FET(107)의 턴 온 타이밍을 지연시킨다. 그 결과, 변압기(108)의 공진 주파수가 아닌 주파수에서 변압기(108)가 구동될 수 있다. 통상 동작시의 DC 전원 장치의 동작 및 전원 IC(109)의 내부 구성은 종래 예와 마찬가지이므로, 그 설명을 생략한다.
- [0066] [DC 전원 장치의 동작의 개요]
- [0067] 그 다음에, DC 전원 장치가 전력 절약화 상태에서 동작하고, FET(107)의 스위칭 주파수가 변압기의 공진 주파수에 대략 일치할 경우에 있어서의, 도 4a에 도시된 본 실시 형태에 따른 DC 전원 장치의 동작에 대해서 도 5a의 타이밍 차트를 참조하여 설명한다. 도 5a의 타이밍 P1 내지 P3에 있어서의 전원 IC의 동작은 도 11b의 종래 예와 마찬가지이므로, 그 설명을 생략한다.
- [0068] (1) FB 단자의 입력 전압 상승의 억제 제어
- [0069] 변압기(108)의 이차측의 부하(119)에 설치된 제어 유닛(800)은, 예를 들어, 변압기(108)의 이차측의 전압 변동에 기초하여 FET(107)의 상태를 감시한다. FET(107)가 오프 상태로 되고 DC 전압 출력이 상승하는 타이밍(타이밍 P2)에서, 제어 유닛(800)은 제어 유닛(800) 내에 포함된 타이머(도시 생략)를 기동하고, FET(107)의 스위칭 주기를 계측한다. 타이머의 타이머 값이 메모리(801)에 저장된 변압기(108)의 공진 주기에 가까워지면, FET(107)가 온 상태로 되는 것을 회피하기 위해서, 제어 유닛(800)은 하이 레벨의 스위치 제어 신호를 보정 회

로(501)에 출력한다(타이밍 P4). 이에 따라, 보정 회로(501) 내의 스위치(522)가 턴 온되어 센트 레귤레이터(125)의 레퍼런스 전압이 조정된다. 그 결과, 전술한 바와 같이, 전원 IC(109)의 FB 단자(403)의 입력 전압의 상승이 억제될 수 있어서, 변압기(108)의 공진 주기에서 FET(107)가 다시 온 상태로 되는 것을 회피한다. 즉, 타이밍 P4부터 P5까지에 있어서 보정 회로(501) 내의 스위치(522)가 턴 온되지 않으면, FB 단자(403)의 입력 전압은 파선으로 나타낸 상승 커브에 따라 상승한다. 그러나, 스위치(522)를 턴 온함으로써, FB 단자(403)의 입력 전압은 실선으로 나타낸 상승 커브에 따라 완만하게 상승한다.

[0070] 그 후, 제어 유닛(800)이 타이머의 타이머 값으로부터, 타이머 값이 변압기(108)의 공진 주기를 충분히 경과했다고 판단하면, FET(107)가 재도통되도록, 제어 유닛(800)은 로우 레벨의 스위치 제어 신호를 보정 회로(501)에 출력한다(타이밍 P5). 이에 따라, 보정 회로(501) 내의 스위치(522)가 턴 오프되어, 센트 레귤레이터(125)의 레퍼런스 전압이 통상의 전압으로 복귀된다. 그 결과, 전원 IC(109)의 FB 단자(403)에 입력되는 전압은 파선으로 나타낸 상승 커브와 같은 기울기로 상승하고, 그 후, FB 단자(403)의 전압 값이 기준 전압(410)을 초과한다. 따라서, FET(107)가 다시 온 상태로 된다(타이밍 P6). 전술한 제어를 행함으로써, 진동 에너지가 높아지는 변압기(108)의 공진 주파수에서의 FET(107)의 스위칭을 회피할 수 있어서, 변압기(108)의 진동 소음을 감소시킨다.

[0071] 도 5b는 본 실시 형태에 따른 DC 전원 장치의 경 부하 동작시에 있어서의 변압기(108)의 음압 레벨의 예를 도시한 그래프이다. 횡축은 주파수(킬로헤르츠(kHz) 단위)를 나타내고, 종축은 음압 레벨(데시벨(dB) 단위)을 나타낸다. 도 5b의 "f0"는 변압기(108)의 공진 주파수를 나타내고, (f0-fb)부터 (f0+fb)까지의 주파수 대역은 제어 유닛(800)이 스위치(522)의 온/오프를 제어함으로써 스위칭 동작이 회피되는 FET(107)의 구동 주파수 대역을 나타낸다.

[0072] 도 5b에 있어서, 본 실시 형태에서 설명한 제어에 의해, 변압기(108)의 공진 주파수(f0)에 중심을 둔 (f0-fb)부터 (f0+fb)까지의 주파수 대역에 있어서의 음압 레벨이 감소된다는 것이 이해된다. 또한, 도 5b에 있어서, 음압 레벨은 작지만, 주파수(f0-fb)보다 낮은 주파수 대역에 피크 값들이 있다는 것도 이해된다. 전술한 제어에 의해 FET(107)의 스위칭 주파수가 시프트되기 때문에 피크들이 발생한다.

[0073] 이상 설명한 바와 같이, 본 실시 형태에 따르면, 경 부하 동작시에 변압기로부터 발생하는 진동 소음을 감소시킬 수 있고, 소비 전력을 감소시킬 수 있다. 본 실시 형태의 DC 전원 장치는 변압기의 구동 주파수를 감시하고, 센트 레귤레이터의 레퍼런스 저항 값을 소정 기간에 있어서 조정하고, 변압기의 진동 소음을 현저하게 발생시키는 변압기의 공진 주파수에서 FET의 재도통을 회피하는 제어를 행한다. 이에 의해, 변압기의 이차 측의 DC 전압 출력의 안정적인 공급과, 변압기의 불쾌한 진동 소음의 감소를 동시에 실현할 수 있다.

[0074] 본 실시 형태에서는 레귤레이션 저항 값을 보정하는 보정 저항을 설치함으로써, 변압기의 공진 주기에서 FET가 동작하지 않도록, 스위칭 주파수를 보정하는 제어를 행한다. 마찬가지의 조건에서 FET의 스위칭 주파수를 보정하는 효과가 얻어질 수 있다면, 다른 수단(예를 들어, 특정 주파수(변압기의 공진 주파수)에 따라 임피던스가 변동하는 필터 회로를 포함하는 구성)도 이용될 수 있다.

### [0075] 제3 실시 형태

[0076] 본 실시 형태에서는, 제1 및 제2 실시 형태에서 이용되는 전원 제어용의 전원 IC 대신에, 디지털 회로로 형성된 제어 IC를 이용하여, 스위칭 주파수에 따라 스위칭 소자인 FET의 턴 온 시간을 제어하는 DC 전원 장치에 대해서 하기에서 설명한다.

[0077] 도 6은 본 실시 형태의 DC 전원 장치의 회로 구성을 도시한다. 종래 예와 제1 및 제2 실시 형태에 있어서 FET(107)의 구동 제어는 전원 IC(109)에 의해 행해지는 것에 대해, 본 실시 형태에 있어서 FET(107)의 구동 제어는 제어 IC(503)에 의해 행해진다는 점에서, 본 실시 형태의 도 6은 종래 예의 도 10a, 제1 실시 형태의 도 1, 및 제2 실시 형태의 도 4a와는 상이하다. 제어 IC(503)(이하, "IC(503)"라고 일컬음)를 제외한 회로 구성은 종래 예와 마찬가지이므로, 그 설명을 생략한다. 통상 동작시의 DC 전원 장치의 동작도 종래 예와 마찬가지이므로, 그 설명을 생략한다.

### [0078] [전원 IC의 개요]

[0079] 도 7a는 본 실시 형태에서 이용되는 FET(107)를 제어하는 IC(503)의 내부 구성을 도시한 기능 블록도이다. 도 7a에 있어서, 단자들(400, 401, 및 403 내지 406)은 제1 및 제2 실시 형태에서 이용된 전원 IC(109)와 동일한 단자 번호로 나타내어지며, 입력 신호 및 출력 신호도 전원 IC(109)와 마찬가지이므로, 그 설명을 생략한다.

단자(402)는 전원 IC(109)에서 BOTTOM 단자로서 사용되지만, 단자(402)는 IC(503)에서 사용되지 않는다.

[0080] 도 7a에 있어서, AD 컨버터들(600a, 600b)은 각각 입력된 아날로그 전압 값을 디지털 전압 값으로 변환(A/D 변환)한다. 전압 기울기 판별 유닛(601)은 A/D 변환된 FB 단자(403)의 입력 전압 값을 복수회 검출하여, 2점에서의 검출 결과에 기초하여 전압 값의 기울기를 판단한다. 검출된 전압 값의 기울기에 기초하여, 전압 기울기 판별 유닛(601)은 변압기(108)의 이차측의 플라이백 전류의 유입의 종료(회생 종료)를 검출한다. 입력 전압 값이 증가하는 기울기를 갖는 경우에, 전압 기울기 판별 유닛(601)은 플라이백 전류의 유입이 종료했다고 판단하고, 하이 레벨 신호를 출력한다. 입력 전압 값이 감소하는 기울기를 갖는 경우에, 전압 기울기 판별 유닛(601)은 이제 플라이백 전류의 유입이 유발되었다고 판단하고, 로우 레벨 신호를 출력한다. FB 전압-기준 전압 비교기(602)(이하, "기준 전압 비교기(602)"라고도 일컬음)는 A/D 변환된 FB 단자(403)의 입력 전압이 기준 전압(410)을 초과했는지 여부를 검출한다. A/D 변환된 FB 단자(403)의 입력 전압이 기준 전압(410)을 초과한 경우에, 기준 전압 비교기(602)는 하이 레벨 신호를 출력한다. A/D 변환된 FB 단자(403)의 입력 전압이 기준 전압(410)을 초과하지 않은 경우에, 기준 전압 비교기(602)는 로우 레벨 신호를 출력한다. 펄스 출력 유닛(603)은 전압 기울기 판별 유닛(601)으로부터의 출력과, FB 전압-기준 전압 비교기(602)로부터의 출력이 둘 다 하이 레벨인 경우에, 하이 레벨의 펄스 신호를 출력한다.

[0081] 펄스 주기 산출기(604)(이하, "주기 산출기(604)"라고도 일컬음)는 펄스 출력 유닛(603)으로부터 출력된 펄스 신호의 주기를 측정하여 FET(107)의 구동 주파수를 산출하고, 산출된 구동 주파수에 기초하여 선택기(606)에 전압 증폭 지시 신호를 출력한다. IS 전압 증폭기(605)는 A/D 변환된 IS 단자(404)의 입력 전압을 소정의 개인으로 증폭시켜 얻은 신호를 출력한다. 선택기(606)는 A/D 변환된 IS 단자(404)의 입력 전압, 또는 IS 전압 증폭기(605)에 의해 증폭된 전압을 펄스 주기 산출기(604)로부터 출력되는 선택 신호(전압 증폭 지시 신호)에 따라 출력한다. FB 전압-IS' 전압 비교기(607)(이하, "IS' 전압 비교기(607)"라고도 일컬음)는 A/D 변환된 FB 단자(403)의 입력 전압(FB 전압)과 선택기(606)로부터 출력된 전압(IS' 전압)을 비교한다. IS' 전압이 더 높으면, IS' 전압 비교기(607)는 하이 레벨 신호를 출력한다. RS 플립플롭(608)(이하, "FF(608)"라고 일컬음)에 있어서, S 단자에 펄스 신호가 입력되면, Q 단자의 출력이 하이 레벨로 되고, R 단자에 펄스 신호가 입력되면, Q 단자의 출력은 로우 레벨로 된다.

[0082] [DC 전원 장치의 동작의 개요]

[0083] 그 다음에, 전력 절약화 동작의 경우와, FET(107)의 스위칭 주파수가 변압기의 공진 주파수에 대략 일치할 경우에 있어서의 본 실시 형태에 따른 IC(503)의 내부 동작에 대해서 도 7b의 타이밍 차트를 참조하여 설명한다.

[0084] 도 7b는 FF(608)의 S, R, Q 단자 전압들, FET(107)의 소스-드레인 전압 Vds 및 드레인 전류 Id, 다이오드(116)를 통해 흐르는 전류 If, 및 변압기(108)의 이차측의 DC 전압 출력의 파형들을 도시하고, 다음과 같은 신호들의 전압 파형들도 도시한다. "주기 카운터"는 펄스 출력 유닛(603)으로부터 출력된 펄스 신호의 주기를 측정하기 위해서, 펄스 주기 산출기(604) 내에 설치된 카운터의 카운터 값을 나타낸다. 펄스 주기 산출기(604)는 주기 카운터의 카운터 값이 소정의 범위 내의 값일 때에는 선택 신호인 "전압 증폭 지시 신호"를 선택기(606)에 송출한다. 또한, 펄스 출력 유닛(603)으로부터 출력되는 펄스 신호에 응답하여 주기 카운터와 전압 증폭 지시 신호가 리셋된다. "FB 전압 기울기 판별 신호"는 전압 기울기 판별 유닛(601)으로부터의 출력을 나타내는 신호이며, FB 전압 값이 증가하고 있을 때(FB 전압이 포지티브의 기울기를 가질 때)에는 하이 레벨로 되고, FB 전압 값이 감소하고 있을 때(FB 전압이 네거티브의 기울기를 가질 때)에는 로우 레벨로 된다. "전압 값 비교 판별 신호"는 FB 전압-기준 전압 비교기(602)로부터의 출력을 나타내는 신호이며, FB 전압이 기준 전압(410)보다 높을 때에는 하이 레벨로 되고, FB 전압이 기준 전압(410)보다 낮을 때에는 로우 레벨로 된다. "FB 전압"과 "IS' 전압"은 FB 전압-IS' 전압 비교기(607)의 입력들의 전압 파형들을 나타낸다.

[0085] (1) FET(107)의 도통(온) 상태의 판단

[0086] 전압 기울기 판별 유닛(601)은, 변압기(108)에 의한 에너지의 회생이 종료하고, IC(503)의 FB 단자(403)의 입력 전압이 포지티브의 기울기를 갖는 것을 검출할 경우(도 7b의 P3 내지 P5, P6 내지 P8, 및 P9 내지 P11의 구간들)에, 하이 레벨을 출력한다. FB 전압-기준 전압 비교기(602)는 FB 단자(403)의 입력 전압이 기준 전압(410)을 초과한 것을 검출할 경우(타이밍 P1, P4, P7, 및 P10)에, 하이 레벨을 출력한다. 전압 기울기 판별 유닛(601) 및 FB 전압-기준 전압 비교기(602)로부터 동시에 하이 레벨 신호들이 출력되면, 펄스 출력 유닛(603)은 하이 레벨의 펄스 신호를 출력한다. FF(608)에 있어서, 펄스 출력 유닛(603)으로부터 출력된 펄스 신호(세트 신호)가 S 단자에 입력되면, Q 단자의 출력은 하이 레벨로 되고, Q 단자의 출력 전압이 OUT 단자(406)를 경유하여 FET(107)의 게이트 단자에 인가되어, FET(107)가 온 상태로 된다.

- [0087] 펠스 주기 산출기(604)는 펠스 출력 유닛(603)으로부터 출력된 펠스 신호의 주기(도 7b에 도시된 T1부터 T4까지의 기간)를 계측한다. 그리고, 계측된 펠스 신호의 주기가, 미리 정해진 변압기(108)의 공진 주기에 중심을 둔 소정의 주기 범위 내에 포함될 경우, 펠스 주기 산출기(604)는 하이 레벨의 선택 신호(전압 증폭 지시 신호)를 선택기(606)에 출력한다. 선택 신호에 응답하여, 선택기(606)로부터의 출력으로서, IS 전압 증폭기(605)로부터의 출력이 선택된다. 도 7b에서는, T1 및 T4가 변압기(108)의 공진 주기에 중심을 둔 소정의 주기 범위 내에 포함되며 때문에, 펠스 주기 산출기(604)가 하이 레벨의 전압 증폭 지시 신호를 출력한다. 펠스 주기 산출기(604) 내에 설치된 주기 카운터는 펠스 출력 유닛(603)으로부터 출력된 펠스 신호에 응답하여 초기화되고, 다음 펠스 신호의 주기의 계측을 개시한다.
- [0088] (2) FET(107)의 비도통(오프) 상태의 판단
- [0089] FET(107)가 온 상태로 되면, 변압기(108)는 에너지의 축적을 개시한다. 이에 따라, 변압기(108)에 유입하는 전류의 양이 증가하고, 그에 수반하여 IC(503)의 IS 단자(404)의 입력 전압이 상승한다. IS 단자(404)에 입력된 IS 전압은 AD 컨버터(600b)에 의해 A/D 변환되고, 선택기(606) 및 IS 전압 증폭기(605)에 출력된다. IS 전압 증폭기(605)는 입력된 IS 전압을 미리 정해진 증폭률(계인)로 증폭하고, 증폭된 IS 전압을 선택기(606)에 출력한다. 선택기(606)는 펠스 주기 산출기(604)로부터의 선택 신호(전압 증폭 지시 신호)에 따라 비증폭된 IS 전압 또는 증폭된 IS 전압을 선택하고, 선택된 IS 전압을 보정된 IS 전압(도 7b에서는 IS' 전압으로 나타냄)으로서 FB 전압-IS' 전압 비교기(607)에 출력한다. 펠스 신호의 주기가, 미리 정해진 변압기(108)의 공진 주기에 중심을 둔 소정의 주기 범위 내에 포함될 경우, 펠스 주기 산출기(604)는 하이 레벨의 선택 신호를 출력한다. 그 결과, 선택기(606)는 증폭된 IS 전압을 출력한다. 이에 의해, 후술하는 바와 같이, FET(107)의 턴 온 시간이 짧아지고, FET(107)의 스위칭 주파수는 변압기(108)의 공진 주파수에 중심을 둔 소정의 범위의 주파수와는 달라진다.
- [0090] FB 전압-IS' 전압 비교기(607)는, FET(107)가 온 상태로 되면 변압기(108)에 축적되는 에너지에 따라 상승하는 보정된 IS 전압(IS' 전압)과, FB 전압을 감시한다. 그리고, FB 전압-IS' 전압 비교기(607)가 보정된 IS 전압의 전압 값이 FB 전압의 전압 값을 초과한 것을 검출하면(도 7b의 타이밍 P2, P5, P8, 및 P11), FB 전압-IS' 전압 비교기(607)는 FF(608)의 R 단자에 펠스 신호(리셋트 신호)를 출력한다. 도 7b에 있어서, 선택기(606)로부터 증폭된 IS 전압이 출력된 경우(타이밍 P5 및 P11)에는 비증폭된 IS 전압이 출력된 경우(타이밍 P2 및 P8)보다 FET(107)의 턴 온 시간이 짧다는 것이 이해된다. FF(608)에 있어서, FB 전압-IS' 전압 비교기(607)로부터 출력된 펠스 신호가 R 단자에 입력되면, Q 단자의 출력은 로우 레벨로 된다. 그 결과, OUT 단자(406)를 경유하여, FF(608)의 Q 단자의 출력이 입력되는 FET(107)의 게이트 단자에 소정의 전압이 인가되지 않는다. 따라서, FET(107)가 오프 상태로 된다. FET(107)가 오프 상태로 되면, 변압기(108)는 에너지의 축적을 종료하고, 에너지의 회생을 개시한다.
- [0091] 이상 설명한 바와 같이, 본 실시 형태에 따르면, 경 부하 동작시에 변압기로부터 발생하는 진동 소음을 감소시킬 수 있고, 소비 전력을 감소시킬 수 있다. 본 실시 형태의 DC 전원 장치는 상술한 제어를 통해, 변압기의 진동 소음을 현저하게 발생시키는 변압기의 공진 주파수와 대략 일치하는 FET의 스위칭에 있어서 도통 시간을 단축시키는 동작을 행한다. 도통 시간의 단축에 기인하여 변압기의 이차측에 공급되는 전류의 양이 불충분하게 되지만, FET의 스위칭 간격을 짧게 함으로써 전류의 양을 보간한다. 이에 의해, 변압기의 이차측의 DC 출력의 안정적인 공급과, 변압기의 불쾌한 진동 소음의 감소를 동시에 실현할 수 있다.
- [0092] 또한, 본 실시 형태에서는, IS 전압에 대한 필터 회로를 디지털 회로로 형성하기 때문에, 필터 회로를 아날로그 회로로 형성하는 제1 실시 형태에 비해, 더 이상적인 필터 특성(주파수 대역, 증폭률)에 의해 진동 소음의 감소 제어를 실현할 수 있다. 본 실시 형태에서는, 필터 특성이 제어 IC 내에 있어서 일의적으로 한정된 구성을 전제로 하여 그 제어와 효과에 대해서 설명했다. 그러나, 필터의 특성을 일의적으로 한정할 필요는 없다. 제2 실시 형태와 같이, 변압기의 이차측 부하에 제어 유닛(예를 들어, CPU)과 메모리를 설치할 수 있고, 제어 IC가 미리 메모리에 저장된 변압기 고유의 특성 정보를 제어 유닛으로부터 수취할 수 있어서, 변압기마다 최적화될 필터 특성을 변경한다.
- [0093] 또한, 본 실시 형태에서는, 변압기의 에너지의 회생 종료를 FB 전압의 기울기에 기초하여 검출한다. 예를 들어, 제1 및 제2 실시 형태의 전원 IC와 마찬가지로, 제어 IC에 BOTTOM 전압을 입력하는 단자를 설치할 수 있어서, 변압기의 보조 권선에 유도되는 전압(BOTTOM 전압)과 기준 전압을 비교함으로써, 변압기의 에너지의 회생 종료를 검출한다.

- [0094] 제4 실시 형태
- [0095] 본 실시 형태에서는, 제3 실시 형태와 마찬가지로 디지털 회로로 형성된 IC를 이용하여, FET의 구동 주기를 변압기의 공진 주기에 일치하지 않도록, 구동 타이밍을 제어하는 DC 전원 장치에 대해서 하기에서 설명한다.
- [0096] 제3 실시 형태에서는, FET의 구동 주기가 변압기의 공진 주기에 중심을 둔 소정의 주기 범위 내에 들어올 경우, FET의 다음 구동 주기를 짧게 함으로써 변압기의 진동 소음을 감소시킨다. 본 실시 형태는 변압기의 공진 주파수와 대략 일치하는 주파수에서 FET의 스위칭 동작을 회피하도록 FET의 구동 주기를 제어함으로써, 변압기의 진동 소음을 감소시킨다는 점에서, 제3 실시 형태와는 상이하다. 본 실시 형태의 DC 전원 장치의 회로 구성은 도 6의 제3 실시 형태와 마찬가지이므로, 그 설명을 생략한다. 통상 동작시의 DC 전원 장치의 동작도 종래 예와 마찬가지이므로, 그 설명을 생략한다.
- [0097] [전원 IC의 개요]
- [0098] 도 8a는 본 실시 형태에 이용되는 FET(107)를 제어하는 IC(503)의 내부 구성을 도시한 기능 블록도이다. 본 실시 형태에 있어서의 IC(503)는 제3 실시 형태에서 설명한 IC(503)와는 회로 구성이 부분적으로 상이하다. 도 8a에 있어서, 제3 실시 형태와 마찬가지인 회로 구성에 대해서는 동일한 참조 부호로 나타내며 그 설명을 생략하고, 다른 회로 구성에 대해서 하기에서 설명한다.
- [0099] 도 8a에 있어서, 마스크 신호 생성 유닛(609)은 FET(107)의 구동 주파수를 산출하는 카운터와, 카운터의 카운터 값에 따라 출력 보정 유닛(610)에 마스크 신호를 출력하는 출력 섹션을 포함한다. 마스크 신호 생성 유닛(609)의 카운터는 펄스 출력 유닛(603)으로부터 출력되는 펄스 신호, 또는 출력 보정 유닛(610)으로부터 출력되는 세트(Set) 신호에 응답하여 초기화된다. 출력 보정 유닛(610)은 마스크 신호 생성 유닛(609)으로부터 출력되는 마스크 신호에 응답하여, 펄스 출력 유닛(603)으로부터 입력된 펄스 신호를 소정 시간만큼 지연시킨 후, 그 결과의 신호를 FF(608)의 S 단자에 출력한다. FB 전압-IS 전압 비교기(611)는 AD 컨버터(600a)에 의해 A/D 변환된 FB 단자(403)의 입력 전압과, AD 컨버터(600b)에 의해 A/D 변환된 IS 단자(404)의 입력 전압을 비교한다. 그리고, IS 전압의 전압 값이 FB 전압의 전압 값보다 높으면, FB 전압-IS 전압 비교기(611)는 하이 레벨 신호를 FF(608)의 R 단자에 출력한다.
- [0100] [DC 전원 장치의 동작의 개요]
- [0101] 그 다음에, 전력 절약화 동작의 경우와, FET(107)의 스위칭 주파수가 변압기의 공진 주파수에 대략 일치할 경우에 있어서의 본 실시 형태에 따른 IC(503)의 내부 동작에 대해서도 8b의 타이밍 차트를 참조하여 설명한다.
- [0102] 도 8b의 타이밍 차트에 도시된 동작 과정들은 "펄스 신호", "주기 카운터", 및 "출력 마스크 신호"를 제외하고는, 제3 실시 형태의 타이밍 차트와 마찬가지이므로, 그 설명을 생략한다. "펄스 신호"는 펄스 출력 유닛(603)의 출력 펄스를 나타낸다. 전압 기울기 판별 유닛(601)의 출력인 "FB 전압 기울기 판별 신호"와, FB 전압-기준 전압 비교기(602)의 출력인 "전압 값 비교 판별 신호"가 둘 다 하이 레벨일 때, 하이 레벨의 펄스가 출력된다. "주기 카운터"는 FET(107)의 구동 주파수를 산출하기 위해서, 마스크 신호 생성 유닛(609) 내에 설치된 카운터의 카운터 값을 나타낸다. "출력 마스크 신호"는 마스크 신호 생성 유닛(609)으로부터 출력 보정 유닛(610)에 출력되는 신호이며, "주기 카운터"에 의해 산출되는 FET(107)의 구동 주파수가 소정의 범위 내의 주파수일 경우에 하이 레벨이 출력된다.
- [0103] 예를 들어, f0가 변압기(108)의 공진 주파수를 나타낸다고 할 때, 경 부하 동작시에 변압기로부터 발생하는 진동 소음을 감소시키기 위해서, FET(107)를 (f0-fb) 내지 (f0+fb)의 주파수 대역에서 구동시키지 않도록 할 경우를 고려한다. "주기 카운터"는 FET(107)가 구동되는 주기를 계측한다. 카운터 값이 주파수 (f0+fb)에 상당하는 주기(도 8b의 Tmask1의 구간)보다 커지면, "출력 마스크 신호"는 하이 레벨로 된다. 그리고, "주기 카운터"의 카운터 값이 주파수 (f0-fb)에 상당하는 주기(도 8b의 Tmask2의 구간)보다 커지면, "출력 마스크 신호"는 하이 레벨로부터 로우 레벨로 변화된다. 출력 보정 유닛(610)은 펄스 출력 유닛(603)으로부터 펄스 신호가 출력될 때, "출력 마스크 신호"가 하이 레벨이면, FF(608)의 S 단자에 세트 신호를 출력하지 않고, "출력 마스크 신호"가 로우 레벨로 되면, FF(608)의 S 단자에 세트 신호를 출력한다.
- [0104] (1) FET(107)의 도통(온) 상태의 판단
- [0105] 전압 기울기 판별 유닛(601)은, 변압기(108)에 의한 에너지의 회생이 중요하고, IC(503)의 FB 단자(403)의 입력 전압이 포지티브 기울기를 갖는 것을 검출할 경우(도 8b의 P3 내지 P6, P7 내지 P9, 및 P10 내지 P13의 구간들)에, 하이 레벨을 출력한다. FB 전압-기준 전압 비교기(602)는 FB 단자(403)의 입력 전압이 기준 전압(410)

을 초과한 것을 검출할 경우(타이밍 P1, P4, P8, 및 P11)에, 하이 레벨을 출력한다. 전압 기울기 판별 유닛(601) 및 FB 전압-기준 전압 비교기(602)로부터 동시에 하이 레벨들이 출력되면, 펄스 출력 유닛(603)은 하이 레벨의 펄스 신호를 출력한다.

[0106] 마스크 신호 생성 유닛(609)은 내부 카운터를 갖고, 카운터의 값에 따라 출력 마스크 신호를 출력한다. 하이 레벨의 출력 마스크 신호는 미리 설정된 카운터 값 Tmask1로부터 미리 설정된 카운터 값 Tmask2까지의 기간에 출력된다. 카운터 값 Tmask1로부터 카운터 값 Tmask2까지의 기간은 변압기(108)의 공진 주기를 포함하는 소정의 기간이다. 출력 마스크 신호가 로우 레벨일 때, 마스크 신호 생성 유닛(609)의 카운터는 펄스 출력 유닛(603)으로부터 출력된 펄스 신호에 응답하여 초기화 된다(타이밍 P1 및 P8). 한편, 출력 마스크 신호가 하이 레벨일 때, 마스크 신호 생성 유닛(609)의 카운터는 출력 보정 유닛(610)으로부터 출력된 세트 신호에 응답하여 초기화된다(타이밍 P5 및 P12).

[0107] 출력 보정 유닛(610)은 펄스 출력 유닛(603)으로부터 출력되는 펄스 신호를 FF(608)의 S 단자에 직접 출력할지, 또는 소정의 시간 지연시킨 후에 출력할지를 제어한다. 출력 마스크 신호가 로우 레벨일 때, 출력 보정 유닛(610)이 펄스 출력 유닛(603)으로부터 펄스 신호를 수신한 경우에, 출력 보정 유닛(610)은 펄스 신호를 직접 FF(608)의 S 단자에 출력한다(도 8b의 타이밍 P1 및 P8). 한편, 출력 마스크 신호가 하이 레벨일 때, 출력 보정 유닛(610)이 펄스 출력 유닛(603)으로부터 펄스 신호를 수신할 경우(타이밍 P4)에, 출력 보정 유닛(610)은 펄스 신호를 직접 출력하지 않고, 출력 마스크 신호가 로우 레벨로 된 후에 펄스 신호를 FF(608)의 S 단자에 출력한다(타이밍 P5).

[0108] FF(608)에 있어서, 출력 보정 유닛(610)으로부터 출력된 펄스 신호(세트 신호)가 S 단자에 입력되면, Q 단자의 출력은 하이 레벨로 되고, OUT 단자(406)를 경유하여 FET(107)의 게이트 단자에 Q 단자의 출력 전압이 인가되어, FET(107)가 온 상태로 된다.

#### [0109] (2) FET(107)의 비도통(오프) 상태의 판단

[0110] FET(107)가 온 상태로 되면, 변압기(108)는 에너지의 축적을 개시한다. 이에 따라, 변압기(108)에 유입하는 전류의 양이 증가하고, 그에 수반하여 IC(503)의 IS 단자(404)의 입력 전압이 상승한다. IS 단자(404)에 입력된 IS 전압은 AD 컨버터(600b)에 의해 A/D 변환되어, FB 전압-IS 전압 비교기(611)에 출력된다. 마찬가지로, FB 단자(403)에 입력된 FB 전압도 AD 컨버터(600a)에 의해 A/D 변환되어, FB 전압-IS 전압 비교기(611)에 출력된다.

[0111] FB 전압-IS 전압 비교기(611)는 FET(107)가 온 상태로 되면 변압기(108)에 축적되는 에너지에 따라 상승하는 IS 전압과, FB 전압을 감시한다. 그리고, FB 전압-IS 전압 비교기(611)가 IS 전압의 전압 값이 FB 전압의 전압 값을 초과한 것을 검출하면(도 8b의 타이밍 P2, P6, P9, 및 P13), FB 전압-IS 전압 비교기(611)는 FF(608)의 R 단자에 펄스 신호(리셋 신호)를 출력한다. FF(608)에 있어서, FB 전압-IS 전압 비교기(611)로부터 출력된 펄스 신호가 R 단자에 입력되면, Q 단자의 출력이 로우 레벨로 된다. 그 결과, OUT 단자(406)를 경유하여, FF(608)의 Q 단자의 출력이 입력되는 FET(107)의 게이트 단자에는 소정의 전압이 인가되지 않는다. 따라서, FET(107)가 오프 상태로 된다. FET(107)가 오프 상태로 되면, 변압기(108)는 에너지의 축적을 종료하고, 에너지의 회생을 개시한다.

[0112] 이상 설명한 바와 같이, 본 실시 형태에 따르면, 경 부하 동작시에 변압기로부터 발생하는 진동 소음을 감소시킬 수 있고, 소비 전력을 감소시킬 수 있다. 본 실시 형태의 DC 전원 장치는 상술한 제어를 통해, FET의 스위칭 주기를 지연시켜, 변압기의 진동 소음을 현저하게 발생시키는 변압기의 공진 주파수와 대략 일치하는 주파수에서 FET(107)의 동작을 회피한다. 따라서, 변압기의 불쾌한 진동 소음의 감소를 실현할 수 있다.

[0113] 또한, 본 실시 형태에서는, 디지털 회로에 의해 FET의 스위칭 주파수의 지연 제어를 수행하기 때문에, 아날로그 회로에 의해 지연 제어를 수행하는 제2 실시 형태에 비해, 지연 시간을 더 정확하게 보정할 수 있는 장점이 있다. 본 실시 형태에서는, 지연 시간 및 마스크 개시 시간이 제어 IC 내에서 일의적으로 한정되는 구성을 전제로 하여, 그 제어와 효과에 대해서 설명했다. 그러나, 지연 시간 및 마스크 개시 시간을 일의적으로 한정할 필요는 없다. 예를 들어, 제2 실시 형태와 같이, 변압기의 이차측 부하에 제어 유닛(예를 들어, CPU)과 메모리를 설치할 수 있어서, 제어 IC는 미리 메모리에 저장된 변압기 고유의 특성 정보를 제어 유닛으로부터 수취할 수 있어서, 변압기마다 최적화될 필터 특성(지연 시간 및 마스크 개시 시간)을 변경한다.

#### [0114] 제5 실시 형태

[0115] 제1 내지 제4 실시 형태에서 설명한 전원 장치는, 예를 들어, 화상 형성 장치의 저압 전원, 즉, 컨트롤러, 또는

모터 등의 구동 유닛에 전력을 공급하는 전원으로서 적용될 수 있다. 이제, 제1 내지 제4 실시 형태에 따른 전원 장치가 적용되는 화상 형성 장치의 구성에 대해서 설명한다.

[0116] [화상 형성 장치의 구성]

[0117] 화상 형성 장치의 예로서 레이저 범 프린터를 설명한다. 도 9는 전자 사진 방식의 프린터의 예인 레이저 범 프린터의 개략 구성을 도시한다. 레이저 범 프린터(300)는 정전 잠상이 형성되는 화상 담지 부재로서의 감광 드럼(311), 감광 드럼(311)을 균일하게 대전하는 대전 유닛(317)(대전 수단), 감광 드럼(311)에 형성된 정전 잠상을 토너로 현상하는 현상 유닛(312)(현상 수단)을 포함한다. 감광 드럼(311)에 현상된 토너 이미지를 카세트(316)로부터 공급된 기록재로서의 시트(도시 생략)에 전사 유닛(318)(전사 수단)에 의해 전사한다. 시트에 전사된 토너 이미지를 정착 유닛(314)에 의해 정착해서 트레이(315)에 배출한다. 감광 드럼(311), 대전 유닛(317), 현상 유닛(312), 및 전사 유닛(318)은 화상 형성 유닛에 상당하다. 또한, 레이저 범 프린터(300)는 제1 내지 제4 실시 형태에서 설명한 전원 장치(도 9에는 도시 생략)를 더 포함한다. 제1 내지 제4 실시 형태의 전원 장치가 적용될 수 있는 화상 형성 장치는 도 9에 예시된 것으로 한정되지 않는다. 예를 들어, 화상 형성 장치는 복수의 화상 형성 유닛을 포함할 수 있다. 대안적으로, 화상 형성 장치는 감광 드럼(311)상에 형성된 토너 이미지를 중간 전사 벨트에 전사하는 일차 전사 유닛과, 중간 전사 벨트상에 형성된 토너 이미지를 시트에 전사하는 이차 전사 유닛을 포함할 수 있다.

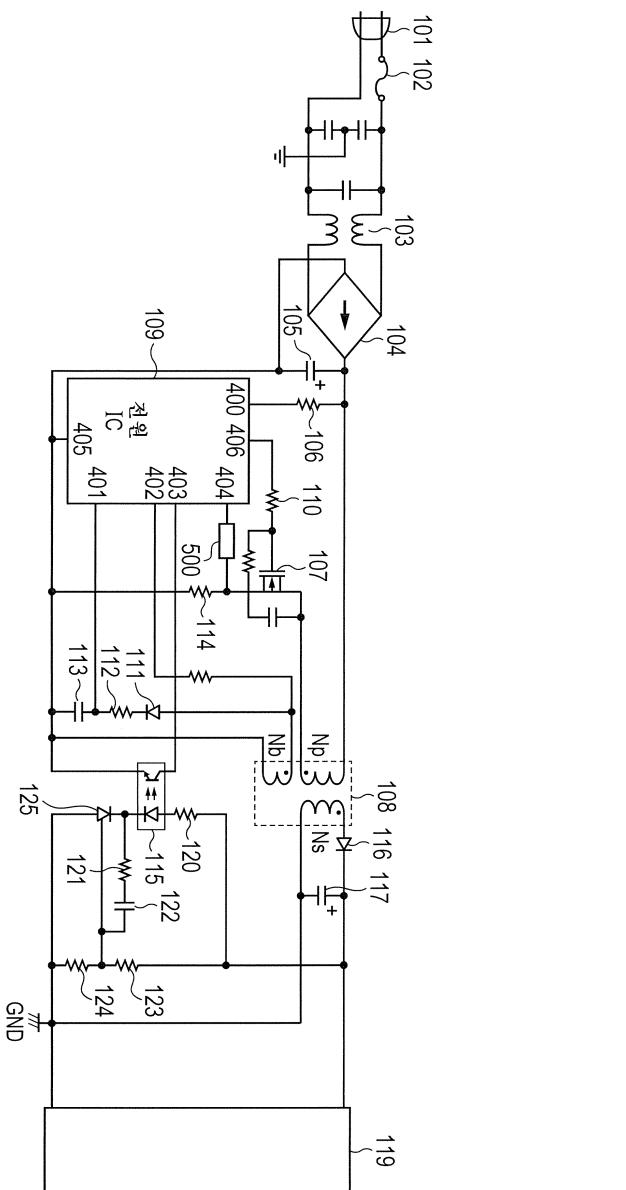
[0118] 레이저 범 프린터(300)는 화상 형성 유닛의 화상 형성 동작 및 시트 반송 동작을 제어하는 컨트롤러(도시 생략)를 포함한다. 제1 내지 제4 실시 형태에서 설명한 전원 장치는, 예를 들어, 컨트롤러에 전력을 공급한다. 또한, 제1 내지 제4 실시 형태의 전원 장치는 감광 드럼(311)을 회전시키기 위해서 또는 시트를 반송하는 각종 롤러들을 구동하기 위해서 모터 등의 구동 유닛에 전력을 공급한다. 즉, 제1 내지 제4 실시 형태의 부하(119)는 컨트롤러 또는 구동 유닛에 상당하다. 본 실시 형태의 화상 형성 장치는 전력 절약화를 실현하는 대기 상태(예를 들어, 전력 절약화 모드 또는 대기 모드)에 있을 경우에, 예를 들어, 컨트롤러에만 전력을 공급하는 등, 부하를 줄임으로써 소비 전력을 감소시킬 수 있다. 즉, 본 실시 형태의 화상 형성 장치에서는, 전력 절약화 모드시에, 제1 내지 제4 실시 형태에서 설명한 전원 장치가 경 부하 상태에서의 간헐 발진 동작을 행한다. 화상 형성 장치가 전력 절약화 모드에서 동작할 때, 제1 내지 제4 실시 형태에서 설명한 구성에 의해, 전원 장치의 변압기(108)로부터 발생하는 진동 소음을 감소시킬 수 있고, 소비 전력을 감소시킬 수 있다.

[0119] 이상 설명한 바와 같이, 본 실시 형태에 따르면, 화상 형성 장치의 스위칭 전원에 있어서, 경 부하 동작시에 변압기로부터 발생하는 진동 소음을 감소시킬 수 있고, 소비 전력을 감소시킬 수 있다.

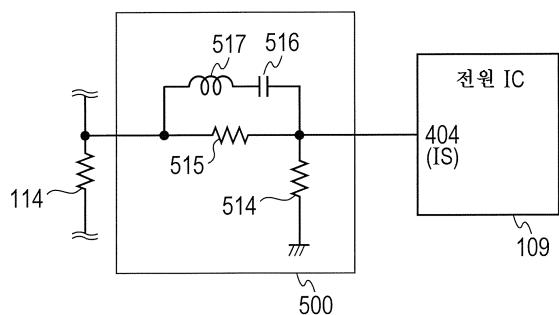
[0120] 본 발명은 예시적인 실시 형태들을 참조하여 설명되었지만, 본 발명은 개시된 예시적인 실시 형태들로 한정되지 않는다는 것을 이해할 것이다. 하기의 청구항들의 범위는 그러한 변경 및 등가의 구조와 기능을 모두 포함하도록 최광의의 해석에 따라야 한다.

도면

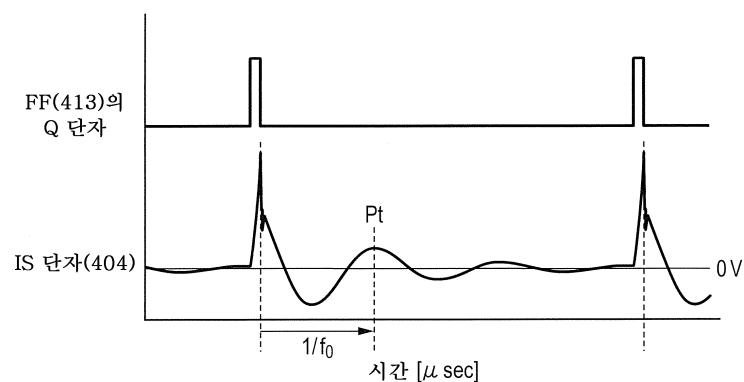
도면1



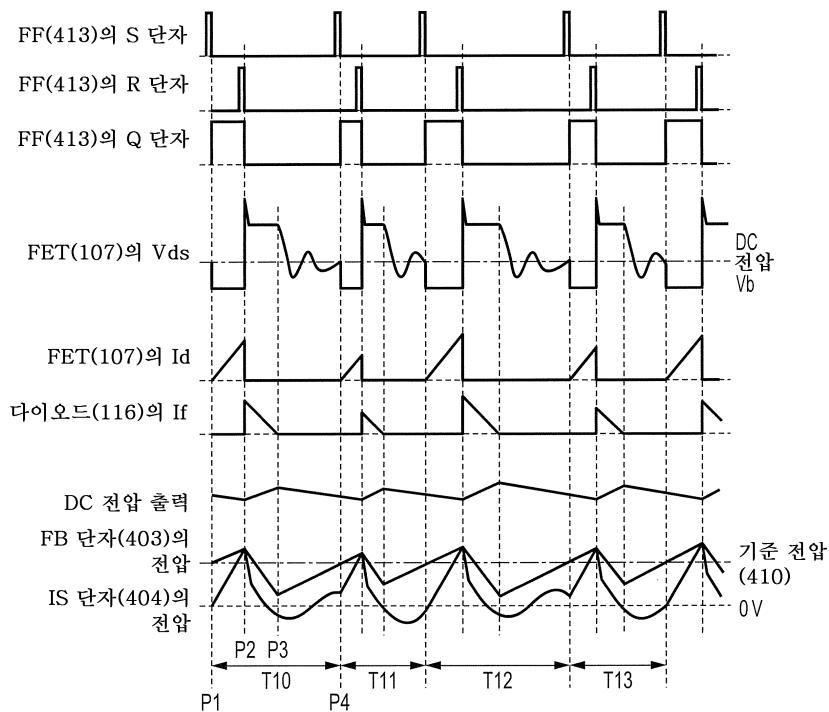
도면2a



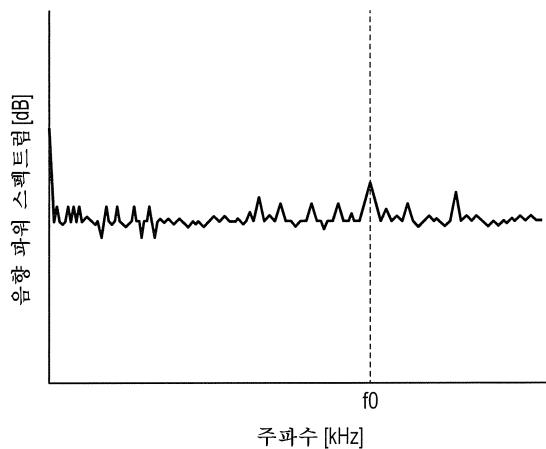
## 도면2b



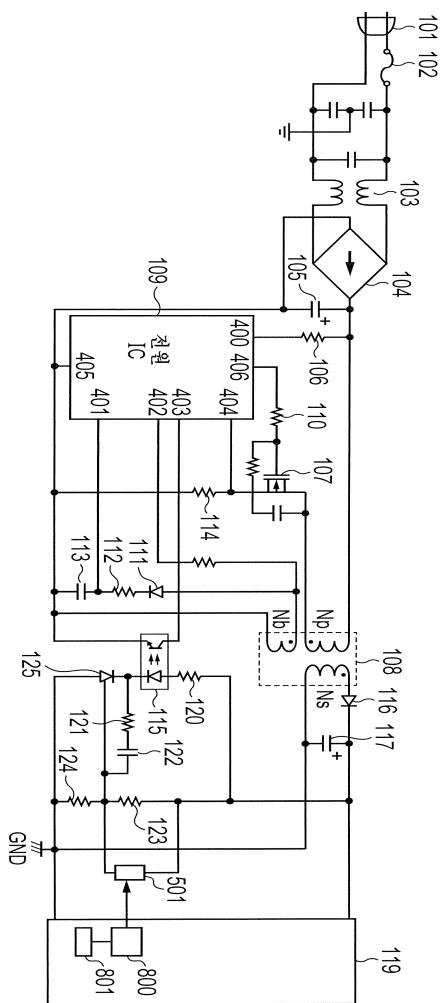
## 도면3a



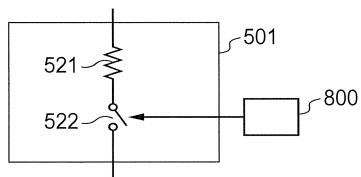
도면3b



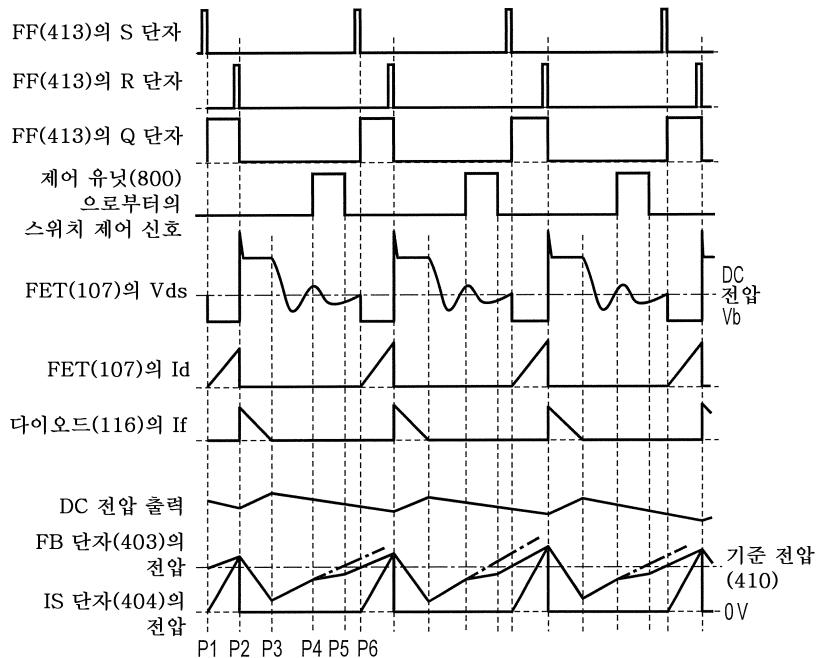
도면4a



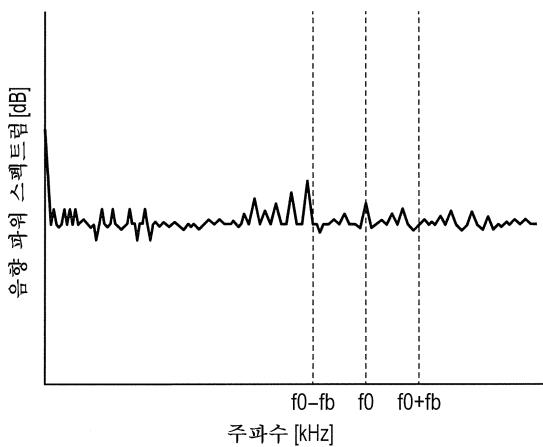
## 도면4b



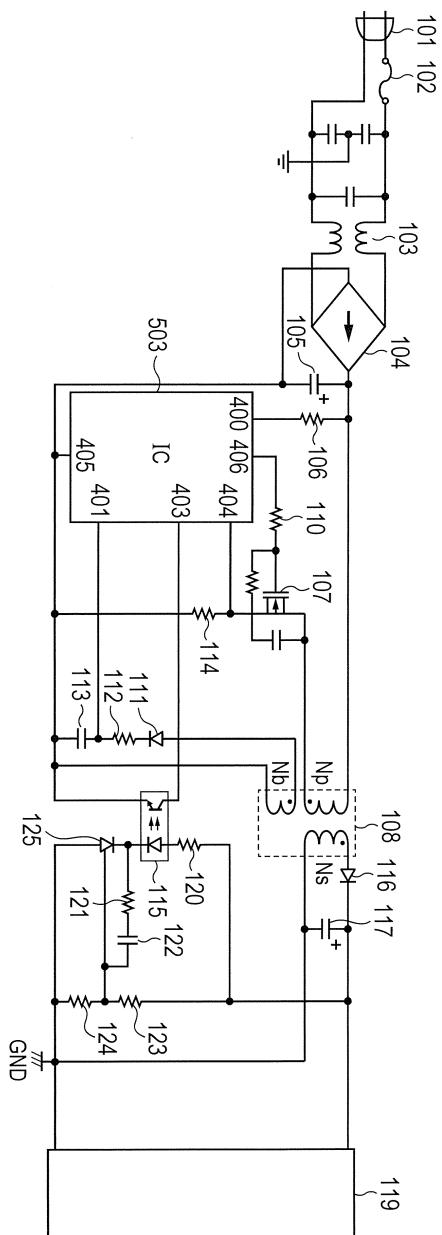
## 도면5a



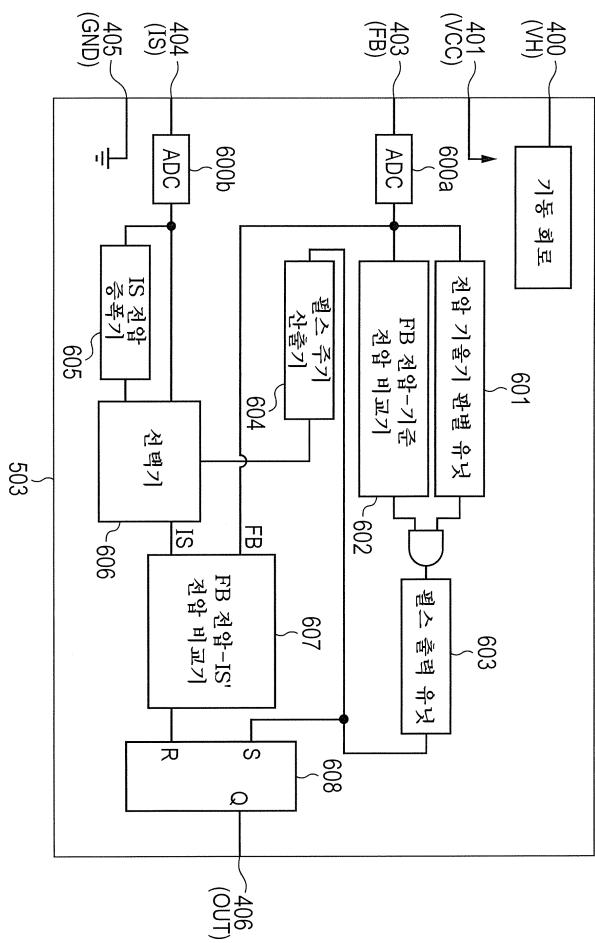
## 도면5b



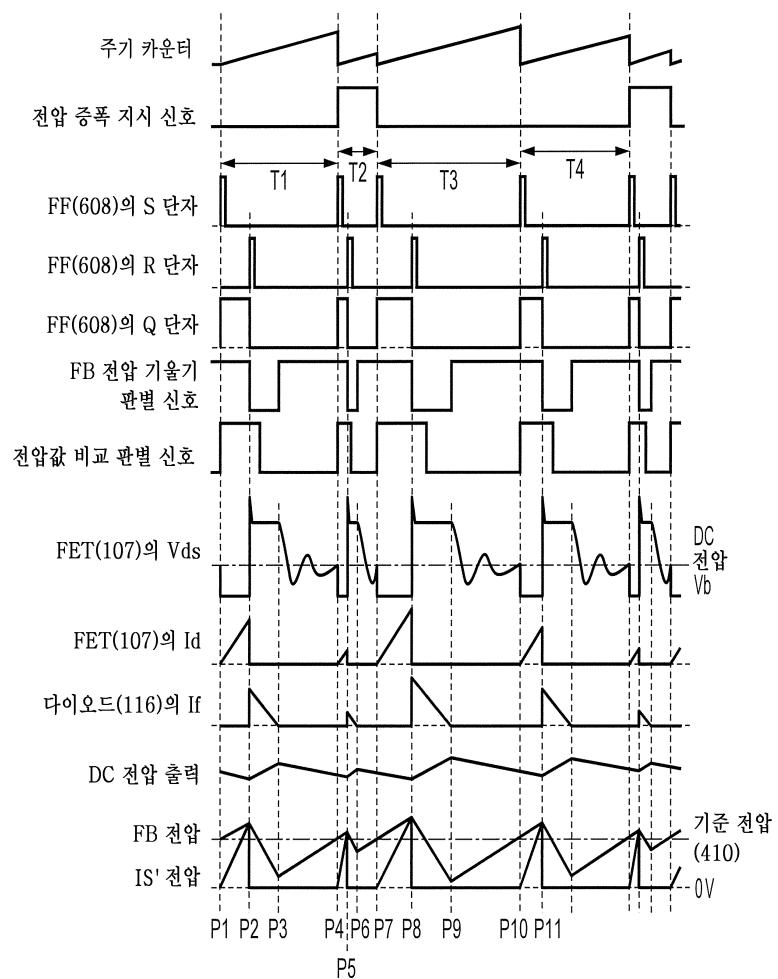
도면6



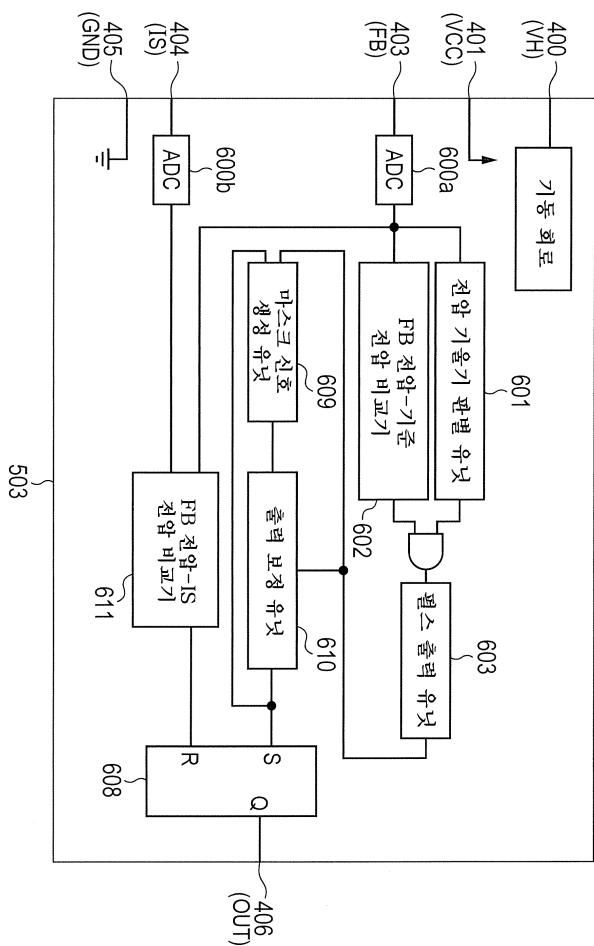
도면7a



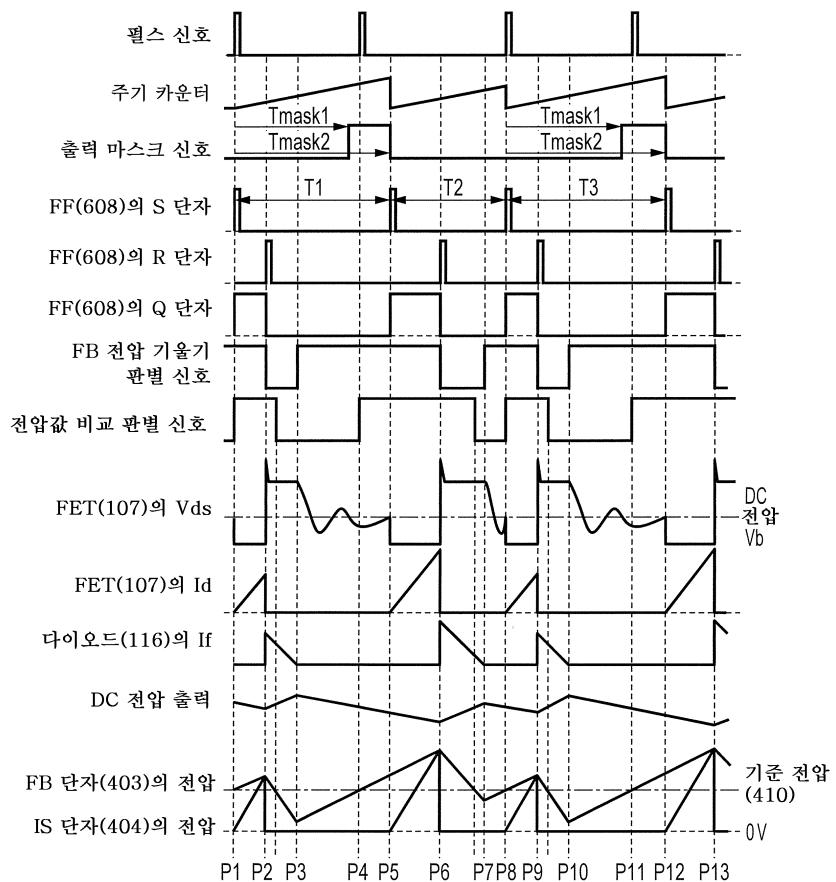
## 도면7b



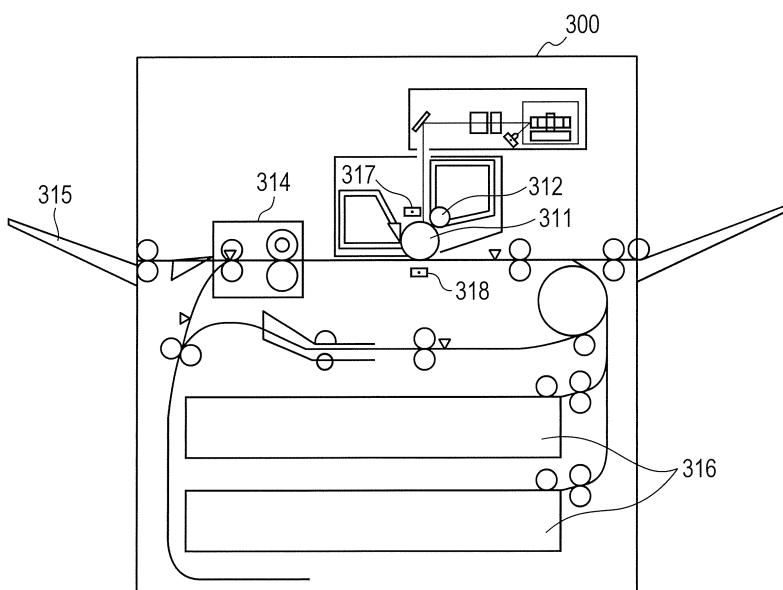
도면8a



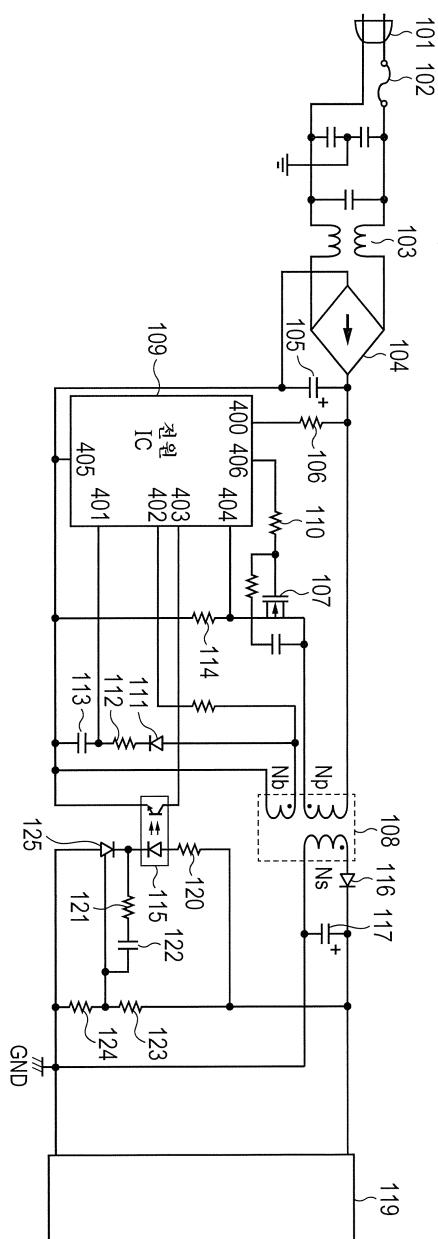
## 도면8b



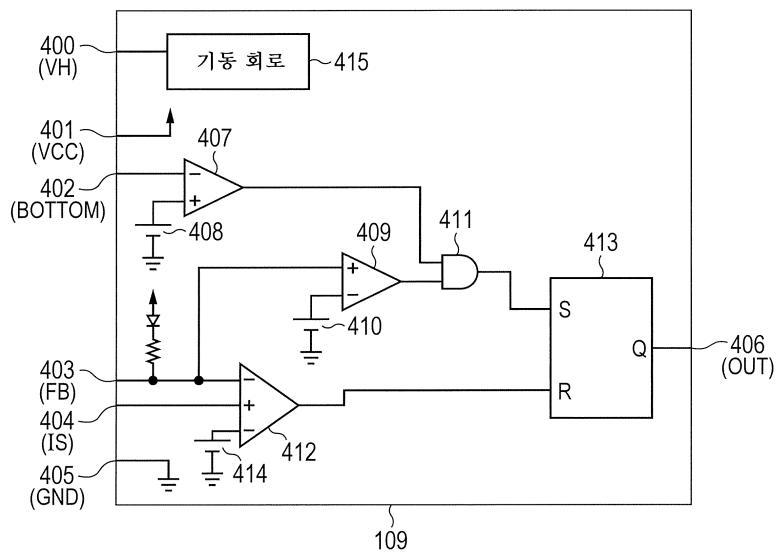
## 도면9



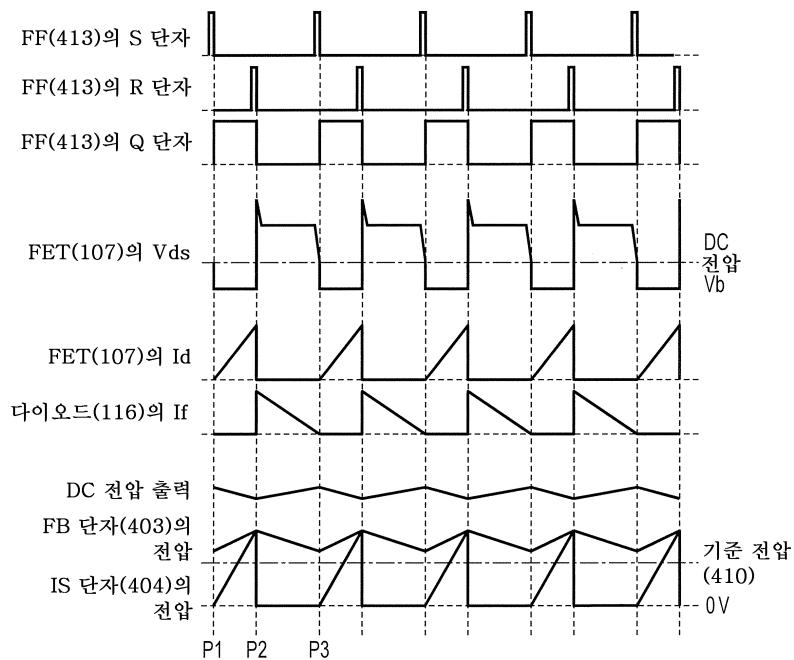
도면10a



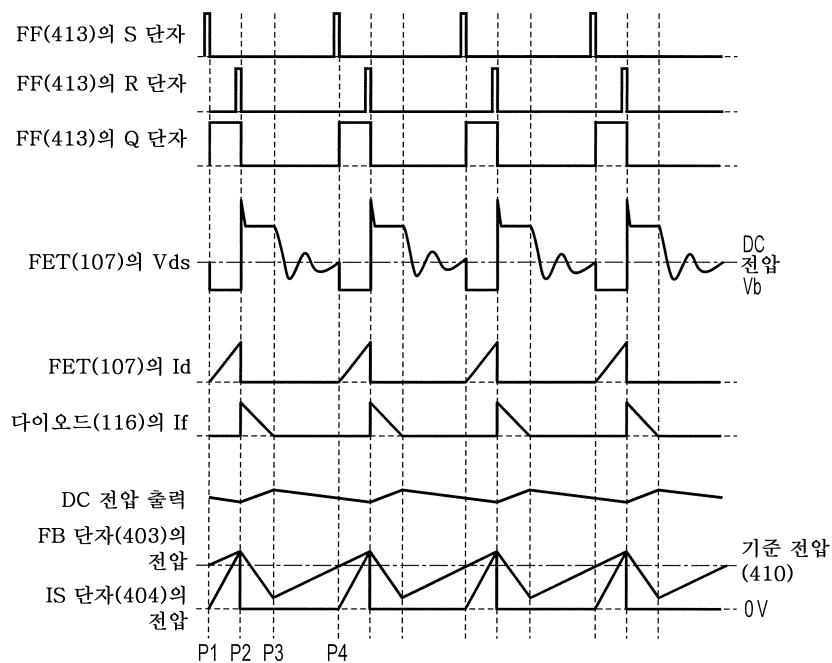
## 도면10b



## 도면11a



## 도면11b



## 도면12

