

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5460972号
(P5460972)

(45) 発行日 平成26年4月2日(2014.4.2)

(24) 登録日 平成26年1月24日(2014.1.24)

(51) Int.Cl.

F I

H O 1 L 21/02 (2006.01)

H O 1 L 27/12 B

H O 1 L 27/12 (2006.01)

H O 1 L 21/76 D

H O 1 L 21/762 (2006.01)

H O 1 L 29/78 6 2 7 D

H O 1 L 21/336 (2006.01)

H O 1 L 29/78 6 2 6 C

H O 1 L 29/786 (2006.01)

請求項の数 12 (全 29 頁)

(21) 出願番号 特願2008-107747 (P2008-107747)
 (22) 出願日 平成20年4月17日(2008.4.17)
 (65) 公開番号 特開2009-4741 (P2009-4741A)
 (43) 公開日 平成21年1月8日(2009.1.8)
 審査請求日 平成23年4月12日(2011.4.12)
 (31) 優先権主張番号 特願2007-133546 (P2007-133546)
 (32) 優先日 平成19年5月18日(2007.5.18)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 山崎 舜平
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 大沼 英人
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内

審査官 右田 勝則

最終頁に続く

(54) 【発明の名称】 S O I 基板の作製方法、及び半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項 1】

厚さ50 μ m以下の単結晶半導体基板に補強基板を貼りあわせ、
 前記単結晶半導体基板の所定の深さに脆化層を形成し、
 表面に絶縁層を有する支持基板と前記単結晶半導体基板とを、前記絶縁層を介して貼り
 合わせ、

前記単結晶半導体基板を前記脆化層において分断して、前記支持基板上に前記絶縁層を
 介して薄膜の単結晶半導体層を形成し、

前記貼り合わせの後、又は、前記単結晶半導体層の形成後に、前記補強基板と前記単結
 晶半導体基板とを分離する工程を有することを特徴とする S O I 基板の作製方法。

10

【請求項 2】

単結晶半導体基板の所定の深さに脆化層を形成し、
 前記単結晶半導体基板上に絶縁層を形成し、
 前記単結晶半導体基板を厚さ50 μ m以下に薄膜化し、
 前記単結晶半導体基板と支持基板とを、前記絶縁層を介して貼り合わせ、
 前記単結晶半導体基板を前記脆化層において分断して、前記支持基板上に前記絶縁層を
 介して薄膜の単結晶半導体層を形成し、

前記単結晶半導体基板に補強基板を貼りあわせる工程を有し、
 前記貼り合わせの後、又は、前記単結晶半導体層の形成後に、前記補強基板と前記単結
 晶半導体基板とを分離する工程を有することを特徴とする S O I 基板の作製方法。

20

【請求項 3】

請求項 1 又は 2 において、

前記絶縁層は、酸化珪素層、又は、酸化珪素層と窒素含有絶縁層との積層膜を有することを特徴とする S O I 基板の作製方法。

【請求項 4】

単結晶半導体基板の所定の深さに脆化層を形成し、

前記単結晶半導体基板上に第 1 の絶縁層を形成し、

前記単結晶半導体基板を厚さ 50 μm 以下に薄膜化し、

表面に第 2 の絶縁層を有する支持基板と前記単結晶半導体基板とを、前記第 1 の絶縁層及び前記第 2 の絶縁層を介して貼り合わせ、

前記単結晶半導体基板を前記脆化層において分断して、前記支持基板上に前記第 1 の絶縁層及び前記第 2 の絶縁層を介して薄膜の単結晶半導体層を形成し、

前記単結晶半導体基板に補強基板を貼りあわせる工程を有し、

前記貼り合わせの後、又は、前記単結晶半導体層の形成後に、前記補強基板と前記単結晶半導体基板とを分離する工程を有することを特徴とする S O I 基板の作製方法。

【請求項 5】

請求項 4 において、

前記第 1 の絶縁層又は前記第 2 の絶縁層は、酸化珪素層、又は、酸化珪素層と窒素含有絶縁層との積層膜を有することを特徴とする S O I 基板の作製方法。

【請求項 6】

請求項 1 乃至 5 のいずれか一項において、

前記脆化層は、水素又は希ガスをイオンドープ法又はイオン注入法を用いて照射することにより形成されることを特徴とする S O I 基板の作製方法。

【請求項 7】

厚さ 50 μm 以下の単結晶半導体基板に補強基板を貼りあわせ、

前記単結晶半導体基板の所定の深さに脆化層を形成し、

表面に第 1 の絶縁層を有する支持基板と前記単結晶半導体基板とを、前記第 1 の絶縁層を介して貼り合わせ、

前記単結晶半導体基板を前記脆化層において分断して、前記支持基板上に前記第 1 の絶縁層を介して薄膜の単結晶半導体層を形成し、

前記単結晶半導体層上に第 2 の絶縁層を形成し、

前記第 2 の絶縁層上にゲート電極を形成し、

前記ゲート電極をマスクとして前記単結晶半導体層に不純物を導入し、

前記ゲート電極及び前記単結晶半導体層上に第 3 の絶縁層を形成し、

前記第 3 の絶縁層に前記単結晶半導体層に達するコンタクトホールを形成し、

前記コンタクトホールを介して前記第 3 の絶縁層上に前記単結晶半導体層と電氣的に接続する導電層を形成し、

前記貼り合わせの後、又は、前記単結晶半導体層の形成後に、前記補強基板と前記単結晶半導体基板とを分離する工程を有することを特徴とする半導体装置の作製方法。

【請求項 8】

単結晶半導体基板の所定の深さに脆化層を形成し、

前記単結晶半導体層上に第 1 の絶縁層を形成し、

前記単結晶半導体基板を厚さ 50 μm 以下に薄膜化し、

前記単結晶半導体基板と支持基板とを、前記第 1 の絶縁層を介して貼り合わせ、

前記単結晶半導体基板を前記脆化層において分断して、前記支持基板上に前記第 1 の絶縁層を介して薄膜の単結晶半導体層を形成し、

前記単結晶半導体層上に第 2 の絶縁層を形成し、

前記第 2 の絶縁層上にゲート電極を形成し、

前記ゲート電極をマスクとして前記単結晶半導体層に不純物を導入し、

前記ゲート電極及び前記単結晶半導体層上に第 3 の絶縁層を形成し、

前記第 3 の絶縁層に前記単結晶半導体層に達するコンタクトホールを形成し、
前記コンタクトホールを介して前記第 3 の絶縁層上に前記単結晶半導体層と電氣的に接続する導電層を形成し、
前記単結晶半導体基板に補強基板を貼りあわせる工程を有し、
前記貼り合わせの後、又は、前記単結晶半導体層の形成後に、前記補強基板と前記単結晶半導体基板とを分離する工程を有することを特徴とする半導体装置の作製方法。

【請求項 9】

請求項 7 又は 8 において、
前記第 1 の絶縁層は、酸化珪素層、又は、酸化珪素層と窒素含有絶縁層との積層膜を有することを特徴とする半導体装置の作製方法。

10

【請求項 10】

単結晶半導体基板の所定の深さに脆化層を形成し、
前記単結晶半導体層上に第 1 の絶縁層を形成し、
前記単結晶半導体基板を厚さ 50 μm 以下に薄膜化し、
表面に第 2 の絶縁層を有する支持基板と前記単結晶半導体基板とを、前記第 1 の絶縁層及び前記第 2 の絶縁層を介して貼り合わせ、
前記単結晶半導体基板を前記脆化層において分断して、前記支持基板上に前記第 1 の絶縁層及び前記第 2 の絶縁層を介して薄膜の単結晶半導体層を形成し、
前記単結晶半導体層上に第 3 の絶縁層を形成し、
前記第 3 の絶縁層上にゲート電極を形成し、
前記ゲート電極をマスクとして前記単結晶半導体層に不純物を導入し、
前記ゲート電極及び前記単結晶半導体層上に第 4 の絶縁層を形成し、
前記第 4 の絶縁層に前記単結晶半導体層に達するコンタクトホールを形成し、
前記コンタクトホールを介して前記第 4 の絶縁層上に前記単結晶半導体層と電氣的に接続する導電層を形成し、
前記単結晶半導体基板に補強基板を貼りあわせる工程を有し、
前記貼り合わせの後、又は、前記単結晶半導体層の形成後に、前記補強基板と前記単結晶半導体基板とを分離する工程を有することを特徴とする半導体装置の作製方法。

20

【請求項 11】

請求項 10 において、
前記第 1 の絶縁層又は前記第 2 の絶縁層は、酸化珪素層、又は、酸化珪素層と窒素含有絶縁層との積層膜を有することを特徴とする半導体装置の作製方法。

30

【請求項 12】

請求項 7 乃至 11 のいずれか一項において、
前記脆化層は水素又は希ガスをイオンドープ法またはイオン注入法を用いて照射することにより形成されることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、SOI 基板の作製方法、SOI 基板を用いた半導体装置およびその作製方法に関する。なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を示す。

40

【背景技術】

【0002】

絶縁表面上に単結晶シリコン膜を形成する SOI (Silicon On Insulator) 基板を用いて作製された集積回路は、バルクシリコン基板を用いて作製された集積回路では得られない優位点を有するため、SOI 技術に関して様々な研究がなされている。

【0003】

SOI 技術として例えば、単結晶シリコン基板中に酸素をイオン注入して埋め込み酸化層

50

を形成するSIMOX (Separation by Implanted Oxygen) 技術や、2枚のシリコン基板を、シリコン酸化膜を介して貼り合わせるSOI技術、多孔質シリコン層の選択性エッチングを利用したELTRAN (登録商標) 技術等が報告されている。

【0004】

中でも、貼り合わせSOI技術は、良好な結晶性のSOI層をシリコン基板以外の基板 (例えば石英基板、セラミックス基板等) 上にも簡便に形成できるため注目されている。しかしながら、貼り合わせSOI基板を作製する上で、SOI層の汚染による品質劣化や基板の反りなどが生じ、デバイス特性へ悪影響を及ぼすという問題があった。

【0005】

そこで、そのような問題を解決するために、2枚のウェハーを直接接合することによりSOI基板を作製する技術が提案されている (例えば、特許文献1)。特許文献1には、活性層となる単結晶シリコン層上にシリコン酸化層、窒化珪素層、多結晶シリコン層を順次積層した構造を有するウェハーと、別途用意した支持基板用のウェハーとを用意し、それぞれ溶液により洗浄して表面を活性化し、前記ウェハー表面同士を直接接合し、熱処理して貼り合わせた後、活性層となる単結晶シリコン層を研削研磨することによりSOI基板を作製する方法が開示されている。

【特許文献1】特開2004-320050号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかしながら従来の方法では、2枚の基板を接合する際に800 ~ 1100 の高温の熱処理を行う必要があり、支持基板としてシリコン基板等の高耐熱性基板を用いなければならず、作製コストが向上するという問題がある。また、従来の方法では、貼り合わせた後に単結晶シリコン層を研削研磨して薄膜の単結晶シリコン層を作製するため、膜厚の制御や膜厚の均一性の制御が困難であるという問題がある。

【0007】

本願発明はこのような課題を解決するための技術であり、接合の際に高温の熱処理を行うことなく、密着性のよい半導体層を作製する方法を提案する。また、SOI基板を用いた半導体装置及びその作製方法を提案することを目的とする。

【課題を解決するための手段】

【0008】

単結晶半導体基板に、脆化層と、前記脆化層上の単結晶半導体層とを形成し、前記単結晶半導体層上に第1の絶縁層を形成し、前記単結晶半導体基板を厚さ50 μm以下に薄膜化し、表面に第2の絶縁層を有する支持基板を作製し、単結晶半導体基板と支持基板とを、第1の絶縁層及び第2の絶縁層を介して貼り合わせ、前記単結晶半導体層と単結晶半導体基板とを、前記脆化層において分断して、前記支持基板上に前記絶縁層を介して薄膜の単結晶半導体層を形成することによりSOI基板を作製することができる。なお、第1の絶縁層又は第2の絶縁層の少なくとも一方の表面をプラズマ雰囲気若しくはイオン雰囲気に晒して第1の絶縁層又は第2の絶縁層の表面を活性化しておいてもよい。また、第1の絶縁層又は第2の絶縁層は必ずしも設ける必要はない。

【0009】

単結晶半導体基板に、脆化層と、前記脆化層上の単結晶半導体層とを形成し、前記単結晶半導体層上に第1の絶縁層を形成し、前記単結晶半導体基板を50 μm以下に薄膜化し、表面に第2の絶縁層を有する支持基板を作製し、単結晶半導体基板と支持基板とを、第1の絶縁層及び第2の絶縁層を介して貼り合わせ、前記単結晶半導体層と単結晶半導体基板とを、前記脆化層において分断して、前記支持基板上に前記第1の絶縁層及び前記第2の絶縁層を介して薄膜の単結晶半導体層を形成し、薄膜の単結晶半導体層上に第3の絶縁層を形成し、第3の絶縁層上にゲート電極を形成し、ゲート電極をマスクとして薄膜の単結晶半導体層に不純物を導入し、ゲート電極上に第4の絶縁層を形成し、第4の絶縁層に薄

10

20

30

40

50

膜の単結晶半導体層に達するコンタクトホールを形成し、コンタクトホールを介して第4の絶縁層上に薄膜の単結晶半導体層と電氣的に接続する導電層を形成することにより半導体装置を作製することができる。なお、第1の絶縁層又は第2の絶縁層の少なくとも一方の表面をプラズマ雰囲気若しくはイオン雰囲気に晒して第1の絶縁層又は第2の絶縁層の表面を活性化し、また、第1の絶縁層又は第2の絶縁層は必ずしも設ける必要はない。

【0010】

なお、プラズマ雰囲気に晒すときに用いるガスは、酸素、窒素、水素、ハロゲンガス、希ガスの単元素系ガス、シラン系を除く化合物ガス、又はこれらの混合ガスを用いることができる。なお、イオン雰囲気に晒す際に20 eV以上のエネルギーを持つイオンを用いることができる。

10

【発明の効果】

【0011】

本発明では、基板表面に接合するための結合力を付与して基板を重ね合わせるため、高温の熱処理を行うことなく強固な接合を行うことが可能である。従って、高価な高耐熱性基板を用いる必要がなく、ガラス基板など安価な基板を用いることができ、作製コストの低減を図ることができる。また、支持基板と単結晶シリコン層との間の絶縁膜として酸素又は窒素を含む珪素膜を用いているため、単結晶シリコン層に基板からの汚染物の混入を防ぐことができる。

【0012】

また、本発明では厚さが50 µm以下の、可撓性を有する単結晶シリコン基板を用いることを特徴とする。そのため重ね合わせる支持基板の表面に生じているうねりに単結晶シリコン基板表面の形状を合わせることができ、貼り合わせ界面においてより強固な結合を形成することができる。

20

【発明を実施するための最良の形態】

【0013】

本発明の実施の形態について、図面を用いて以下に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同じものを指す符号は異なる図面間で共通して用いる場合がある。

30

【0014】

(実施の形態1)

本実施の形態ではSOI基板の構成及び作製方法について図面を用いて説明する。

【0015】

本実施の形態のSOI基板は、図1に示すように、支持基板100上に形成された接合層104と、接合層104上に形成されたSOI層102とを有する。

【0016】

ここで、SOI層102の表面に平滑であり活性化された表面を形成する接合層104を形成し、支持基板100と接合層104とを接合することにより、支持基板100上に形成された接合層104と、接合層104上に形成されたSOI層102とを有するSOI基板を作製することができる。なお、支持基板100の表面に平滑であり活性化された表面を形成する接合層104を形成し、接合層104及びSOI層102を接合して図1に示すSOI基板を作製してもよい。

40

【0017】

また、図1において支持基板100としては、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスのような電子工業用に使われる各種ガラス基板のような絶縁基板を用いることができる。なお、絶縁基板上に酸素を含む窒化珪素(SiN)膜及び窒素を含む酸化珪素(SiON)膜等の絶縁層が形成されていてもよい。

【0018】

また、SOI層102は単結晶半導体であり、代表的には単結晶シリコンが適用される。

50

その他に、水素又は希ガスをイオンドーピング法またはイオン注入法を用いて照射することで単結晶半導体基板若しくは多結晶半導体基板から分離可能である、シリコンや、単結晶半導体基板若しくは多結晶半導体基板から分離可能であるゲルマニウムも適用することができる。その他にも、シリコンゲルマニウム、ガリウムヒ素、インジウムリンなどの化合物半導体による結晶性半導体層を適用することもできる。

【0019】

また、接合層104としては、化学気相成長法(CVD法: Chemical Vapor Deposition法)を用いて形成された酸化珪素層を用いることができる。なお、CVD法としてプラズマCVD法、熱CVD法、光CVD法があり、原料ガスによって適宜選択すればよい。例えば、接合層104として、 SiH_4 と NO_2 との混合ガスを用いて熱CVD法によって形成された酸化珪素膜、TEOSガスと酸素ガスとの混合ガスを用いてプラズマCVD法によって成膜された酸化珪素膜を用いることができる。前記いずれかの酸化珪素膜を、単結晶シリコン基板と支持基板との貼り合わせ界面に設けることにより、基板間の密着性をより向上させることができる。また、 SiH_4 と NO_2 との混合ガスを用いて熱CVD法によって、あるいはTEOSガスと酸素ガスとを用いたCVD法又はプラズマCVD法によって成膜することにより、350℃以下の低温で基板との密着性の高い平坦な酸化珪素膜を形成することができる。

10

【0020】

なお、シラン系ガスとしては、珪酸エチル、テトラメチルシラン、テトラメチルシクロトトラシロキサン、オクタメチルシクロテトラシロキサン、ヘキサメチルジシラザン、トリエトキシシラン、トリスジメチルアミノシラン、テトラエチルオルソシリケート(TEOS)等のシリコン含有化合物を用いることができる。

20

【0021】

また、接合層104として単結晶半導体基板を高温で加熱処理して形成した熱酸化層や、ケミカルオキサイドを適用することもできる。ケミカルオキサイドは、例えばオゾン含有水で単結晶半導体基板表面を処理することで形成することができる。ケミカルオキサイドは単結晶半導体基板の表面の平坦性を反映して形成されるので好ましい。なお、これらの積層膜を用いてもよい。また、接合層104の表面をHやFで終端処理してもよい。

【0022】

上記平滑であり活性化された表面を有する接合層104は、1nm乃至600nm、好ましくは5nm乃至500nm、更に好ましくは5nm乃至200nmの厚さで設けられる。この厚さであれば、被形成表面の表面荒れを平滑化すると共に、当該層の表面の平滑性を確保することが可能である。また、接合する支持基板との歪みを緩和することができる。可撓性を有し絶縁表面を有する基板を用いた支持基板100にSOI層102を接合するに際し、支持基板100またはSOI層102の接合面の一方若しくは双方に、酸化珪素層、好ましくは熱酸化層、単結晶半導体基板の表面をオゾン水で処理して形成した酸化珪素層、またはシランを原材料として形成した酸化珪素層でなる接合層104設けることで、支持基板100及びSOI層102を強固に接合することができる。

30

【0023】

なお、SOI層102と接合層104との間に、酸化窒化珪素膜や窒化酸化珪素膜等を形成してもよい。ここで、酸化窒化珪素膜とは、その組成として、窒素よりも酸素の含有量が多いものであって、ラザフォード後方散乱法(RBS: Rutherford Backscattering Spectrometry)及び水素前方散乱法(HFS: Hydrogen Forward Scattering)を用いて測定した場合に、濃度範囲として酸素が50~70原子%、窒素が0.5~15原子%、Siが25~35原子%、水素が0.1~10原子%の範囲で含まれるものをいう。また、窒化酸化珪素膜とは、その組成として、酸素よりも窒素の含有量が多いものであって、RBS及びHFSを用いて測定した場合に、濃度範囲として酸素が5~30原子%、窒素が20~55原子%、Siが25~35原子%、水素が10~25原子%の範囲で含まれるものをいう。但し、酸化窒化珪素または窒化酸化珪素を構成する原子の合計を100原子%としたとき、窒

40

50

素、酸素、Si及び水素の含有比率が上記の範囲内に含まれるものとする。なお、窒化アルミニウム、窒素酸化アルミニウムなどを用いてもよい。

【0024】

なお、SOI基板の構成は図1に示すものに限られるものではなく、図2及び図3に示すように、支持基板100及びSOI層102の間に少なくともバリア層105及び接合層104を設けた構成としてもよい。SOI層102を支持基板100に接合した場合に、支持基板100として用いられる可撓性を有する絶縁基板、可撓性を有する金属基板、絶縁表面を有し可撓性を有する基板からアルカリ金属若しくはアルカリ土類金属のような可動イオン不純物が拡散してSOI層102が汚染されることを防ぐことができる。バリア層105としては、窒素含有絶縁層が好ましく、代表的には窒化珪素層、窒素酸化珪素層若しくは酸化窒化珪素層、窒化アルミニウム層、窒素酸化アルミニウム層、酸化窒化アルミニウム層から選ばれた一又は複数の層を積層して形成する。なお、バリア層105を設ける場合、最上層（支持基板側ではない表面）は、TEOSガスと酸素ガスとの混合ガスを用いてプラズマCVD法によって成膜された酸化珪素膜、又はシラン系ガスと酸素ガスとの混合ガスを用いて熱CVD法によって形成された酸化珪素膜であることが好ましい。バリア層105として、例えば、SOI層102側から順にTEOSガスと酸素ガスとの混合ガスを用いてCVD法又はプラズマCVD法によって成膜された酸化珪素層、酸化窒化珪素層、窒素酸化珪素層を積層した膜を用いることができる。

10

【0025】

図2(A)は、支持基板100と接合層104の間にバリア層105を設けた構成を示す。ここでは、支持基板100にバリア層105を設け、SOI層102表面に接合層104を設け、バリア層105及び接合層104を接合した構成を示す。なお、この代わりに、支持基板100に接合層104を設け、SOI層102表面にバリア層105を設け、バリア層105及び接合層104を接合した構成とすることができる。さらには、支持基板100またはSOI層102の一方の表面にバリア層105及び接合層104を順に積層し、支持基板100またはSOI層102の他方の表面と接合層104を接合した構成とすることができる。

20

【0026】

図2(B)は、支持基板100とSOI層102との間に、接合層104及び複数のバリア層105、120を設けた構成を示す。ここでは、支持基板100にバリア層105を設け、SOI層102表面にバリア層120及び接合層104を順に積層し、バリア層105及び接合層104を接合した構成を示す。なお、この代わりに、支持基板100にバリア層105及び接合層104を順に積層し、SOI層102表面にバリア層120を設け、バリア層120及び接合層104を接合した構成とすることができる。

30

【0027】

図3は、少なくとも支持基板100及びSOI層102の間に、バリア層105及び接合層104と共に、絶縁層121を設けた構成を示す。絶縁層121は、SOI層102及び接合層104の間や、接合層104及びバリア層105の間や、支持基板100及びバリア層105の間に設けることができる。

【0028】

図3(A)は、支持基板100及びSOI層102の間に、接合層104、バリア層105、及び絶縁層121を設けた構成を示す。ここでは、支持基板100にバリア層105を設け、SOI層102表面に絶縁層121及び接合層104を順に積層し、バリア層105及び接合層104を接合した構成を示す。なお、この代わりに、支持基板100にバリア層105及び接合層104を順に積層し、SOI層102表面に絶縁層121を設け、接合層104及び絶縁層121を接合した構成とすることができる。

40

【0029】

図3(B)は、図3(A)において、支持基板100表面上のバリア層105のほかに、SOI層102の表面にもバリア層120を設けた構成を示す。ここでは、支持基板100にバリア層105を形成し、SOI層102表面に絶縁層121、バリア層120、及

50

び接合層 104 を順に積層し、バリア層 105 及び接合層 104 を接合した構成を示す。なお、この代わりに、支持基板 100 にバリア層 105 及び接合層 104 を順に積層し、SOI 層 102 表面に絶縁層 121 及びバリア層 120 を順に積層し、接合層 104 及びバリア層 120 を接合した構成とすることができる。

【0030】

絶縁層 121 は単結晶半導体基板を高温で加熱処理して形成した熱酸化層が好ましい。また、接合層 104 と同様に TEOS を用いて化学気相成長法により形成したものを適用しても良い。また、絶縁層 121 としてケミカルオキサイドを適用することもできる。ケミカルオキサイドは、例えばオゾン含有水で単結晶半導体基板表面を処理することで形成することができる。ケミカルオキサイドは単結晶半導体基板の表面の平坦性を反映して形成されるので好ましい。

10

【0031】

次に、本実施の形態の SOI 基板の作製方法の一例について説明する。ここでは、図 1 に示す SOI 基板の作製方法を説明する。

【0032】

まず、水素又は希ガスをイオンドープ法またはイオン注入法で照射する事によって形成された脆化層 402 が形成された $50\text{ }\mu\text{m}$ 以下の単結晶シリコン基板 101 を用意する (図 4 (A))。ここでは、単結晶シリコン基板 101 に脆化層 402 を形成した後で、CMP (ケミカルメカニカルポリッシング) 等の研磨工程によって単結晶シリコン基板を $50\text{ }\mu\text{m}$ 以下に薄膜化している。また、ここで意味するイオン注入はイオンの質量分離を行うことを意味し、イオンドープはイオンの質量分離を行わないことを意味する。この水素又は希ガスをイオンドープ法またはイオン注入法を用いて照射する処理は支持基板に転置される単結晶半導体層の厚さを考慮して行われる。当該単結晶半導体層の厚さは 10 nm 乃至 200 nm 、好ましくは 10 nm 乃至 50 nm の厚さとする。水素又は希ガスをイオンドープ法またはイオン注入法を用いて照射する際の加速電圧はこのような厚さを考慮して、単結晶シリコン基板 101 の深部にイオンドープまたはイオン注入されるようにする。この処理によって単結晶シリコン基板 101 の表面から一定の深さの領域に脆化層 402 が形成される。上記脆化層の形成にあたり、イオンドープ法において、 H^+ イオンでも良いが、 H_3^+ イオン若しくは H_2^+ イオンの何れかを主イオンとしてもよい。また、イオン注入法において、 H^+ イオンでも良いが、水素のクラスターイオンである H_3^+ や H_2^+ をイオン注入してもよい。脆化層 402 は、水素イオンのみでなく希ガスイオンを用いてもよく、或いは両者を混合させて用いてもよい。また、脆化層を形成する前に、単結晶シリコン基板表面に、自然酸化膜、ケミカルオキサイド、又は酸素を含む雰囲気中で UV 光を照射することにより形成された酸化膜を形成しておくことが好ましい。ここで、ケミカルオキサイドは、オゾン水、過酸化酸素水、硫酸等の酸化剤で単結晶シリコン基板表面を処理することにより形成することができる。また、熱酸化膜、シラン系のガスを用いて CVD 法で成膜した酸化膜、酸化窒化珪素膜、窒化酸化珪素膜などを脆化層を形成する前に形成してもよい。単結晶シリコン基板表面に酸化膜を形成しておくことで、脆化層を形成する際の単結晶シリコン基板表面のエッチングによる表面荒れを防ぐことができる。

20

30

【0033】

なお、単結晶シリコン基板に限らず、単結晶シリコンゲルマニウム基板等を用いてもよい。ここで、単結晶シリコン基板を $50\text{ }\mu\text{m}$ 以下に薄膜化することにより、単結晶シリコン基板表面にうねりが生じる。このような $50\text{ }\mu\text{m}$ 以下の単結晶シリコン基板とガラス基板等の支持基板とを貼り合わせることにより、支持基板表面に生じているうねりに単結晶シリコン基板表面の形状を合わせることができ、貼り合わせ界面においてより強固に接合させることができる。

40

【0034】

次に、単結晶シリコン基板 101 上に接合層 104 として酸化珪素層を形成する (図 4 (A))。膜厚は実施者が適宜決定すれば良いが、 $10\sim 500\text{ nm}$ (好ましくは $20\sim 50\text{ nm}$) とすれば良い。接合層 104 は後に SOI 基板の絶縁層の一部として機能する。

50

【 0 0 3 5 】

なおここで、真空中で単結晶シリコン基板 1 0 1 に形成された接合層 1 0 4 にアルゴンイオンビームを照射して、表面の原子を化学結合を形成しやすい活性な状態としてもよい。ここで、アルゴンガス雰囲気下でのプラズマ放電により生成されたアルゴンイオンを接合層 1 0 4 表面に衝突させることで接合層 1 0 4 表面を活性な状態とすることができる。なお、アルゴンイオンビームに限らず、表面をプラズマ雰囲気、X 線、電子線にさらすことにより表面を活性な状態とすることができる。プラズマ雰囲気にさらすときに用いるガスは、酸素、窒素、水素、アルゴンやヘリウム等の不活性ガス、又はアンモニア等の分子ガスなどを用いることができる。なお、その際に基板に照射するエネルギーは D C バイアスで数ボルト ~ 4 0 0 ボルト程度の範囲で制御するのが好ましい。また、2 0 e V 以上のエネルギーを持つイオン雰囲気中に晒すことにより表面を活性な状態としてもよい。表面を活性な状態とすることで、単結晶シリコン基板と支持基板との貼り合わせをより容易に行うことができる。

10

【 0 0 3 6 】

なお、ここでは、脆化層 4 0 2 が形成された単結晶シリコン基板を 5 0 μ m 以下に薄膜化してから、単結晶シリコン基板上に接合層 1 0 4 を形成しているが、これに限られるものではない。例えば、脆化層が形成された単結晶シリコン基板上に接合層を形成した後で、単結晶シリコン基板を 5 0 μ m 以下に薄膜化してもよい。あるいは、単結晶シリコン基板上に接合層を形成した後で脆化層を形成し、5 0 μ m 以下に薄膜化してもよい。

【 0 0 3 7 】

次に、単結晶シリコン基板 1 0 1 と別途用意された支持基板 1 0 0 とを貼り合わせる。本実施の形態では支持基板 1 0 0 としてガラス基板を用い、ガラス基板表面を洗浄しておくことが好ましい。

20

【 0 0 3 8 】

本実施の形態において、接合は単結晶シリコン基板 1 0 1 側の接合層 1 0 4 と支持基板とが密接することにより形成される。接合の形成は室温で行うことが可能である。この接合は原子レベルで行われ、ファン・デル・ワールス力と水素結合を利用して室温で強固な接合が形成される。更に、4 0 0 から 7 0 0 の熱処理を行うことにより、共有結合を形成してより強固な結合となる。

【 0 0 3 9 】

次に、単結晶シリコン基板 1 0 1 と支持基板 1 0 0 との接合を形成した後、熱処理を行い、単結晶シリコン基板 1 0 1 から部分的に単結晶シリコン層 (S O I 層ともいう) 1 0 2 を分離する (図 4 (C))。加熱することにより脆化層 4 0 2 に形成された微小な空洞の体積変化が起こり、脆化層 4 0 2 に沿って破断面が発生し、破断面に沿って単結晶シリコン層 1 0 2 を分離 (分断) することができる。その後、接合をさらに強固なものとするために、4 0 0乃至 7 0 0 の熱処理を行うことが好ましい。このようにして、支持基板 1 0 0 上に薄膜の単結晶シリコン層 1 0 2 が形成された S O I 基板を作製することができる (図 4 (C))。

30

【 0 0 4 0 】

本実施の形態において、上記 5 0 μ m 以下に薄膜化された単結晶シリコン基板 1 0 1 へのイオンドープ、絶縁膜形成、表面研磨、洗浄を含めた処理を好適に行うため、補強基板を用いても良い。すなわちこのとき、電子工業用に使われる各種ガラス基板のような絶縁基板やプラスチック基板を例とする補強基板にテープ、ワックス、接着剤を例とする仮留め手段を用いて単結晶シリコン基板 1 0 1 を仮留めし、支持基板 1 0 0 へ貼り合わせた後に、熱処理や U V 光照射を行い仮留め手段を脆弱化し、単結晶シリコン基板 1 0 1 を前記補強基板から分離する。若しくは前記単結晶シリコン基板 1 0 1 から部分的に単結晶シリコン層 1 0 2 を分離する熱処理中に補強基板から分離する。

40

【 0 0 4 1 】

ここで好ましくは支持基板 1 0 0 又は接合層 1 0 4 の表面を平坦化する処理を行ってよくよい。例えば、C M P (ケミカルメカニカルポリッシング) と呼ばれる研磨処理により

50

支持基板 100 又は接合層 104 表面を平坦化することができる。支持基板 100 又は接合層 104 を平坦化しておくことにより、貼り合わせる際の密着性を高めることができる。

【0042】

次に、単結晶シリコン層 102 の薄膜化又は表面を平坦化する処理を行う。薄膜化又は平坦化処理は、例えば CMP（ケミカルメカニカルポリッシング）と呼ばれる研磨工程によって行うことができる。本実施の形態において、最終的な単結晶シリコン層 102 の膜厚は 10 ~ 200 nm（好ましくは 10 ~ 50 nm、更に好ましくは 10 nm ~ 30 nm）とすれば良い。なお、研磨処理は必ずしも行う必要はなく適宜行えばよい。

【0043】

以上の工程により、図 1 に示す SOI 基板を作製することができる（図 4（C））。本実施の形態では、基板表面に接合するための結合力を付与して基板を重ね合わせるため、高温の熱処理を行うことなく強固な接合を行うことが可能である。従って、高価な高耐熱性基板を用いる必要がなく、安価なガラス基板やプラスチック基板などを用いることができ、作製コストの低減を図ることができる。また、高温処理に耐えられない可撓性の基板を用いることもでき、SOI 基板の利用範囲を拡大することができる。

【0044】

次に、図 4 とは異なる SOI 基板の作製方法について図 5 を用いて示す。図 5 では、単結晶シリコン基板に脆化層を形成し、単結晶シリコン基板と支持基板とを貼り合わせた後に単結晶シリコン基板を分断し、薄膜の SOI 基板を作製する工程を説明する。

【0045】

まず、図 5（A）に示すように、酸化珪素膜、酸化窒化珪素膜、又は窒化酸化珪素膜が形成された 50 μ m 以下の単結晶シリコン基板 101 の表面から電界で加速されたイオンを所定の深さにイオンドープまたはイオン注入し、脆化層 103 を形成する。イオンドープまたはイオン注入は支持基板に転置する SOI 層の厚さを考慮して行われる。当該 SOI 層の厚さは 5 nm 乃至 500 nm、好ましくは 10 nm 乃至 200 nm、更に好ましくは 10 nm 乃至 100 nm、更に固好ましくは 10 nm 乃至 50 nm の厚さとする。イオンをイオンドープまたはイオン注入する際の加速電圧はこのような厚さを考慮して、単結晶シリコン基板 101 にイオンドープまたはイオン注入されるようにする。なお、分離後に SOI 層の表面を研磨または溶融して平坦化するため、分離直後の SOI 層の厚さは 50 nm 乃至 500 nm としておくことが好ましい。

【0046】

脆化層 103 は、水素、ヘリウム若しくはフッ素に代表されるハロゲンのイオンをイオンドープまたはイオン注入することで形成される。この場合、一の原子から成る複数の質量の異なるイオン又は複数の原子から成る質量数の異なるイオンをイオンドープまたはイオン注入することが好ましい。水素をイオンドープ法またはイオン注入法を用いて照射する場合には、 H^+ 、 H_2^+ 、 H_3^+ イオンを含ませると共に、 H_3^+ イオンの割合を高めておくことが好ましい。 H_3^+ イオンの割合を高めておくことと注入効率を高めることができ、注入時間を短縮することができる。このような構成とすることで、後に行われる脆化層 103 での分離を容易に行うことができる。

【0047】

次に、図 5（B）に示すように、単結晶シリコン基板 101 に少なくともキャップ層 123 及び接合層 104 を形成する。ここでは、単結晶シリコン基板 101 の表面にキャップ層 123 を形成し、キャップ層 123 上に接合層 104 を形成する。なお、ここで必ずしもキャップ層 123 を設ける必要はない。

【0048】

ここでは、接合層 104 またはキャップ層 123 の少なくとも一方の厚さが厚い方が好ましい。後の工程で加熱処理を行うことで、脆化層 103 に形成された微小な空洞の体積変化が起こるが、単結晶シリコン基板表面にはキャップ層 123 が設けられているため、単結晶シリコン基板の表面は平坦性を保つことができる。この結果、脆化層 103 の微笑な

10

20

30

40

50

空洞の体積変化により、脆化層 103 に歪みが生じ、脆化層に沿って脆弱化することが可能となる。特に、キャップ層 123 の厚さを厚くすることで、加熱処理の際、単結晶シリコン基板 101 の表面に対して垂直方向に力が加わるため単結晶シリコン基板の表面の平坦性を保ちつつ、脆化層をより脆弱にする効果がある。

【0049】

キャップ層 123 としては、窒素含有絶縁層や酸化珪素層の単層や積層とすることができる。なお、キャップ層 123 の一部または全部を窒素含有絶縁層で形成することで、キャップ層 123 はバリア層としても機能するため好ましい。

【0050】

次に、加熱し脆化層 103 を脆弱にする。この結果、後の工程で脆化層を劈開面として単結晶シリコン基板 101 を支持基板 100 から分離することを容易とする。加熱処理の温度は、脆化層 103 が分離する温度未満であり、且つ脆化層 103 が脆弱となる温度であることが好ましい。例えば、400 未満、好ましくは 350 未満、更に好ましくは 300 未満の熱処理が好ましい。このような手段を用いることにより引き剥がし工程を低温で行うことが可能なため、支持基板 100 として、PET（ポリエチレンテレフタレート）、PEN（ポリエチレンナフタレート）、PEs（ポリエーテルスルホン）、ポリプロピレン、ポリプロピレンサルファイド、ポリカーボネート、ポリエーテルイミド、ポリフェニレンサルファイド、ポリフェニレンオキサイド、ポリサルフォン、ポリフタルアミド等からなるプラスチック基板、または繊維質な材料からなる紙などの可撓性を有する絶縁基板を用いてもよい。

【0051】

また、可撓性を有する絶縁基板としては、プリプレグを用いることで後に作製されるSOI基板や半導体装置の点圧、線圧による破壊を防ぐことが可能である。プリプレグの代表例としては、ポリビニルアルコール系繊維、ポリエステル系繊維、ポリアミド系繊維、ポリエチレン系繊維、アラミド系繊維、ポリパラフェニレンベンゾビスオキサゾール繊維、ガラス繊維、または炭素繊維等の繊維体に、エポキシ樹脂、不飽和ポリエステル樹脂、ポリイミド樹脂、フッ素樹脂等のマトリックス樹脂を有機溶剤で希釈したワニスを含浸させた後、乾燥して有機溶剤を揮発させてマトリックス樹脂を半硬化させたものである。

【0052】

また、酸化珪素層、窒化珪素層、酸化窒化珪素層、窒化アルミニウム層、酸化アルミニウム層等の絶縁層が形成された金属フィルムまたは金属シート等の表面に絶縁層が形成された可撓性を有する金属基板を用いてもよい。なお、絶縁層は上記羅列した絶縁層に限定されず、適宜適用することができる。

【0053】

なお、ここでは、脆化層が形成された単結晶シリコン基板を 50 μm 以下に薄膜化してから、単結晶シリコン基板上に接合層 104 又はキャップ層 123 を形成しているが、これに限られるものではない。例えば、脆化層が形成された単結晶シリコン基板上に接合層又はキャップ層を形成した後で、単結晶シリコン基板を 50 μm 以下に薄膜化してもよい。あるいは、単結晶シリコン基板上に接合層又はキャップ層を形成した後で脆化層を形成し、50 μm 以下に薄膜化してもよい。

【0054】

図5(C)は、キャップ層 123 及び接合層 104 が形成された単結晶シリコン基板 101 の接合層 104 と支持基板 100 を密着させて接合する工程を示している。単結晶シリコン基板 101 上の接合層 104 と支持基板 100 を密着させることにより接合する。

【0055】

なお、接合を行うために、表面を活性化しておいても良い。例えば、接合を行う面に原子ビーム若しくはイオンビームを照射する。原子ビーム若しくはイオンビームを利用する場合には、アルゴン等の不活性ガス中性原子ビーム若しくは不活性ガスイオンビームを用いることができる。その他に、プラズマ照射若しくはラジカル処理を行う。また、可撓性を有し且つ絶縁表面を有する基板、または単結晶半導体層の少なくとも一方の接合面を、酸

素プラズマによる処理や、オゾン水洗浄により、親水化してもよい。このような表面処理により400 未満の温度であっても異種材料間の接合を行うことが容易となる。基板表面にアルゴンイオンビームなどを照射することにより、基板表面に存在する吸着ガスや自然酸化膜などをエッチングし、基板表面に接合するための結合力を付与し、重ね合わせることで2枚の基板を貼り合わせることが可能である。このように貼り合わされた基板界面では原子間結合が形成され、加熱処理を行うことなく強固な結合を形成することができる。

【0056】

その後、図5(D)で示すように単結晶シリコン基板101を分離することで、SOI基板を得ることができる。なお、分離により得られるSOI層102は、その表面を平坦化することが好ましい。また、得られたSOI層の薄層化を目的として、CMP等を行ってもよい。また、脆化層103を劈開面として単結晶シリコン基板101を支持基板100から分離する前に、分離を容易に行うためにきっかけをつくってもよい。さらには、単結晶シリコン基板101を支持基板100から分離する際、支持基板100または単結晶シリコン基板101の少なくとも一方の表面に光または熱により分離可能な粘着シートを設け、支持基板100または単結晶シリコン基板101の一方を固定し、他方を引き剥がすことで、さらに分離が容易となる。このとき、支持基板100または単結晶シリコン基板101の他方に支持部材を設けることで引き剥がし工程が容易となる。このような手段を用いることにより引き剥がし工程を低温で行うことが可能なため、支持基板100として、PET(ポリエチレンテレフタレート)、PEN(ポリエチレンナフタレート)、PE 20 S(ポリエーテルスルホン)、ポリプロピレン、ポリプロピレンサルファイド、ポリカーボネート、ポリエーテルイミド、ポリフェニレンサルファイド、ポリフェニレンオキサイド、ポリサルフォン、ポリフタルアミド等からなるプラスチック基板、または繊維質な材料からなる紙などの可撓性を有する絶縁基板を用いてもよい。

【0057】

また、可撓性を有する絶縁基板としては、プリプレグを用いることで後に作製されるSOI基板や半導体装置の点圧、線圧による破壊を防ぐことが可能である。プリプレグの代表例としては、ポリビニルアルコール系繊維、ポリエステル系繊維、ポリアミド系繊維、ポリエチレン系繊維、アラミド系繊維、ポリパラフェニレンベンゾビスオキサゾール繊維、ガラス繊維、または炭素繊維等の繊維体に、エポキシ樹脂、不飽和ポリエステル樹脂、ポリイミド樹脂、フッ素樹脂等のマトリックス樹脂を有機溶剤で希釈したワニスを含浸させた後、乾燥して有機溶剤を揮発させてマトリックス樹脂を半硬化させたものである。

【0058】

また、酸化珪素層、窒化珪素層、酸化窒化珪素層、窒化アルミニウム層、酸化アルミニウム層等の絶縁層が形成された金属フィルムまたは金属シート等の表面に絶縁層が形成された可撓性を有する金属基板を用いてもよい。なお、絶縁層は上記羅列した絶縁層に限定されず、適宜適用することができる。

【0059】

なお、支持基板100及び単結晶シリコン基板101の接合の前に行った加熱処理の代わりに、支持基板100及び単結晶シリコン基板101を接合した後、支持基板100からレーザビームを単結晶シリコン基板に照射し、脆化層103を加熱してもよい。この結果、脆化層を劈開面として単結晶シリコン基板101を支持基板100から分離することができる。

【0060】

次に、図14を用いて、接着層を介して支持基板と単結晶シリコン基板とを接合するSOI基板の作製工程について説明する。

【0061】

まず、単結晶シリコン基板101に水素又は希ガスをイオンドープ法またはイオン注入法を用いて照射して脆化層402を形成し、単結晶シリコン基板を50μm以下に薄膜化し、単結晶シリコン基板101上に接合層104を形成する(図14(A))。

【0062】

次に、接合層104上に接着層404を形成する(図14(A))。ここで、接着層404としては、液体状又はゲル状の接合材料を用いることができる。例えば、塗布シリコン酸化膜(SOG: Spin On Glass)、テトラエチルオルソシリケート(TEOS)、又はヘキサメチルジシラザン(HMDS)等を用いるとよい。

【0063】

なお、ここでは、脆化層402が形成された単結晶シリコン基板を50 μ m以下に薄膜化してから、単結晶シリコン基板上に接合層104又は接着層404を形成しているが、これに限られるものではない。例えば、脆化層が形成された単結晶シリコン基板上に接合層又は接着層を形成した後で、単結晶シリコン基板を50 μ m以下に薄膜化してもよい。あるいは、単結晶シリコン基板上に接合層又は接着層を形成した後で脆化層を形成し、50 μ m以下に薄膜化してもよい。

10

【0064】

次に、単結晶シリコン基板101と別途用意された支持基板100とを接合層104及び接着層404を介して接合する(図14(B))。なお、接合前及び接合時に100Pa以下、望ましくは30Pa以下の真空中に基板を設置するとよい。また、接合時に真空中で加熱することにより、接着層の有機成分を除去してもよい。

【0065】

次に、熱処理を行い、単結晶シリコン基板101から部分的に単結晶シリコン層102を分離する(図14(C))。その後、接合をさらに強固なものとするために、400乃至600の熱処理を行うことが好ましい。このようにして、支持基板100上に接合層104及び接着層404を介してSOI層102が形成されたSOI基板を作製することができる(図14(C))。

20

【0066】

なお、接合層104は必ずしも形成する必要はなく、接着層404を介して単結晶シリコン基板と支持基板とを接合してもよい。

【0067】

以上の手段により、単結晶シリコン基板と支持基板とは液体状又はゲル状の接着層を介して貼り合わされているため、単結晶シリコン基板と支持基板との貼り合わせ界面に隙間が形成される場合においても、液体状又はゲル状の接着層によって隙間を埋めることができ、より密着性を向上させることができる。

30

【0068】

(実施の形態2)

本実施の形態では、SOI基板を用いた半導体装置について図面を用いて説明する。

【0069】

なお、ここでは、図2に示すように、接合層104及びバリア層105を介して単結晶シリコン基板と支持基板を接合したSOI基板を用いて半導体装置を作製した形態を示すが、これに限られるものではない。

【0070】

図6(A)において、支持基板100に接合層104及びバリア層105を介してSOI層102が設けられている。SOI層102上には、素子形成領域に合わせて窒化珪素層124、酸化珪素層125を形成する。酸化珪素層125は、素子分離のためにSOI層102をエッチングするときのハードマスクとして用いる。窒化珪素層124はエッチングストッパーである。

40

【0071】

SOI層102の層厚は5nm乃至500nm、好ましくは10nm乃至200nmの厚さとするのが好ましい。SOI層102にはしきい値電圧を制御するために、硼素、アルミニウム、ガリウムなどのp型不純物を添加する。例えば、p型不純物として硼素を $5 \times 10^{16} \text{ cm}^{-3}$ 以上 $1 \times 10^{18} \text{ cm}^{-3}$ 以下の濃度で添加されていても良い。

【0072】

50

図6(B)は、酸化珪素層125をマスクとしてSOI層102、バリア層105、接合層104をエッチングする工程である。SOI層102及び接合層104の露出した端面に対してプラズマ処理により窒化する。この窒化処理により、少なくともSOI層102の周辺端部には窒化珪素層107が形成される。窒化珪素層107は絶縁性であり、SOI層102の端面でのリーク電流が流れるのを防止する効果がある。また、耐酸化作用があるので、SOI層102と接合層104との間に、端面から酸化層が成長してバースピークが形成されるのを防ぐことができる。

【0073】

図6(C)は、素子分離絶縁層108を堆積する工程である。素子分離絶縁層108はTEOSを用いて酸化珪素層を化学気相成長法で堆積する。素子分離絶縁層108はSOI層102が埋め込まれるように厚く堆積する。

10

【0074】

図6(D)は窒化珪素層124が露出するまで素子分離絶縁層108を除去する工程を示している。この除去工程は、ドライエッチングによって行うこともできるし、化学的機械研磨によって行っても良い。窒化珪素層124はエッチングストッパーとなる。素子分離絶縁層108はSOI層102の間に埋め込まれるように残存する。窒化珪素層124はその後除去する。

【0075】

図6(E)において、SOI層102が露出した後ゲート絶縁層109、ゲート電極110、サイドウォール絶縁層111を形成し、第1不純物領域112、第2不純物領域113を形成する。絶縁層114は窒化珪素層で形成し、ゲート電極110をエッチングするときのハードマスクとして用いる。

20

【0076】

図7(A)において、層間絶縁層115を形成する。層間絶縁層115はBPSG(Boron Phosphorus Silicon Glass)層を成層した後、リフローにより平坦化させて形成する。また、TEOSを用いて酸化珪素層を成層し化学的機械研磨処理によって平坦化し形成しても良い。平坦化処理においてゲート電極110上の絶縁層114はエッチングストッパーとして機能する。層間絶縁層115にはコンタクトホール116を形成する。コンタクトホール116は、サイドウォール絶縁層111を利用してセルフアラインコンタクトの構成となっている。

30

【0077】

その後、図7(B)で示すように、六フッ化タンゲステンを用い、CVD法でコンタクトプラグ117を形成する。さらに絶縁層118を形成し、コンタクトプラグ117に合わせて開口を形成して配線119を設ける。配線119はアルミニウム若しくはアルミニウム合金で形成し、上層と下層にはバリアメタルとしてモリブデン、クロム、チタンなどの金属層で形成する。

【0078】

ここでは、SOI層102から絶縁層118及び配線119までの積層体を素子層135と示す。

【0079】

40

この後、素子層135に複数の半導体装置が含まれる場合、素子層135及び支持基板100を分断して、複数の半導体装置を切り出してもよい。このような工程により、複数の半導体装置を作製することができる。

【0080】

このように、支持基板100に接合されたSOI層102を用いて電界効果トランジスタを作製することができる。本形態に係るSOI層102は、結晶方位が一定の単結晶半導体であるため、均一で高性能な電界効果トランジスタを得ることができる。すなわち、閾値電圧や移動度などトランジスタ特性として重要な特性値の不均一性を抑制し、高移動化などの高性能化を達成することができる。さらには、支持基板100及びSOI層102の間にバリア層105が設けられているため、支持基板からの不純物がSOI層に侵入す

50

ることを防ぐことが可能であるため、素子層に形成されるトランジスタの特性ばらつきを抑えることができる。

【0081】

(実施の形態3)

本実施の形態では、図6及び図7とは異なる方法により作製したSOI基板を用いた半導体装置について図8及び図9を参照して説明する。

【0082】

図5(A)と同様に、図8(A)に示すように、単結晶シリコン基板101にその表面から電界で加速されたイオンを所定の深さにイオンドープまたはイオン注入し、脆化層103を形成する。次に、単結晶シリコン基板101の表面にキャップ層123及び接合層104を順に積層する。

10

【0083】

図8(B)は、支持基板130上に形成された絶縁層132と単結晶シリコン基板101上の接合層104の表面とを密接させ、この両者を接合させる態様を示す。

【0084】

支持基板130上に剥離層131を形成し、剥離層131上に絶縁層132を形成する。次に、支持基板130上に形成される絶縁層132と単結晶シリコン基板101表面に形成される接合層104を密着させ、絶縁層132及び接合層104を接合する。この接合はファン・デル・ワールス力が作用しており、支持基板130と単結晶シリコン基板101とを圧接することで水素結合により強固な接合を行うことが可能である。

20

【0085】

良好な接合を行うために、表面を活性化しておいても良い。例えば、接合を行う面に原子ビーム若しくはイオンビームを照射する。原子ビーム若しくはイオンビームを利用する場合には、アルゴン等の不活性ガス中性原子ビーム若しくは不活性ガスイオンビームを用いることができる。その他に、プラズマ照射若しくはラジカル処理を行う。このような表面処理により200乃至400の温度であっても異種材料の表面同士の接合を行うことが容易となる。

【0086】

図8(C)において、支持基板130と単結晶シリコン基板101を貼り合わせた後、単結晶シリコン基板101を400乃至700で加熱処理し、脆化層103に亀裂を生じさせ、脆化層103を劈開面として単結晶シリコン基板101を支持基板130から剥離する。接合層104は支持基板130と接合しているので、支持基板130上には単結晶シリコン基板101と同じ結晶性のSOI層102が残存することとなる。

30

【0087】

なお、上記加熱処理の代わりに、支持基板130及び単結晶シリコン基板101を接合した後、支持基板130からレーザビームを単結晶シリコン基板に照射し、脆化層103を加熱してもよい。この結果、脆化層を劈開面として単結晶シリコン基板101を支持基板130から剥離することができる。

【0088】

この後、SOI層102の表面を平坦化することが好ましい。平坦化方法としては、CMPを用いることができる。または、SOI層102の表面にレーザビームを照射し、表面を溶融して平坦化することができる。

40

【0089】

次に、図6及び図7と同様の工程を経て、SOI層102を用いてトランジスタを含む素子層135を形成する。次に、素子層135上に可撓性基板136を設ける。可撓性基板136及び素子層135を熱圧着することにより、素子層135に可撓性基板136を固着させることができる。また、素子層135に接着材(図示しない)を用いて可撓性基板136を固着することができる。可撓性基板136としては、上記支持基板100の代表例に列挙したものを適宜用いることができる。(図8(D))。

【0090】

50

この後、後の剥離工程を容易に行うために、可撓性基板 136 から、素子層 135 及び剥離層 131 にレーザビームを照射して、溝を形成してもよい。溝を形成するために照射するレーザビームとしては、剥離層 131、または素子層 135 を構成する層のいずれかが吸収する波長を有するレーザビームが好ましく、代表的には、紫外領域、可視領域、又は赤外領域のレーザビームを適宜選択して照射する。

【0091】

次に、図9(A)に示すように、支持基板 130 から素子層 135 を物理的手段により剥離する。または、剥離層 131 及び絶縁層 132 の界面に液体を浸透させて支持基板 130 から素子層 135 を剥離する。

【0092】

ここでは、剥離層 131 及び絶縁層 132 の界面、剥離層 131、または支持基板 130 及び剥離層 131 の界面のいずれかで剥離が生じ、支持基板 130 から素子層 135 を剥離することができる。

【0093】

なお、剥離層 131 において支持基板 130 から素子層 135 及び可撓性基板 136 を剥離する前に、剥離を容易に行うためにきっかけをつくってもよい。さらには、素子層 135 及び可撓性基板 136 を支持基板 130 から剥離する際、支持基板 130 または可撓性基板 136 の少なくとも一方の表面に光または熱により剥離可能な粘着シートを設け、支持基板 130 または可撓性基板 136 の一方を固定し、他方を引き剥がすことで、さらに剥離が容易となる。このとき、支持基板 130 または可撓性基板 136 の他方に支持部材

【0094】

次に、図9(B)に示すように、絶縁層 132 に可撓性基板 137 を固着させる。可撓性基板 137 の材料及び固着方法は可撓性基板 136 と同様のものを適用することができる。

【0095】

この後、素子層 135 に複数の半導体装置が含まれる場合、素子層 135 及び可撓性基板 136、137 を分断して、複数の半導体装置を切り出してもよい。このような工程により、複数の半導体装置を作製することができる。

【0096】

このように、支持基板 130 に接合された SOI 層 102 を用いた電界効果トランジスタを含む素子層を作製した後、当該素子層を用いて、可撓性を有し且つ薄型である半導体装置を作製することができる。本形態に係る SOI 層 102 は、結晶方位が一定の単結晶半導体であるため、均一で高性能な電界効果トランジスタを得ることができる。すなわち、閾値電圧や移動度などトランジスタ特性として重要な特性値の不均一性を抑制し、高移動化などの高性能化を達成することができる。さらには、支持基板 100 及び SOI 層 102 の間にバリア層 105 が設けられているため、支持基板からの不純物が SOI 層に侵入することを防ぐことが可能であるため、素子層に形成されるトランジスタの特性ばらつきを抑えることができる。

【0097】

また、支持基板上に接合した SOI 層を用いて電界効果トランジスタを形成した後、支持基板から電界効果トランジスタを有する素子層を剥離して、可撓性を有し薄型の半導体装置を作製する。このため、作製工程におけるハンドリングがしやすく、歩留まりを高めることができる。

【0098】

(実施の形態4)

本実施の形態では、上記実施の形態に示す SOI 基板を用いて作製された半導体装置の一例を説明する。図10に半導体装置の一例として、マイクロプロセッサ 200 の一例を示す。このマイクロプロセッサ 200 は、上記したように上記実施の形態に係る SOI 基板により製造されるものである。このマイクロプロセッサ 200 は、演算回路 201 (Ar

10

20

30

40

50

ithmetic logic unit。ALUともいう。)、演算回路制御部202 (ALU Controller)、命令解析部203 (Instruction Decoder)、割り込み制御部204 (Interrupt Controller)、タイミング制御部205 (Timing Controller)、レジスタ206 (Register)、レジスタ制御部207 (Register Controller)、バスインターフェース208 (Bus I/F)、読み出し専用メモリ209、及びメモリインターフェース210 (ROM I/F)を有している。

【0099】

バスインターフェース208を介してマイクロプロセッサ200に入力された命令は、命令解析部203に入力され、デコードされた後、演算回路制御部202、割り込み制御部204、レジスタ制御部207、タイミング制御部205に入力される。演算回路制御部202、割り込み制御部204、レジスタ制御部207、タイミング制御部205は、デコードされた命令に基づき各種制御を行う。具体的に演算回路制御部202は、演算回路201の動作を制御するための信号を生成する。また、割り込み制御部204は、マイクロプロセッサ200のプログラム実行中に、外部の入出力装置や周辺回路からの割り込み要求を、その優先度やマスク状態から判断して処理する。レジスタ制御部207は、レジスタ206のアドレスを生成し、マイクロプロセッサ200の状態に応じてレジスタ206の読み出しや書き込みを行う。タイミング制御部205は、演算回路201、演算回路制御部202、命令解析部203、割り込み制御部204、レジスタ制御部207の動作のタイミングを制御する信号を生成する。例えばタイミング制御部205は、基準クロック信号CLK1を元に、内部クロック信号CLK2を生成する内部クロック生成部を備えており、内部クロック信号CLK2を上記各種回路に供給する。なお、図10に示すマイクロプロセッサ200は、その構成を簡略化して示した一例にすぎず、実際にはその用途によって多種多様な構成を備えることができる。

【0100】

このようなマイクロプロセッサ200は、可撓性を有し且つ絶縁表面を有する基板上に接合された結晶方位が一定の単結晶半導体層(SOI層)によって集積回路が形成されているので、処理速度の高速化のみならず低消費電力化を図ることができる。

【0101】

次に、非接触でデータの送受信を行うことのできる演算機能を備えた半導体装置の一例について図11を参照して説明する。図11は無線通信により外部装置と信号の送受信を行って動作するコンピュータ(以下、「RF CPU」という)の一例を示す。RF CPU 211は、アナログ回路部212とデジタル回路部213を有している。アナログ回路部212として、共振容量を有する共振回路214、整流回路215、定電圧回路216、リセット回路217、発振回路218、復調回路219と、変調回路220を有している。デジタル回路部213は、RFインターフェース221、制御レジスタ222、クロックコントローラ223、CPUインターフェース224、中央処理ユニット225、ランダムアクセスメモリ226、読み出し専用メモリ227を有している。

【0102】

このような構成のRF CPU 211の動作の一例は以下の通りである。アンテナ228が受信した信号は共振回路214により誘導起電力を生じる。誘導起電力は、整流回路215を経て容量部229に充電される。この容量部229はセラミックコンデンサや電気二重層コンデンサなどのキャパシタで形成されていることが好ましい。容量部229はRF CPU 211と一体形成されている必要はなく、別部品としてRF CPU 211を構成する絶縁表面を有する基板に取り付けられていれば良い。

【0103】

リセット回路217は、デジタル回路部213をリセットし初期化する信号を生成する。例えば、電源電圧の上昇に遅延して立ち上がる信号をリセット信号として生成する。発振回路218は、定電圧回路216により生成される制御信号に応じて、クロック信号の周波数とデューティ比を変更する。ローパスフィルタで形成される復調回路219は、例

10

20

30

40

50

例えば振幅変調（ＡＳＫ）方式の受信信号の振幅の変動を二値化する。変調回路２２０は、送信データを振幅変調（ＡＳＫ）方式の送信信号の振幅を変動させて送信する。変調回路２２０は、共振回路２１４の共振点を変化させることで通信信号の振幅を変化させている。クロックコントローラ２２３は、電源電圧又は中央処理ユニット２２５における消費電流に応じてクロック信号の周波数とデューティ比を変更するための制御信号を生成している。電源電圧の監視は電源管理回路２３０が行っている。

【０１０４】

アンテナ２２８からＲＦＣＰＵ２１１に入力された信号は復調回路２１９で復調された後、ＲＦインターフェース２２１で制御コマンドやデータなどに分解される。制御コマンドは制御レジスタ２２２に格納される。制御コマンドには、読み出し専用メモリ２２７に記憶されているデータの読み出し、ランダムアクセスメモリ２２６へのデータの書き込み、中央処理ユニット２２５への演算命令などが含まれている。中央処理ユニット２２５は、ＣＰＵインターフェース２２４を介して読み出し専用メモリ２２７、ランダムアクセスメモリ２２６、制御レジスタ２２２にアクセスする。ＣＰＵインターフェース２２４は、中央処理ユニット２２５が要求するアドレスより、読み出し専用メモリ２２７、ランダムアクセスメモリ２２６、制御レジスタ２２２のいずれかに対するアクセス信号を生成する機能を有している。

【０１０５】

中央処理ユニット２２５の演算方式は、読み出し専用メモリ２２７にＯＳ（オペレーティングシステム）を記憶させておき、起動とともにプログラムを読み出し実行する方式を採用することができる。また、専用回路で演算回路を構成して、演算処理をハードウェア的に処理する方式を採用することもできる。ハードウェアとソフトウェアを併用する方式では、専用の演算回路で一部の処理を行い、残りの演算をプログラムを使って中央処理ユニット２２５が実行する方式を適用することができる。

【０１０６】

このようなＲＦＣＰＵ２１１は、可撓性を有し且つ絶縁表面を有する基板上に接合された結晶方位が一定の単結晶半導体層（ＳＯＩ層）によって集積回路が形成されているので、処理速度の高速化のみならず低消費電力化を図ることができる。それにより、電力を供給する容量部２２９を小型化しても長時間の動作を保證することができる。

【０１０７】

図１乃至図３で例示するＳＯＩ層１０２は、表示パネルを製造する大型の可撓性基板に接合することもできる。図１２は支持基板１００として、可撓性を有し且つ絶縁表面を有する大面積基板にＳＯＩ層１０２を接合する場合を示す。可撓性を有し且つ絶縁表面を有する大面積基板からは複数の表示パネルを切り出すが、ＳＯＩ層１０２は、表示パネル２３１の形成領域に合わせて接合することが好ましい。単結晶半導体基板に比べて、可撓性を有し且つ絶縁表面を有する大面積基板は面積が大きいので、ＳＯＩ層１０２は図１２のように分割して配置することが好ましい。表示パネル２３１には、走査線駆動回路領域２３２、信号線駆動回路領域２３３、画素形成領域２３４があり、これらの領域が含まれるようにＳＯＩ層１０２を支持基板１００（可撓性を有し且つ絶縁表面を有する大面積基板）に接合する。

【０１０８】

図１３はＳＯＩ層１０２により画素トランジスタが形成される表示パネルの画素の一例を示す。図１３（Ａ）は画素の平面図を示し、ＳＯＩ層１０２にゲート配線２３５が交差し、ソース配線２３６、画素電極２３７が接続する画素を示す。図１３（Ａ）に示すＪ－Ｋ切断線に対応する断面図が図１３（Ｂ）に示されている。

【０１０９】

図１３（Ｂ）において、支持基板１００にはバリア層１０５として窒化珪素層と酸化珪素層が積層されている。ＳＯＩ層１０２は接合層１０４によって可撓性を有し且つ支持基板１００と接合している。絶縁層１１８上に画素電極２３７が設けられている。ＳＯＩ層１０２とソース配線２３６を接続するコンタクトホールには絶縁層１１８をエッチングして

10

20

30

40

50

凹段差が生じるのでそこを埋めるように柱状スペーサ 240 が設けられている。対向基板 238 には対向電極 239 が形成され、柱状スペーサ 240 によって形成される空隙に液晶層 241 が形成されている。

【0110】

このように、表示パネルを製造する可撓性を有し且つ絶縁表面を有する大面積基板にも SOI 層を形成しトランジスタを形成することが可能である。SOI 層で形成されるトランジスタは、アモルファスシリコントランジスタよりも電流駆動能力など全ての動作特性が優れているので、トランジスタのサイズを小型化することができる。それにより、表示パネルにおける画素部の開口率を向上させることができる。また、図 10 で説明したようなマイクロプロセッサも形成することができるので、表示パネル内にコンピュータの機能搭載することもできる。また非接触でデータの入出力を可能としたディスプレイを作製することもできる。

【実施例 1】

【0111】

以下において、本発明の特徴の一であるイオンの照射方法について考察する。

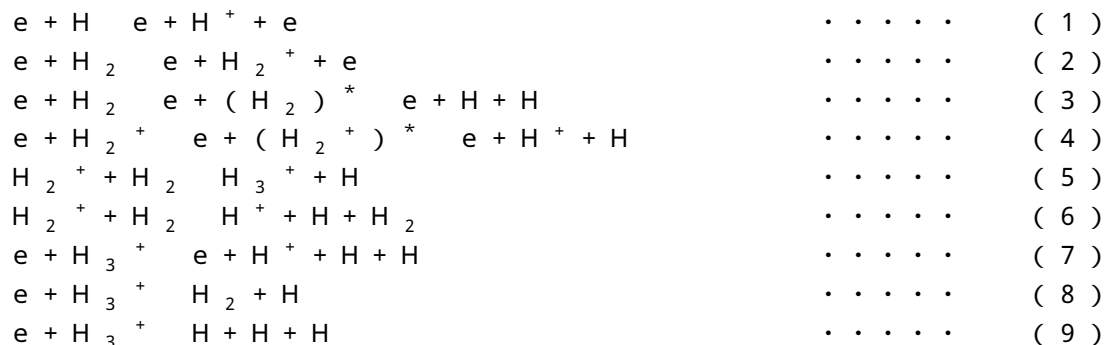
【0112】

本発明では、水素 (H) に由来するイオン (以下「水素イオン種」と呼ぶ) を単結晶半導体基板に対して照射している。より具体的には、水素ガス又は水素を組成に含むガスを原材料として用い、水素プラズマを発生させ、該水素プラズマ中の水素イオン種を単結晶半導体基板に対して照射している。

【0113】

(水素プラズマ中のイオン)

上記のような水素プラズマ中には、 H^+ 、 H_2^+ 、 H_3^+ といった水素イオン種が存在する。ここで、各水素イオン種の反応過程 (生成過程、消滅過程) について、以下に反応式を列挙する。



【0114】

図 15 に、上記の反応の一部を模式的に表したエネルギーダイアグラムを示す。なお、図 15 に示すエネルギーダイアグラムは模式図に過ぎず、反応に係るエネルギーの関係を厳密に規定するものではない点に留意されたい。

【0115】

(H_3^+ の生成過程)

上記のように、 H_3^+ は、主として反応式 (5) により表される反応過程により生成される。一方で、反応式 (5) と競合する反応として、反応式 (6) により表される反応過程が存在する。 H_3^+ が増加するためには、少なくとも、反応式 (5) の反応が、反応式 (6) の反応より多く起こる必要がある (なお、 H_3^+ が減少する反応としては他にも (7)、(8)、(9) が存在するため、(5) の反応が (6) の反応より多いからといって、必ずしも H_3^+ が増加するとは限らない。)。反対に、反応式 (5) の反応が、反応式 (6) の反応より少ない場合には、プラズマ中における H_3^+ の割合は減少する。

【0116】

上記反応式における右辺 (最右辺) の生成物の増加量は、反応式の左辺 (最左辺) で示す原料の密度や、その反応に係る速度係数などに依存している。ここで、 H_2^+ の運動工

10

20

30

40

50

エネルギーが約 11 eV より小さい場合には (5) の反応が主要となり (すなわち、反応式 (5) に係る速度係数が、反応式 (6) に係る速度係数と比較して十分に大きくなり)、 H_2^+ の運動エネルギーが約 11 eV より大きい場合には (6) の反応が主要となることが実験的に確認されている。

【0117】

荷電粒子は電場から力を受けて運動エネルギーを得る。該運動エネルギーは、電場によるポテンシャルエネルギーの減少量に対応している。例えば、ある荷電粒子が他の粒子と衝突するまでの間に得る運動エネルギーは、その間に通過した電位差分のポテンシャルエネルギーに等しい。つまり、電場中において、他の粒子と衝突することなく長い距離を移動できる状況では、そうではない状況と比較して、荷電粒子の運動エネルギー (の平均) は大きくなる傾向にある。このような、荷電粒子に係る運動エネルギーの増大傾向は、粒子の平均自由行程が大きい状況、すなわち、圧力が低い状況で生じ得る。

10

【0118】

また、平均自由行程が小さくとも、その間に大きな運動エネルギーを得ることができる状況であれば、荷電粒子の運動エネルギーは大きくなる。すなわち、平均自由行程が小さくとも、電位差が大きい状況であれば、荷電粒子の持つ運動エネルギーは大きくなると言える。

【0119】

これを H_2^+ に適用してみる。プラズマの生成に係るチャンパー内のように電場の存在を前提とすれば、該チャンパー内の圧力が低い状況では H_2^+ の運動エネルギーは大きくなり、該チャンパー内の圧力が高い状況では H_2^+ の運動エネルギーは小さくなる。つまり、チャンパー内の圧力が低い状況では (6) の反応が主要となるため、 H_3^+ は減少する傾向となり、チャンパー内の圧力が高い状況では (5) の反応が主要となるため、 H_3^+ は増加する傾向となる。また、プラズマ生成領域における電場 (又は電界) が強い状況、すなわち、ある二点間の電位差が大きい状況では H_2^+ の運動エネルギーは大きくなり、反対の状況では、 H_2^+ の運動エネルギーは小さくなる。つまり、電場が強い状況では (6) の反応が主要となるため H_3^+ は減少する傾向となり、電場が弱い状況では (5) の反応が主要となるため、 H_3^+ は増加する傾向となる。

20

【0120】

(イオン源による差異)

30

ここで、イオン種の割合 (特に H_3^+ の割合) が異なる例を示す。図 16 は、 100% 水素ガス (イオン源の圧力: $4.7 \times 10^{-2}\text{ Pa}$) から生成されるイオンの質量分析結果を示すグラフである。なお、上記質量分析は、イオン源から引き出されたイオンを測定することにより行った。横軸はイオンの質量である。スペクトル中、質量 1、2、3 のピークは、それぞれ、 H^+ 、 H_2^+ 、 H_3^+ に対応する。縦軸は、スペクトルの強度であり、イオンの数に対応する。図 16 では、質量が異なるイオンの数量を、質量 3 のイオンを 100 とした場合の相対比で表している。図 16 から、上記イオン源により生成されるイオンの割合は、 $\text{H}^+ : \text{H}_2^+ : \text{H}_3^+ = 1 : 1 : 8$ 程度となることが分かる。なお、このような割合のイオンは、プラズマを生成するプラズマソース部 (イオン源) と、当該プラズマからイオンビームを引き出すための引出電極などから構成されるイオンドーピング装置によっても得ることが出来る。

40

【0121】

図 17 は、図 16 とは異なるイオン源を用いた場合であって、イオン源の圧力がおよそ $3 \times 10^{-3}\text{ Pa}$ の時に、 PH_3 から生成したイオンの質量分析結果を示すグラフである。上記質量分析結果は、水素イオン種に着目したものである。また、質量分析は、イオン源から引き出されたイオンを測定することにより行った。図 16 と同様、横軸はイオンの質量を示し、質量 1、2、3 のピークは、それぞれ H^+ 、 H_2^+ 、 H_3^+ に対応する。縦軸はイオンの数量に対応するスペクトルの強度である。図 17 から、プラズマ中のイオンの割合は $\text{H}^+ : \text{H}_2^+ : \text{H}_3^+ = 37 : 56 : 7$ 程度であることが分かる。なお、図 17 はソースガスが PH_3 の場合のデータであるが、ソースガスとして 100% 水素ガスを

50

用いたときも、水素イオン種の割合は同程度になる。

【 0 1 2 2 】

図 1 7 のデータを得たイオン源の場合には、 H^+ 、 H_2^+ 及び H_3^+ のうち、 H_3^+ が 7 % 程度しか生成されていない。他方、図 1 6 のデータを得たイオン源の場合には、 H_3^+ の割合を 5 0 % 以上（上記の条件では 8 0 % 程度）とすることが可能である。これは、上記考察において明らかになったチャンバー内の圧力及び電場に起因するものと考えられる。

【 0 1 2 3 】

（ H_3^+ の照射メカニズム）

図 1 6 のような複数のイオン種を含むプラズマを生成し、生成されたイオン種を質量分離しないで単結晶半導体基板に照射する場合、単結晶半導体基板の表面には、 H^+ 、 H_2^+ 、 H_3^+ の各イオンが照射される。イオンの照射からイオン導入領域形成にかけてのメカニズムを再現するために、以下の 5 種類のモデルを考える。

- 1 . 照射されるイオン種が H^+ で、照射後も H^+ (H) である場合
- 2 . 照射されるイオン種が H_2^+ で、照射後も H_2^+ (H_2) のままである場合
- 3 . 照射されるイオン種が H_2^+ で、照射後に 2 個の H (H^+) に分裂する場合
- 4 . 照射されるイオン種が H_3^+ で、照射後も H_3^+ (H_3) のままである場合
- 5 . 照射されるイオン種が H_3^+ で、照射後に 3 個の H (H^+) に分裂する場合。

【 0 1 2 4 】

（シミュレーション結果と実測値との比較）

上記のモデルを基にして、水素イオン種を Si 基板に照射する場合のシミュレーションを行った。シミュレーション用のソフトウェアとしては、SRIM (the Stopping and Range of Ions in Matter : モンテカル口法によるイオン導入過程のシミュレーションソフトウェア、TRIM (the Transport of Ions in Matter) の改良版) を用いている。なお、計算の関係上、モデル 2 では H_2^+ を質量 2 倍の H^+ に置き換えて計算した。また、モデル 4 では H_3^+ を質量 3 倍の H^+ に置き換えて計算した。さらに、モデル 3 では H_2^+ を運動エネルギー 1 / 2 の H^+ に置き換え、モデル 5 では H_3^+ を運動エネルギー 1 / 3 の H^+ に置き換えて計算を行った。

【 0 1 2 5 】

なお、SRIM は非晶質構造を対象とするソフトウェアではあるが、高エネルギー、高ドーズの条件で水素イオン種を照射する場合には、SRIM を適用可能である。水素イオン種と Si 原子の衝突により、 Si 基板の結晶構造が非単結晶構造に変化するためである。

【 0 1 2 6 】

図 1 8 に、モデル 1 乃至モデル 5 を用いて水素イオン種を照射した場合（ H 換算で 1 0 万個照射時）の計算結果を示す。また、図 1 6 の水素イオン種を照射した Si 基板中の水素濃度（SIMS (Secondary Ion Mass Spectroscopy) のデータ）をあわせて示す。モデル 1 乃至モデル 5 を用いて行った計算の結果については、縦軸を水素原子の数で表しており（右軸）、SIMS データについては、縦軸を水素原子の密度で表している（左軸）。横軸は Si 基板表面からの深さである。実測値である SIMS データと、計算結果とを比較した場合、モデル 2 及びモデル 4 は明らかに SIMS データのピークから外れており、また、SIMS データ中にはモデル 3 に対応するピークも見られない。このことから、モデル 2 乃至モデル 4 の寄与は、相対的に小さいことが分かる。イオンの運動エネルギーが数 keV であるのに対して、 $H-H$ の結合エネルギーは数 eV 程度に過ぎないことを考えれば、モデル 2 及びモデル 4 の寄与が小さいのは、 Si 元素との衝突により、大部分の H_2^+ や H_3^+ が、 H^+ や H に分離しているためと思われる。

【 0 1 2 7 】

以上より、モデル 2 乃至モデル 4 については、以下では考慮しない。図 1 9 乃至図 2 1

に、モデル 1 及びモデル 5 を用いて水素イオン種を照射した場合（H 換算で 10 万個照射時）の計算結果を示す。また、図 16 の水素イオン種を照射した Si 基板中の水素濃度（SIMS データ）及び、上記シミュレーション結果を SIMS データにフィッティングさせたもの（以下フィッティング関数と呼ぶ）を合わせて示す。ここで、図 19 は加速電圧を 80 keV とした場合を示し、図 20 は加速電圧を 60 keV とした場合を示し、図 21 は加速電圧を 40 keV とした場合を示している。なお、モデル 1 及びモデル 5 を用いて行った計算の結果については、縦軸を水素原子の数で表しており（右軸）、SIMS データ及びフィッティング関数については、縦軸を水素原子の密度で表している（左軸）。横軸は Si 基板表面からの深さである。

【0128】

フィッティング関数はモデル 1 及びモデル 5 を考慮して以下の計算式により求めることとした。なお、計算式中、X、Y はフィッティングに係るパラメータであり、V は体積である。

[フィッティング関数]

$$= X / V \times [\text{モデル 1 のデータ}] + Y / V \times [\text{モデル 5 のデータ}]$$

【0129】

現実には照射されるイオン種の割合（ $H^+ : H_2^+ : H_3^+ = 1 : 1 : 8$ 程度）を考えれば H_2^+ の寄与（すなわち、モデル 3）についても考慮すべきであるが、以下に示す理由により、ここでは除外して考えた。

- ・モデル 3 に示される照射過程により導入される水素は、モデル 5 の照射過程と比較して僅かであるため、除外して考えても大きな影響はない（SIMS データにおいても、ピークが現れていない）。

- ・モデル 5 とピーク位置の近いモデル 3 は、モデル 5 において生じるチャネリング（結晶の格子構造に起因する元素の移動）により隠れてしまう可能性が高い。すなわち、モデル 3 のフィッティングパラメータを見積もるのは困難である。これは、本シミュレーションが非晶質 Si を前提としており、結晶性に起因する影響を考慮していないことによるものである。

【0130】

図 22 に、上記のフィッティングパラメータをまとめる。いずれの加速電圧においても、導入される H の数の比は、[モデル 1] : [モデル 5] = 1 : 42 ~ 1 : 45 程度（モデル 1 における H の数を 1 とした場合、モデル 5 における H の数は 42 以上 45 以下程度）であり、照射されるイオン種の数の比は、 $[H^+ (\text{モデル 1})] : [H_3^+ (\text{モデル 5})] = 1 : 14 \sim 1 : 15$ 程度（モデル 1 における H^+ の数を 1 とした場合、モデル 5 における H_3^+ の数は 14 以上 15 以下程度）である。モデル 3 を考慮していないことや非晶質 Si と仮定して計算していることなどを考えれば、実際の照射に係るイオン種の比率（ $H^+ : H_2^+ : H_3^+ = 1 : 1 : 8$ 程度）に近い値が得られていると言える。

【0131】

（ H_3^+ を用いる効果）

図 16 に示すような H_3^+ の割合を高めた水素イオン種を基板に照射することで、 H_3^+ に起因する複数のメリットを享受することができる。例えば、 H_3^+ は H^+ や H などに分離して基板内に導入されるため、主に H^+ や H_2^+ を照射する場合と比較して、イオンの導入効率を向上させることができる。これにより、半導体基板の生産性向上を図ることができる。また、同様に、 H_3^+ が分離した後の H^+ や H の運動エネルギーは小さくなる傾向にあるから、薄い半導体層の製造に向いている。

【0132】

なお、本明細書では、 H_3^+ を効率的に照射するために、図 16 に示すような水素イオン種を照射可能なイオンドーピング装置を用いる方法について説明している。イオンドーピング装置は廉価で、大面積処理に優れているため、このようなイオンドーピング装置を用いて H_3^+ を照射することで、半導体特性の向上、大面積化、低コスト化、生産性向上などの顕著な効果を得ることができる。一方で、 H_3^+ の照射を第一に考えるのであれば

10

20

30

40

50

、イオンドーピング装置を用いることに限定して解釈する必要はない。

【図面の簡単な説明】

【 0 1 3 3 】

【図 1】SOI 基板の構成を示す断面図である。

【図 2】SOI 基板の構成を示す断面図である。

【図 3】SOI 基板の構成を示す断面図である。

【図 4】SOI 基板の製造方法を説明する断面図である。

【図 5】SOI 基板の製造方法を説明する断面図である。

【図 6】SOI 基板を用いた半導体装置の製造方法を説明する断面図である。

【図 7】SOI 基板を用いた半導体装置の製造方法を説明する断面図である。

【図 8】SOI 基板を用いた半導体装置の製造方法を説明する断面図である。

【図 9】SOI 基板を用いた半導体装置の製造方法を説明する断面図である。

【図 10】SOI 基板により得られるマイクロプロセッサの構成を示すブロック図である

。

【図 11】SOI 基板により得られる RF CPU の構成を示すブロック図である。

【図 12】表示パネル製造用のマザーガラスに SOI 層を接合する場合を例示する平面図である。

【図 13】SOI 層により画素トランジスタが構成されている表示パネルの一例を示す図である。

【図 14】SOI 基板の製造方法を説明する断面図である。

【図 15】水素イオン種のエネルギーダイアグラムについて示す図である。

【図 16】イオンの質量分析結果を示す図である。

【図 17】イオンの質量分析結果を示す図である。

【図 18】加速電圧を 80 keV とした場合の水素元素の深さ方向のプロファイル（実測値及び計算値）を示す図である。

【図 19】加速電圧を 80 keV とした場合の水素元素の深さ方向のプロファイル（実測値、計算値、及びフィッティング関数）を示す図である。

【図 20】加速電圧を 60 keV とした場合の水素元素の深さ方向のプロファイル（実測値、計算値、及びフィッティング関数）を示す図である。

【図 21】加速電圧を 40 keV とした場合の水素元素の深さ方向のプロファイル（実測値、計算値、及びフィッティング関数）を示す図である。

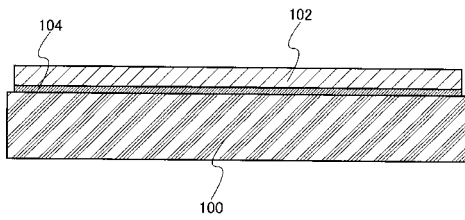
【図 22】フィッティングパラメータの比（水素元素比及び水素イオン種比）をまとめた図である。

10

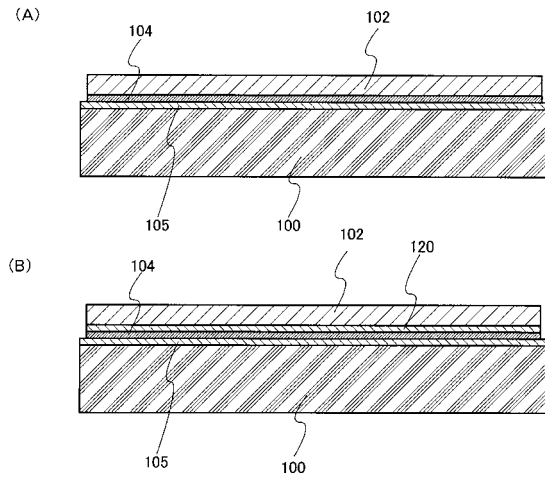
20

30

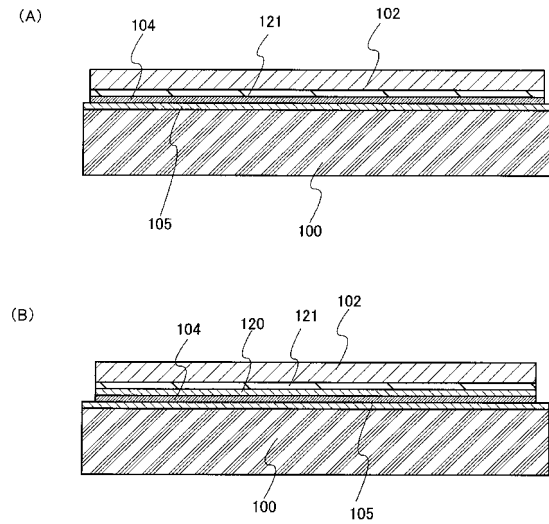
【図 1】



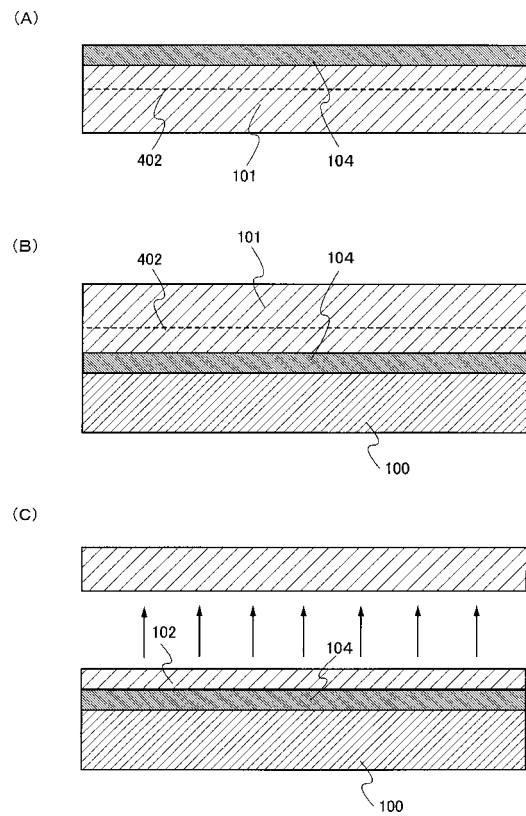
【図 2】



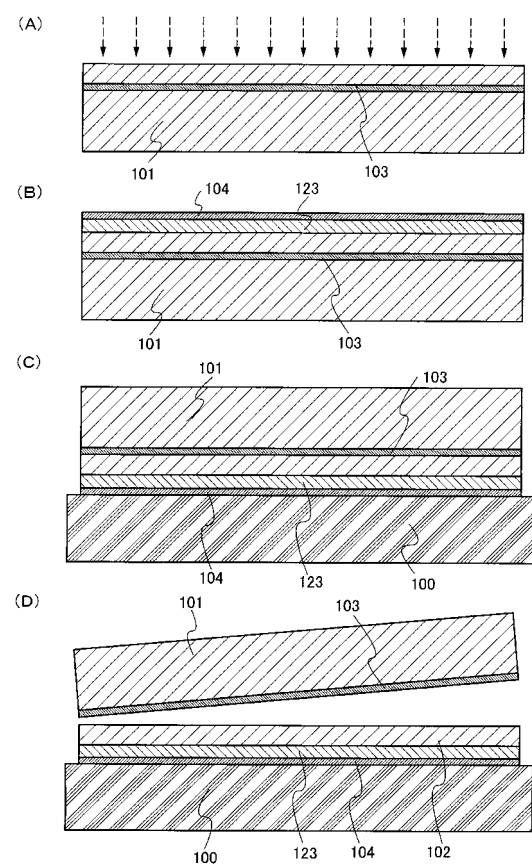
【図 3】



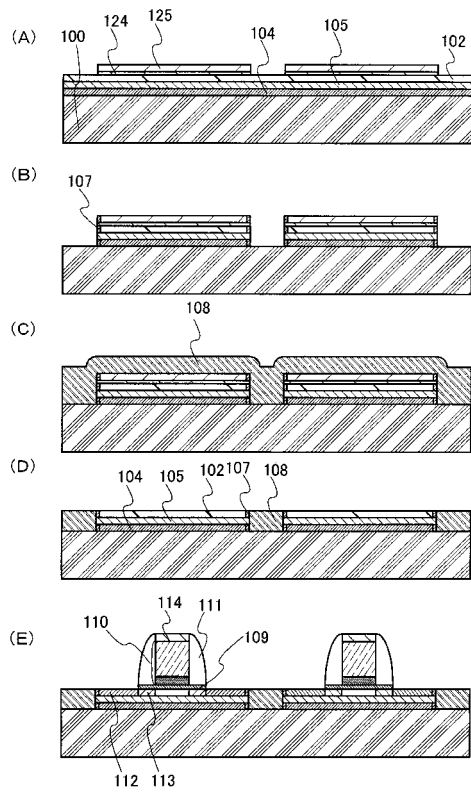
【図 4】



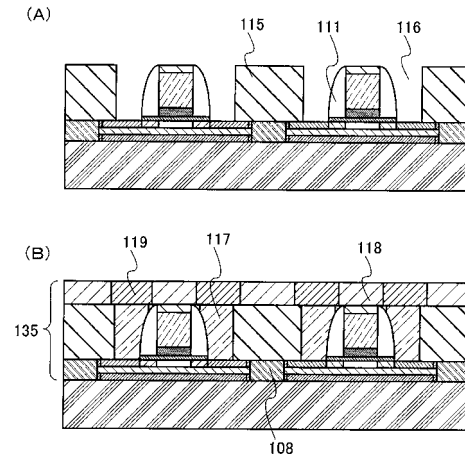
【図 5】



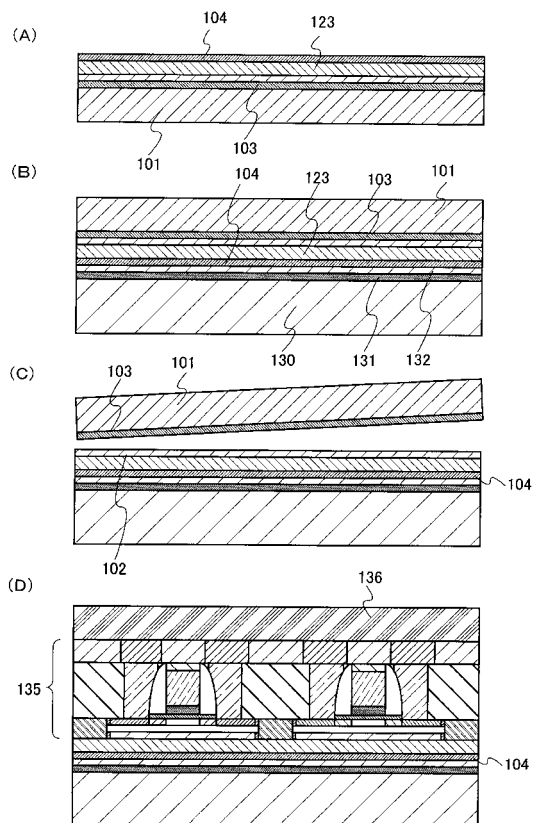
【図 6】



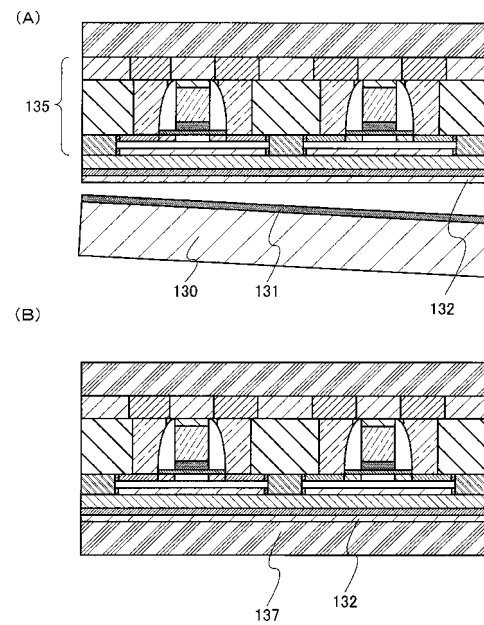
【図 7】



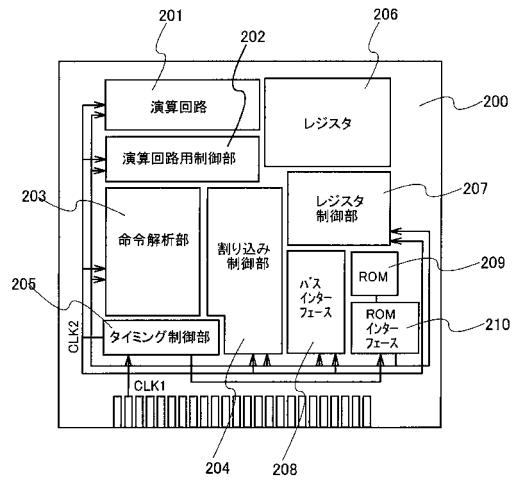
【図 8】



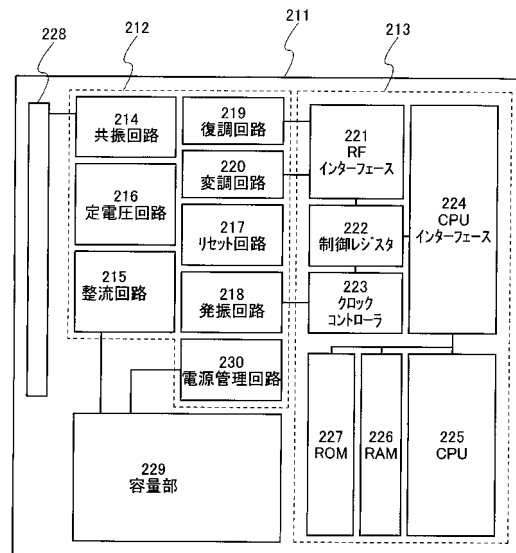
【図 9】



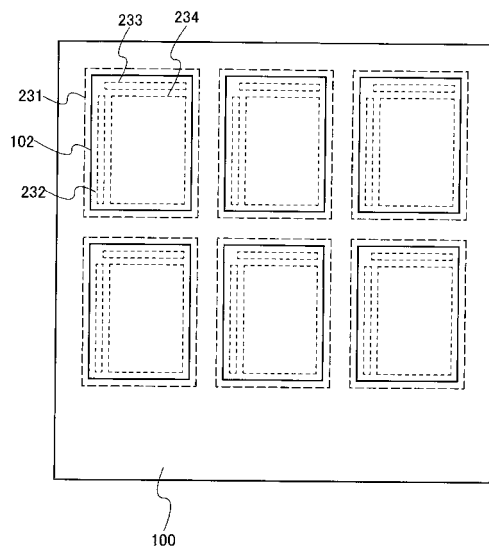
【図 10】



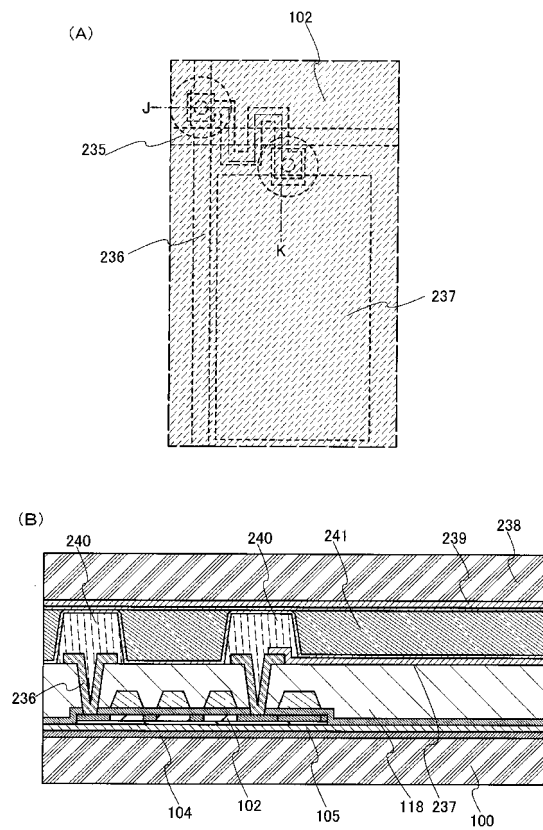
【図 11】



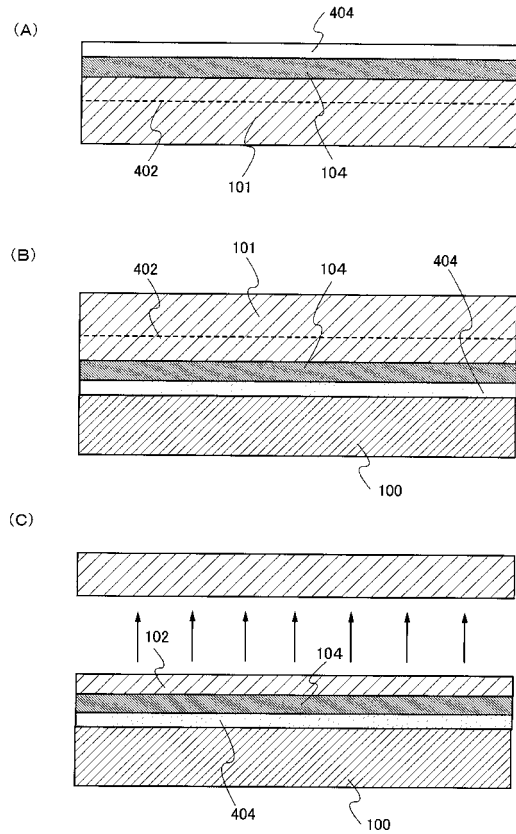
【図 12】



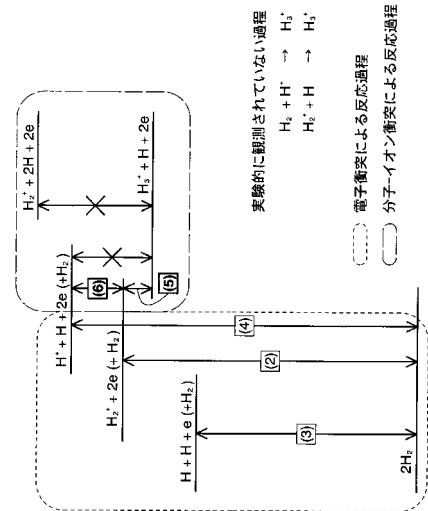
【図 13】



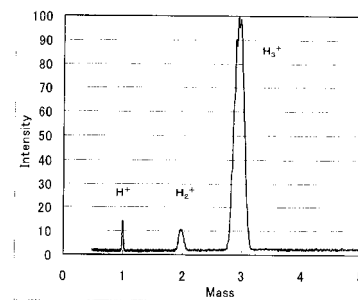
【図 14】



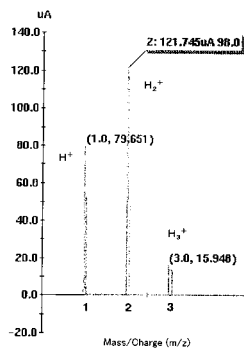
【図 15】



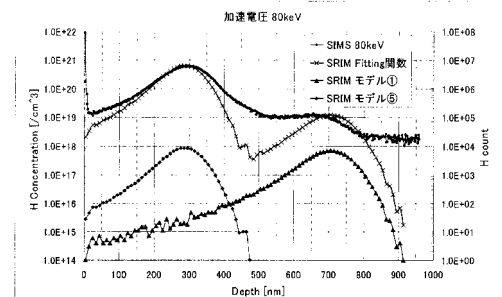
【図 16】



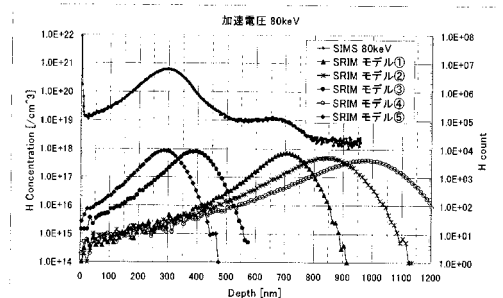
【図 17】



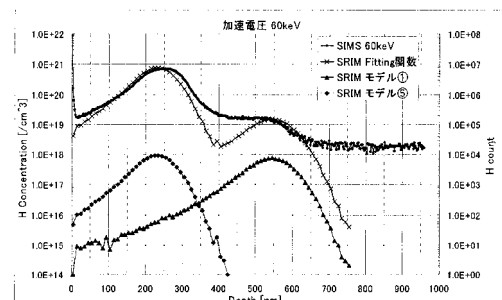
【図 19】



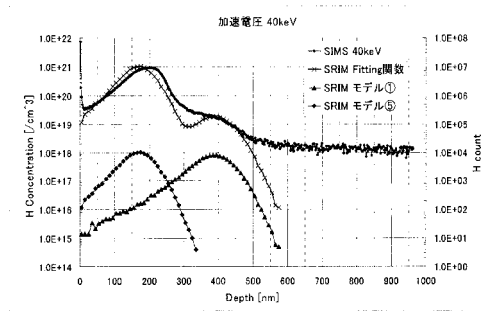
【図 18】



【図 20】



【図 2 1】



【図 2 2】

加速電圧	水素元素 (H) 比 (X : Y)	水素イオン種比 (X : Y / 3)
80 keV	1 : 44.1	1 : 14.7
60 keV	1 : 42.5	1 : 14.2
40 keV	1 : 43.5	1 : 14.5

フロントページの続き

(56)参考文献 特開平 1 1 - 1 4 5 4 3 8 (J P , A)
特開 2 0 0 6 - 0 8 0 3 1 4 (J P , A)
特開 2 0 0 4 - 1 3 4 6 7 5 (J P , A)
特表 2 0 0 1 - 5 0 3 5 6 8 (J P , A)
特開 2 0 0 2 - 1 7 0 9 4 2 (J P , A)
特開 2 0 0 4 - 0 3 9 7 3 5 (J P , A)
特開 2 0 0 5 - 1 0 1 6 3 0 (J P , A)
特表 2 0 0 8 - 5 3 5 2 3 0 (J P , A)
国際公開第 2 0 0 6 / 1 1 1 5 3 3 (W O , A 1)

(58)調査した分野(Int.Cl. , D B 名)
H 0 1 L 2 1 / 0 2
H 0 1 L 2 1 / 3 3 6
H 0 1 L 2 1 / 7 6 2
H 0 1 L 2 7 / 1 2
H 0 1 L 2 9 / 7 8 6