[19]中华人民共和国国家知识产权局

[51]Int. Cl[7]
G11C 29/00

[12]发明专利说明书

[21] ZL 专利号 95119741.X

[45]授权公告日 2001 年 6 月 27 日

[11]授权公告号 CN 1067795C

[22]申请日 1995.11.20 [24]颁证日 2001.2.10
[21]申请号 95119741.X
[30]优先权
[32]1995.2.27 [33]JP [31]038474/1995
[73]专利权人 三菱电机株式会社
地址 日本东京都
[72]发明人 前野秀史
审查员 黄 颖

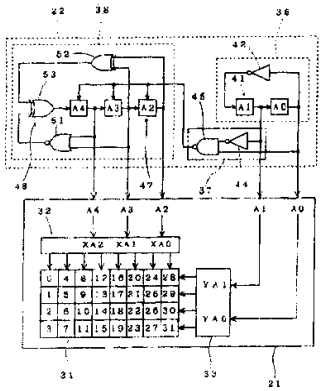
[74]专利代理机构 中国国际贸易促进委员会专利商标事务所
代理人 王茂华

权利要求书 11 页 说明书 43 页 附图页数 40 页

[54]发明名称 半导体集成电路器件

[57]摘要

一种半导体集成电路器件，易于发现故障出自 X 译码器还是出自 Y 译码器。分 别对应于存储器电路(21)的 X 译码器(32)和 Y 译码器(33)来设置 产生全循环序列的电路(36)和(38)。特定状态检测电路(37)检测 产生全循环序列的电路(36)，从而可在完全改变 X 地址和 Y 地址中的一个 地址后再改变 X 地址和 Y 地址中的另一个地址。由于知道故障发生的时间，所 以容易发现 X 译码器和 Y 译码器中的哪一个译码器出了故障。



ISSN1008-4274

00.05.18

权 利 要 求 书

1. 一种半导体集成电路器件，包括:、一个存储器电路，它包括多个存储单元、一个用于指定所说存储单元的X地址的X译码器、和一个用于指定所说存储单元的Y地址的Y译码器；以及

一个地址产生电路，用于产生所说X译码器和所说Y译码器的地址，其特征在于，

所说地址产生电路包括：

一个产生全循环序列的第一电路，用于产生所说X译码器和所说Y译码器之一的一个地址的所有的值，同时用于顺序地、周期性地、有规则地改变所说地址的值；

一个产生全循环序列的第二电路，用于产生所说X译码器和所说Y译码器中的另一个译码器的一个地址的所有的值，同时用于顺序地、周期性地、有规则地改变所说地址的值；以及

一个特定状态检测电路，用于检测所说产生全循环序列的第一电路中一个特定的地址状态，并且用于在所说产生全循环序列的第一电路处在除所说特定的地址状态以外的状态时使所说产生全循环序列的第二电路不可操作。

2. 如权利要求1的半导体集成电路器件，其中所说产生全循环序列的第一电路包括:

与要产生的地址位数对应的一个第一移位寄存器部分；和

一个第一反馈电路，用于返回反馈时保持在所说产生全循环序列的第一电路中的地址数据以便有规则地改变保持在所说产生全循

环序列的第一电路中的所说地址数据；

所说产生全循环序列的第二电路包括：

与要产生的地址位数对应的一个第二移位寄存器部分；和

一个第二反馈电路，用于返回反馈时保持在所说产生全循环序列的第二电路中的地址数据以便有规则地改变保持在所说产生全循环序列的第二电路中的所说地址数据；

所说存储单元电路包括：

一个第一移位寄存器电路，它的结构类似于所说产生全循环序列的第一电路的所说第一移位寄存器部分，并且连接到所说X译码器和所说Y译码器之一上，所说第一移位寄存器电路在响应于所说产生全循环序列的第一电路的所说第一反馈电路提供的输出信号时的操作类似于所说第一移位寄存器部分；和

一个第二移位寄存器电路，它的结构类似于所说产生全循环序列的第二电路的所说第二移位寄存器部分，并且连接到所说X译码器和所说Y译码器中的另一个译码器上，所说第二移位寄存器电路在响应于所说产生全循环序列的第二电路的所说第二反馈电路提供的输出信号时的操作类似于所说第二移位寄存器部分。

3. 如权利要求2的半导体集成电路器件，其中所说地址产生电路还包括一个选择器电路，用于按照所说特定状态检测电路提供的信号检测所说产生全循环序列的第二电路是处在可操作状态还是处在不可操作状态，如果所说产生全循环序列的第二电路处在不可操作状态，则所说地址产生电路选择所说产生全循环序列的第一电路提供的输出，如果所说产生全循环序列的第二电路处在可操作状态，则选择所说产生全循环序列的第二电路提供的输出；

所说存储器电路还包括一个门电路，用于在所说产生全循环序列的第二电路处在不可操作状态的条件下按照所说特定状态检测电路提供的信号将所说选择器电路的输出传送到所说第一移位寄存器电路，并且在所说产生全循环序列的第二电路处在可操作状态的条件下，所说门电路将固定数据传送给所说第一移位寄存器电路；

所说存储器电路的所说第二移位寄存器电路的一个输入端连到所说选择器电路；并且

所说第二移位寄存器电路在所说特定状态检测电路的控制下进行移位操作。

4. 如权利要求 1 的半导体集成电路器件，其中所说产生全循环序列的第一和第二电路包括一个产生全循环序列的双向电路，用于沿两个方向移动数据；

所说产生全循环序列的第一电路包括：

和要产生的地址位数对应的一个第一双向移位寄存器部分；和

一个第一双向反馈电路，用于返回反馈时保持在所说第一双向移位寄存器部分中的地址数据以便有规则地改变保持在所说第一双向移位寄存器部分中的所说地址数据；

所说产生全循环序列的第二电路包括：

和要产生的地址位数对应的一个第二双向移位寄存器部分；和

一个第二双向反馈电路，用于返回反馈时保持在所说第二双向移位寄存器部分中的地址数据以便有规则地改变保持在所说第二双向移位寄存器中的所说地址数据；并且

如果在所说产生全循环序列的第一电路的前向操作方式期间所说产生全循环序列 的第一电路处在除一个预定的第一状态以外的

状态，所说特定状态检测电路使所说产生全循环序列的第二电路不可操作；如果在所说产生全循环序列的第一电路反向操作方式期间所说产生全循环序列的第一电路处在除一个预定的第二状态以外的状态，所说特定状态检测电路使所说产生全循环序列的第二电路不可操作。

5. 如权利要求 4 的半导体集成电路器件，其中所说地址产生电路进一步还包括：

一个第一选择器电路，它按照外部提供的第一操作方式转接信号从所说产生全循环序列的第一电路提供的两个方向的输出信号中选择出一个输出信号；

一个第二选择器电路，它按照从外部提供的第二操作方式转接信号从所说产生全循环序列的第二电路提供的两个方向的输出信号中选择出一个输出信号；以及

一个第三选择器电路，它按照所说特定状态检测电路提供的信号检测所说产生全循环序列的第二电路是处在可操作状态还是处在不可操作状态，当所说产生全循环序列的第二电路处在不可操作状态时，所说第三选择器电路选择所说第一选择器电路提供的输出；当所说产生全循环序列的第二电路处在可操作状态时，所说第三选择器电路选择所说第二选择器电路提供的输出；

所说存储单元电路进一步还包括：

一个第一双向移位寄存器电路，它的结构类似于所说产生全循环序列的第一电路的所说第一双向移位寄存器部分，并且连到所说 X 译码器和所说 Y 译码器之一上，根据所说第一操作方式转接信号转接所说第一双向移位寄存器电路的操作方向，这和所说第一双

向移位寄存器部分相似；

一个第二双向移位寄存器电路，它的结构类似于所说产生全循环序列的第二电路的所说第二双向移位寄存器部分，并且连到所说X译码器和所说Y译码器中的另一个译码器上，根据所说第二操作方式转接信号转接所说第二双向移位寄存器电路的操作方向，这和所说第二双向移位寄存器部分相似；

一个第一门电路，用于按照所说特定状态检测电路提供的信号检测所说产生全循环序列的第二电路是处在可操作状态还是处在不可操作状态；如果所说产生全循环序列的第二电路处在不可操作状态，所说第一门电路将所说第三选择器电路的输出传送给所说第一双向移位寄存器电路的前向输入端；如果所说产生全循环序列的第二电路处在可操作状态，所说第一门电路将固定的数据传送给所说第一双向移位寄存器电路的所说前向输入端；

一个第二门电路，用于按照所说特定状态检测电路提供的信号检测所说产生全循环序列的第二电路是处在可操作状态还是处在不可操作状态；如果所说产生全循环序列的第二电路处在不可操作状态，所说第二门电路将所说第三选择器电路的输出传送到所说第一双向移位寄存器电路的反向输入端；如果所说产生全循环序列 的第二电路处在可操作状态，所说第二门电路把预定的固定数据传送到所说第一双向移位寄存器电路的所说反向输入端；并且

将所说第三选择器电路的所说输出信号提供给和所说产生全循环序列的第二电路的两个方向相对应的输入端；

6. 如权利要求1的半导体集成电路器件，其中所说产生全循环序列的第一电路是一个沿两个方向移动数据的产生全循环序列的

双向电路；

所说产生全循环序列的第二电路是一个产生全循环序列的一位的电路；

所说产生全循环序列的第一电路包括：

一个双向移位寄存器部分，它和要产生的地址位数相对应；和

一个双向反馈电路，用于返回反馈时保持在所说双向移位寄存器部分中的地址数据以便有改变保持在所说双向移位寄存器部分中的所说地址数据；并且

如果在所说产生全循环序列的第一电路的前向操作方式期间所说产生全循环序列的第一电路处在除一个预定的第一状态而外的状态，所说特定状态检测电路使所说产生全循环序列的第二电路不可操作；如果在所说产生全循环序列的第一电路的反向操作方式期间所说产生全循环序列的第一电路处在除一个预定的第二状态而外的状态，所说特定状态检测电路使所说产生全循环序列的第二电路不可操作。

7. 如权利要求 6 的半导体集成电路器件，其中所说地址产生电路包括：

一个第一选择器电路，它按照外部提供的一个第一操作方式转接信号从所说产生全循环序列的第一电路提供的两个方向的输出信号中选择出一个输出信号；

一个第二选择器电路，它按照所说特定状态检测电路提供的信号检测所说产生全循环序列的第二电路是处在一个可操作状态还是处在一个不可操作状态；如果所说产生全循环序列的第二电路处在不可操作状态，所说第二选择器电路选择所说第一选择器电路的输

出；如果所说产生全循环序列的第二电路处在可操作状态，所说第二选择器电路选择所说产生全循环序列的第二电路的输出；

所说存储单元进一步还包括：

一个双向移位寄存器电路，该电路的结构类似于所说产生全循环序列的第一电路的所说双向移位寄存器部分，并且连接到所说X译码器和所说Y译码器之一上，按照所说第一操作方式转接信号来转接所说双向移位寄存器电路的操作方向，这和所说产生全循环序列的第一电路的所说双向移位寄存器部分相似；

一个一位的移位寄存器电路，它连接到所说X译码器和所说Y译码器中的另一个上，所说一位移位寄存器电路按照所说特定状态检测电路提供的信号进行操作；

一个第一门电路，它按照所说特定状态检测电路提供的信号检测所说一位移位寄存器电路是处在可操作状态还是处在不可操作状态；如果所说一位移位寄存器电路处在不可操作状态，所说第一门电路将所说第二　选择器电路的输出传送给所说双向移位寄存器电路的前向输入端；如果所说一位移位寄存器电路处在可操作状态，所说第一门电路将预定的固定数据传送到所说双向移位寄存器电路的所说前向输入端；和

一个第二门电路，用于按照所说特定状态检测电路提供的信号检测所说一位移位寄存器电路是处在可操作状态还是处在不可操作状态；如果一位移位寄存器电路处在不可操作状态，所说第二门电路将所说第二选择器电路的输出传送给所说双向移位寄存器电路的反向输入端；如果一位移位寄存器处在可操作状态，所说第二门电路将预定的固定数据传送给所说双向移位寄存器电路的所说反向输

入端；并且

所说一位移位寄存器电路的一个输入端连接到所说第二选择器电路上。

8. 如权利要求 1 的半导体集成电路器件，其中所说产生全循环序列 的第一电路是一个产生全循环序列的一位的电路；

所说产生全循环序列的第二电路是一个产生全循环序列的双向电路，它按照外部提供的第一操作方式转接信号从两个方向中选择出一个方向，以此作为移动数据的移动方向；

所说产生全循环序列的第二电路包括：

一个双向移位寄存器部分，它和要产生的地址位数相对应；和

一个双向反馈电路，用于返回反馈时保持在所说双向移位寄存器部分中的地址数据以便改变保持在所说双向移位寄存器部分中的所说地址数据；并且

所说特定状态检测电路包括一个异或电路，它接所说产生全循环序列的第一电路的输出和外部提供的第二操作方式转接信号，仅当所说第二操作方式转接信号和所说产生全循环序列的第一个一位电路的地址状态符合时或不符合时所说特定状态检测电路才使所说产生全循环序列的第二电路不可操作。

9. 如权利要求 8 的半导体集成电路器件，其中所说地址产生电路进一步还包括：

一个第一选择器电路，它按照所说第一操作方式转接信号从所说产生全循环序列的第二电路提供的两个方向的输出信号中选择出一个输出信号；

一个第二选择器电路，它按照所说特定状态检测电路提供的信

号检测所说产生全循环序列的第二电路是处在可操作状态还是处在不可操作状态；如果所说产生全循环序列的第二电路处在不可操作状态，所说第二选择器电路选择所说第一选择器电路的输出；如果所说产生全循环序列的第二电路处在可操作状态，所说第二选择器电路选择所说第一选择器电路的输出；

所说存储单元进一步还包括：

一个双向移位寄存器电路，它的结构类似于所说产生全循环序列的第二电路的所说双向移位寄存器部分，并且连接到所说X译码器和所说Y译码器的所说另一个译码器上，所说双向移位寄存器电路在其前向输入端和反向输入端按收所说第二选择器电路的输出信号，按照所说特定状态检测电路提供的信号使所说双向移位寄存器电路不可操作，这和所说产生全循环序列的第二电路类似，根据所说第一操作方式转接信号来转接所说双向移位寄存器电路的操作方向；

一个第三选择器电路，它按照所说特定状态检测电路提供的信号检测所说产生全循环序列的第二电路和所说双向移位寄存器电路是处在不可操作状态还是处在可操作状态；当所说产生全循环序列的第二电路和所说双向移位寄存器电路处在不可操作状态，所说第三选择器电路选择所说第二选择器电路提供的输出；当所说产生全循环序列的第二电路和所说双向移位寄存器电路处在可操作状态，所说第三选择器电路选择第二个第一操作方式转接信号；和

一个一位的移位寄存器电路，它和所说X译码器和所说Y译码器的所说一个译码器相连，所说一位移位寄存器电路接收所说第三选择器电路的输出信号。

10. 如权利要求 8 的半导体集成电路器件，其中所说地址产生电路进一步还包括一个选择器电路，它按照所说第一操作方式转接信号从所说产生全循环序列的第二电路提供的两个方向的输出信号中选择出一个输出信号；

所说存储单元进一步还包括：

一个一位的移位寄存器电路，它连接到所说 X 译码器和所说 Y 译码器中的所说另一个译码器上，所说一位的移位寄存器电路接收所说第一选择器电路的输出信号；和

一个双向移位寄存器电路，它的结构类似于所说产生全循环序列的第二电路的所说双向移位寄存器部分，并且连接到所说 X 译码器和所说 Y 译码器中的所说另一个译码器上，所说双向移位寄存器电路在其前向输入端和反向输入端接收所说选择器电路的输出信号，根据所说第一操作方式转接信号来转接所说双向移位寄存器电路的操作方向。

11. 如权利要求 1 的半导体集成电路器件，其中所说地址产生电路进一步还包括：

一个辅助的特定状态检测电路，它检测在所说产生全循环序列的第二电路中的一个特定地址状态，并且如果所说产生全循环序列的第二电路处在除所说特定地址状态以外的状态时，用于允许所说产生全循环序列的第一电路操作；和

选择装置，它从所说特定状态检测电路和所说辅助的特定状态检测电路中选择出一个电路，用作允许操作的电路。

12. 如权利要求 1 的半导体集成电路器件，其中所述地址产生电路进一步还包括扫描路径选择装置，以便可使所说产生全循环序列的

第一和第二电路彼此串行连接以建立扫描路径，或者可按另一种方式将所说产生全循环序列的第一电路和所说产生全循环序列的第二电路彼此分开。

说　　明　　书

半导体集成电路器件

本发明涉及半导体集成电路器件，例如用于检验半导体存储电路的存储器检验电路。

〈第一现有技术〉

这里所述的第一现有技术是由日本专利公开公报 NO.63—204325 公开的一种技术，其中描述了一种作为半导体存储电路形成的存储器检验电路。

图 37 表示按第一现有技术的一种单向伪随机数产生电路。该单向伪随机数产生电路按一种伪随机顺序向一个半导体存储电路提供地址信号（这种类型的伪随机数产生电路称之为“产生全循环序列的电路”）。在图 37 中，标号 1 为移位寄存器；移位寄存器 1 有 n 级；标号 2 和 2a 为异或电路；标号 4 为移位时钟端；标号 5 为输出端；标号 6 是预置端；并且标号 7a 是一个零检测电路。

〈第二现有技术〉

图 38 表示按第二现有技术的一个双向伪随机数产生电路，这种伪随机数产生电路按一个伪随机顺序、或者按一种完全相反的伪随机顺序向一个半导体存储电路提供地址信号（这种类型的伪随机数产生电路称之为“产生全循环序列的双向电路”）。在图 38 中，标号 2、2a、和 2b 为异或电路；标号 4a 为前向移位时钟端；标号 4b 为反向移位时钟端；标号 6 是预置端；标号 7a 和 7b 是零检测电

路；并且标号 10 是一个可在两个方向移动数据的双向串行移位寄存器。

〈第三现有技术〉

图 39 表示按第三现有技术的一个半导体集成电路器件（存储器检验电路），它包括一个存储器电路 13 和一个产生全循环序列的电路 12，电路 12 起地址产生电路 11 的作用。为便于描述，图 39 表示出一个 X 译码器 14、一个 Y 译码器 15、以及一个存储单元 16，它们都设在存储器电路 13 之中。为了便于叙述，还给该存储单元的区域编了号（0—31）。存储器电路 13 可以是一个 RAM 或一个 ROM。

通过移位寄存器电路 17 和反馈电路 18 来构成该产生全循环序列的电路 12。由 NOR 电路 18a 和 18b 以及异或电路（下称“XOR 电路”）18c 构成反馈电路 18。

图 40 表示图 39 的电路的工作过程。图 40 假定：在时间 T＝0 时，将一个地址信号设定为 A0＝A1＝A2＝A3＝A4＝0。为此，要将复位装置（未示出）加到产生全循环序列的电路 12 上。随着时间 T 的变化，产生全循环序列的电路 12 的移位寄存器电路 17 就要进行操作以改变地址，如该表格的地址栏中所示。

由于产生了自 0 到 31（2^5—1）的一个地址信号的所有的值，因此有可能访问存储单元 16 的所有的字。图 40 分开列出了存储器电路 13 的 X 地址和 Y 地址。由于产生地址的移位寄存器 17 只有一个，所以 X 地址和 Y 地址基本上是同时变化的（只在一种很少出现的情况下，X 地址和 Y 地址当中的一个地址不发生变化）。

当构成存储器电路使其既包括 X 译码器又包括 Y 译码器时，

如果按第一现有技术或按第二现有技术设置的电路是为了得到X地址和Y地址，则按第一和第二现有技术的电路必须在一个控制信号或其它信号的控制下移动数据，这将使产生控制信号或类似信号的系统复杂化。因此，必须有一个复杂的外部控制电路。为了避免这种情况的出现，就必须在有规则地故意改变存储器检验电路内的地址的同时产生出X地址和Y地址。

在检验电路出故障时，不管这个故障是来源于X译码器14还是来源于Y译码器15，都需要有效地确定故障位置。从检验效率的观点出发，在一次存储器电路检验中，期望在完全改变了Y地址后再修改X地址，所之亦然。但在按上述第三现有技术的存储器电路中，由于X地址和Y地址基本上是同时改变的，因此不可能进行这种在完全改变Y地址后再修改X地址（反之亦然）的存储器电路检验。因而，不管故障出自X译码器14还是出自Y译码器15，确定故障位置都是一个很费时间的过程。

此外，X地址和Y地址的变化都是无规则的。X地址和Y地址可能都发生了变化，或者一次只有一个地址发生了变化。当一个位线或一个字线的地址没能改变时，先前访问过的位线或先前访问过的字线依然有效，但在访问下一个位线或字线期间还要被再次访问。因此，访问的速度变得极快。另一方面，当位线和字线的地址都发生改变时，使先前访问过的位线和字线都变为有效的要花费一些时间，访问的速度就要慢下来。因此，访问的速度依条件而变，故精确测量访问速度是不可能的。

按本发明的第一方面的一种半导体集成电路器件包括：一个存储器电路和一个地址产生电路；该存储器电路包括：多个存储单

元、指定存储单元X地址的一个X译码器、指定存储单元的Y地址的一个Y译码器；该地址产生电路用于产生X译码器和Y译码器这两者的地址，并且其中包括：在顺序地、周期性地、有规则地改变地址值的同时，用于产生X译码器和Y译码器之一的一个地址的所有值的产生全循环序列的第一电路，以及在顺序地、周期性地、有规则地改变地址值的同时用于产生X译码器和Y译码器中的另一个译码器的一个地址的所有值的产生全循环序列的第二电路，以及用于检测产生全循环序列的第一电路中的一个特定地址状态、并在产生全循环序列的第一电路处于除该特定地址状态之外的状态时使产生全循环序列的第二电路不可操作的一个特定状态检测电路。

按本发明的第二方面，在按本发明的第一方面的半导体集成电路中，产生全循环序列的第一电路包括：与要产生的地址的位数对应的一个第一移位寄存器部分，以及返回在反馈时保持在产生全循环序列的第一电路中的地址数据以使保持在产生全循序列的第一电路中的地址数据有规则地改变的一个第一反馈电路。产生全循环序列的第二电路包括：与要产生的地址的位数对应的一个第二移位寄存器部分，以及返回在反馈时保持在产生全循环序列的第二电路中的地址数据以使保持在产生全循环的第二电路中的地址数据有规则改变的一个第二反馈电路。存储单元电路包括一个第一移位寄存器电路和一个第二移位寄存器电路；该第一移位寄存器电路的结构类似于产生全循环序列的第一电路的第一移位寄存器部分，并且连接到X译码器和Y译码器之中的一个上，该第一移位寄存器电路的操作过程类似于该第一移位寄存器部分，响应于由产生全循环序列

的第一电路的第一反馈电路提供的输出信号；第二移位寄存器电路的结构类似于产生全循环序列的第二电路的第二移位寄存器部分，并且连接到X译码器和Y译码器中的另一个上，第二移位寄存器电路的操作过程类似于第二移位寄存器部分，响应于由产生全循环序列的第二电路的第二反馈部分提供的输出信号。

按本发明的第三方面，在按本发明的第二方面的半导体集成电路器件中，地址产生电路进一步还包括一个选择器电路，用于按照由特定状态检测电路提供的信号检测产生全循环序列的第二电路是处在可操作状态还是处在不可操作状态；如果产生全循环序列的第二电路处在不可操作状态，则地址产生电路选择由产生全循环序列的第一电路提供的输出；但如果产生全循环序列的第二电路处在可操作状态，则地址产生电路选择由产生全循环序列的第二电路提供的输出。该存储器电路进一步还包括一个门电路；如果按照由特定状态检测电路提供的信号使产生全循环序列的第二电路处在不可操作状态，则该门电路将来自选择器电路的输出传递给第一移位寄存器电路；如果产生全循环序列的第二电路处在可操作状态，则该门电路将固定的数据传递给第一移位寄存器电路。存储器电路的第二移位寄存器电路的一个输入端连接到选择器电路。第二移位寄存器电路在特定状态检测电路的控制下完成移位操作。

按照本发明的第四方面，在按本发明的第二方面的半导体集成电路器件中，产生全循环序列的第一和第二电路都包括用于双向移动数据的一个产生全循环序列的双向电路。产生全循环序列的第一电路包括：对应于要产生的地址的位数的一个第一双向移位寄存器部分，以及返回在反馈时保持在第一双向移位寄存器部分中的地址

数据以使保持在第一双向移位寄存器部分中的地址数据 有规则地改变的一个第一双向反馈电路。产生全循环序列的第二电路包括：对应于要产生的地址的位数的一个第二双向移位寄存器部分，以及返回在反馈时保持在第二双向移位寄存器部分的地址数据以使保持在第二双向移位寄存器部分中的地址数据有规则地改变的一个第二双向反馈电路。

如果在产生全循环序列的第一电路的前向操作方式期间产生全循环序列的第一电路处在除了预定的第一状态而外的状态，则特定状态检测电路使产生全循环序列的第二电路处在不可操作状态；如果在产生全循环序列的第一电路的反向操作方式期间产生全循环序列的第一电路处在除预定的第二状态而外的状态，则特定状态检测电路使产生全循环序列的第二电路处在不可操作状态。

按本发明的第五方面，在按本发明的第四方面的半导体集成电路器件中，地址产生电路进一步还包括：第一、第二、和第三选择器电路；第一选择器电路按照外部提供的第一操作方式转接信号从产生全循环序列的第一电路提供的两个方向的输出信号中选择出一个输出信号；和二选择器电路按照从外部提供的第二操作方式转接信号从由产生全循环序列的第二电路提供的两个方向的输出信号中选择出一个输出信号；第三选择器电路按照由特定状态检测电路提供的信号检测产生全循环序列的第二电路是处在可操作状态还是处在不可操作状态，当产生全循环序列的第二电路处在不可操作状态时第三选择器电路选择由第一选择器提供的输出，当产生全循环序列的第二电路处在可操作状态时第三选择器电路选择由第二选择器电路提供的输出。存储单元电路进一步还包括：第一双向移位寄存

器电路、第二双向移位寄存器电路、第一门电路、和第二门电路；第一双向移位寄存器电路的结构类似于产生全循环序列的第一电路的第一双向移位寄存器部分，并且连接到X译码器和Y译码器之一上，这和第一双向移位寄存器部分类似，按照第一操作方式转接信号来转接第一双向移位寄存器电路的操作方向；第二双向移位存器的结构类似于产生全循环序列的第二电路的第二双向移位寄存器部分，并且连接到X译码器和Y译码器中的另一个上，这和第二双向移位寄存器部分类似，按照第二操作方式转接信号来转接第二双向移位寄存器电路的操作方向；第一门电路按照特定状态检测电路提供的信号检测产生全循环序列的第二电路是处在可操作状态还是处在不可操作状态，如果产生全循环序列的第二电路处在不可操作状态则第一门电路将第三选择器电路的输出传递给第一双向移位寄存器电路的前向输入端，如果产生全循环序列的第二电路处在可操作状态则第一门电路将预定的固定数据传递给第一双向移位寄存器电路的前向输入端；第二门电路按照特定状态检测电路提供的信号检测产生全循环序列的第二电路是处在可操作状态还是处在不可操作状态，如果产生全循环序列的第二电路处在不可操作状态则第二门电路将第三选择器电路的输出传递给第一双向移位寄存器电路的反向输入端，如果产生全循环序列的第二电路处在可操作状态则第二门电路将预定的固定数据传递给第一双向移位寄存器电路的反向输入端。将第三选择器电路的输出信号提供给与产生全循环序列的第二电路的两个方向相对应的输入端上。

按本发明的第六方面，在按本发明第一方面的半导体集成电路器件中，产生全循环序列的第一电路是沿两个方向移动数据的产生

全循环序列的一个双向电路。产生全循环序列的第二电路是产生全循环序列的一个1位的电路。产生全循环序列的第一电路包括：与要产生的地址的位数对应的一个双向移位寄存器部分，和一个返回反馈时保持在双向移位寄存器部分中的地址数据以便改变保持在双向移位寄存器部分中的地址数据的双向反馈电路。如果在产生全循环序列的第一电路的前向操作方式期间产生全循环序列的第一电路处在除预定的第一状态以外的状态，则特定状态检测电路使产生全循环序列的第二电路处在不可操作状态；如果在产生全循环序列的第一电路的反向操作方式期间产生全循环序列的第一电路处在除预定的第二状态以外的状态，则特定状态检则电路使产生全循环序列的第二电路处在不可操作状态。

按本发明的第七方面，在按本发明的第六方面的半导体集成电路器件中，地址产生电路包括第一选择器电路和第二选择器电路；第一选择器电路按照外部提供的第一操作方式转接信号从产生全循环序列的第一电路提供的两上方向的输出信号中选择出一个输出信号；第二选择器电路按照特定状态检测电路提供的信号检测产生全循环序列的第二电路是处在可操作状态还是处在不可操作状态，第二选择器电路在产生全循环序列的第二电路处在不可操作状态的条件下选择第二选择器电路的输出，而在产生全循环序列的第二电路处在可操作状态的条件下选择产生全循环序列的第二电路的输出。存储单元进一步还包括：一个双向移位寄存器电路、一个一位移位寄存器电路、第一门电路、和第二门电路；该双向移位寄存器电路的结构类似于产生全循环序列的第一电路的双向移位寄存器部分，并且连接到X译码器和Y译码器之一上，这和产生全循环序列的

第一电路的双向移位寄存器部分类似，根据第一操作方式转接信号来转接双向移位寄存器电路的操作方向；一位移位寄存器电路连接到X译码器和Y译码器中的另一个上，该一位移位寄存器电路按照特定状态检测电路提供的信号进行操作第一门电路按照特定状态检测电路提供的信号检测一位移位寄存器是处在可操作状态还是处在不可操作状态，如果一位移位寄存器电路处在不可操作状态则第一门电路将第二选择器电路的输出传递给双向移位寄存器电路的前向输入端，但如果一位移位寄存器电路处在可操作状态则第一门电路将预定的固定数据传递给双向移位寄存器电路的前向输入端；第二门电路按照特定状态检测电路提供的信号检测一位移位寄存器电路是处在可操作状态还是处在不可操作状态，如果一位移位寄存器电路处在不可操作状态则第二门电路将第二选择器电路的输出传递给双向移位寄存器电路的反向输入端，如果一位移位寄存器电路处在可操作状态则第二门电路将预定的固定数据传递给双向移位寄存器电路的反向输入端。将一位移位寄存器电路的一个输入端连接到第二选择器电路。

按本发明的第八方面，在按本发明第一方面的半导体集成电路器件中，产生全循环序列的第一电路是一个产生全循环序列的一位电路。产生全循环序列的第二电路是一个产生全循环序列的双向电路，它按照外部提供的第一操作方式转接信号从两个方向中选择出一个方向作为移动数据的移动方向，产生全循环序列的第二电路包括：一个对应于要产生的地址的位数的双向移位寄存器部分，和一个返回沿两个方向反馈时保持在双向移位寄存器部分中的地址数据以便改变保持在双向移位寄存器中的地址数据的双向反馈电路。特

定状态检测电路包括一个异或电路，该异或电路接收产生全循环序列的第一电路的输出和从外部提供的第二操作方式转接信号，仅在第二操作方式转接信号与产生全循环序列的第一一位电路的地址状态符合时或不符合时特定状态检测电路才使产生全循环序列的第二电路处在不可操作状态。

按本发明的第九方面，在按本发明的第八方面的半导体集成电路器件中，地址产生电路进一步还包括：第一选择器电路和第二选择器电路；第一选择器电路按照第一操作方式转接信号从产生全循环序列的第二电路提供的两个方向的输出信号中选择出一个输出信号；第二选择器电路按照特定状态检测电路提供的信号检测产生全循环序列的第二电路是处在可操作状态还是处在不可操作状态，如果产生全循环序列的第二电路处在不可操作状态则第二选择器电路选择第一选择器电路的输出，如果产生全循环序列的第二电路处在可操作状态则第二选择器电路选择第一选择器电路的输出。存储单元进一步还包括一个双向移位寄存器电路、一个第三选择器电路、和一个一位移位寄存器；该双向移位寄存器电路的结构类似于产生全循环序列的第二电路的双向 移位寄存器部分，并且连结到 X 译码器和 Y 译码器中的另一个译码器上，该双向移位寄存器电路在其前向输入端和反向输入端接收第二选择器电路的输出信号，这和产生全循环序列的第二电路类似，按照特定状态检测电路提供的信号使该双向移位寄存器电路处在不可操作状态，根据第一操作方式转接信号来转接该双向移位寄存器电路的操作方向；第三选择器电路按照特定状态检测电路提供的信号检测产生全循环序列的第二电路和双向移位寄存器电路是处在可操作状态还是处在不可操作状

态；当产生全循环序列的第二电路和双向移位寄存器电路处在不可操作状态时第三选择器电路选择第二选择器提供的输出；当产生全循环序列的第二电路和双向移位寄存器电路处在可操作状态时，第三选择器电路选择第二个第一操作方式转接信号；一位移位寄存器电路连接到X译码器和Y译码器之一上，一位移位寄存器接收第三选择器电路的输出信号。

按本发明的第十方面，在按本发明的第八方面的半导体集成电路器件中，该地址产生电路进一步还包括一个选择器电路，该选择器电路按照第一操作方式转接信号从产生全循环序列的第二电路提供的两个方向的输出信号中选择出一个输出信号。存储单元进一步还包括：一个一位移位寄存器电路，和一个双向移位寄存器电路；该一位移位寄存器电路连接到X译码器和Y译码器中的另一个译码器上，并接收第一选择器电路的输出信号；该双向移位寄存器的结构类似于产生全循环序列的第二电路的双向移位寄存器部分，并且连接到X译码器和Y译码器的另一个上，该双向移位寄存器电路在其前向输入端和反向输入端接收该选择器的输出信号，根据第一操作方式转接信号来转接该双向移位寄存器电路的操作方向。

按本发明的第十一方面，在按本发明的第一方面的半导体集成电路器件中，地址产生电路进一步还包括：一个辅助的特定状态检测电路，和选择装置；该辅助的特定状态检测电路检测产生全循环序列的第二电路内部的特定地址状态，并且如果产生全循环序列的第二电路处在除特定地址状态之外的状态则充许产生全循环序列的第一电路操作；该选择装置从特定状态检测电路和辅助特定状态检测电路中选择出一个电路，用作允许操作的电路。

按本发明的第十二方面，在按本发明的第一方面的半导体集成电路器件中，地址产生电路进一步还包括扫描路径选择装置，它可使产生全循环序列的第一和第二电路彼此串接以确定扫描路径，或者按另一种方式使产生全循环序列的第一电路与产生全循环序列的第二电路彼此隔开。

如以上所述，在按本发明的第一方面的半导体集成电路器件中，产生全循环序列的第一电路使X译码器和Y译码器之一的一个地址的所有的值都发生完全的、周期性的、和有规则的改变，在此之后产生全循环序列的第二电路允许X译码器和Y译码器中的另一个译码器的地址被修改。这就可很容易地发现X译码器和Y译码器中的哪一个译码器出了故障。另外，由于对存储器路的相同的位线或相同的字线是相继连续访问的，所以可精确进行存取时间检验。

在按本发明的第二方面的半导体集成电路器件中，地址产生电路的产生全循环序列的第一电路的第一移位寄存器部分的操作与每个存储器电路的第一移位寄存器电路的操作是相似的（即与预定的延迟位数同步，或者带有预定的延迟位数）。地址产生电路的产生全循环序列第二电路的第二移位寄存器部分的操作与每个存储器电路的第二移位寄存器电路的操作是相似的（即与预定的延迟位数同步，或者带有预定的延迟位数）。在这样一种结构中，和第一与第二移位寄存器部分的所有的位（即所有的寄存器）都直接连接到X译码器和Y译码器的所有的数字位（即数字端）的情况相比，减少了需要连接地址产生电路和存储器电路的接线数目。

按本发明的第三方面的半导体集成电路器件采用了选择器电路

和门电路。这就可能有选择性地向第一移位寄存器电路或向第二移位寄存器电路提供来自地址产生电路的信号。因此，向移位寄存器电路传递数据只经过一条数据传送线，因而大大地减少了连接地址产生电路和存储器电路所需的接线数目。

在按本发明第四方面的半导体集成电路器件中，使用了可容易转接数据的增量和数据的减量的产生全循环序列的双向电路来规定一个地址，产生全循环序列的第一电路使X译码器和Y译码器之一的一个地址的所有的值都发生完全的、周期性的、和有规则的改变，在此之后产生全循环序列的第二电路可修改X译码器和Y译码器中的另一个译码器的地址。这就能很容易地发现X译码器和Y译码器中的哪一个译码器出了故障。另外，由于对存储器电路的相同的位线或相同的字线是相继连续访问的，所以可精确地进行存取时间检验。

在按本发明的第五方面的半导体集成电路器件中，地址产生电路的产生全循环序列的第一电路的第一双向移位寄存器部分的操作和每个存储器电路的第一双向移位寄存器电路的操作是类似的（即和预定的延迟位数同步，或者带有预定的延迟位数）。地址产生电路的产生全循环序列的第二电路和第二双向移位寄存器部分的操作和每个存储器电路的第二双向移位寄存器电路的操作相似（即，和预定的延迟位数同步，或带有预定的延迟位数）。在这样一种结构中，和第一及第二双向移位寄存器部分的所有的位（即，所有的寄存器）都直接连接到X译码器和Y译码器的所有的数字位（数字端）上的情况相比，减少了连接地址产生电路和存储器电路所需的接线数目。

在按本发明的第六方面的半导体集成电路器件中，使用易于转接数据的增量和数据的减量的产生全循环序列的双向电路作为产生全循环序列的第一电路，并且使用产生全循环序列的一个一位电路作为产生全循环序列的第二电路，产生全循环序列的第一电路使X译码器和Y译码器之一的一个地址的所有的值都发生完全的、周期性的、和有规则的改变，并且在此之后产生全循环序列的第二电路又可修改X译码器和Y译码器中的另一个译码器的地址。这就可能很容易地发现X译码器和Y译码器当中的哪一个译码器出了故障。此外，由于对存储器电路的相同的位线或相同的字线是相继连续访问的，所以可精确地进行存取时间检验。

在按本发明的第七方面的半导体集成电路器件中，地址产生电路的产生全循环序列的第一电路的第一双向移位寄存器部分的操作和每个存储器电路的第一双向移位寄存器电路的操作类似（即，与预定的延迟位数同步，或者带有预定的延迟位数）。地址产生电路的产生全循环序列的第二个一位电路的操作与每个存储器电路的一位移位寄存器电路的操作类似（即，与预定的延迟位数同步，或带有预定的延迟位数）。在这样一种结构中，和双向移位寄存器部分及产生全循环序列的第二电路的所有位（即所有寄存器）都直接与X译码器和Y译码器的所有的数字位（即数字端）相连的情况相比，减少了连接地址产生电路和存储器电路所需的接线数目。特别是因为使用了多个选择器电路和门电路，所以有可能有选择地将来自地址产生电路的信号提供给双向移位寄存器部分和一位移位寄存器电路，并且有可能仅经过一条数据传输线就把数据传送给移位寄存器电路。因此极大地减少了连接地址产生电路和存储器电路所需

的接线数目。

在按本发明的第八方面的半导体集成电路器件中，将产生全循环序列的一个一位电路用作产生全循环序列的第一电路，并且将易于转接数据增量和数据减量的产生全循环序列的双向电路用作产生全循环序列的第二电路，产生全循环序列的第一电路使X译码器和Y译码器之一的一个地址的所有的值（二进制数值）都发生完全的、周期性的、和有规则的改变，在此之后产生全循环序列的第二电路允许修改X译码器和Y译码器当中的另一个译码器的地址。这就可能很容易地发现X译码器和Y译码器中的哪一个译码器出了故障。另外，由于对存储器电路的相同的位线或相同的字线是相继连续访问的，因此可精确地进行存取时间检验。

此外，由于将一个异或电路用作特定状态检测电路，所以构成的特定状态检测电路极其简单，大大减产了电路的面积。

在按本发明的第九和第十方面的半导体集成电路器件中，地址产生电路的产生全循环序列的第一个一位电路的操作和每个存储器电路的一位移位寄存器的操作类似（即，与预定的延迟位数同步，或者带有预定的延迟位数）。地址产生电路的产生全循环序列的第二电路的双向移位寄存器部分的操作和每个存储器电路的双向移位寄存器电路的操作类似（即，与预定的延迟位数同步，或者带有预定的延迟位数）。在这们一种结构中，和产生全循环序列的第一电路及双向移位寄存器部分的所有的位（即，所有的寄存器）都直接与X译码器和Y译码器的所有数字位（即数字端）相连的情况相比，减少了连接地址产生电路和存储器电路所需的接线的数目。

在按本发明的第九方面的半导体集成电路器件中，因为使用了

选择器电路，所以有可能有选择地把来自地址产生电路的信号提供给双向移位寄存器部分和一位移位寄存器电路，并且有可能只经过一条数据传输线就把数据传递到移位寄存器电路。因此大大地减少了连接地址产生电路和存储器电路所需的连线数目。

在按本发明第十一方面的半导体集成电路器件中，可以随意确定产生全循环序列的第一和第二电路中的哪一个电路首先变为可操作的电路。产生全循环序列的第一和第二电路中的一个电路使X译码器和Y译码器之一的一个地址的所有的值发生完全的、周期性的、和有规则的改变，并且在此之后产生全循环序列的第一和第二电路中的另一个电路允许修改X译码器和Y译码器中的另一个译码器的地址。这就可能很容易地发现X译码器和Y译码器当中的哪一个译码器出了故障。另外，由于对存储器电路的相同的位线或相同的字线是相继连续访问的，所以可精确地进行存取时间检验。

在按本发明第十二方面的半导体集成电路器件中，扫描路径选择装置可自由地确定是否用地址产生电路作扫描路径。因此，本发明第十二方面的半导体集成电路器件的应用范围很大。

因此，本发明的目的是提供一种半导体集成电路器件，例如存储器检验电路，该电路容易确定故障出自X译码器还是出自Y译码器，并且该电路有利于进行存取时间检验，即检验对相同的位线或相同的字线的连续访问操作。

从下述结合附图对本发明进行的详细描述中，本发明的这些目的和其它的一些目的、特征、方面、和优点都将变得更加清楚明白。

图 1 是按本发明的第一优选实施例的一种存储器检验电路的示意图；

图 2 表示按本发明的第一优选实施例的存储器检验电路中的每个寄存器值的变化；

图 3 是按本发明的第二优选实施例的存储器检验电路的示意图；

图 4 表示按本发明的第二优选实施例的存储器检验电路中的每个寄存器值的变化；

图 5 是按本发明的第三优选实施例的存储器检验电路的总体接线结构的示意图；

图 6 是按本发明的第三优选实施例的存储器检验电路的示意图；

图 7 表示按本发明的第三优选实施例的存储器检验电路中的每个寄存器值的变化；

图 8 是按本发明的第四优选实施例的存储器检验电路的示意图；

图 9 表示按本发明的第四优选实施例的存储器检验电路中的每个寄存器值的变化；

图 10 和 11 是按本发明的第五优选实施例的存储器检验电路的示意图；

图 12 表示按本发明的第五优选实施例的存储器检验电路中的每个寄存器值的变化；

图 13 和 14 是按本发明的第六优选实施例的存储器检验电路的示意图；

图 15 和 16 表示按本发明的第六优选实施例的存储器检验电路中的每个寄存器值的变化；

图 17 和 18 是按本发明的第七优选实施例的存储器检验电路的示意图；

图 19 和 20 是按本发明的第八优选实施例的存储器检验电路的示意图；

图 21 和 22 表示按本发明的第八优选实施例的存储器检验电路中的每个寄存器值的变化；

图 23 和 24 是按本发明的第九优选实施例的存储器检验电路的示意图；

图 25 和 26 是按本发明的第十优选实施例的存储器检验电路的示意图；

图 27 和 28 表示按本发明的第十优选实施例的存储器检验电路中的每个寄存器值的变化；

图 29 和 30 是按本发明的第十一优选实施例的存储器检验电路的示意图；

图 31 和 32 是按本发明的第十二优选实施例的存储器检验电路的示意图；

图 33 和 34 是按本发明的第十三优选实施例的存储器检验电路的示意图；

图 35 和 36 是按本发明的第十四优选实施例的存储器检验电路的示意图；

图 37 是按第一现有技术的存储器检验电路的示意图；

图 38 是按第二现有技术的存储器检验电路的示意图；

图 39 是按第三现有技术的存储器检验电路的示意图；以及

图 40 表示按第三现有技术的存储器检验电路中的每个寄存器值的变化。

〈第一优选实施例〉

图 1 表示出一个存储器检验电路，它是按本发明的第一优选实施例形成的半导体集成电路器件。按本发明的第一优选实施例的存储器检验电路可进行存储器电路检验，即在完全改变 Y 地址后可修改 X 地址。该第一优选实施例的存储器检验电路是通过连接如图 1 所示的地址产生电路 22 和准备检验的存储器电路 21 形成的。

存储器电路 21 是一个典型的存储器电路，它包括：具有由 32 个字“0”到“31”组成的存储区的一个存储单元 31、指定存储单元 31 的三位（XA2、XA1、XA0）的 X 地址的一个 X 译码器 32、和指定存储单元 31 的两位（YA1、YA0）的 Y 地址的 Y 译码器 33。

地址产生电路 22 由产生全循环序列的第一电路 36、特定状态检测电路 37、和产生全循环序列的第二电路 38 构成；该第一电路 36 产生要由 Y 译码器 33、访问的 Y 地址；特定状态检测电路 37 检测产生全循环序列的第一电路 36 是否已产生一个特定的 Y 地址（具体来说，为二进制数“01”）；第二电路 38 仅在特定状态检测电路 37 检测到产生全循环序列的第一电路 36 已产生了特定的 Y 地址（“01”）时才操作。

产生全循环序列的第一电路 36 是一个产生全循环序列的一个两位的电路。产生全循环的第一电路的结构很简单，只包括一个两位（A1、A0）的移位寄存器 41 和一个向移位寄存器 41 提供反馈

数据的反相器电路 42。

特定状态检测电路 37 由反相器电路 44 和与非电路门 45 构成；反相器电路 44 连接到产生全循环序列的第一电路 36 的移位寄存器 41 的最高有效位侧的寄存器（A1）；与非门 45 的一个输入端连到反相器电路 44，另一个输入端连接到产生全循环序列的第一电路 36 的移位寄存器 41 的最低有效位侧的寄存器（A0）。仅在移位寄存器 41 的最高有效位侧的寄存器（A1）为“0”、并且移位寄存器 41 的最低有效位侧的寄存器（A0）为“1”时（即，在产生全循环序列的第一电路 36 处在二进制的“01”状态时），特定状态检测电路 37 才向产生全循环序列的第二电路 38 提供一个信号“0”，从而才使产生全循环序列的第二电路可以操作。特定状态检测电路 37 还可以向产生全循环序列的第二电路 38 提供一个信号“1”，使产生全循环序列的第二电路 38 不可操作。

产生全循环序列的第二电路 38 是一个产生全循环序列的一个三位的电路，它由一个三位（A4、A3、A2）的移位寄存器 47 和一个向移位寄存器 47 提供数据的反馈反馈电路 48 构成。反馈电路 48 由一个或非电路 51 和两个异或电路 52、53 构成。或非电路 51 的一个输入端连到移位寄存器 47 的最高有效位寄存器（A4），或非电路 51 的另一个输入端连到移位寄存器 47 的中间位寄存器（A3）。异或电路 52 的一个输入端连到移位寄存器 47 的中间位寄存器（A3），异或电路 52 的另一个输入端连到移位寄存器 47 的最低有效位寄存器（A2）。异或电路 53 的一个输入端连到或非电路 51，异或电路 53 的另一个输入端连到异或电路 52。异或电路 53 的输出端连到移位寄存器 47 的最高有效位寄存器（A4）。

产生全循环序列的第一电路36的移位寄存器41的寄存器A1和A0对应于存储器电路21的Y译码器33的YA1和YA2。产生全循环序列的第二电路38的移位寄存器47的寄存器A4、A3和A2对应于存储器电路21的X译码器32的XA2、XA1和XA0。

〈操作〉

图2表示图1电路的一个操作过程。图2假定：在时间T=0时，一个地址信号被设定为A0=A1=A2=A3=A4=0。随着时间T的变化，地址也如表格地址栏中所示变化。由于产生了从0至31（2^5—1）这个范围的地址信号的所有的值，因此有可能访问该存储单元的所有的字。由表格的X地址栏和Y地址栏可以看出，Y地址的变化顺序是：0、2、3、、1、0、2、3、1，并且仅在Y地址由1变到0时X地址才发生变化。

由于X地址的修改是在完全改变了Y地址之后进行的，因此可高速进行存储器电路检验。当检测到一个误差并且要确定这个误差是出自X译码器还是出自Y译码器时，若在图2中的时间T=4—7时连续检测到这个误差时，则X译码器的地址“4”有毛病。若在时间T=2、6、10、14、18、22、26和30时发现误差，则Y译码器的地址“3”有毛病。于是，当误差是连续的，则X译码器出了故障；当误差是不连续的，则Y译码器出了故障。由于能很快发现哪一个译码器有故障，因此误差的检测极其迅速。

此外，由于对相同的位线或相同的字线是连续访问的，因此有可能在只改变Y地址的一个指定的条件下测量存取时间。这样做就消除了地址变化的另一个根源，因此可在相同的条件下进行精确的测量。

〈第二优选实施例〉

〈结　构〉

图 3 是按本发明第二优选实施例的存储器检验电路示意图。在图 3 中，用相同的标号代表和第一优选实施例的元件起相似作用的那些元件。按第二优选实施例的存储器检验电路完成的存储器电路检验操作是在完全改变 X 地址后修改 Y 地址。第二优选实施例的存储器检验电路是通过连接图 3 所示的地址产生电路 61 和准备检验的存储器电路 21 构成的。存储器电路 21 与先前参照第一优选实施例描述的存储器电路相同，这里不再进行描述。

地址产生电路 61 由产生全循环序列的第一电路 62、特定状态检测电路 63、和产生全循环序列的第二电路 64 构成；第一电路 62 用于产生要由存储器电路 21 的 X 译码器 32 访问的 X 地址；特定状态检测电路 63 用于检测产生全循环序列的第一电路 62 是否已产生一个特定的 X 地址（具体来说即二进制的“001”）；第二电路 64 仅在特定状态检测电路 63 检测到产生全循环序列的第一电路 62 已经产生了一个特定的 Y 地址（“01”）时才工作。

产生全循环序列的第一电路 62 是一个产生全循环序列的三位电路，它由三位（A4、A3、A2）的移位寄存器 66 和向移位寄存器 66 提供反馈数据的反馈电路 67 构成。反馈电路 67 由一个或非电路 71 和两个异或电路 72、73 构成。或非电路 71 的一个输入端连接到移位寄存器 66 的最高有效位寄存器（A4），或非电路 71 的另一输入端连接到移位寄存器 66 的中间位寄存器（A3）。异或电路 72 的一个输入端连到移位寄存器 66 的中间位寄存器（A3），异或电路 72 的另一输入端连到移位寄存器 66 的最低有效位寄存器

(A2)。异或电路 73 的一个输入端连到或非电路 71，异或电路 73 的另一输入端连到异或电路 72。异或电路 73 的输出端连到移位寄存器 66 的最高有效位寄存器 (A4)。

特定状态检测电路 63 由产生全循环序列的第一电路 62 的或非电路 71 和与非电路 74 构成；与非电路 74 的一个输入端连到或非电路 71，其另一个输入端连到移位寄存器 66 的最低有效位寄存器 (A2)。或非电路 71 还用作产生全循环序列的第一电路 62 的或非电路。在该结构中，当移位寄存器 66 的状态为 A4＝0、A3＝0、和 A2＝1 时，与非电路 74 的输出为 0，使产生全循环序列的第二电路 64 可操作。与非电路 74 在其它情况下输出 1，使产生全循环序列的第二电路 64 不可操作。

产生全循环序列的第二电路 64 是一个产生全循环序列的两位的电路，由两位 (A1、A0) 的移位寄存器 76 和向图 3 所示的移位寄存器 76 提供反馈数据的反馈电路 77 构成。

产生全循环序列的第一电路 62 的移位寄存器 66 的寄存器 A4、A3、A2 对应于存储器电路 21 的 X 译码器 32 的 XA2、XA1、XΛ0。产生全循环序列的第二电路 64 的移位寄存器 76 的寄存器 A1、Λ0 对应于存储器电路 21 的 Y 译码器 33 的 YA1、YA0。该电路结构在其它方面与第一优选实施例相同，这里不再介绍。

〈操　作〉

图 4 表示图 3 电路的操作过程。图 4 假定：在时间 T＝0 时，地址信号被设定为 A0＝A1＝A2＝A3＝A4＝0。

当时间 T 变化时，地址也要变化，如表格的地址栏所示。由于产生了一个地址信号自 0 至 31 (2^5—1) 范围的所有的值，因此

有可能访问该存储单元的所有的字。

由表格的X地址栏和Y地址栏可以看出，X地址的变化顺序是：0、4、2、5、6、7、3、1、0、4、2、5、6、7、3、1、……，并且仅在X地址从1变到0时Y地址才改变。

〈第三优选实施例〉

〈结　构〉

图5和6是按本发明第三优选实施例的存储器检验电路的示意图。在图6中，用相同的标号代表和第二优选实施例的元件起相似作用的那些元件。如图5所示，在按第三优选实施例的存储器检验电路中，将多个存储器电路21A、21A、21C连接成一个与图3所示第二优选实施例的地址产生电路61类似的地址产生电路81。

如图6所示，存储器电路21A、21B、21C都和第一及第二优选实施例的存储器电路21类似，但要对其进行修改使其还包括第一移位寄存器电路82和第二移位寄存器电路83。第一移位寄存器电路82连接到X译码器32，产生全循环序列的第一电路62的移位寄存器66的一个串行输入端连到第一移位寄存器电路82的一个串行输入端。因此，如果产生全循环序列的第一电路62的移位寄存器66和第一移位寄存器电路82有相同的初始值时，则移位寄存器66和第一移位寄存器电路82保持相同的数据，并且严格按相同的方式操作。第二移位寄存器电路83连到Y译码器33，产生全循环序列的第二电路64的移位寄存器76的一个串行输入端连到第二移位寄存器电路83的一个串行输入端。因此，若产生全循环序列的第二电路64的移位寄存器76和第二移位寄存器电路83具有相同的初始值，则移位寄存器76和第二移位寄存器电路83保持相同

的数据，并且严格按相同的方式操作。该电路结构的其它方面和第二优选实施例相同，这里不再介绍。

〈操　作〉

图 7 表示图 6 电路的操作过程。图 7 假定：在时间 T＝0 时，将地址信号设定为 A0＝A1＝A2＝A3＝A4＝0。还要假定：产生全循环序列的第一　第二电路 62、64 的移位寄存器 66、76 全都被清到 0。在这种条件下图 7 和图 4 完全相同。换言之，当时间 T 变化时，地址也随之变化，如表格中地址栏中所示。由于产生了自 0 到 31（2^5—1）范围的一个地址信号的所有的值，因此有可能访问存储单元中的所有的字。由表格的 X 地址栏和 Y 地址栏可以看出，X 地址按 0、4、2、5、6、7、3、1、0、4、2、5、6、7、3、1 的顺序变化，Y 地址仅在 X 地址由 1 变到 0 时才发生变化。

在图 6 的电路中，第一和第二移位寄存器在每个存储器电路中彼此相邻设置，存储器电路 21A、21B、21C 共用一个地址产生电路 81。

将地址产生电路 81 连到第一和第二移位寄存器 82 和 83 的信号线只有三条。即使将地址产生电路 81 连接到不止一个存储器电路（即，存储器电路 21A、21B、21C）上，这也不会增加每个存储器电路的接线数目，这又避免了复杂的接线结构。

〈第四优选实施例〉

〈结　构〉

图 8 是按本发明的第四优选实施例的存储器检验电路的示意图。在图 8 中，用相同的标号表示和第三优选实施例的元件起相似作用的那些元件。按第四优选实施例的存储器检验电路由地址产生

电路 81A 和存储器电路 21D、 21E 和 21F 构成；地址产生电路 81A 和图 6 所示的第三优选实施例的地址产生电路 81 相同，其改进只是还包括一个选择器电路 86；存储器电路 21D、21E、21F 和第三优选实施例的存储器电路 21A、21B、21C 相同，只是每个存储器电路还包括一个用作门电路的与电路 87。

选择器电路 86 是在和一个操作停止信号相同的信号的控制下工作的，该操作停止信号加到产生全循环序列的第二电路 64。选择器电路 86 的输入端连到产生全循环序列的第一和第二电路 62 和 64 上。当产生全循环序列的第二电路 64 处在可操作状态时，选择器电路 86 选择产生全循环序列的第二电路 64 的输出。

与电路 87 在产生全循环序列的第二电路 64 可操作时向第一移位寄存器电路 82 强行提供“0”。相反，当产生全循环序列的第二电路 64 不可操作时，允许选择器电路 86 的输出进入第一移位寄存器电路 82。选择器电路 86 的输出还连到第二移位寄存器电路 83，从而当产生全循环序列的第二电路 64 可操作时可将传送的数据提供给第二移位寄存器电路 83。在图 8 中，存储器电路 21D、21E、21F 并行连接到一个地址产生电路 81A，和图 5 的存储器电路 21A、21B、21C 类似。该电路结构在其它方面与第三优选实施例相同，这里不再描述。

〈操　作〉

图 9 表示图 8 电路的操作过程。图 9 假定：在时间 T＝0 时，将地址信号设定为 A0＝A1＝A2＝A3＝A4＝0，还假定：产生全循环序列的电路 62、64 的移位寄存器 66、76 都被清为 0。在这种条件下图 9 和图 7 完全相同。换言之，当时间 T 变化时，地址也随

之变化，如表格的地址栏所示。

由于产生了从 0 到 31（2^5—1）范围的地址信号的所有的值，因此有可能访问存储器单元的所有的字。

从表格的 X 地址栏和 Y 地址栏可以看出，X 地址的变化顺序是 0、4、2、5、6、7、3、1、0、4、2、5、6、7、3、1、……，并且仅在 X 地址从 1 变到 0 时 Y 地址才改变。

在图 8 的电路中，第一、第二移位寄存器和门电路（与电路）在每个存储器电路中彼此靠近设置，存储器电路 21D、21E、21F 共用一个地址产生电路 81A。

地址产生电路 81A 仅通过两根信号线和第一及第二移位寄存器 82 和 83 相连。这就使接线结构比图 6 所示的第三优选实施例的电路更简单。

〈第五优选实施例〉

〈结　构〉

图 10 和 11 是按本发明第五优选实施例的存储器检验电路的示意图。当图 10 和 11 沿虚线 A—A 相互结合时，图 10 和 11 就形成一个完整的图。在图 10 和 11 中，用相同的标号表示和第四优选实施例的元件起相似作用的那些元件。按第五优选实施例的存储器检验电路的特定状态检验电路 63A 类似于按第四优选实施例的地址产生电路 81A 的特定状态检测电路 63，但包括一个如图 10 和 11 所示的反相器电路 88。即，反相器电路 88、或非电路 71、和与非电路 74 构成了特定状态检测电路 63A。当特定状态检测电路 63A 检测到的状态中产生全循环序列的第一电路 62 的移位寄存器 66 的所有数位都变为 0 时，产生全循环序列的第二电路 64 和第二移位

寄存器电路 83 都变为可操作的。虽然在图 8 所示的第四优选实施例中门电路仅由一个与电路 87 构成，但第五优选实施例的门电路 87A 却是由一个反相器电路 91 和一个或电路 92 构成的。仅在产生全循环序列的第二电路 64 是可操作时，门电路 87A 才强行向第一移位寄存器电路 82 提供“0”。相反，当产生全循环序列的第二电路 64 不可操作时，允许选择器电路 86 的输出进入第一移位寄存器电路 82。选择器电路 86 的输出还连到第二移位寄存器电路 83，因此在产生全循环序列的第二电路 64 可操作时能将传送的数据提供给第二移位寄存器电路 83。在图 10 和 11 中，存储器电路 21G、21H、21I 像图 5 的存储器电路 21A、21B、21C 那样并行连接到一个地址产生电路 81B 上。该电路结构的其它方面和第四优选实施例相同，这里不再描述。

〈操　作〉

图 12 表示图 10 和 11 的电路的操作过程。图 12 假定：在时间 T = 0 时，将地址信号设定为 A4 = 1，A0 = A1 = A2 = A3 = 0。还假定：产生全循环序列的第一电路 62 的移位寄存器 66 被设定为“100”，产生全循环序列的第二电路 64 的移位寄存器 76 被设定为“00”。

当时间 T 变化时，地址也随之变化，如表格的地址栏所示。由于产生了从 0 到 31 (2^5—1) 范围的一个地址信号的所有的值，所以有可能访问该存储单元的所有的字。

由表格的 X 地址栏和 Y 地址栏可以看出，X 地址的变化顺序为 4、2、5、6、7、3、1、0、4、2、5、6、7、3、1、0，并且仅在地址从 0 变到 4 时 Y 地址才改变。

在图 10 和 11 的电路中，第一及第二移位寄存器 82 及 83、和门电路 87A 在每一个存储器电路 21G、21H、21I 中彼此靠近设置，存储器电路 21G、21H、和 21I 共用一个地址产生电路 81B。

地址产生电路 81B 仅通过两条信号线和第一、第二移位寄存器 82、83 相连。这使接线结构比图 6 所示的第三优选实施例的电路还要简单。这一结果和图 8 所示的第四优选实施例的存储器检验电路产生的结果相同。

〈第六优选实施例〉

〈结　构〉

图 13 和 14 是按本发明第六实施例的存储器检验电路的示意图。当沿虚线 B—B 将图 13 和 14 彼此组合在一起时就形成一个完整的图。按第六优选实施例的存储器检验电路包括一个地址产生电路 81C，地址产生电路 81C 与图 3 所示的第二优选实施例的地址产生电路 81 相同，只是电路 81C 要连到产生全循环序列的两个双向电路 95 和 96 上，而不是连到产生全循环序列的电路 62 和 64 上。和第二优选实施例不同，检测产生全循环序列的第一双向电路 95 的特定状态的特定状态检测电路 63B 是由或非电路 71A、异或电路 97、和与非电路 74 构成的。在图 13 和 14 中，移位寄存器 101 和 102 设在产生全循环序列的双向电路 95 和 96 中，选择器组 103 和 104 用于转换移位寄存器 101 和 102 的操作方向。反馈电路 67A 和 67B 在产生全循环序列的第一双向电路 95 中沿两个方向向移位寄存器 101 提供反馈（第一双向反馈电路）。反馈电路 67A 和 67B 的或非电路记为 71A 和 71B。反馈电路 67 和 67B 的异或电路记为 72A、72B、73A 和 73B。反相器电路 77A 和 77B 起反馈电路的作

用，在产生全循环序列的第二双向电路 96 中沿两个方向向移位寄存器 102 提供反馈（第二双向反馈电路）。反馈电路 67A、67B、77A、77B 的结构都和第二优选实施例中所用的结构相同，只是它们要沿两个方向连接到移位寄存器 101 和 102（即它们要作为反馈电路对对称设置）。反馈电路 67A 的或非电路 71A 用作特定状态检测电路 63B 的或非电路，如先前曾描述过的。

通过信号 CHDIR1 控制产生全循环序列的第一双向电路 95 的操作方向。当信号 CHDIR1 为“0”时，产生全循环序列的第一双向电路 95 通过向右移动数据产生向前的一个整个循环系统。当信号 CHDIR1 为“1”时，产生全循环序列的第一双向电路 95 通过向左移动数据产生反向的一个整个循环系统。产生全循环序列的第二双向电路 96 的操作方向是由信号 CHDIR2 控制的。当信号 CHDIR2 为“0”时，产生全循环序列的第二双向电路 96 通过向右移动数据产生向前的一个整个循环系统。当信号 CHDIR2 为“1”时，产生全循环序列的第二双向电路 96 通过向左移动数据产生反向的一个整个循环系统。

特定状态检测电路 63B 的异或电路 97 也接收信号 CHDIR1。因此，当信号 CHDIR1 为“0”时特定状态检侧电路 63B 检测的是“001”；当 CHDIR1 为“1”时，检测电路 63B 检测的是“000”。

〈操　作〉

图 15 和 16 表示图 13 和 14 的电路的操作过程。图 15 表示 CHDIR1 = 0 和 CHDIR2 = 0 时的操作，图 16 表示 CHDIR1 = 1 和 CHEIR2 = 1 时的操作。虽然有可能设定 CHDIR1 = 0 和 CHDIR2 = 1，或者设定 CHDIR1 = 1 和 CHDIR2 = 0，但由于结果相同，这里

没有进行描述。

图 15 假定：在时间 T＝0 时，将地址信号设定为 A0＝A1＝A2＝A3＝A4＝0。在时间 T 变化时，地址也随之改变，如表格的地址栏所示。

由于产生了自 0 至 31 (2^5—1) 范围的一个地址信号的所有的值，所以有可能访问该存储单元的所有的字。

由图 15 的 X 地址栏和 Y 地址栏可以看出，X 地址的变化顺序是：0、4、2、5、6、7、3、1、0、4、2、5、6、7、3、1、……，并且仅当 X 地址自 1 变为 0 时 Y 地址才改变。

图 16 假定：在时间 T＝0 时，将地址信号设定为 A2＝A0＝1 和 A1＝A3＝A4＝0。当时间 T 变化时，地址也随之改变，如表格中地址栏所示。

由于产生了从 0 至 31 (2^5—1) 范围的一个地址信号的所有的值，所以有可能访问该寄存单元的所有的字。

由图 16 的 X 地址栏和 Y 地址栏可以看出，X 地址的变化顺序是：1、3、7、6、5、2、4、0、1、3、7、6、5、2、4、0、……，并且仅当 X 地址从 0 变到 1 时 Y 地址才改变。

通过比较图 15 和 16 和地址栏可以看出，所产生的地址的顺序刚好相反。

〈第七优选实施例〉

〈结　构〉

图 17 和 18 是本发明第七实施例的存储器检验电路的示意图。当沿虚线 C—C 彼此组合图 17 和 18 时就形成一个完整的图。按第七实施例的存储器检验电路类似于包括产生全循环序列的双向电路

的由图 13 和 14 所示的第六优选实施例的存储器检验电路，只是每个存储器电路像图 8 所示的第四优选实施例以及如图 10 和 11 所示的第五优选实施例那样包括一个门电路和一个移位寄存器电路。在图 17 和 18 中，用相同的标号表示和第四到第六优选实施例的元件起相似作用的那些元件。

按本发明第七优选实施例的存储器检验电路的地址产生电路 81D 还包括第一选择器电路 111，它选择用来检索对应于产生全循环序列的第一双向电路 95 的操作方向的输出的位置。地址产生电路 81D 还包括第二选择器电路 112，它选择用来检索对应于产生全循环序列的第二双向电路 96 的操作方向的输出的位置。第三选择器电路 113 作为和图 8 或图 10 及 11 所示的选择器电路 86 相对应的元件与选择器电路 111 和 112 相连。

由于产生全循环序列的电路 95 和 96 都是双向的，所以连接到存储器电路 21J、21K、21L 的 X 译码器 32 和 Y 译码器 33 的移位寄存器电路也是双向电路（即，第一双向移位寄存器电路 114 和第二双向移位寄存器电路 115 都是双向的）。设置一对门电路（第一门电路 116 和第二门电路 117）以便从两个方向向第一双向移位寄存器电路 114 提供数据。

第一双向移位寄存器电路 114 由一个三位的双向移位寄存器 121 和一个选择器组 122 构成；双向移位寄存器 121 的结构类似于产生全循环序列的第一双向电路 95 的移位寄存器 101；选择器组 122 的结构类似于产生全循环序列的第一双向电路 95（用于转接产生全循环序列的第一双向电路 95 的操作方向）的选择器组 103。

第二双向移位寄存器电路 115 由一个两位的双向移位寄存器

123 和一个选择器组 124 构成；双向移位寄存器 123 的结构类似于产生全循环序列的第二双向电路 96 的移位寄存器 102；选择器组 124 的结构类似于产生全循环序列的第二双向电路 96（用于转接双向移位寄存器 123 的操作方向）的选择器组 104。

第一门电路 116 由一个与电路构成。第一门电路 116 的一个输入端连到第三选择器 113，第一门电路 116 的另一输入端连到特定状态检测电路 63B 的与非电路 74。

第二门电路 117 由一个反相器电路 125 和一个或电路 126 构成。反相器电路 125 的一个输入端连到特定状态检测电路 63B 的与非电路 74，或电路 126 的一个输入端连到反相器电路 125，或电路 126 的另一个输入端连到第三选择器电路 113。

在具有上述结构的存储器检验电路中，当适当设置移位寄存器的初始值时，图 17 和 18 的电路的操作情况就类似于图 15 和 16 的电路。

〈第八优选实施例〉

〈结　构〉

图 19 和 20 是按本发明第八优选实施例的存储器检验电路的示意图。在图 19 和 20 中，用相同的标号表示和图 13 及 14 所示的第六优选实施例的元件起相似作用的那些元件。按第八优选实施例的存储器检验电路类似于图 13 和 14 的电路，只是存储器电路 21M 的 Y 译码器 33A 是一个一位的（二进制的）译码器，并且存储单元 31A 的存储区由从 0 到 15 的 16 个字组成。因此，地址产生电路 81E 的产生全循环序列的第二电路 96A 是一个产生全循环序列的一位电路（等效于一个一位的计数器）。

产生全循环序列的第二电路96A由一个寄存器127（一位的移位寄存器）和一个用作反馈电路的反相器128构成。寄存器127的一个数据输入端连到反相器128的输出端，寄存器127的操作控制输入端连到特定状态检测电路63B的与非电路74，寄存器127的数据输出端连到存储器电路21M的Y译码器33A的地址输入端（A0）。反相器128的输入端连接到寄存器127。该电路结构的其它方面与第六优选实施例相同，这里不再介绍。

〈操　作〉

图21和22表示图19和20的电路的操作情况。图21表示CHDIR1＝0时的操作过程，图22表示CHDIR1＝1时的操作过程。图21假定：在时间T＝0时将地址信号设定为A0＝A1＝A2＝A3＝0。当时间T变化时，地址也随之改变，如表格的地址栏所示。由于产生了从0到15（2^4—1）的一个地址信号的所有的值，所以有可能访问该存储单元的所有的字。

由图21的表格中的X地址栏和Y地址栏可以看出，X地址的变化顺序是：0、4、2、5、6、7、3、1、0、4、2、5、6、7、3、1、……，并且仅当X地址从1变到0时Y地址才改变。

图22假定：在时间T＝0时将地址信号设定为A1＝A0＝1和A2＝A3＝0。当时间T变化时，地址信号也随之变化，如表格的地址栏所示。

由于产生了自0至15（2^4—1）的地址信号的所有的值，所以有可能访问该存储单元的所有的字。从图22表格的X地址栏和Y地址栏可以看出，X地址的变化顺序是：1、3、7、6、5、2、4、0、1、3、7、6、5、2、4、0、……，并且仅在X地址由0变到1

时 Y 地址才改变。

通过比较图 21 和 22 的地址栏可以看出，它们的地址顺序刚好相反。

〈第九优选实施例〉

图 23 和 24 是按本发明第九优选实施例的存储器检验电路的示意图。在图 23 和 24 中，和图 17 及 18 所示的第七优选实施例的元件以及和图 19 及 20 所示的第八优选实施例的元件起相似作用的元件都用相同的标号表示。当沿虚线 E—E 组合图 23 和 24 时就形成一个完整的图。按第九优选实施例的存储器检验电路包括一个存储器电路 21N 和称位寄存器 114 及 131；存储器电路 21 与图 19 和 20 所示的第八优选实施例的存储器电路 21M 相同，只是还包括门电路 116 及 117；移位寄存器 114 及 131 与第七优选实施例相同。第九优选实施例的地址产生电路 81F 与第八优选实施例的地址产生电路 81E 相同，其改进在于包括类似于在第七优选实施例中使用的选择器电路的选择器电路 111 和 113A。但由于产生全循环序列的第二电路 96A 为一位的结构，所以移位寄存器电路 131（下面称为“一位移位寄存器电路 131”）也仅由一位的寄存器构成。由于数据传送方向无关紧要，所以没有和第七优选实施例所用的第二选择器电路 112 对应的选择器电路。这就可将选择器电路 113A 的输入端“0”直接连到产生全循环序列的第二电路 96A 的反相器 128 上。第九优选实施例的电路结构的其它方面与第八优选实施例的电路结构相同。具有上述这样的结构的存储器检验电路中，当适当设置移位寄存器的初始值时，图 23 和 24 的电路的操作情况与图 21 和 22 的电路类似。

〈第十优选实施例〉

〈结　构〉

图 25 和 26 是按本发明第十实施例的存储器检验电路的示意图。在图 25 和 26 中，用相同的标号表示和图 19 及 20 所示的第八优选实施例的元件起相似作用的那些元件。当沿虚线 F—F 彼此组合图 25 和 26 时就形成一个完整的图。在按第十优选实施例的存储器检验电路的地址产生电路 81G 中，使用和第八优选实施例的产生全循环序列的第二电路 96A 类似的一个产生全循环序列的一位电路作为产生全循环序列的第一电路 95A 以产生 Y 地址。使用和第八优选实施例的产生全循环序列的第一双向电路 95 类似的产生全循环序列的一个双向电路作为产生全循环序列的第二电路 96B，用于产生 X 地址。使用一个异或电路作为特定状态检测电路 63C，以便检测产生全循环序列的第一电路 95A 的输出的特定状态（Y 地址值），并且使产生全循环序列的第二电路 96B 不可操作。异或电路 63C 的一个输入端接收来自外部的信号 CHDIR2。异或电路 63C 的另一输入端连到产生全循环序列的第二电路 95A 的反相器 128 的输出端。因此，信号 CHDIR2 就规定了异或电路 63C 的检测条件。该电路结构的其它方面与第八优选实施例相同，这里不再描述。

〈操　作〉

图 27 和 28 表示图 25 和 26 的电路的操作过程。图 27 表示 CHDIR1 = 0 和 CHDIR2 = 0 时的操作，图 28 表示 CHDIR1 = 1 和 CHDIR2 = 1 时的操作。图 27 假定：在时间 T = 0 时将地址信号设定为 A0 = A1 = A2 = A3 = 0。在这种情况下，仅当第二操作方式转

接信号（CHDIR2）与产生全循环序列的一位的第一电路95A的地址状态符合时，才使产生全循环序列的第二电路96B不可操作。具体来说，如图27和28所示，当时间T变化时地址的变化如表格的地址栏所示。由于产生了从0至15（2^4—1）的一个地址的所有的值，因此有可能访问该存储单元的所有的字。

由图27的表格的X地址栏和Y地址栏可以看出，Y地址的变化顺序为：0，1，0，1，……并且仅当Y地址由1变到0时X地址才改变。

图28假定：在时间T=0时将地址信号设定为A1=A0=1和A2=A3=0。当时间T变化时，地址的变化如表格的地址栏所示。由于产生了自0至15（2^4—1）的一个地址的所有的值，所以有可能访问该存储单元的所有的字。

从图28的表格的X地址栏和Y地址栏可以看出，Y地址的变化顺序为1、0、1、0、……，并且仅当Y地址从0变到1时X地址才改变。

通过比较图27和28的地址栏可以看出，它们的地址顺序刚好相反。

〈第十一优选实施例〉

图29和30是按本发明第十一实施例的存储器检验电路的示意图。在图29和30中，用相同的标号表达和第九及第十优选实施例的元件起相似作用的那些元件。当沿虚线G—G组合图29和30时就形成一个完整的图。按第十一优选实施例的存储器检验电路包括一个存储器电路21O、一个三位的双向移位寄存器电路114、和一个选择器电路132；如图29和30所示的存储器电路21O与图26

所示的第十优选实施例的存储器电路 21N 相同，其改进在于还包括一个与产生全循环序列的一位的第一电路 95A 相对应的一位的移位寄存器电路 131；移位寄存器 114 对应于产生全循环序列的第二电路 96B；选择器电路 132 选择要提供给一位的移位寄存器电路 131 的数据。第十一实施例的地址产生电路 81G 与图 25 及 26 所示的第十实施例的地址产生电路 81F 相同，其改进在于还包括两个选择器电路 111 和 113A。

选择器 111 选择用于检索对应于产生全循环序列的第二电路 96B 的操作方向的输出的位置。选择器电路 111 的两个输入端都连到产生全循环序列的第二电路 96B 的反馈电路 67A 及 67B 的异或电路 73A 及 73B 的输出端。信号 CHDIR1 提供给选择器电路 111 的转接控制端。

选择器电路 113A 按照特定状态检测电路 63C 提供的信号在产生全循环序列的第二电路 95A 的反相器 128 的输出信号和选择器电路 111 的输出信号中选择出任何一种输出信号。

选择器电路 132（与图 8 或 10 的结构中所用的门电路相对应）按照特定状态检测电路 63C 提供的信号从外部提供的信号 CHDIR2 和选择器电路 113A 提供的信号中选择出任何一种信号。当产生全循环序列的第二双向电路 96B 和第一双向移位寄存器电路 114 都不可操作时，选择器电路 132 允许选择器电路 113A 的输出进入一位的移位寄存器电路 131。相反，当产生全循环序列的第二双向电路 96B 和第一双向移位寄存器电路 114 都可操作时，选择器电路 132 允许信号 CHDIR2 进入一位的移位寄存器 131 中。该电路结构的其它方面和第十优选实施例相同，这里不再描述。

在具有如上所述的这样一种结构的存储器检验电路中，当适当设定移位寄存器的初始值时，图 29 和 30 的电路的操作情况和图 27 及 28 的电路相似。

〈第十二优选实施例〉

图 31 和 32 是按本发明第十二优选实施例的存储器检验电路的示意图。在图 31 和 32 中，用相同的标号表示和图 29 和 30 所示的第十一优选实施例的允许起相似作用的那些元件。当沿虚线 H—H 组合图 31 和 32 时就形成一个完整的图。按第十二优选实施例的存储器检验电路的操作过程和图 29 及 30 所示的第十一优选实施例的电路相似。如图 31 和 32 所示，将产生全循环序列的一位电路 95A 的输出直接提供给一位的移位寄存器电路 131。选择器电路 111 的输出一起加到第一双向移位寄存器 114 的前向输入端和反向输入端。在图 31 中，标号 81H 代表一个地址产生电路。图 32 中的标号 21P 代表一个存储器电路。该电路结构的其它方面与图 29 和 30 中所示的第十一优选实施例的电路相同，这里不再描述。

在具有上述这样一种结构的存储器检验电路中，当适当设定移位寄存器的初始值时，图 31 及 32 的电路的操作情况和图 29 及 30 类似。

〈第十三优选实施例〉

〈结　构〉

图 33 和 34 是按本发明第十三优选实施例的存储器检验电路的示意图。在图 33 和 34 中，用相同的标号表示和图 3 所示的第二优选实施例的元件以及图 1 所示的第一优选实施例的元件起相似作用的那些元件。按第十三优选实施例的存储器检测电路的结构能够按

和第一优选实施例中实现的功能有关的方式工作，并且能够按和第二优选实施例实现的功能有关的方式工作。即，第十三优选实施例和第二优选实施例的相似之处是：产生全循环序列的第一电路62包括三位的移位寄存器66和由一个或非电路71及两个异或电路72、83构成的反馈电路67，而产生全循环序列的第二电路64包括两位的移位寄存器76和用作反馈电路的反相器电路77。和第二优选实施例的不同之处是使用了特定状态检测电路对，即，特定状态检测电路63用于检测产生全循环序列的第一电路62的输出的特定状态（X地址值）并使产生全循环序列的第二电路64不可操作，而特定状态检测电路37（辅助的特定状态检测电路）用于检测产生全循环序列的第二电路64的输出的特定状态（Y地址值）并使产生全循环序列的第一电路62不可操作。通过从外部向有关的与电路141和142提供控制信号MODE1和MODE2可有选择地使特定状态检测电路37和63之一可操作。在图33中，标号61A代表一个地址产生电路。该电路结构的其它方面和第二优选实施例的电路结构相同，这里不再介绍。

〈操　作〉

在上述这样一种电路结构中，当MODE1＝1并且MODE2＝0时，产生全循环序列的第二电路64总是可操作的，因而由产生全循环序列的第二电路64的这个状态限定了的产生全循环序列的第一电路62将按如图2所示的方式操作。

另一方面，当MODE1＝0并且MODE2＝1时，产生全循环序列的第一电路62总是可操作的，因而由产生全循环序列的第一电路62的状态限定了的产生全循环序列的第二电路64按如图4所示

的方式操作。

如以上所述，在第十三优选实施例中，有可能根据需要来进行一种检验，即或者先完全改变 Y 地址而后再修改 X 地址，或者先完全改变 X 地址而后再修改 Y 地址。

〈第十四优选实施例〉

〈结　构〉

图 35 和 36 是按本发明第十四优选实施例的存储器检验电路的示意图。在图 35 和 36 中，用相同的标号代表和如图 33 和 34 所示的第十三优选实施例的元件起相似作用的那些元件。按第十四优选实施例的存储器检验电路包括产生全循环序列的电路 62A、64A 和反馈电路 67、77；电路 62A、64A 和第十三优选实施例的产生全循环序列的电路 62、64 相同，其改进在于包括设在移位寄存器 66 和 76 之间的选择器电路 145、146。因此，产生全循环序列的电路 62A 和 64A 可进行扫描。在图 35 中，标号 SI 为串行输入引线，标号 SO 为串行输出引线，标号 SM 为移位方式控制引线。该电路结构在其它方面与第十三优选实施例相同，这里不再介绍。

〈操　作〉

当将“0”提供给移位方式控制引线 SM 时，第十四优选实施例的电路的操作情况类似于第十三优选实施例的电路。当将“1”提供给移位方式控制引线 SM 时，则从串行输入引线 SI 到串行输出引线 SO 就建立了一个串行的路径。如果在将“1”提供给移位方式控制引线 SM 时 MODE1 = MODE2 = 0，则设在产生全循环序列的两个电路 62A 和 64A 之间的移位寄存器变为可操作的，因而有可能进行串行移位操作。

由于产生全循环序列的电路 62A 和 64A 具有扫描功能，因此有可能通过串行移位操作给产生全循环序列的电路 62A 和 64A 设置可选择的初始值。

借助于为产生全循环序列的电路的每个移位寄存器设置的置位或复位装置就可以设置这些初始值。

〈改进〉

(1) 虽然前述的本发明只限于存储器检验电路，但本发明可应用于任何顺序地改变地址的半导体集成电路器件上。

(2) 产生全循环序列的完整的电路（如在上述优选实施例中使用的那些产生全循环序列的电路）可周期性地、有规则地产生一个地址的所有的值，同时又能顺序地改变该地址的这些值，这种产生全循环的完整的电路可由产生全循环序列的不完整的电路（即，如 LFSR 之类的电路）代替，产生全循环序列的这种不完整的电路可周期性地和有规则地产生一个地址的某些值，同时又可顺序地改变该地址的这些值。在这种情况下，LFSR 将产生除每个内部移位寄存器的一个全零值（全“0”值）以外的所有地址。另外，可将产生全循环序列的电路用于 X 地址，并将 LPSR 用于 Y 地址，反之亦然。

(3) 第十四优选实施例改进第十三优选实施例的产生全循环序列的电路 62 和 64，使该产生全循环序列的电路具有扫描功能。对于用在第一到第十二优选实施例中的产生全循环序列的电路也可进行这种改进，使它们也具有扫描功能。

(4) 虽然在第十优选实施例中使用异或电路作为特定状态检测电路 63C，但也可使用具有相反功能的电路（即，同门电路，如或

非电路）代替。在这种情况下，仅在第二操作方式转接信号(CHDIR2）与产生全循环序列的一位的第一电路的地址状态符合时才使产生全循环序列的第二双向电路96B不可操作。

虽然已经详细地描述了本发明，但上述描述的所有方面都是说明性的，并非限制性的。显然，在不偏离本发明的范围的条件下还可能设计出许多其它的改进和变化。

说　明　书　附　图

图 1

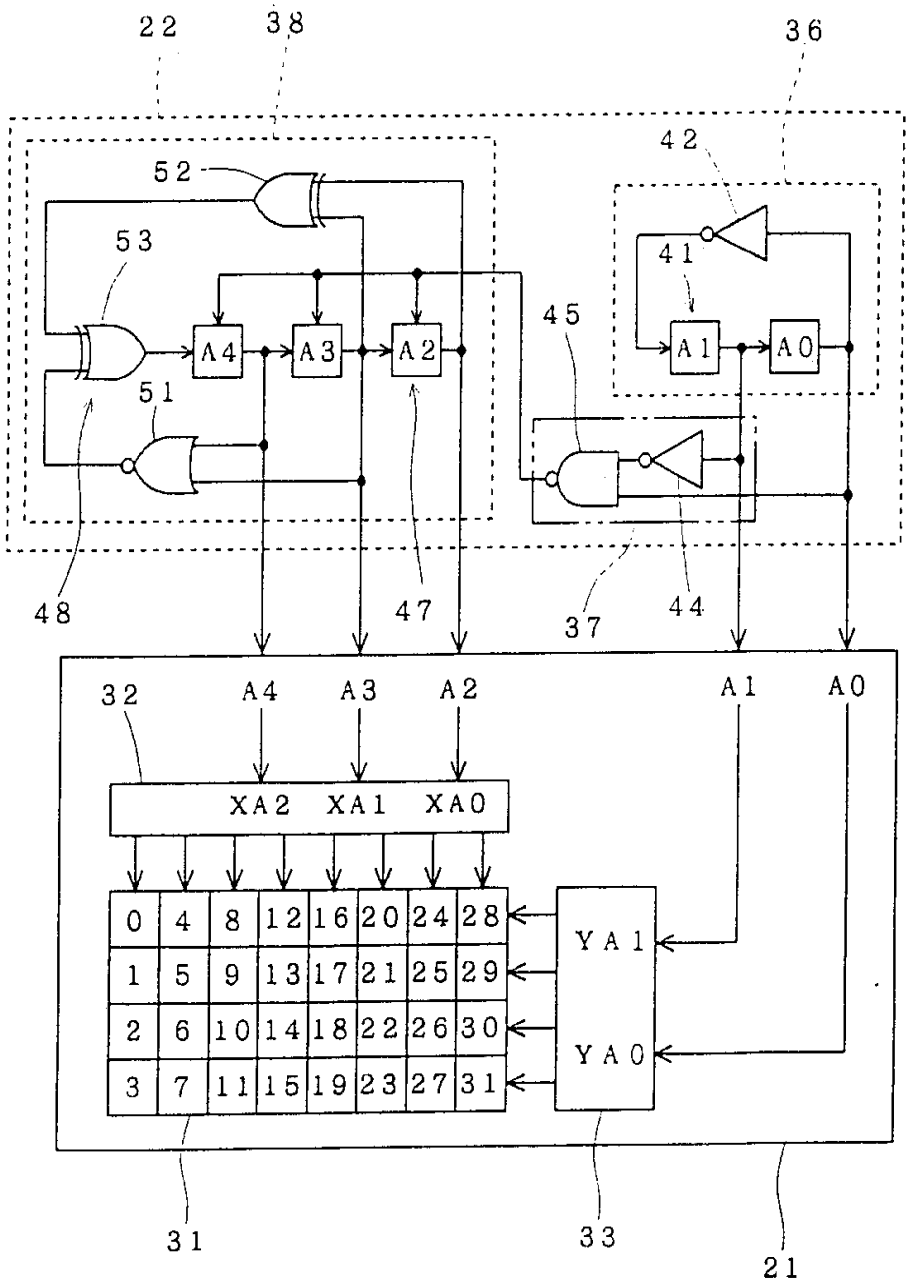

22
38
36
42
52
53
41
45
A4
A3
A2
A1
A0
51
48
47
37
44
32
A4
A3
A2
A1
A0
XA2
XA1
XA0
0 4 8 12 16 20 24 28
1 5 9 13 17 21 25 29
2 6 10 14 18 22 26 30
3 7 11 15 19 23 27 31
YA1
YA0
31
33
21

图 2

时间 T	A4 (XA2)	A3 (XA1)	A2 (XA0)	A1 (YA1)	A0 (YA0)	地址 A4～0 （十进制）	X 地址 XA2～0 （十进制）	Y 地址 YA1～0 （十进制）
0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	2	0	2
2	0	0	0	1	1	3	0	3
3	0	0	0	0	1	1	0	1
4	1	0	0	0	0	16	4	0
5	1	0	0	1	0	18	4	2
6	1	0	0	1	1	19	4	3
7	1	0	0	0	1	17	4	1
8	0	1	0	0	0	8	2	0
9	0	1	0	1	0	10	2	2
10	0	1	0	1	1	11	2	3
11	0	1	0	0	1	9	2	1
12	1	0	1	0	0	20	5	0
13	1	0	1	1	0	22	5	2
14	1	0	1	1	1	23	5	3
15	1	0	1	0	1	21	5	1
16	1	1	0	0	0	24	6	0
17	1	1	0	1	0	26	6	2
18	1	1	0	1	1	27	6	3
19	1	1	0	0	1	25	6	1
20	1	1	1	0	0	28	7	0
21	1	1	1	1	0	30	7	2
22	1	1	1	1	1	31	7	3
23	1	1	1	0	1	29	7	1
24	0	1	1	0	0	12	3	0
25	0	1	1	1	0	14	3	2
26	0	1	1	1	1	15	3	3
27	0	1	1	0	1	13	3	1
28	0	0	1	0	0	4	1	0
29	0	0	1	1	0	6	1	2
30	0	0	1	1	1	7	1	3
31	0	0	1	0	1	5	1	1

图 3

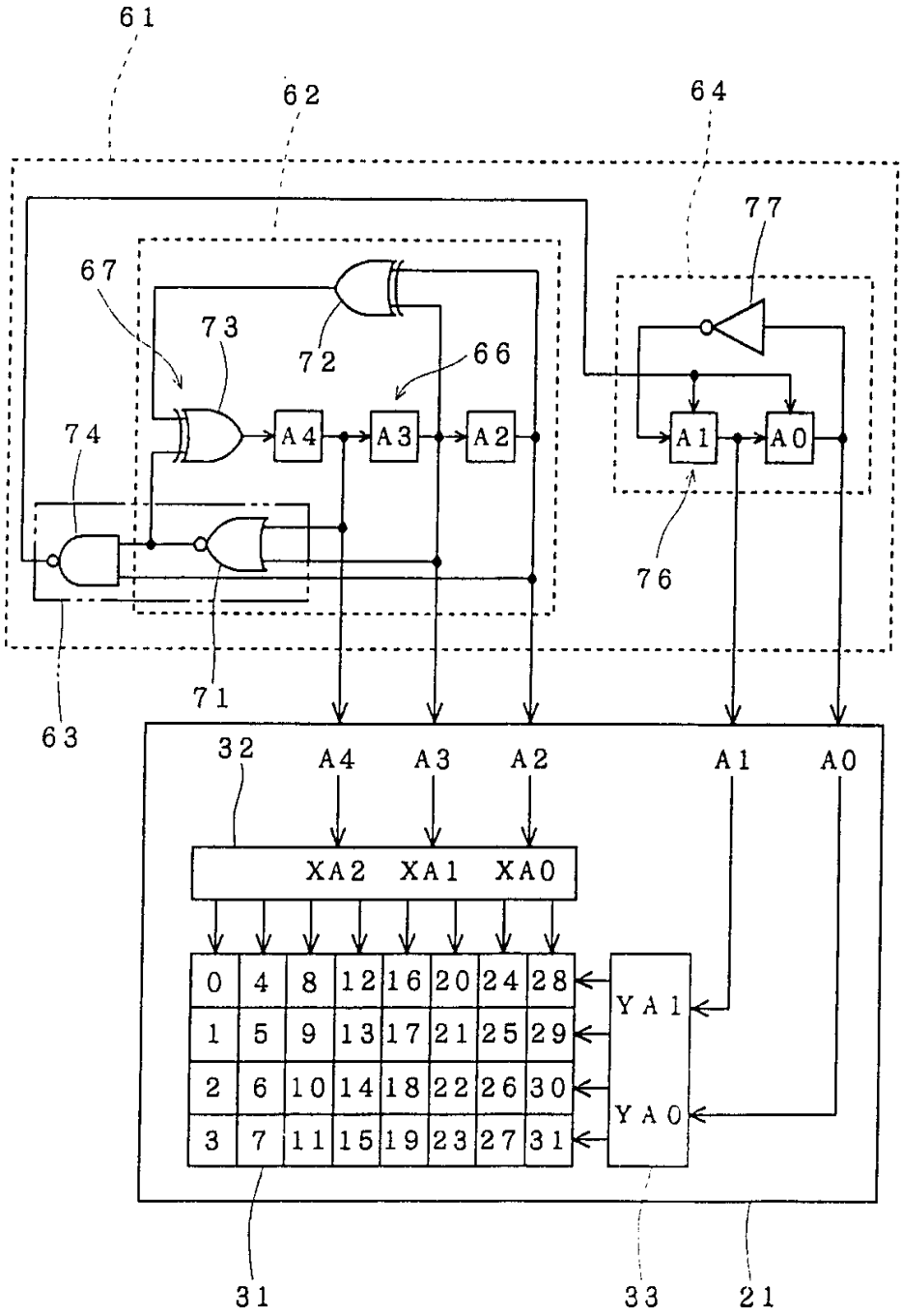

61
62
64
77
67
73
72
66
74
A4
A3
A2
A1
A0
76
71
63
32
A4
A3
A2
A1
A0
XA2
XA1
XA0
0 4 8 12 16 20 24 28
1 5 9 13 17 21 25 29
2 6 10 14 18 22 26 30
3 7 11 15 19 23 27 31
YA1
YA0
31
33
21

图 4

时间 T	A4 (XA2)	A3 (XA1)	A2 (XA0)	A1 (YA1)	A0 (YA0)	地址 A4～0 (十进制)	X 地址 XA2～0 (十进制)	Y 地址 YA1～0 (十进制)
0	0	0	0	0	0	0	0	0
1	1	0	0	0	0	16	4	0
2	0	1	0	0	0	8	2	0
3	1	0	1	0	0	20	5	0
4	1	1	0	0	0	24	6	0
5	1	1	1	0	0	28	7	0
6	0	1	1	0	0	12	3	0
7	0	0	1	0	0	4	1	0
8	0	0	0	1	0	2	0	2
9	1	0	0	1	0	18	4	2
10	0	1	0	1	0	10	2	2
11	1	0	1	1	0	24	5	2
12	1	1	0	1	0	26	6	2
13	1	1	1	1	0	30	7	2
14	0	1	1	1	0	14	3	2
15	0	0	1	1	0	6	1	2
16	0	0	0	1	1	3	0	3
17	1	0	0	1	1	19	4	3
18	0	1	0	1	1	11	2	3
19	1	0	1	1	1	23	5	3
20	1	1	0	1	1	27	6	3
21	1	1	1	1	1	31	7	3
22	0	1	1	1	1	15	3	3
23	0	0	1	1	1	7	1	3
24	0	0	0	0	1	1	0	1
25	1	0	0	0	1	17	4	1
26	0	1	0	0	1	9	2	1
27	1	0	1	0	1	21	5	1
28	1	1	0	0	1	25	6	1
29	1	1	1	0	1	29	7	1
30	0	1	1	0	1	13	3	1
31	0	0	1	0	1	5	1	1

図 5

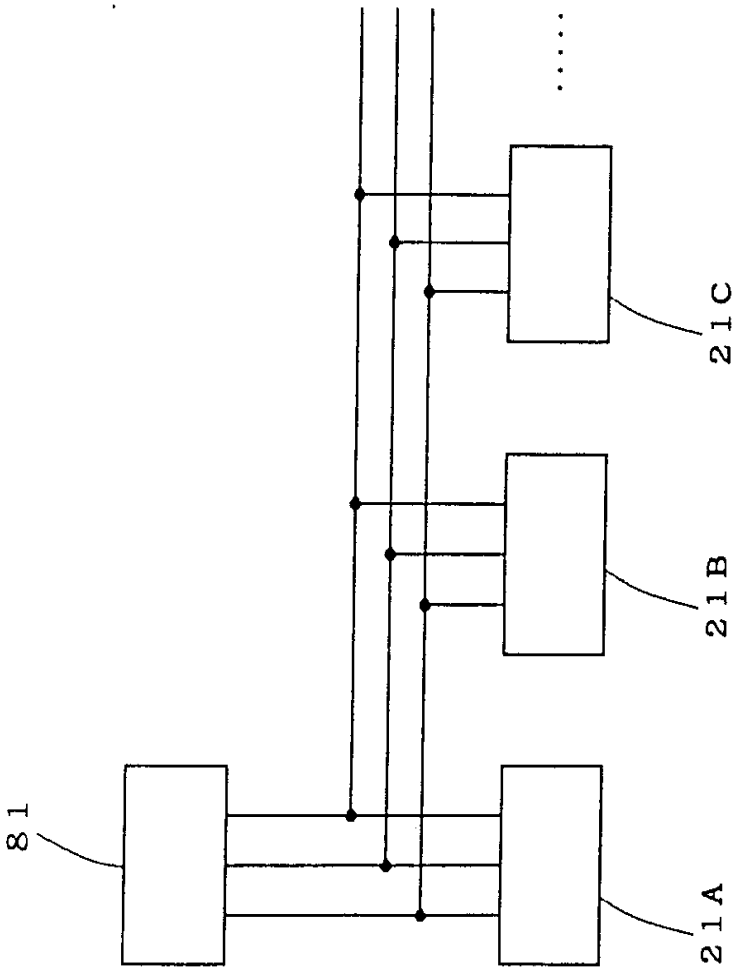


图 6

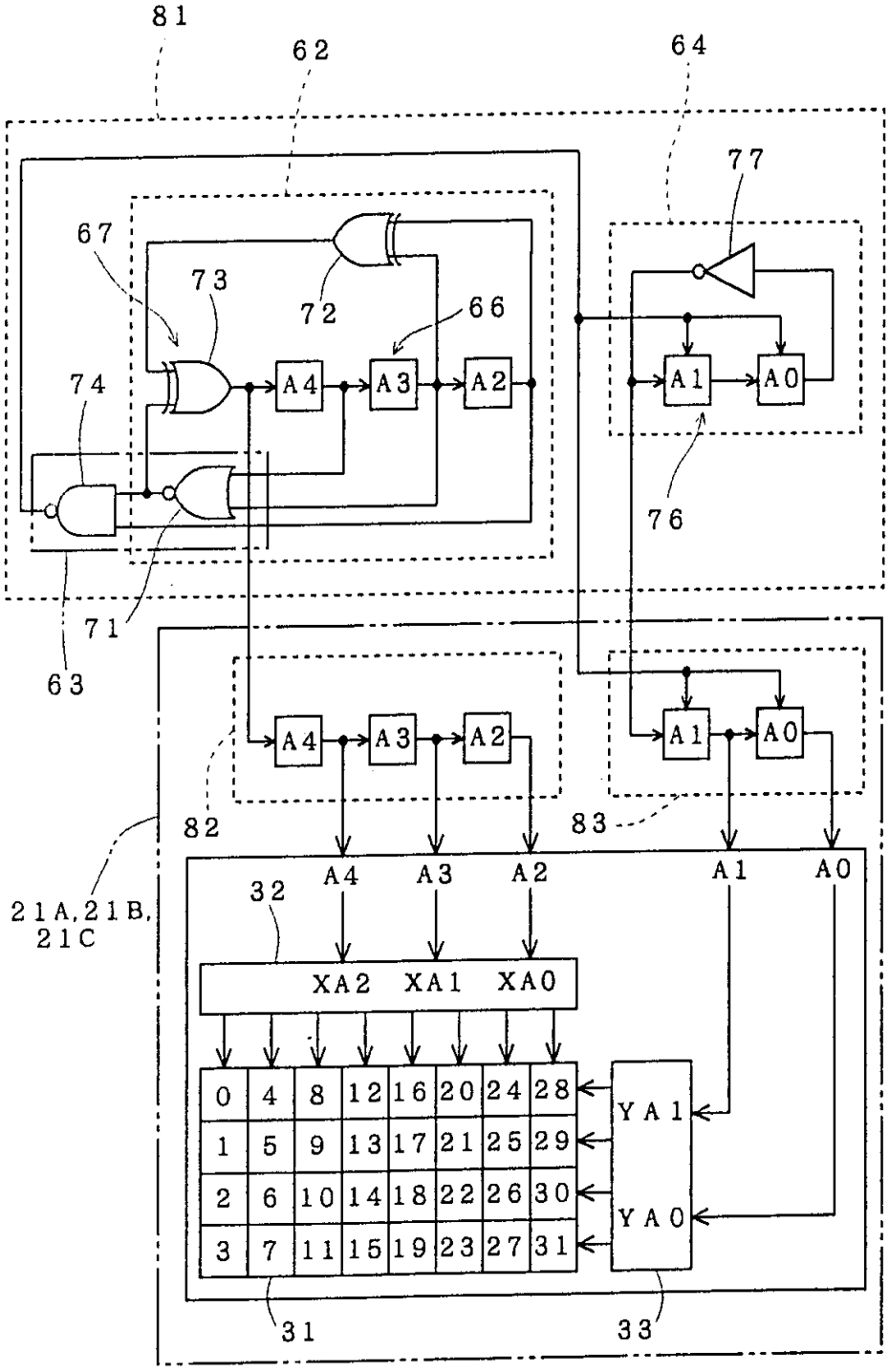

81
62
64
77
67
73
72
66
74
A4
A3
A2
A1
A0
76
71
63
82
83
21A, 21B, 21C
32
XA2
XA1
XA0
0 4 8 12 16 20 24 28
1 5 9 13 17 21 25 29
2 6 10 14 18 22 26 30
3 7 11 15 19 23 27 31
YA1
YA0
31
33

图 7

时间 T	A4 (XA2)	A3 (XA1)	A2 (XA0)	A1 (YA1)	A0 (YA0)	地址 A4～0 (十进制)	X 地址 XA2～0 (十进制)	Y 地址 YA1～0 (十进制)
0	0	0	0	0	0	0	0	0
1	1	0	0	0	0	16	4	0
2	0	1	0	0	0	8	2	0
3	1	0	1	0	0	20	5	0
4	1	1	0	0	0	24	6	0
5	1	1	1	0	0	28	7	0
6	0	1	1	0	0	12	3	0
7	0	0	1	0	0	4	1	0
8	0	0	0	1	0	2	0	2
9	1	0	0	1	0	18	4	2
10	0	1	0	1	0	10	2	2
11	1	0	1	1	0	24	5	2
12	1	1	0	1	0	26	6	2
13	1	1	1	1	0	30	7	2
14	0	1	1	1	0	14	3	2
15	0	0	1	1	0	6	1	2
16	0	0	0	1	1	3	0	3
17	1	0	0	1	1	19	4	3
18	0	1	0	1	1	11	2	3
19	1	0	1	1	1	23	5	3
20	1	1	0	1	1	27	6	3
21	1	1	1	1	1	31	7	3
22	0	1	1	1	1	15	3	3
23	0	0	1	1	1	7	1	3
24	0	0	0	0	1	1	0	1
25	1	0	0	0	1	17	4	1
26	0	1	0	0	1	9	2	1
27	1	0	1	0	1	21	5	1
28	1	1	0	0	1	25	6	1
29	1	1	1	0	1	29	7	1
30	0	1	1	0	1	13	3	1
31	0	0	1	0	1	5	1	1

図 8

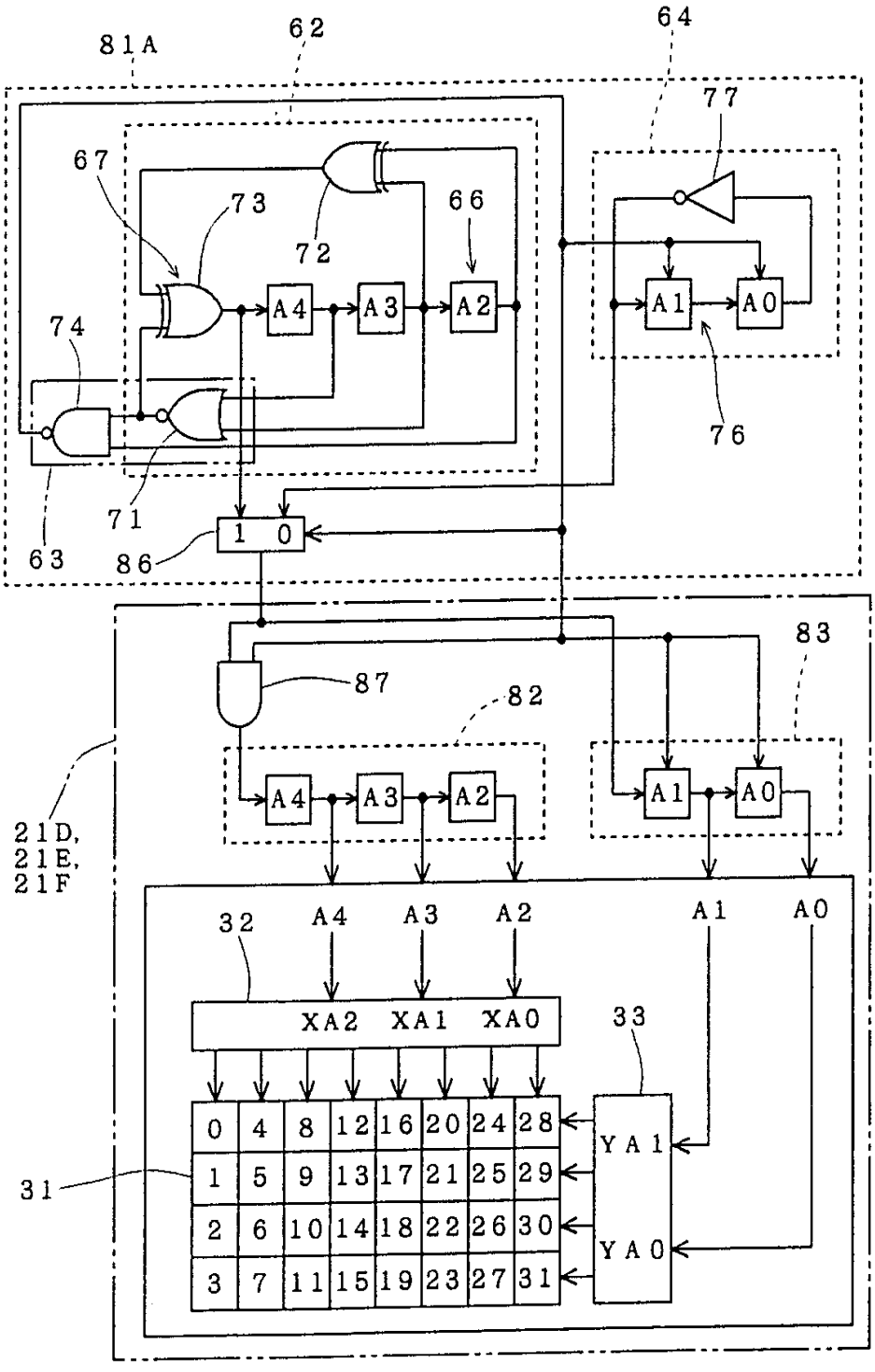

81A
62
64
77
67
73
72
66
74
A4
A3
A2
A1
A0
76
71
63
86
1 0
83
87
82
21D,
21E,
21F
32
A4
A3
A2
A1
A0
XA2 XA1 XA0
33
0 4 8 12 16 20 24 28
1 5 9 13 17 21 25 29
2 6 10 14 18 22 26 30
3 7 11 15 19 23 27 31
YA1
YA0
31

图 9

时间 T	A4 (XA2)	A3 (XA1)	A2 (XA0)	A1 (YA1)	A0 (YA0)	地址 A4～0 （十进制）	X 地址 XA2～0 （十进制）	Y 地址 YA1～0 （十进制）
0	0	0	0	0	0	0	0	0
1	1	0	0	0	0	16	4	0
2	0	1	0	0	0	8	2	0
3	1	0	1	0	0	20	5	0
4	1	1	0	0	0	24	6	0
5	1	1	1	0	0	28	7	0
6	0	1	1	0	0	12	3	0
7	0	0	1	0	0	4	1	0
8	0	0	0	1	0	2	0	2
9	1	0	0	1	0	18	4	2
10	0	1	0	1	0	10	2	2
11	1	0	1	1	0	24	5	2
12	1	1	0	1	0	26	6	2
13	1	1	1	1	0	30	7	2
14	0	1	1	1	0	14	3	2
15	0	0	1	1	0	6	1	2
16	0	0	0	1	1	3	0	3
17	1	0	0	1	1	19	4	3
18	0	1	0	1	1	11	2	3
19	1	0	1	1	1	23	5	3
20	1	1	0	1	1	27	6	3
21	1	1	1	1	1	31	7	3
22	0	1	1	1	1	15	3	3
23	0	0	1	1	1	7	1	3
24	0	0	0	0	1	1	0	1
25	1	0	0	0	1	17	4	1
26	0	1	0	0	1	9	2	1
27	1	0	1	0	1	21	5	1
28	1	1	0	0	1	25	6	1
29	1	1	1	0	1	29	7	1
30	0	1	1	0	1	13	3	1
31	0	0	1	0	1	5	1	1

图 10

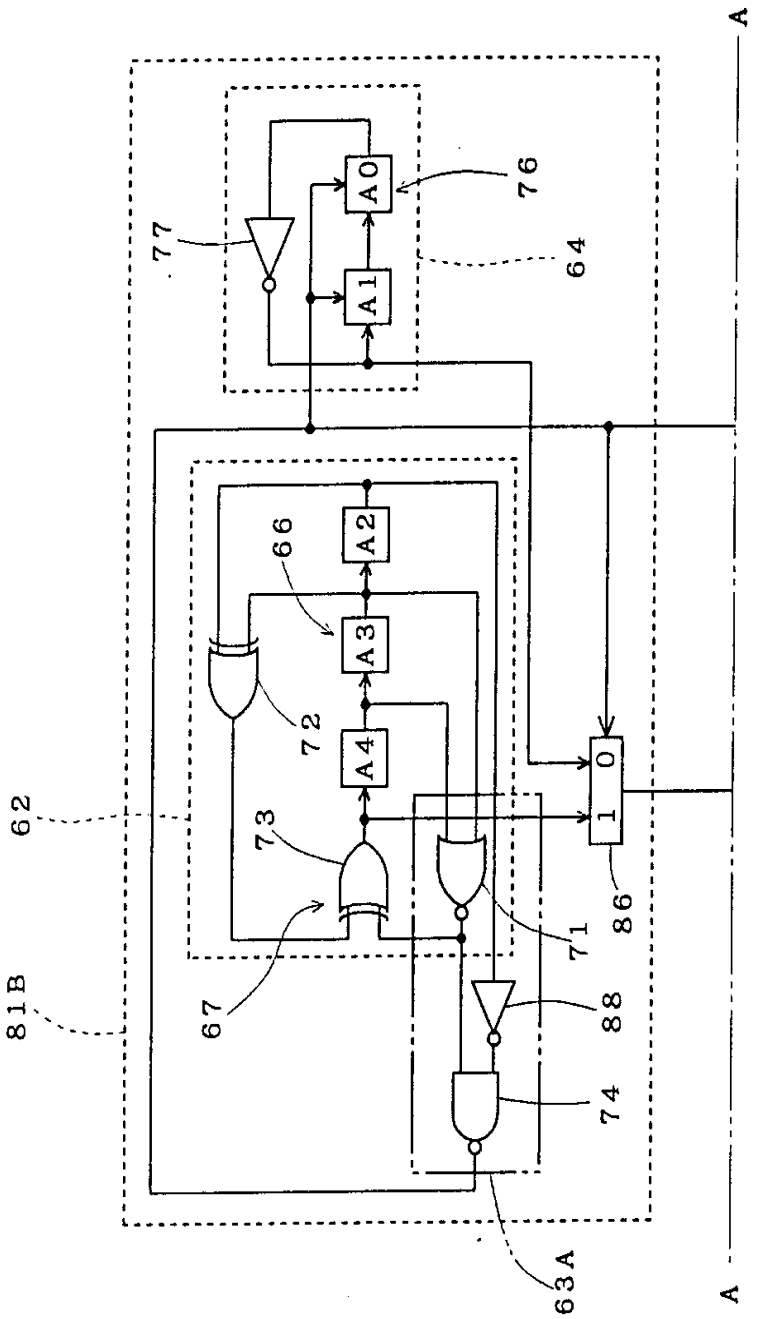


図 11

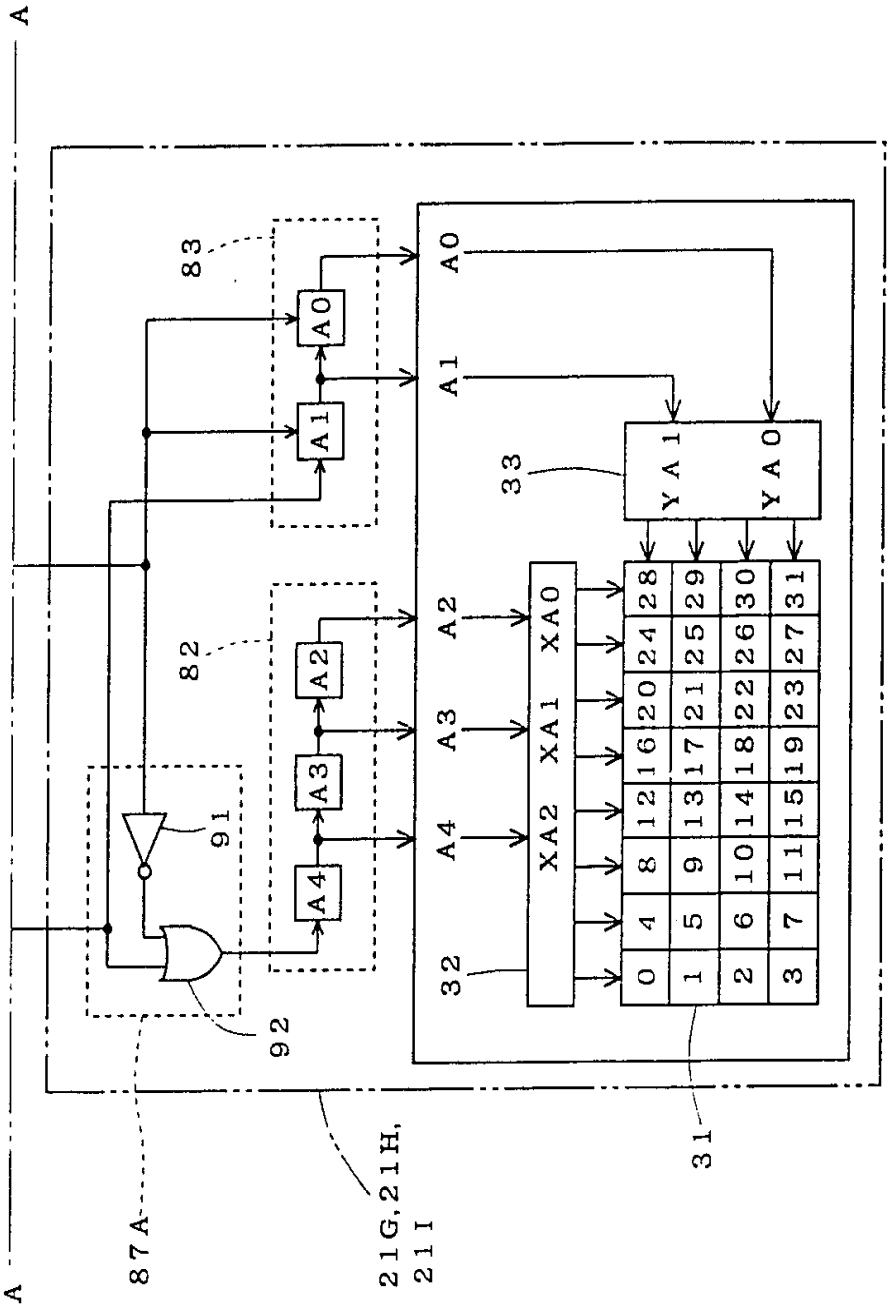

A
A
83
82
91
92
87A
21G,21H,
21I
31
33
32
A0
A1
A2
A3
A4
XA0
XA1
XA2
YA0
YA1
0 4 8 12 16 20 24 28
1 5 9 13 17 21 25 29
2 6 10 14 18 22 26 30
3 7 11 15 19 23 27 31

图 12

时间 T	A4 (XA2)	A3 (XA1)	A2 (XA0)	A1 (YA1)	A0 (YA0)	地址 A4～0 (十进制)	X 地址 XA2～0 (十进制)	Y 地址 YA1～0 (十进制)
0	1	0	0	0	0	16	4	0
1	0	1	0	0	0	8	2	0
2	1	0	1	0	0	20	5	0
3	1	1	0	0	0	24	6	0
4	1	1	1	0	0	28	7	0
5	0	1	1	0	0	12	3	0
6	0	0	1	0	0	4	1	0
7	0	0	0	0	0	0	0	0
8	1	0	0	1	0	18	4	2
9	0	1	0	1	0	10	2	2
10	1	0	1	1	0	24	5	2
11	1	1	0	1	0	26	6	2
12	1	1	1	1	0	30	7	2
13	0	1	1	1	0	14	3	2
14	0	0	1	1	0	6	1	2
15	0	0	0	1	0	2	0	2
16	1	0	0	1	1	19	4	3
17	0	1	0	1	1	11	2	3
18	1	0	1	1	1	23	5	3
19	1	1	0	1	1	27	6	3
20	1	1	1	1	1	31	7	3
21	0	1	1	1	1	15	3	3
22	0	0	1	1	1	7	1	3
23	0	0	0	1	1	3	0	3
24	1	0	0	0	1	17	4	1
25	0	1	0	0	1	9	2	1
26	1	0	1	0	1	21	5	1
27	1	1	0	0	1	25	6	1
28	1	1	1	0	1	29	7	1
29	0	1	1	0	1	13	3	1
30	0	0	1	0	1	5	1	1
31	0	0	0	0	1	1	0	1

図 13

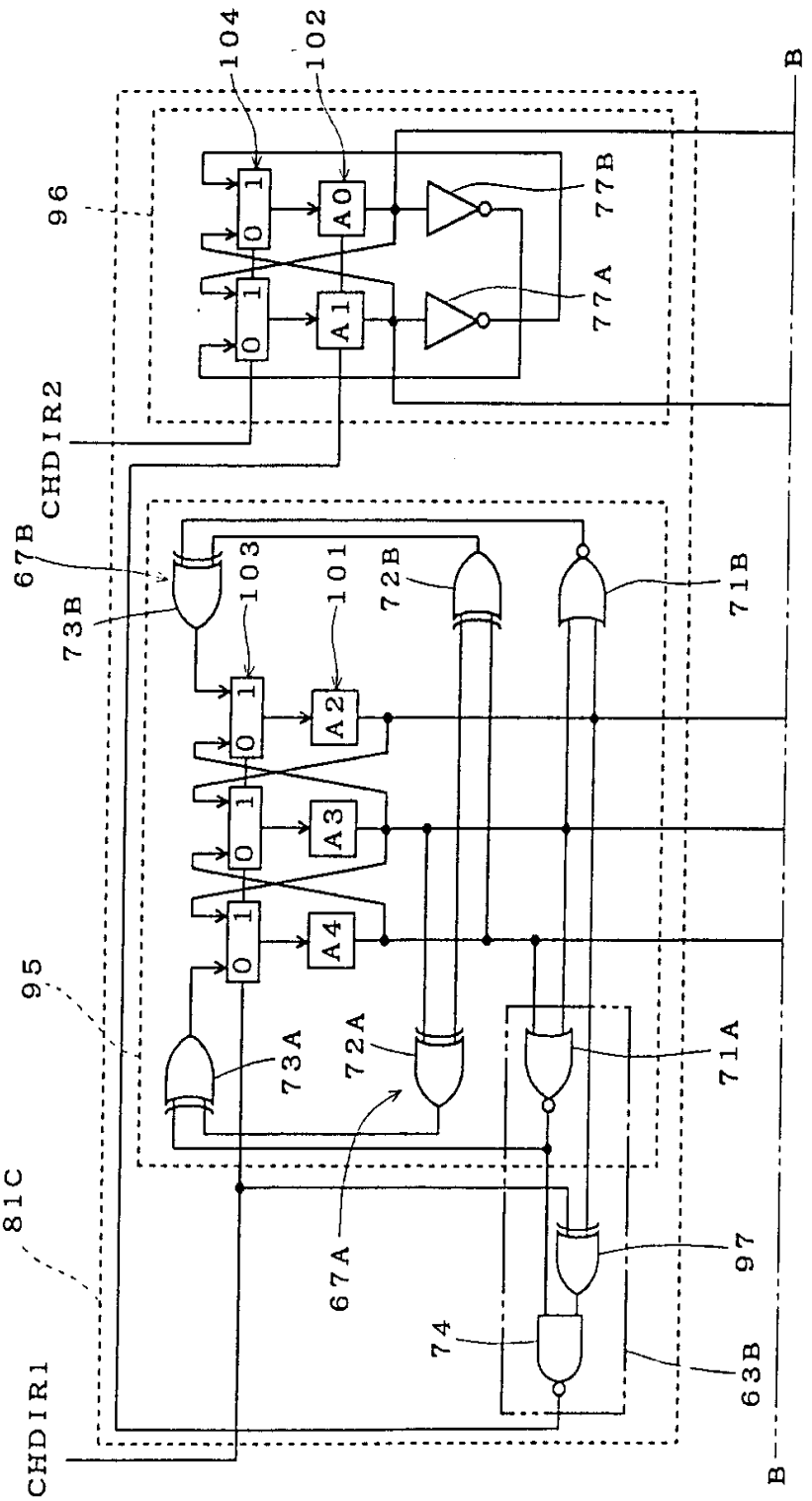

104
102
B
96
77B
77A
A0
A1
CHDIR2
67B
73B
103
101
72B
71B
A2
A3
A4
95
73A
72A
71A
81C
67A
97
74
63B
CHDIR1
B

图 14

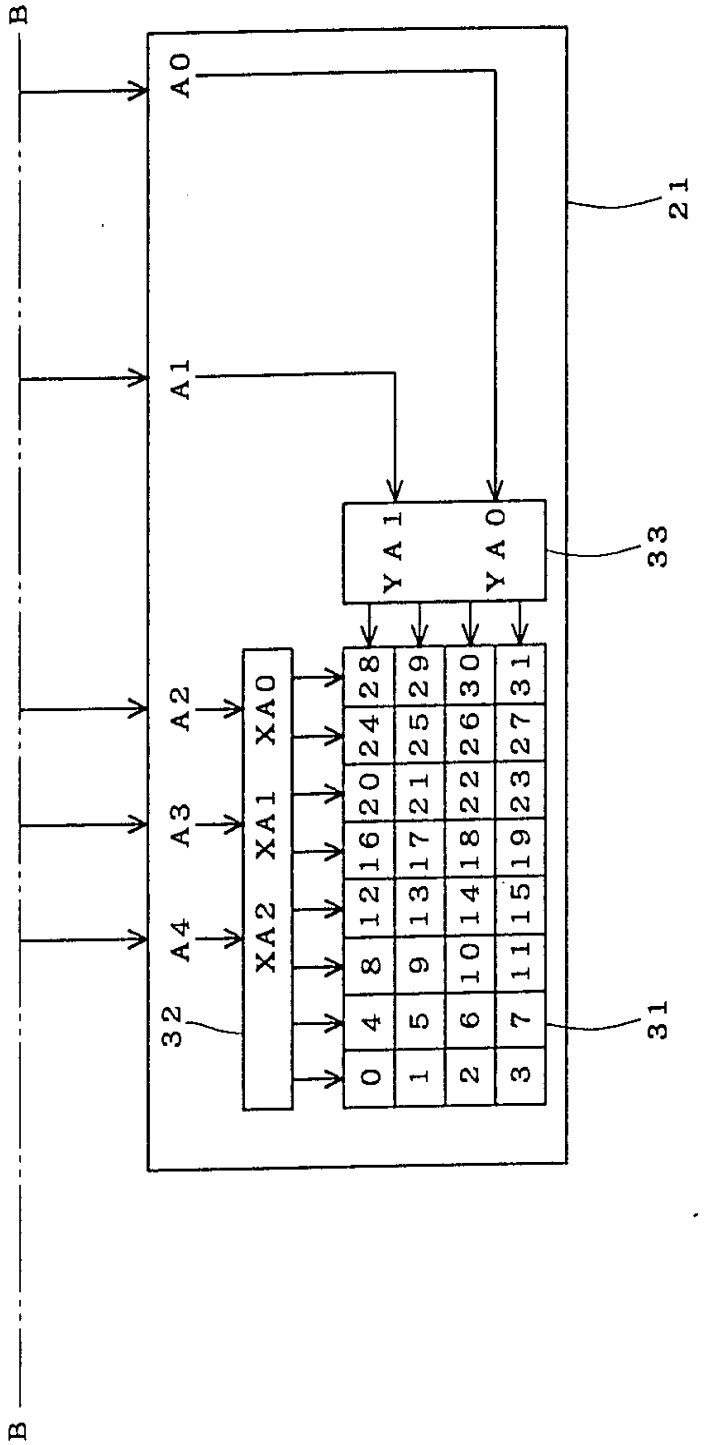

B
B
A0
A1
A2
A3
A4
XA2 XA1 XA0
YA1 YA0
0 4 8 12 16 20 24 28
1 5 9 13 17 21 25 29
2 6 10 14 18 22 26 30
3 7 11 15 19 23 27 31
21
31
32
33

图 15

CHDIR1='1',CHDIR2='1'

时间 T	A4 (XA2)	A3 (XA1)	A2 (XA0)	A1 (YA1)	A0 (YA0)	地址 A4～0 (十进制)	X 地址 XA2～0 (十进制)	Y 地址 YA1～0 (十进制)
0	0	0	1	0	1	5	1	1
1	0	1	1	0	1	13	3	1
2	1	1	1	0	1	29	7	1
3	1	1	0	0	1	25	6	1
4	1	0	1	0	1	21	5	1
5	0	1	0	0	1	9	2	1
6	1	0	0	0	1	17	4	1
7	0	0	0	0	1	1	0	1
8	0	0	1	1	1	7	1	3
9	0	1	1	1	1	15	3	3
10	1	1	1	1	1	31	7	3
11	1	1	0	1	1	27	6	3
12	1	0	1	1	1	23	5	3
13	0	1	0	1	1	11	2	3
14	1	0	0	1	1	19	4	3
15	0	0	0	1	1	3	0	3
16	0	0	1	1	0	6	1	2
17	0	1	1	1	0	14	3	2
18	1	1	1	1	0	30	7	2
19	1	1	0	1	0	26	6	2
20	1	0	1	1	0	24	5	2
21	0	1	0	1	0	10	2	2
22	1	0	0	1	0	18	4	2
23	0	0	0	1	0	2	0	2
24	0	0	1	0	0	4	1	0
25	0	1	1	0	0	12	3	0
26	1	1	1	0	0	28	7	0
27	1	1	0	0	0	24	6	0
28	1	0	1	0	0	20	5	0
29	0	1	0	0	0	8	2	0
30	1	0	0	0	0	16	4	0
31	0	0	0	0	0	0	0	0

图 16

CHDIR1='0',CHDIR2='0'

时间 T	A4 (XA2)	A3 (XA1)	A2 (XA0)	A1 (YA1)	A0 (YA0)	地址 A4～0 (十进制)	X 地址 XA2～0 (十进制)	Y 地址 YA1～0 (十进制)
0	0	0	0	0	0	0	0	0
1	1	0	0	0	0	16	4	0
2	0	1	0	0	0	8	2	0
3	1	0	1	0	0	20	5	0
4	1	1	0	0	0	24	6	0
5	1	1	1	0	0	28	7	0
6	0	1	1	0	0	12	3	0
7	0	0	1	0	0	4	1	0
8	0	0	0	1	0	2	0	2
9	1	0	0	1	0	18	4	2
10	0	1	0	1	0	10	2	2
11	1	0	1	1	0	24	5	2
12	1	1	0	1	0	26	6	2
13	1	1	1	1	0	30	7	2
14	0	1	1	1	0	14	3	2
15	0	0	1	1	0	6	1	2
16	0	0	0	1	1	3	0	3
17	1	0	0	1	1	19	4	3
18	0	1	0	1	1	11	2	3
19	1	0	1	1	1	23	5	3
20	1	1	0	1	1	27	6	3
21	1	1	1	1	1	31	7	3
22	0	1	1	1	1	15	3	3
23	0	0	1	1	1	7	1	3
24	0	0	0	0	1	1	0	1
25	1	0	0	0	1	17	4	1
26	0	1	0	0	1	9	2	1
27	1	0	1	0	1	21	5	1
28	1	1	0	0	1	25	6	1
29	1	1	1	0	1	29	7	1
30	0	1	1	0	1	13	3	1
31	0	0	1	0	1	5	1	1

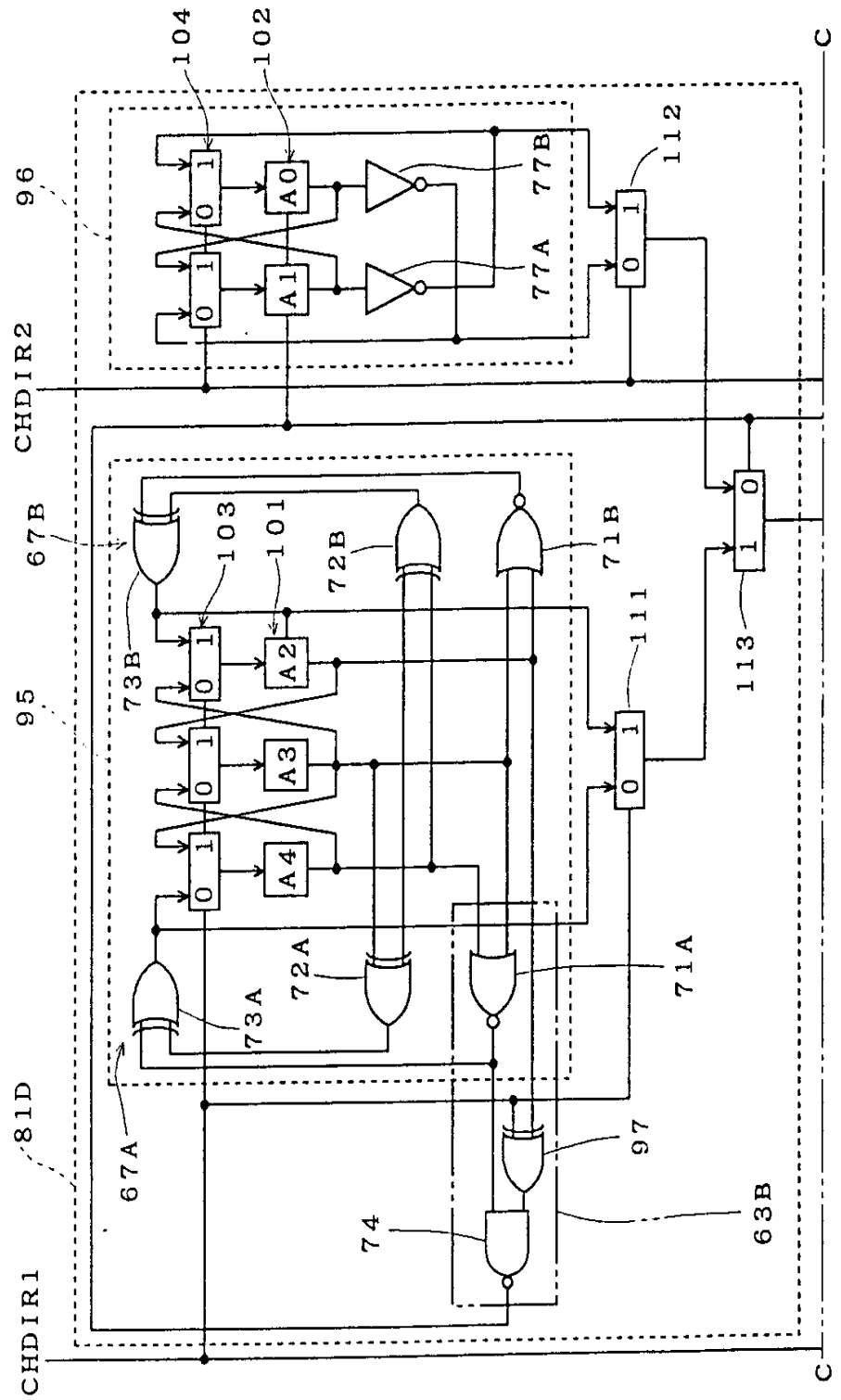

104
102
C
96
112
77B
77A
CHDIR2
67B
103
101
72B
71B
73B
A0
A1
A2
A3
A4
111
113
95
72A
71A
73A
81D
67A
97
74
63B
CHDIR1
C

图 17

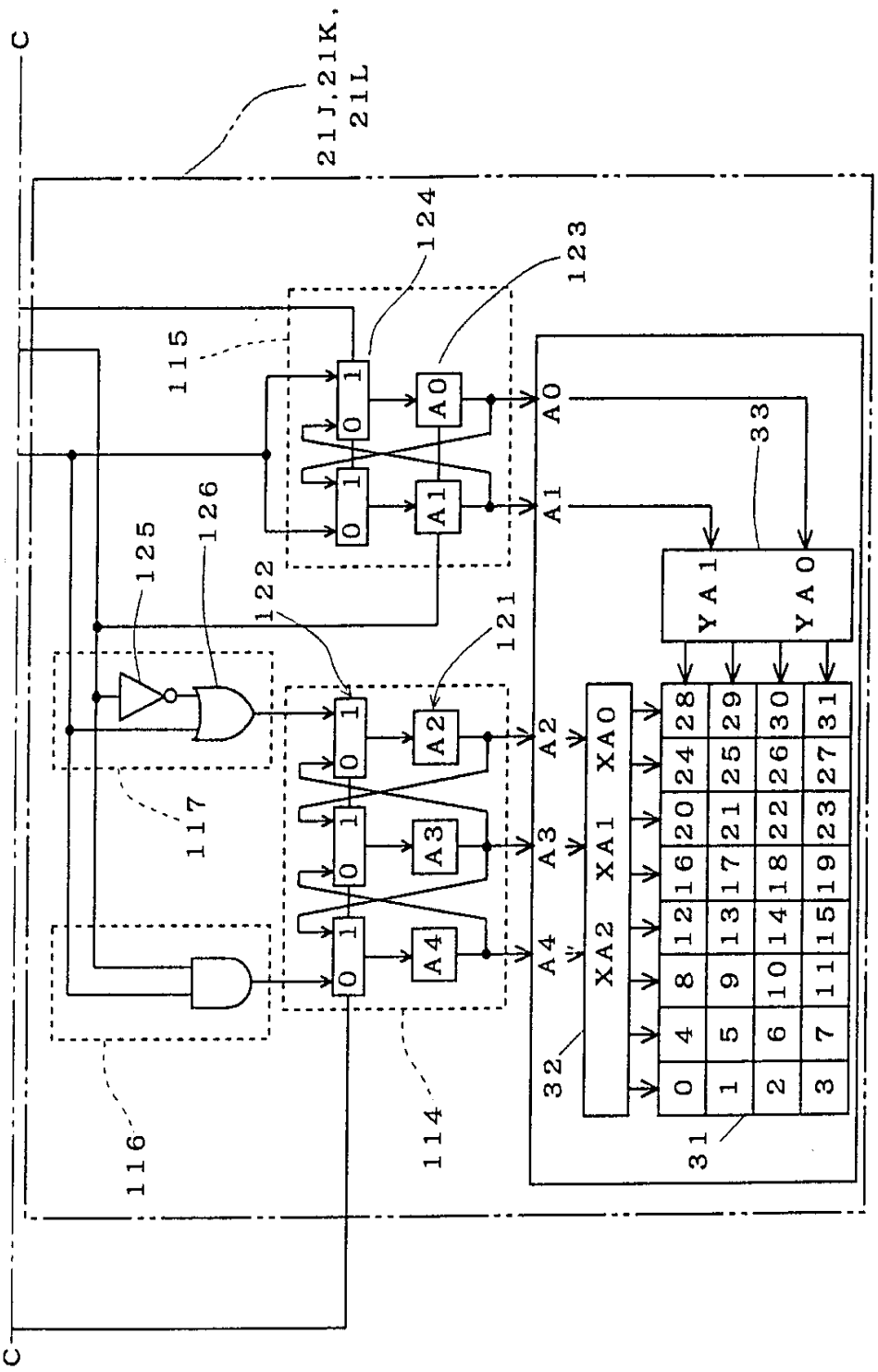
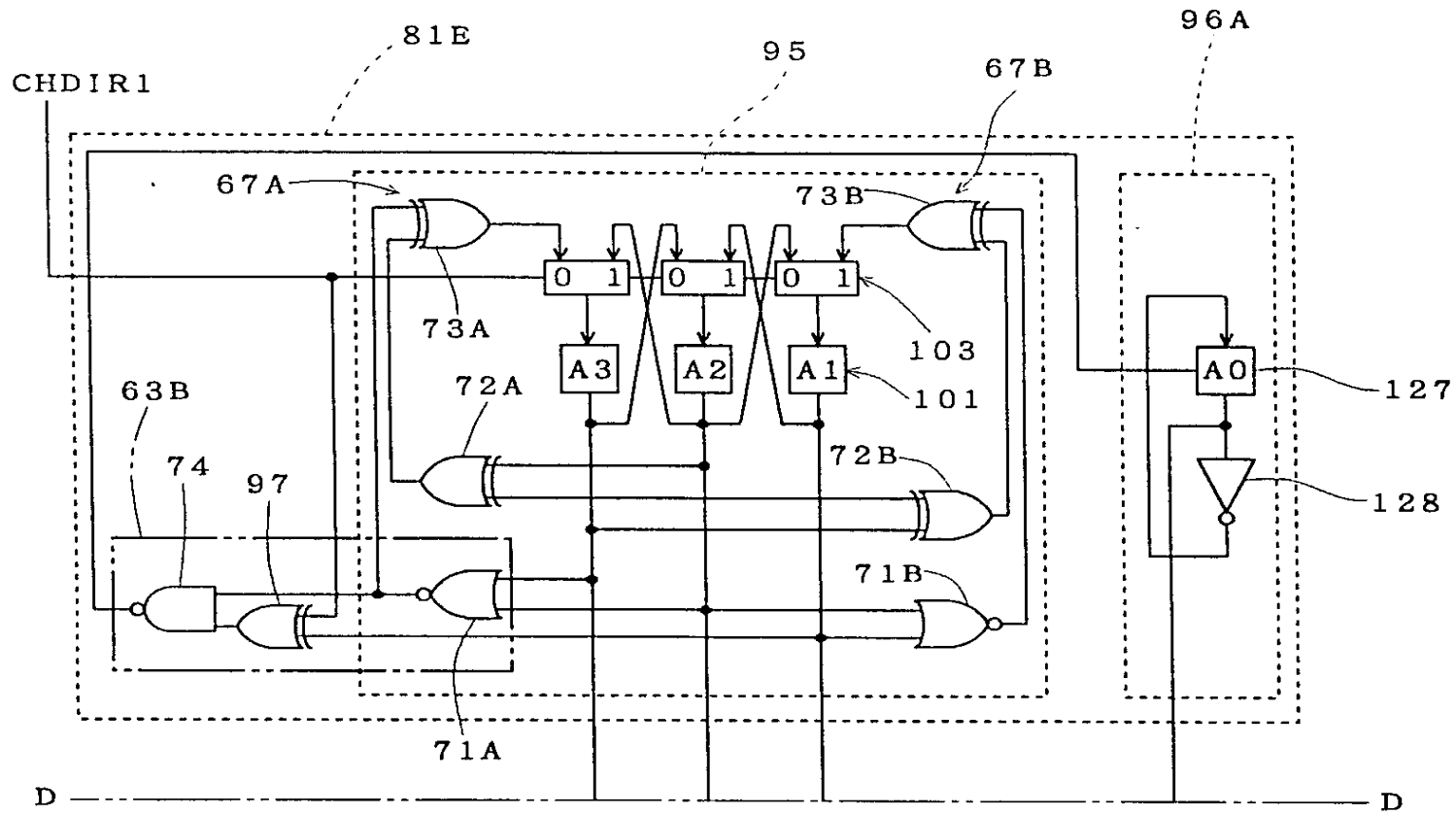

C
21J,21K,
21L
124
123
115
126
125
122
121
117
116
114
32
33
31
A0
A1
A2
A3
A4
XA2
XA1
XA0
YA1
YA0
0 1
0 4 8 12 16 20 24 28
1 5 9 13 17 21 25 29
2 6 10 14 18 22 26 30
3 7 11 15 19 23 27 31

図 18

図 19



81E
95
96A
CHDIR1
67B
67A
73B
73A
0 1
0 1
0 1
103
A3
A2
A1
101
A0
127
63B
72A
72B
74
97
128
71B
71A
D
D

図 20

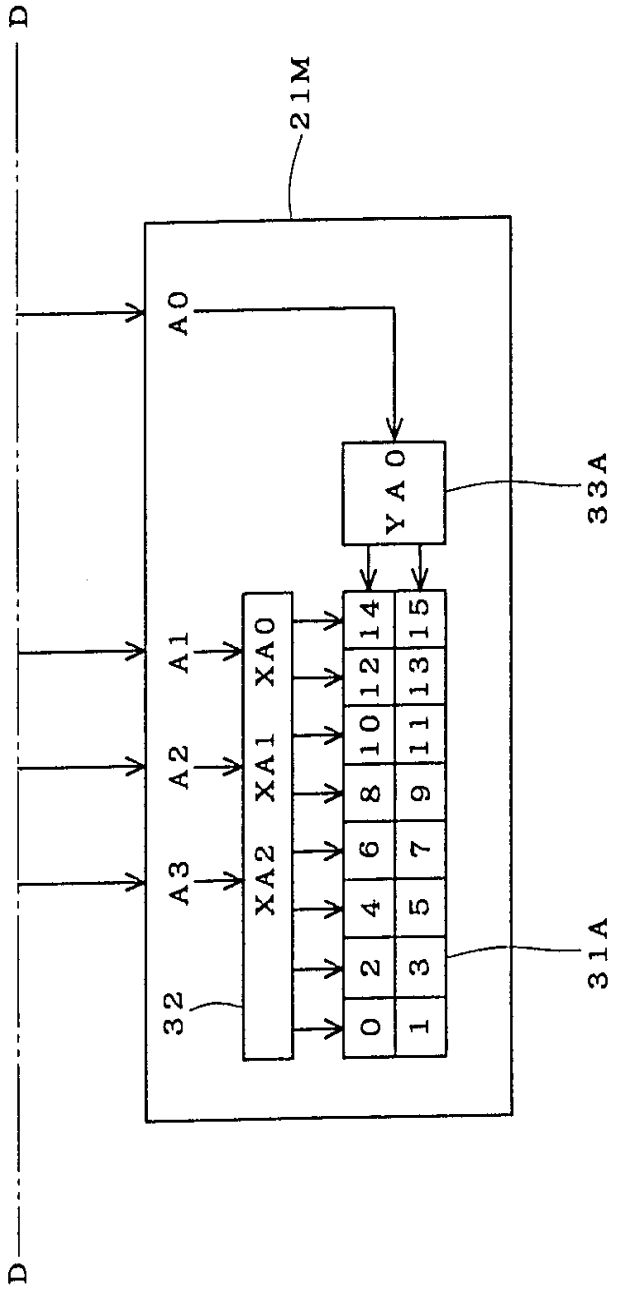

D
21M
A0
YA0
33A
A1
A2
A3
XA0
XA1
XA2
32
0
1
2
3
4
5
6
7
8
9
10
11
12
13
14
15
31A
D

图 21

CHDIR1='0'

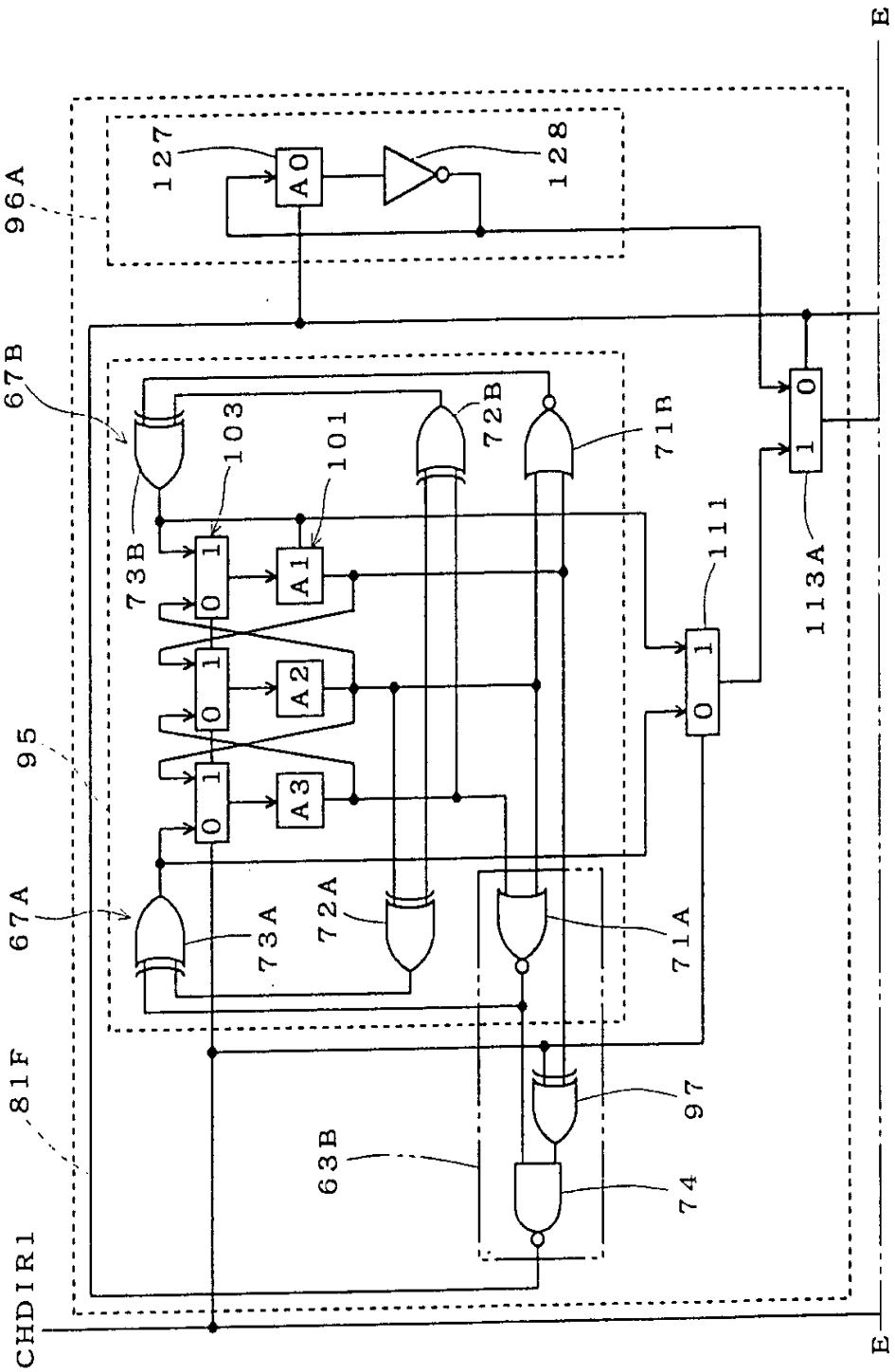
时间 T	A3 (XA2)	A2 (XA1)	A1 (XA0)	A0 (YA0)	地址 A3～0 (十进制)	X 地址 XA2～0 (十进制)	Y 地址 YA1～0 (十进制)
0	0	0	0	0	0	0	0
1	1	0	0	0	8	4	0
2	0	1	0	0	4	2	0
3	1	0	1	0	10	5	0
4	1	1	0	0	12	6	0
5	1	1	1	0	14	7	0
6	0	1	1	0	6	3	0
7	0	0	1	0	2	1	0
8	0	0	0	1	1	0	1
9	1	0	0	1	9	4	1
10	0	1	0	1	5	2	1
11	1	0	1	1	11	5	1
12	1	1	0	1	13	6	1
13	1	1	1	1	15	7	1
14	0	1	1	1	7	3	1
15	0	0	1	1	3	1	1

图 22

CHDIR1='0'

时间 T	A3 (XA2)	A2 (XA1)	A1 (XA0)	A0 (YA0)	地址 A3～0 十进制	X 地址 XA2～0 (十进制)	Y 地址 YA1 (十进制)
0	0	0	1	1	3	1	1
1	0	1	1	1	7	3	1
2	1	1	1	1	15	7	1
3	1	1	0	1	13	6	1
4	1	0	1	1	11	5	1
5	0	1	0	1	5	2	1
6	1	0	0	1	9	4	1
7	0	0	0	1	1	0	1
8	0	0	1	0	2	1	0
9	0	1	1	0	6	3	0
10	1	1	1	0	14	7	0
11	1	1	0	0	12	6	0
12	1	0	1	0	10	5	0
13	0	1	0	0	4	2	0
14	1	0	0	0	8	4	0
15	0	0	0	0	0	0	0

図 23


CHDIR1
81F
67A
95
67B
96A
127
128
A0
A1
A2
A3
101
103
73A
72A
71A
73B
72B
71B
111
113A
63B
97
74
E
E

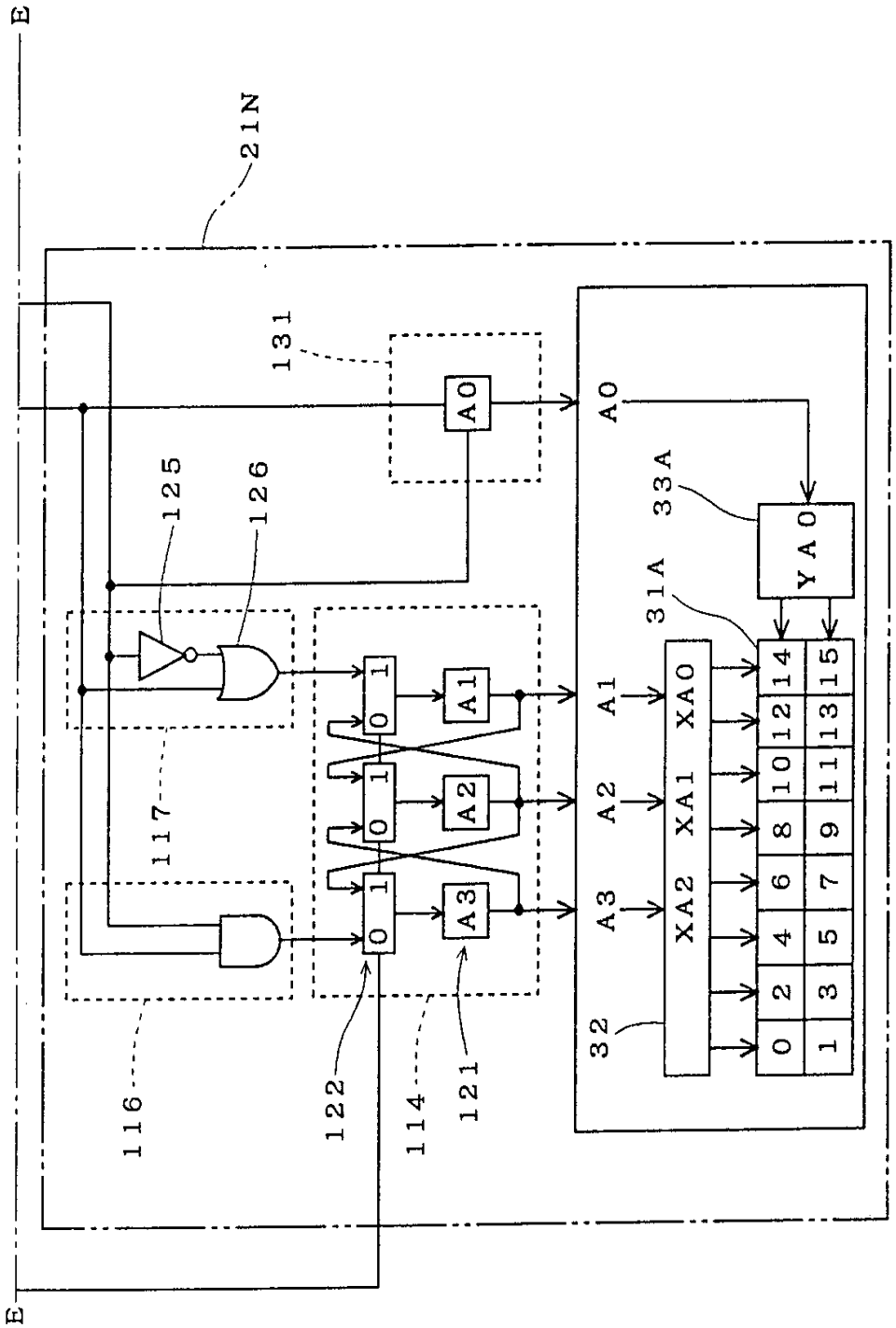

E
21N
131
A0
125
126
117
A1
A2
A3
116
122
114
121
A0
A1
A2
A3
33A
YA0
31A
XA0
XA1
XA2
32
0
1
2
3
4
5
6
7
8
9
10
11
12
13
14
15
E

図 24

図 25

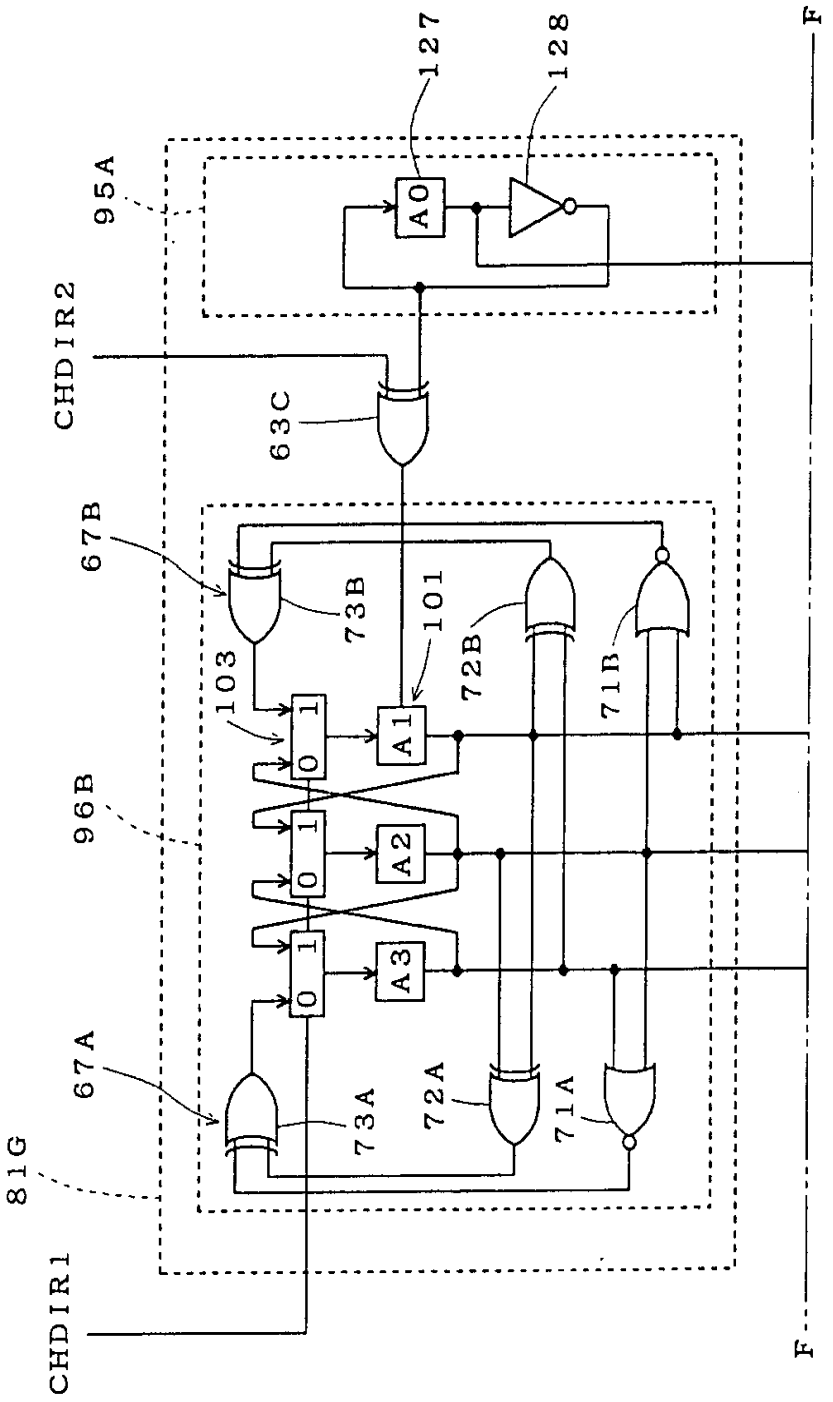

CHDIR1
CHDIR2
81G
95A
96B
67A
67B
63C
73A
73B
72A
72B
71A
71B
103
101
127
128
A0
A1
A2
A3
0
1
F
F

图 26

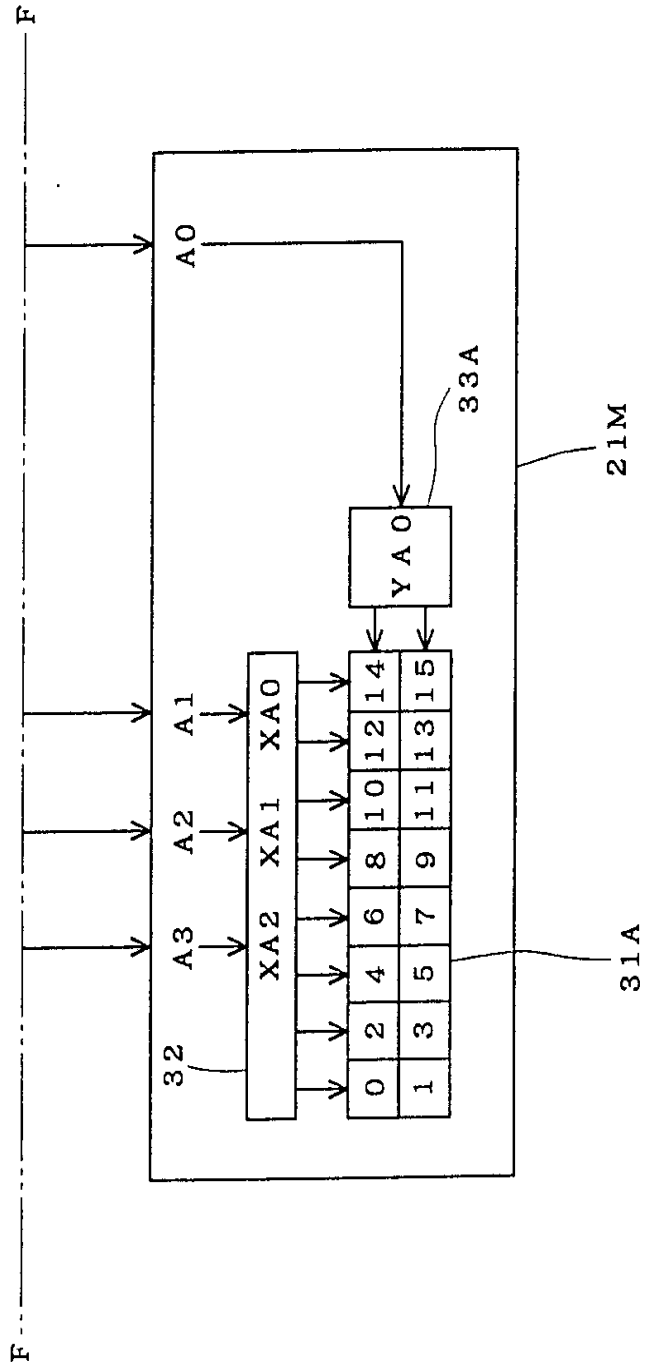

F
A0
A1
A2
A3
XA0
XA1
XA2
YA0
33A
21M
31A
32
0
1
2
3
4
5
6
7
8
9
10
11
12
13
14
15
F

图 27

CHDIR1='0',CHDIR2='0'

时间 T	A3 (XA2)	A2 (XA1)	A1 (XA0)	A0 (YA0)	地址 A3～0 (十进制)	X 地址 XA2～0 (十进制)	Y 地址 YA1 (十进制)
0	0	0	0	0	0	0	0
1	0	0	0	1	1	0	1
2	1	0	0	0	8	4	0
3	1	0	0	1	9	4	1
4	0	1	0	0	4	2	0
5	0	1	0	1	5	2	1
6	1	0	1	0	10	5	0
7	1	0	1	1	11	5	1
8	1	1	0	0	12	6	0
9	1	1	0	1	13	6	1
10	1	1	1	0	14	7	0
11	1	1	1	1	15	7	1
12	0	1	1	0	6	3	0
13	0	1	1	1	7	3	1
14	0	0	1	0	2	1	0
15	0	0	1	1	3	1	1

图 28

CHDIR1='1',CHDIR2='1'

TIME T	A3 (XA2)	A2 (XA1)	A1 (XA0)	A0 (YA0)	地址 A3～0 (十进制)	X 地址 XA2～0 (十进制)	Y 地址 YA1 (十进制)
0	0	0	1	1	3	1	1
1	0	0	1	0	2	1	0
2	0	1	1	1	7	3	1
3	0	1	1	0	6	3	0
4	1	1	1	1	15	7	1
5	1	1	1	0	14	7	0
6	1	1	0	1	13	6	1
7	1	1	0	0	12	6	0
8	1	0	1	1	11	5	1
9	1	0	1	0	10	5	0
10	0	1	0	1	5	2	1
11	0	1	0	0	4	2	0
12	1	0	0	1	9	4	1
13	1	0	0	0	8	4	0
14	0	0	0	1	1	0	1
15	0	0	0	0	0	0	0

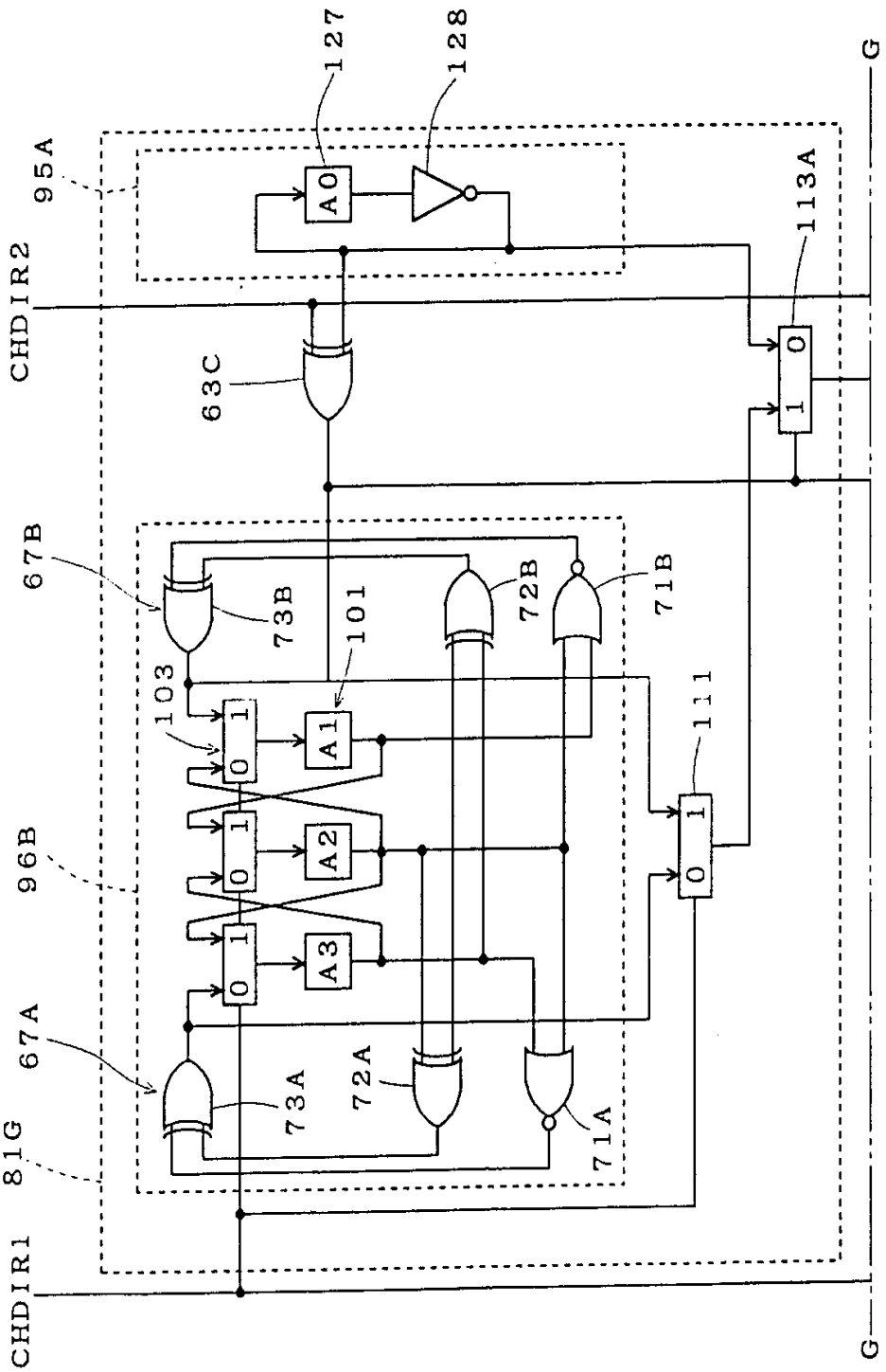

127
128
G
95A
A0
113A
CHDIR2
63C
1
0
67B
73B
101
72B
71B
103
0
1
A1
111
96B
A2
A3
67A
73A
72A
71A
81G
CHDIR1
G

図 29

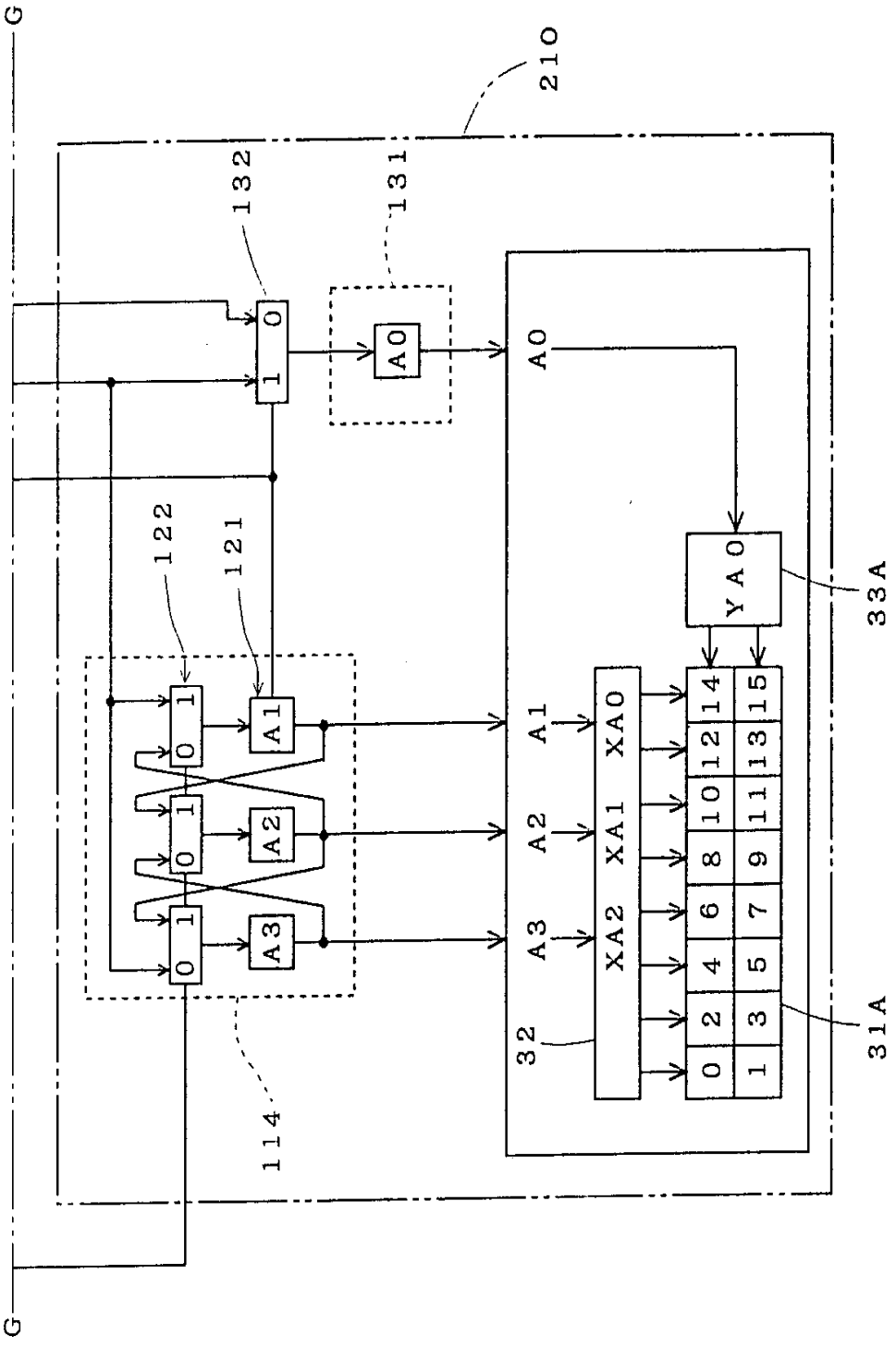

G
G
210
132
131
122
121
114
A0
A1
A2
A3
XA0
XA1
XA2
YA0
33A
31A
32
0 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15

図 30

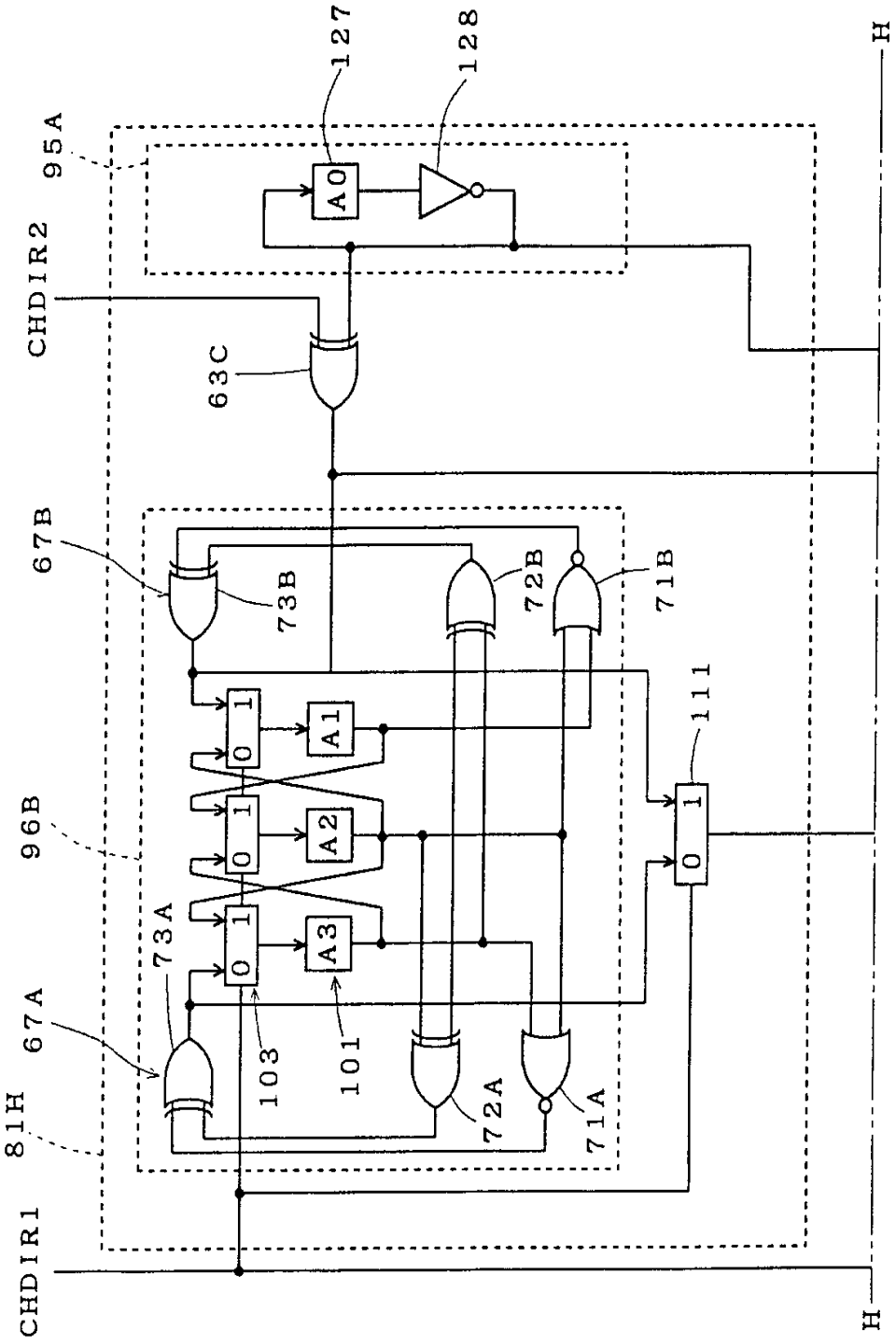

127
128
H
95A
A0
CHDIR2
63C
67B
73B
72B
71B
96B
A1
A2
A3
111
73A
67A
81H
103
101
72A
71A
CHDIR1
H

図 31

图 32

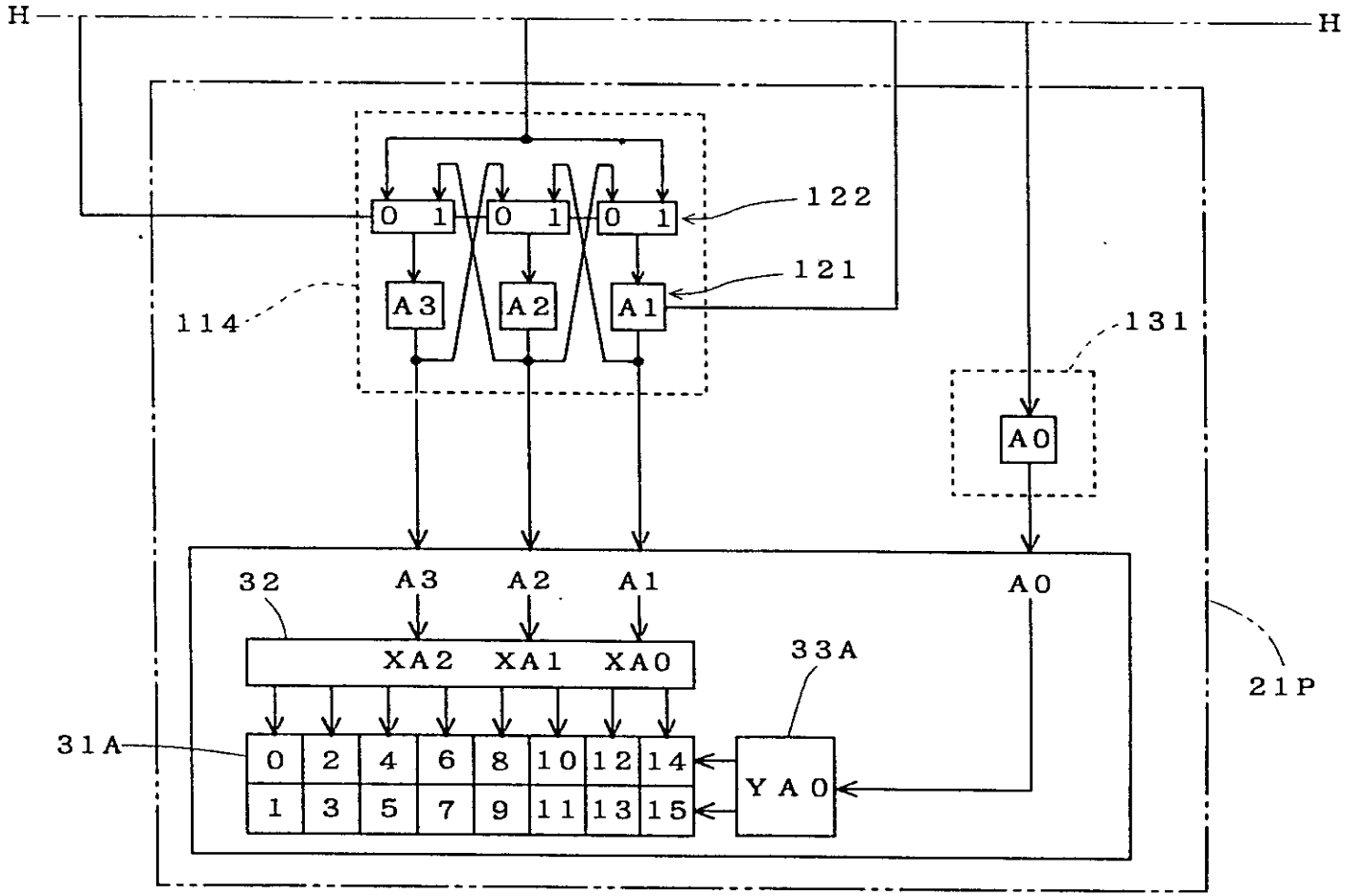

H
H
122
121
114
131
0 1
0 1
0 1
A3
A2
A1
A0
32
A3
A2
A1
A0
XA2 XA1 XA0
33A
21P
31A
0 2 4 6 8 10 12 14
1 3 5 7 9 11 13 15
YA0

図 33

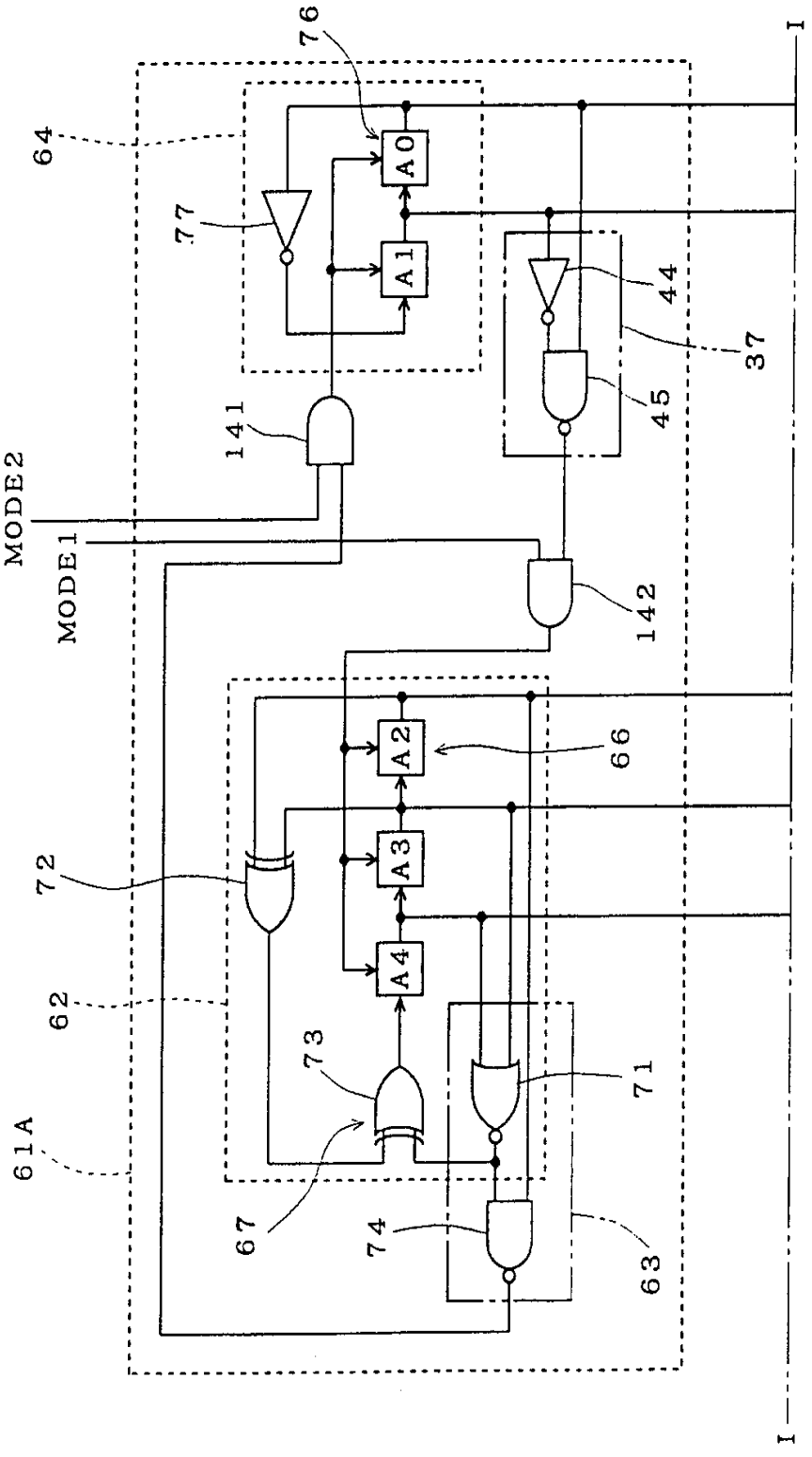

76
64
A0
77
A1
44
37
45
141
MODE2
MODE1
142
A2
66
72
A3
A4
62
73
71
61A
67
74
63
I
I

图 34

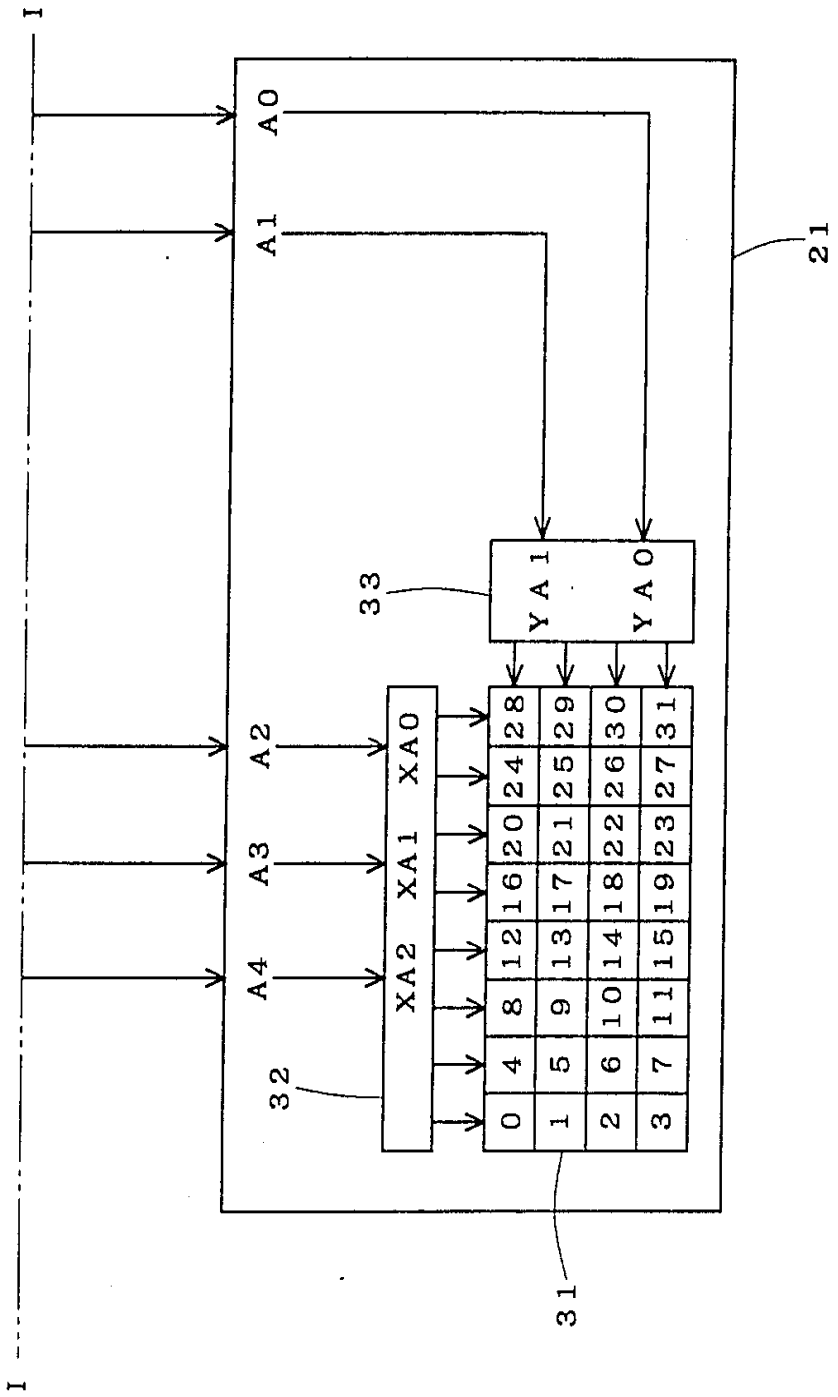

I
A0
A1
A2
A3
A4
21
33
YA1
YA0
XA2
XA1
XA0
32
31
0 4 8 12 16 20 24 28
1 5 9 13 17 21 25 29
2 6 10 14 18 22 26 30
3 7 11 15 19 23 27 31
I

図 35

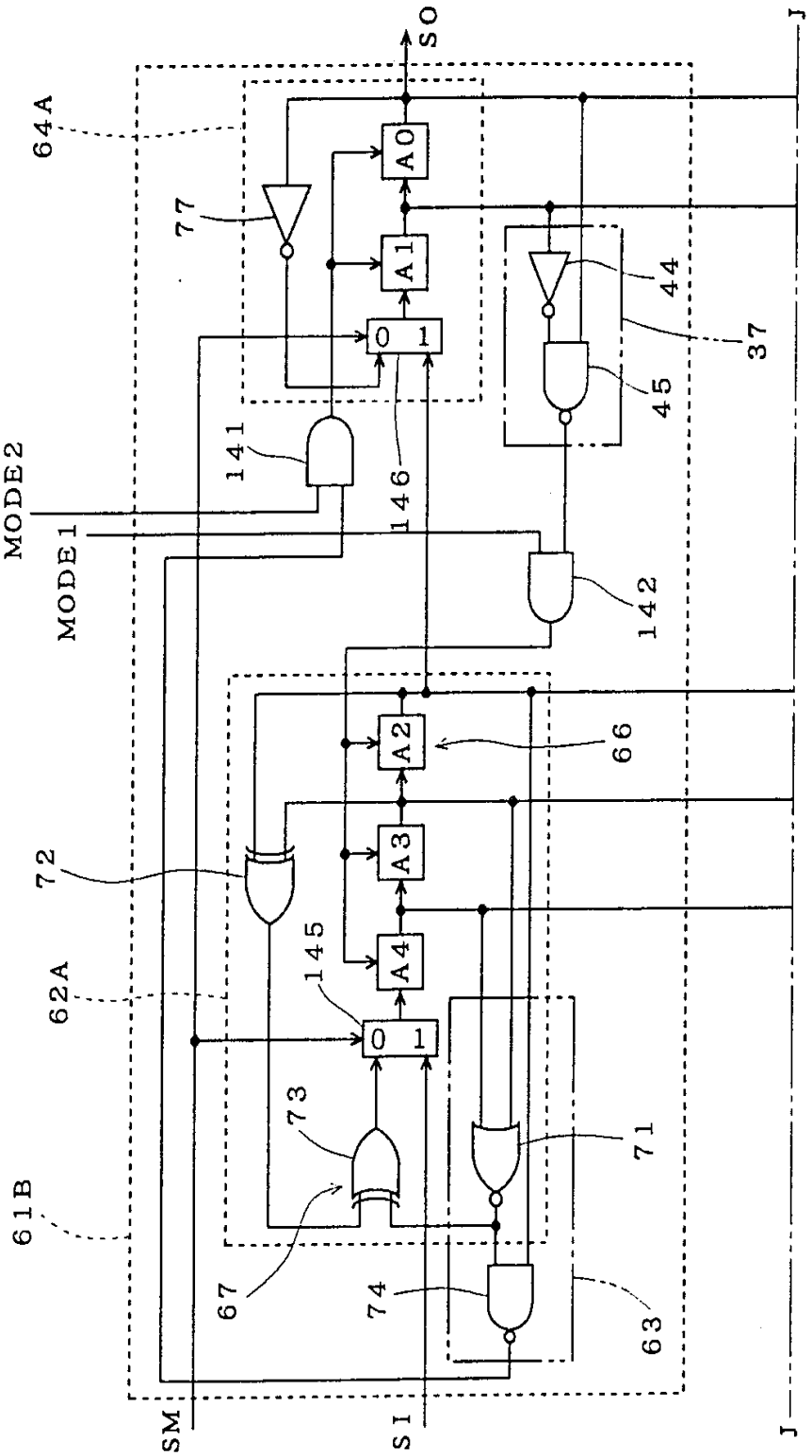
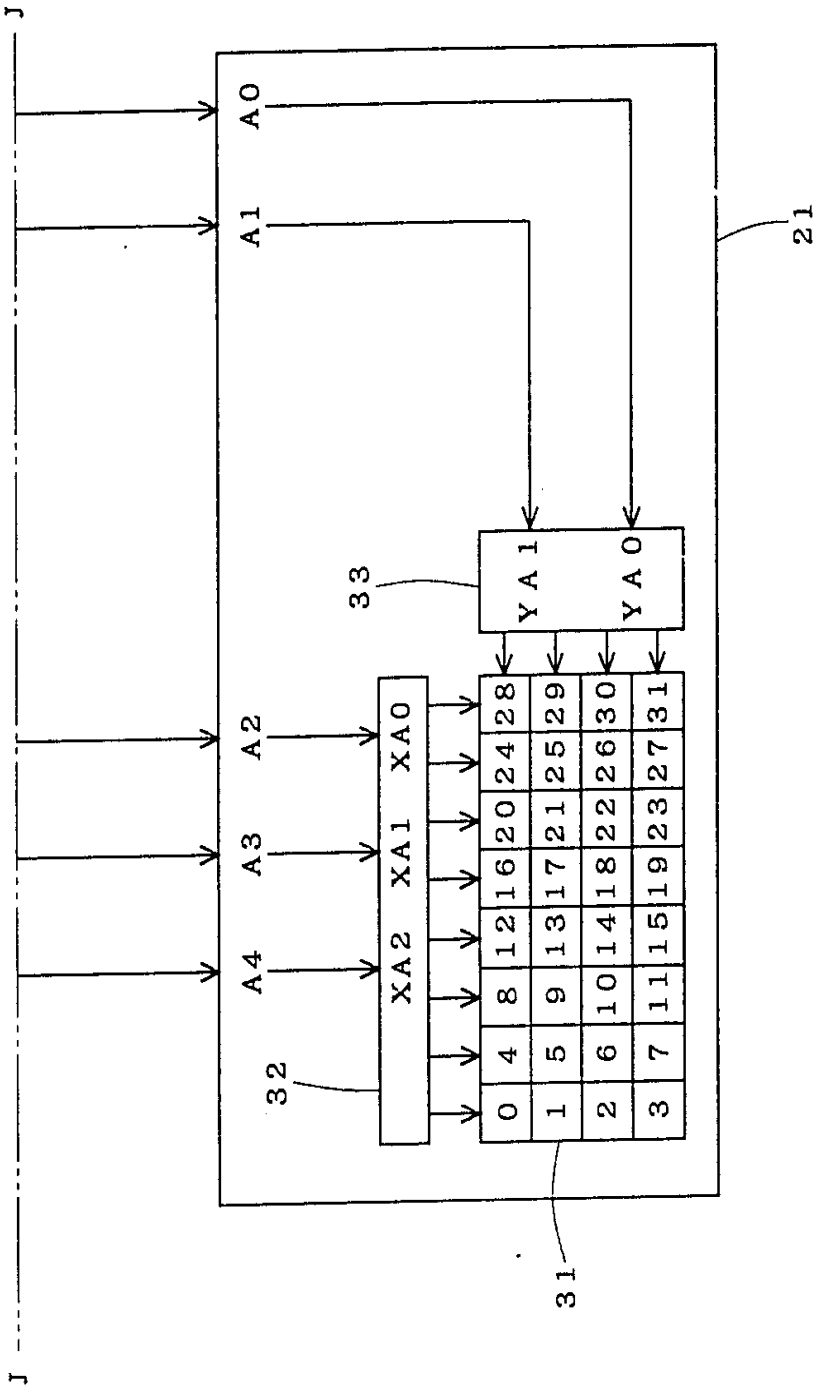

SO
J
64A
77
A0
A1
0 1
44
37
45
141
146
MODE2
MODE1
142
A2
66
72
A3
145
A4
62A
0 1
73
71
61B
67
74
63
SM
SI
J

図 36


J
J
A0
A1
A2
A3
A4
XA2 XA1 XA0
YA1 YA0
0 4 8 12 16 20 24 28
1 5 9 13 17 21 25 29
2 6 10 14 18 22 26 30
3 7 11 15 19 23 27 31
21
31
32
33

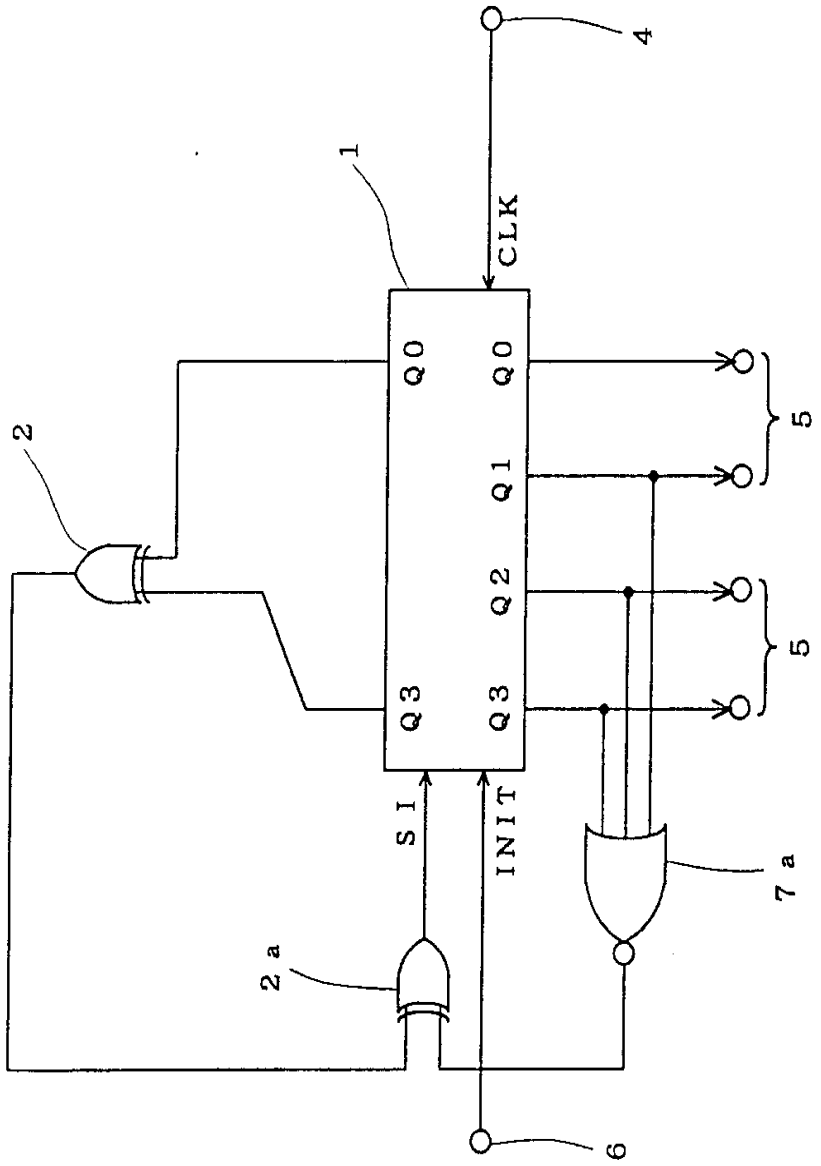


図 37

图 38

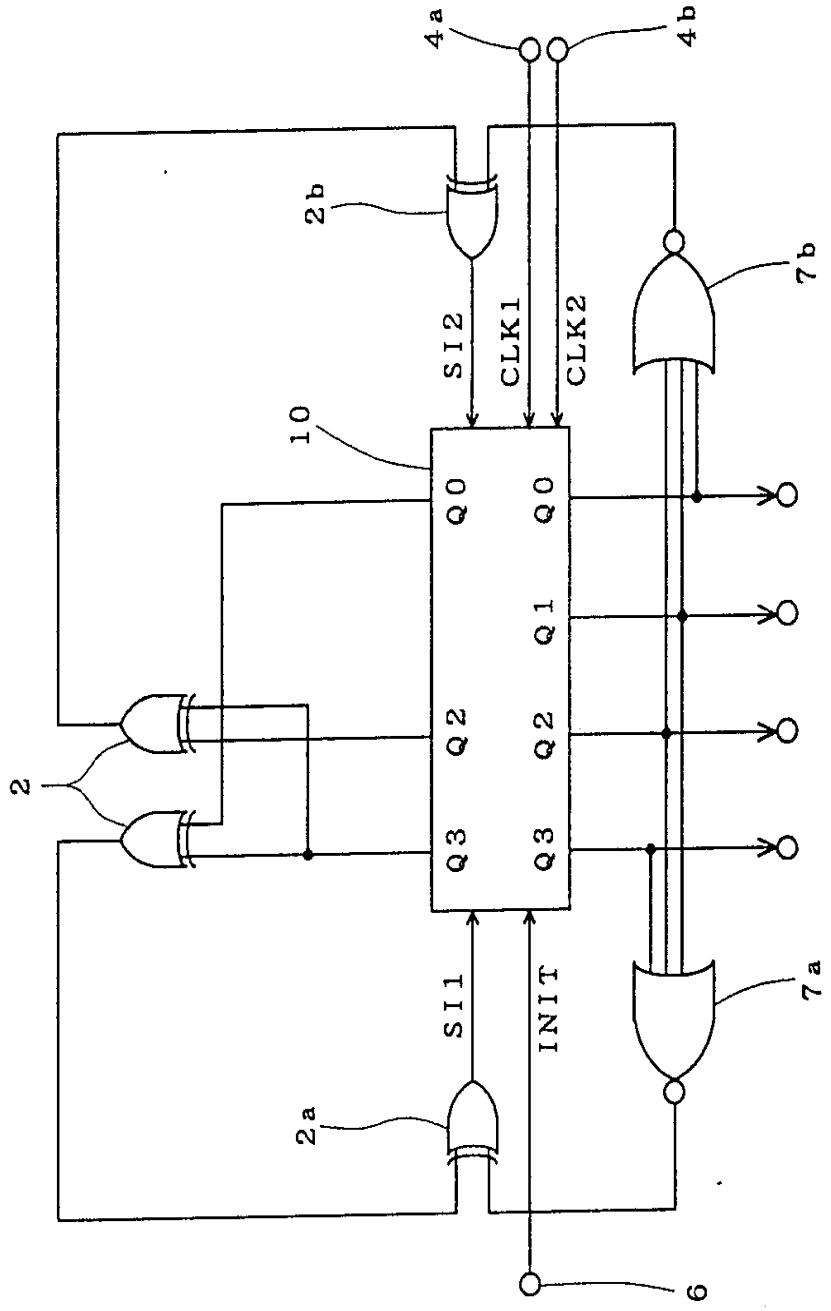


图 39

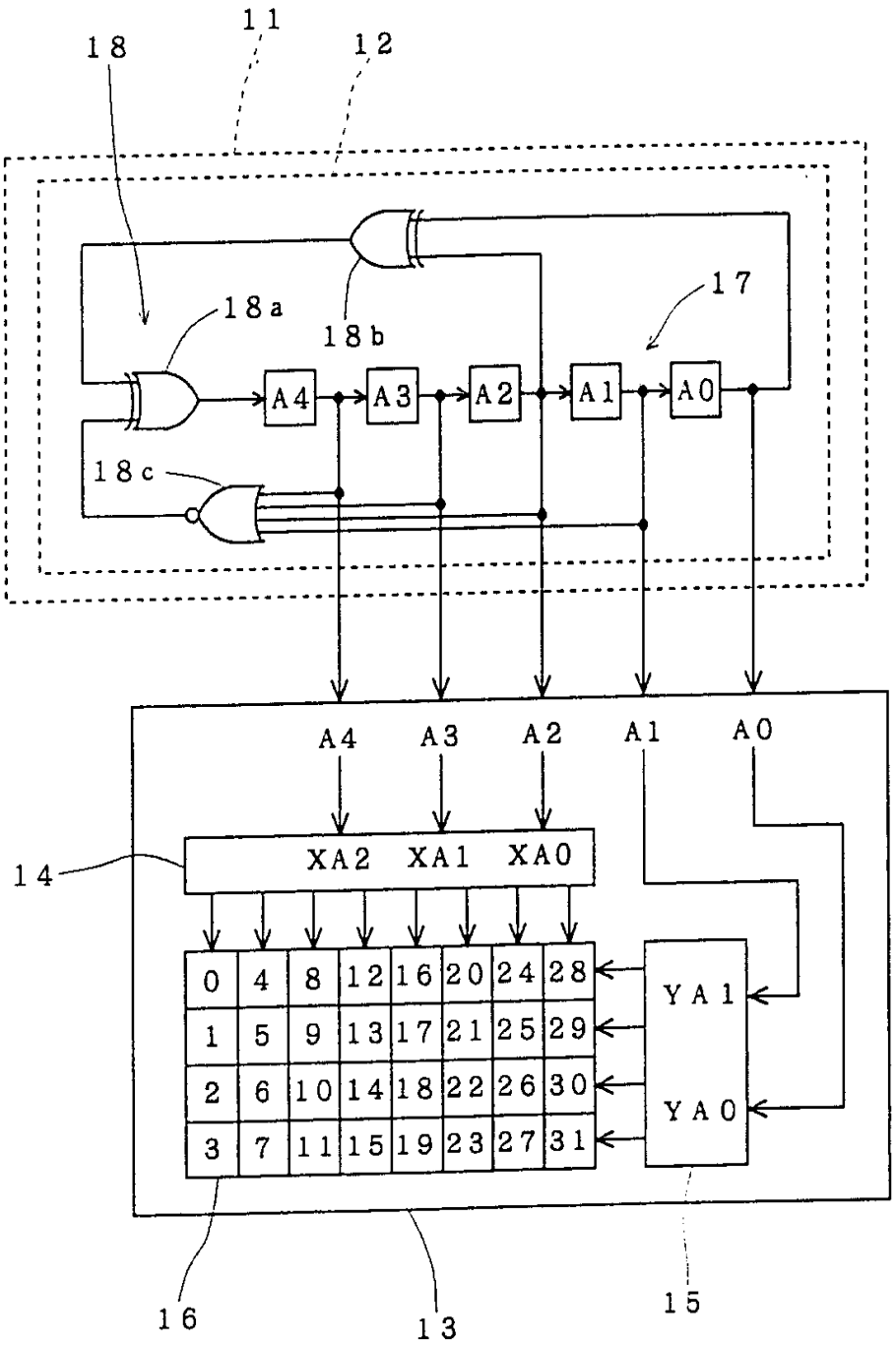

11
12
18
18a
18b
17
18c
A4
A3
A2
A1
A0
XA2
XA1
XA0
14
0 4 8 12 16 20 24 28
1 5 9 13 17 21 25 29
2 6 10 14 18 22 26 30
3 7 11 15 19 23 27 31
YA1
YA0
16
13
15

图 40

时间 T	A4 (XA2)	A3 (XA1)	A2 (XA0)	A1 (YA1)	A0 (YA0)	地址 A4～0 (十进制)	X 地址 XA2～0 (十进制)	Y 地址 YA1～0 (十进制)
0	0	0	0	0	0	0	0	0
1	1	0	0	0	0	16	4	0
2	0	1	0	0	0	8	2	0
3	0	0	1	0	0	4	1	0
4	1	0	0	1	0	18	4	2
5	0	1	0	0	1	9	2	1
6	1	0	1	0	0	20	5	0
7	1	1	0	1	0	26	6	2
8	0	1	1	0	1	13	3	1
9	0	0	1	1	0	6	1	2
10	1	0	0	1	1	19	4	3
11	1	1	0	0	1	25	6	1
12	1	1	1	0	0	28	7	0
13	1	1	1	1	0	30	7	2
14	1	1	1	1	1	31	7	3
15	0	1	1	1	1	15	3	3
16	0	0	1	1	1	7	1	3
17	0	0	0	1	1	3	0	3
18	1	0	0	0	1	17	4	1
19	1	1	0	0	0	24	6	0
20	0	1	1	0	0	12	3	0
21	1	0	1	1	0	22	5	2
22	1	1	0	1	1	27	6	3
23	1	1	1	0	1	29	7	1
24	0	1	1	1	0	14	3	2
25	1	0	1	1	1	23	5	3
26	0	1	0	1	1	11	2	3
27	1	0	1	0	1	21	5	1
28	0	1	0	1	0	10	2	2
29	0	0	1	0	1	5	1	1
30	0	0	0	1	0	2	0	2
31	0	0	0	0	1	1	0	1