

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 8 月 23 日(23.08.2012)



(10) 国際公開番号

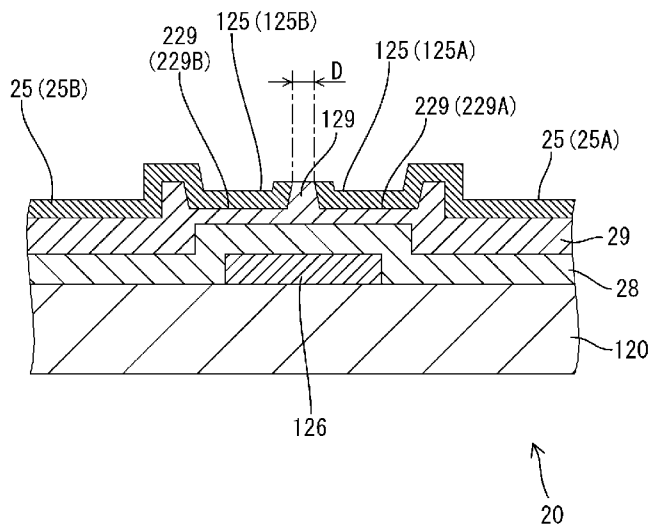
WO 2012/111522 A1

- (51) 国際特許分類:
G02F 1/1343 (2006.01) G09F 9/30 (2006.01)
G02F 1/1368 (2006.01) H04N 5/66 (2006.01)
- (21) 国際出願番号: PCT/JP2012/052955
- (22) 国際出願日: 2012 年 2 月 9 日(09.02.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-031224 2011 年 2 月 16 日(16.02.2011) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社(SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2 2 番 2 2 号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 黒田 達朗
(KURODA Tatsuro).
- (74) 代理人: 特許業務法人暁合同特許事務所(AKAT-SUKI UNION PATENT FIRM); 〒4600008 愛知県名古屋市中区栄二丁目 1 番 1 号 日土地名古屋ビル 5 階 Aichi (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ユーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: ACTIVE MATRIX SUBSTRATE, DISPLAY PANEL, DISPLAY DEVICE, AND TELEVISION RECEPTION DEVICE

(54) 発明の名称: アクティブマトリクス基板、表示パネル、表示装置、及びテレビ受信装置

【図4】



(57) Abstract: This substrate (20) is formed by forming pixel electrodes (25) in regions demarcated by a plurality of gate lines (26) and source lines (27) that are mutually intersecting. Capacity lines (126) are provided that form capacitance between pixel electrodes (25) and are disposed in parallel to the gate lines (26). The capacity lines (126) are disposed in a manner so as to be superimposed on the outer edges of adjacent pixel electrodes (25). Formed on the capacity lines (126) are: a first insulating film covering the capacity lines (126); and a second insulating film (29) formed on the first insulating film and provided with a protruding band (129) disposed in a manner so as to have a narrower line width than that of the capacity line (126) along the capacity line (126). The pixel electrodes (25) are on the second insulating film (29) and are formed in a manner so that the outer edges (125) of adjacent pixel electrodes (25, 25) each ride up onto the protruding band (129).

(57) 要約:

[続葉有]



本発明の前記基板 20 は、互いに交差する複数のゲート配線 26 及びソース配線 27 によって区画された領域に画素電極 25 を形成してなり、ゲート配線 26 に並列して配され、画素電極 25 との間で容量を形成する容量配線 126 を備え、容量配線 126 は、隣り合う画素電極 25 の外縁に重畳する形で配されるとともに、容量配線 126 上には、容量配線 126 を覆う第 1 絶縁膜と、第 1 絶縁膜上に形成される絶縁膜であって、容量配線 126 よりも線幅が狭く、容量配線 126 に沿うように配される凸条部 129 を備える第 2 絶縁膜 29 と、が形成され、画素電極 25 は、第 2 絶縁膜 29 上であって隣り合う画素電極 25、25 の外縁 125 がそれぞれ凸条部上 129 に乗り上がる形で形成されている。

明 細 書

発明の名称：

アクティブマトリクス基板、表示パネル、表示装置、及びテレビ受信装置
技術分野

[0001] 本発明は、アクティブマトリクス基板、表示パネル、表示装置、及びテレビ受信装置に関する。

背景技術

[0002] 液晶表示装置に用いられる液晶パネル（表示パネルの一種）は、互いに向かい合うように配置される一対の基板と、これらの基板間で挟まれた液晶層等からなる。これらの基板のうち、一方の基板は、表面に複数個の薄膜トランジスタ及び画素電極がマトリクス状に配設されたアクティブマトリクス基板からなる。

[0003] アクティブマトリクス基板上の薄膜トランジスタ及び画素電極は、液晶パネルの各画素に対応するように割り当てられる。各画素における薄膜トランジスタ及び画素電極は、互いに交差するようにアクティブマトリクス基板上に配設されている複数本のゲート配線及びソース配線等によって区画されている。

[0004] ところで、画素電極の一部は、アクティブマトリクス基板を平面視した際に、ゲート配線（又は容量配線）の一部と、絶縁膜（層間絶縁膜）等を介して重畳するような形になっている。このように画素電極の一部を配置することによって、画素電極とゲート配線との間で容量を形成している（例えば、特許文献1 参照）。各画素の容量を確保する観点からは、画素電極が前記ゲート配線と多く重なることが好ましい。

先行技術文献

特許文献

[0005] 特許文献1：特開平11-142879号公報

[0006] （発明が解決しようとする課題）

しかしながら、アクティブマトリクス基板における各画素電極の外縁を、前記ゲート配線と多く重ねようとする、ゲート配線を挟んで隣り合った画素電極同士が近付き過ぎて、互いに電氣的に接続し、所謂、リークが発生する虞がある。リークが発生すると、それらの画素は2個連続した表示不良（例えば、輝点）となり、問題となっている。

発明の概要

[0007] 本発明の目的は、容量配線を挟んで隣り合った画素電極同士の間隔を狭く設定することが可能なアクティブマトリクス基板、その基板を備えた表示パネル、その表示パネルを備えた表示装置、及びその表示装置を備えたテレビ受信装置を提供することである。

[0008] (課題を解決するための手段)

本発明に係るアクティブマトリクス基板は、互いに交差する複数のゲート配線およびソース配線によって区画された領域に画素電極を形成してなるアクティブマトリクス基板であって、前記ゲート配線に並列して配され、前記画素電極との間で容量を形成する容量配線を備え、前記容量配線は、隣り合う前記画素電極の外縁に重畳する形で配されるとともに、前記容量配線上には、当該容量配線を覆う第1絶縁膜と、前記第1絶縁膜上に形成される絶縁膜であって、前記容量配線よりも線幅が狭く、前記容量配線に沿うように配される凸条部を備える第2絶縁膜と、が形成され、前記画素電極は、前記第2絶縁膜上であって隣り合う当該画素電極の外縁がそれぞれ前記凸条部上に乗り上がる形で形成されていることを特徴とする。

[0009] 前記アクティブマトリクス基板において、前記凸条部が、2つの端部と、それらで挟まれた中間部とからなり、前記端部における高さが、前記中間部の高さよりも低く設定されてもよい。

[0010] 前記アクティブマトリクス基板において、前記凸条部が、2つ端部と、それらで挟まれた中間部とからなり、前記端部における線幅が、前記中間部における線幅よりも狭く設定されてもよい。

[0011] 前記アクティブマトリクス基板において、前記画素電極の端部が、前記容

量配線に沿って延びた帯状であり、その帯状の端部における両端に切り欠き部を有することが好ましい。

[0012] 本発明に係る表示パネルは、前記アクティブマトリクス基板を備える。

[0013] 本発明に係る表示装置は、照明装置と、前記照明装置からの光を利用して表示を行う前記表示パネルとを備える。

[0014] 本発明に係るテレビ受信装置は、前記表示装置を備える。

[0015] (発明の効果)

本発明によれば、容量配線を挟んで隣り合った画素電極同士の間隔を狭く設定することが可能なアクティブマトリクス基板、その基板を備えた表示パネル、その表示パネルを備えた表示装置、及びその表示装置を備えたテレビ受信装置を提供できる。

図面の簡単な説明

[0016] [図1]実施形態1に係るテレビ受信装置の概略構成を示す分解斜視図

[図2]液晶表示装置の断面構成を概略的に示す断面図

[図3]液晶パネルを構成するアレイ基板の画素構成を概略的に示す平面図

[図4]図3に示されるアレイ基板のA-A断面図

[図5]透明基板上にゲート配線及び容量配線を形成する工程を示す図

[図6]透明基板上に、第1絶縁膜、半導体膜及び導電膜を形成する工程を示す図

[図7]第2導電膜上に、パターニングされたフォトレジスト層を形成する工程を示す図

[図8]第2導電膜をウェットエッチングする工程を示す図

[図9]第1導電膜及び半導体膜をドライエッチングする工程を示す図

[図10]フォトレジスト層に対してアッシングを行う工程を示す図

[図11]開口領域に対応する部分の第2導電膜をウェットエッチングする工程を示す図

[図12]開口領域に対応する部分の第1導電膜及び半導体膜をドライエッチングする工程を示す図

[図13]第2導電膜上のフォトレジスト層をアッシングする工程を示す図

[図14]アレイ基板上に、第2絶縁膜を形成する工程を示す図

[図15]第2絶縁膜上に形成されているフォトレジスト層を第3のフォトマスクを介して露光する工程を示す図

[図16]露光後のフォトレジスト層を現像する工程を示す図

[図17]エッチングされた第2絶縁膜を示す図

[図18]第2絶縁膜上の透明導電膜をパターニングして画素電極を形成する工程を示す図

[図19]実施形態2のアレイ基板の断面図

[図20]実施形態2において、第3のフォトマスクを介して露光されたフォトレジスト層を現像する工程を示す図

[図21]エッチングされた第2絶縁膜を示す図

[図22]第2絶縁膜上の透明導電膜をパターニングして画素電極を形成する工程を示す図

[図23]実施形態3のアレイ基板における画素電極の外縁を示す平面図

[図24]実施形態4のアレイ基板における画素電極の外縁を示す平面図

[図25]実施形態5のアレイ基板における画素電極の外縁を示す平面図

[図26]実施形態6のアレイ基板における画素電極の外縁を示す平面図

発明を実施するための形態

[0017] <実施形態1>

本発明の実施形態1を、図1ないし図18によって説明する。本実施形態では、液晶表示装置10を構成する液晶パネルに備えられるアクティブマトリクス基板について例示する。なお、図2に示される上側を表側とし、下側を裏側とする。

[0018] 図1は、実施形態1に係るテレビ受信装置の概略構成を示す分解斜視図である。図2は、液晶表示装置の断面構成を概略的に示す断面図である。図1に示されるように、テレビ受信装置TVは、液晶表示装置（表示装置）10と、この液晶表示装置10を挟むようにして収容する表裏両キャビネットC

a, C bと、電源Pと、チューナーTと、スタンドSとを備えている。液晶表示装置10は、全体として横長の四角形をなし、図2に示されるように、表示パネルである液晶パネル11と、外部光源であるバックライト装置（照明装置）12とを備え、これらがベゼル13等により一体的に保持されるように構成されている。

[0019] バックライト装置12は、液晶パネル11の背面直下に光源が配置されるように構成されており、所謂、直下型である。バックライト装置12は、表側（光出射側、液晶パネル11側）に開口したシャーシ14と、このシャーシ14内に敷設される反射シート（反射部材）15と、シャーシ14の開口部分に取り付けられる光学部材16と、光学部材16を固定するためのフレーム17と、シャーシ14内に並列した状態で収容される複数本の冷陰極管（光源）18と、冷陰極管18の端部を遮光するとともに自身が光反射性を備えているランプホルダ（不図示）と、を有して構成されている。

[0020] 液晶パネル11は、主として、透光性のアレイ基板（アクティブマトリクス基板）20と、このアレイ基板20と対向するように配置される透光性の対向基板（カラーフィルタ基板）21と、これらの間に封入される液晶層とを備える。この液晶層には、電界印加に伴って光学特性が変化する物質である液晶材料が含まれている。アレイ基板20は、液晶パネル11の裏側（バックライト装置12側）に配され、対向基板21は、その裏側（光出射側）に配される。なお、両基板20, 21の外側には、表裏一對の偏光板23, 23がそれぞれ貼り付けられている。

[0021] ここで、アレイ基板20について説明する。図3は、液晶パネルを構成するアレイ基板の画素構成を概略的に示す平面図である。アレイ基板20は、透明なガラス基板（以下、透明基板）と、この内面側（液晶層側、対向基板との対向面側）にマトリクス状に配設されている複数個の薄膜トランジスタ（以下、TFT）24及び画素電極25等を備えている。TFT24はスイッチング素子として利用され、このTFT24に対して画素電極25が電氣的に接続されている。TFT24は、半導体素子からなり、アモルファスシ

リコン（ $a-Si$ ）等からなる半導体膜 124 を含む。画素電極 25 は、例えば、ITO（インジウム錫酸化物）等の透明導電膜からなる。

[0022] TFT 24 及び画素電極 25 は、1つの画素に対して、それぞれ1つずつ割り当てられている。そして各画素に割り当てられている画素電極 25 は、透明基板の内面側に形成されているゲート配線 26、容量配線 126 及びソース配線 27 によって区画されている。ゲート配線 26 は、各画素の TFT 24 に対して走査信号を供給し、容量配線 26 は、各画素に対して容量を形成するための電気信号を供給し、ソース配線 27 は、各画素に対して画像信号を供給する。これらの配線 26、126、27 は、いずれも導電材料からなる。

[0023] ゲート配線 26 は、互いに平行に並ぶように透明基板の内面側に複数本形成されている。そして、容量配線 126 は、隣り合ったゲート配線 26、26 の間に配されるように、透明基板の内面側に複数本形成されている。また、ソース配線 27 は、ゲート配線 26 及び容量配線 126 に対してそれぞれ交差するように、透明基板の内面側に複数本形成されている。

[0024] 各画素に割り当てられている TFT 24 は、後述する第1絶縁膜を介してゲート配線 26 と対向するように設けられている。また、TFT 24 はソース電極 24a 及びドレイン電極 24b を備えており、ソース 24a はソース配線 27 と接続され、ドレイン電極 24b は、画素電極 25 と接続されている。

[0025] 例えば、図3に示されている画素電極 25（25A）は、互いに平行に並んだゲート配線 26 及び容量配線 126 と、これらと交差するように形成されている2本のソース配線 27、27 とで囲まれている。図3に示されるように、本実施形態の画素電極 25 は、平面視した際の形状が、全体として矩形状であり、画素電極 25 の外縁のうち、1つの辺に対応する部分 125（125A）が、後述する第1絶縁膜等を介して容量配線 126 と重なるように配置されている。

[0026] また、上述した画素電極 25A に対して用配線 126 を挟んで隣接する他

の画素電極 2 5 B についても、その外縁 1 2 5 (1 2 5 B) が、容量配線 1 2 6 と重なるように配置されている。

[0027] 図 4 は、図 3 に示されるアレイ基板の A - A 断面図である。図 4 に示されるように、アレイ基板 2 0 は、透明基板 1 2 0 上に容量配線 1 2 6 が形成されており、その容量配線 1 2 6 を覆うように透明基板 1 2 0 上に第 1 絶縁膜 2 8 が形成されている。そして、この第 1 絶縁膜 2 8 を覆うように、第 2 絶縁膜 (層間絶縁膜) 2 9 が形成されている。第 2 絶縁膜 2 9 のうち、容量配線 1 2 6 を覆う部分に、凸条部 1 2 9 が設けられている。この凸条部 1 2 9 は、第 2 絶縁膜 2 9 の一部であり、容量配線 1 2 6 の配線方向に沿って延びた線状の突起である。なお、本実施形態の凸条部 1 2 9 は、容量配線 1 2 6 の中央に配置されている。

[0028] また、本実施形態の凸条部 1 2 9 は、2 本の溝 2 2 9 (2 2 9 A , 2 2 9 B) で挟まれている。これらの溝 2 2 9 (2 2 9 A , 2 2 9 B) は、第 2 絶縁膜 2 9 をその表面から掘り込んで形成される。

[0029] 図 4 に示されるように、第 2 絶縁膜 2 0 を覆うように、画素電極 2 5 (2 5 A , 2 5 B) が形成されている。そしてその外縁 1 2 5 (1 2 5 A , 1 2 5 B) は、凸条部 1 2 9 に乗り上がるような形状となっている。画素電極 2 5 A の外縁 1 2 5 A と、それと隣接する画素電極 2 5 B の外縁 1 2 5 B とが、凸条部 1 2 9 を挟んで間隔 (隙間) D を保ちつつ互いに向かい合っている。画素電極 2 5 の外縁 1 2 5 は、第 2 絶縁膜 2 9 等を介して容量配線 1 2 6 と対向するように設けられている。つまり、アレイ基板 2 0 を平面視した際に、画素電極 2 5 の外縁 1 2 5 は、容量配線 1 2 6 と重畳する形となっている。

[0030] なお、アレイ基板 2 0 の端部には、ゲート配線 2 6 から引き回された端子部と、ソース配線 2 7 から引き回された端子部と、容量配線 1 2 6 から引き回された端子部とがそれぞれ設けられており、これらの各端子部には、外部回路から信号が入力され、それによって各画素の T F T 2 4 の駆動が制御される。また、アレイ基板 2 0 の内面側には、液晶層中の液晶分子を配向させ

るための配向膜が形成されている。

[0031] 次いで、対向基板 21 について説明する。対向基板 21 は、透明なガラス基板上に、複数個のカラーフィルタがマトリクス状に配設されている。これらのカラーフィルタは、アレイ基板 20 上の各画素電極 25 と対向するように設けられており、格子状のブラックマトリクス（遮光部）によって区画されている。このブラックマトリクスは、アレイ基板 20 上のゲート配線 26，容量配線 126 及びソース配線 27 と対向するように設けられている。なお、対向基板 21 の内面側にも、液晶層中の液晶分子を配向させるための配向膜が形成されている。

[0032] ここで、アレイ基板 20 の製造工程を説明する。本実施形態のアレイ基板 20 は、その製造過程で、合計 4 枚のフォトマスクが利用される。具体的には、第 1 のフォトマスクを利用して、パターニングされたゲート配線 26 及び容量配線 126 が形成され、第 2 のフォトマスクを利用して、パターニングされたソース電極 24a，ドレイン電極 24b，ソース配線 27 及び半導体膜 124 が形成され、第 3 のフォトマスクを利用して、パターニングされた第 2 絶縁膜が形成され、第 4 のフォトマスクを利用して、パターニングされた画素電極 25 が形成される。

[0033] 本実施形態では、第 2 のフォトマスク及び第 3 のフォトマスクとして、露光量を領域毎に異ならせることが可能な半透過膜を含んだハーフトーンマスク、又はスリットによる半透過領域を含むグレートーンマスクが利用される。以下、具体的にアレイ基板 20 の各製造工程を図 5 ないし図 18 を参照しつつ説明する。なお、図 5 ないし図 18 には、図 3 に示されるアレイ基板 20 の B-B 断面に対応する部分が示されている。

[0034] 図 5 は、透明基板上にゲート配線及び容量配線を形成する工程を示す図である。まず、アレイ基板 20 の土台部分となる透明基板 120 の表面が洗浄される。その後、乾燥させた透明基板 120 の表面上に、所定の厚みを持った金属膜が形成される。この金属膜は、例えば、スパッタリング法を利用して形成される。金属膜としては、例えば、アルミニウム（Al）、クロム（

C r)、タンタル(T a)、チタン(T i)、又は銅(C u)等からなる単体(単層)の金属膜、又はこれらに金属窒化物を積層した積層物等からなる。

[0035] 次いで、前記金属膜上にフォトレジストを塗布し、その金属膜の全面にフォトレジスト層(第1のフォトレジスト層)を形成する。その後、そのフォトレジスト層に対して、第1のフォトマスクを介して露光する。なお、第1のフォトマスクには、光透過部及び遮光部からなる第1パターンが形成されている。露光後のフォトレジスト層を、現像液を利用して現像すると、そのフォトレジスト層には、前記第1パターンに基づくパターンが形成される。そして、そのパターンが形成されたフォトレジスト層をマスクとして、前記金属膜をエッチング(例えば、ウェットエッチング又はドライエッチング)する。すると、図5に示されるように、透明基板120上に、それぞれパターンニングされたゲート配線26と容量配線126とが形成される。

[0036] 図6は、透明基板上に、第1絶縁膜、半導体膜及び導電膜を形成する工程を示す図である。図6に示されるように、ゲート配線26及び容量配線126が形成された透明基板120上に、第1絶縁膜28と、半導体膜124と、導電膜31とがこの順で積層される。これらのうち、導電膜31は、二層構造であり、ドーピング半導体膜からなる下層側の第1導電膜31aと、金属膜からなる上層側の第2導電膜31bとからなる。

[0037] 第1絶縁膜28は、所謂、ゲート絶縁膜からなり、ゲート配線26及び容量配線126を覆うように透明基板120上に形成される。第1絶縁膜28は、例えば、プラズマCVD等のCVD法(化学気相成長法)を利用して形成される。第1絶縁膜28は、例えば、プラズマCVD法等のCVD法を利用して形成される。半導体膜124は、例えば、アモルファスシリコン(a-Si)等からなる。

[0038] 第1導電膜31aは、例えば、スパッタリング法を利用して形成される。第1導電膜31aは、例えば、リン(P)等のn型不純物が高濃度でドーピングされたアモルファスシリコン(n+Si)等からなる。第2導電膜31

bは、例えば、スパッタリング法を利用して形成される。第2導電膜31bは、例えば、アルミニウム（Al）、クロム（Cr）、タンタル（Ta）、チタン（Ti）、又は銅（Cu）等からなる単体（単層）の金属膜、又はこれらに金属窒化物を積層した積層物等からなる。

[0039] 次いで、第2導電膜31b上にフォトレジストを塗布し、その第2導電膜31bの全面にフォトレジスト層（第2フォトレジスト層）を形成する。その後、そのフォトレジスト層に対して、第2のフォトマスクを介して露光する。なお、第2のフォトマスクは、上述したようにハーフトーンマスク、又はグレートーンマスクからなる。そして、この第2のフォトマスクには、光透過部、この光透過部よりも光透過量が少ない半透過部、及び遮光部からなる第2パターンが形成されている。露光後のフォトレジスト層を、現像液を利用して現像すると、そのフォトレジスト層には、前記第2パターンに基づくパターンが形成される。

[0040] 図7は、第2導電膜上に、パターニングされたフォトレジスト層を形成する工程を示す図である。図7に示されるように、フォトレジスト層32は、最も厚みがある部分32aと、その部分32よりも厚みが少なく表面が窪んだ部分32bを含んでいる。例えば、フォトレジストがポジ型の場合、最も厚みがある部分32aは、露光時に第2のフォトマスクの遮光部に対応し、前記部分32bは半透過部に対応する。そして、第2導電膜31b上にフォトレジスト層32が形成されていない部分は、第2のフォトマスクの光透過部に対応する。

[0041] なお、フォトレジスト層32の前記部分32aは、ソース電極24a及びドレイン電極24bに対応し、前記部分32bは、ソース電極24aとドレイン電極24bとの間に形成されるTF T 24の開口領域に対応する。

[0042] 次いで、パターニングされたフォトレジスト層32をマスクとして、導電膜31及び半導体膜124に対して、二段階でエッチングを行う。先ず、導電膜31の上層側にある第2導電膜31bに対して、ウェットエッチングを行う。図8は、第2導電膜をウェットエッチングする工程を示す図である。

図 8 に示されるように、フォトリジスト層 3 2 で覆われていない部分の第 2 導電膜 3 1 b (図 7 参照) はウェットエッチングにより除去され、フォトリジスト層 3 2 で覆われている部分の第 2 導電膜 3 1 b は、ウェットエッチング後も残存する。

[0043] 続いて、フォトリジスト層 3 2 をマスクとして、第 1 導電膜 3 1 a 及び半導体膜 1 2 4 に対して、ドライエッチングを行う。図 9 は、第 1 導電膜及び半導体膜をドライエッチングする工程を示す図である。図 9 に示されるように、フォトリジスト層 3 2 で覆われていない部分の第 1 導電膜 3 1 a 及び半導体膜 1 2 4 (図 8 参照) はドライエッチングにより除去され、フォトリジスト層 3 2 で覆われている部分の第 1 導電膜 3 1 a 及び半導体膜 1 2 4 は、ドライエッチング後も残存する。

[0044] 上記のように、フォトリジスト層 3 2 を利用して二段階でエッチングを行った後、そのフォトリジスト層 3 2 に対してアッシングを行う。このアッシングによって、フォトリジスト層 3 2 のうち、厚みが少ない部分 3 2 b が除去される。アッシングとしては、例えば、酸素プラズマが利用される。図 10 は、フォトリジスト層に対してアッシングを行う工程を示す図である。図 10 に示されるように、フォトリジスト層 3 2 のうち、厚みが少ない部分 3 2 b (図 9 参照) が削られて、除去される。そして、フォトリジスト層 3 2 の部分 3 2 a は、アッシングによって削られて厚みが少なくなっている。

[0045] 次いで、アッシング後のフォトリジスト層 3 2 をマスクとして、導電膜 3 1 及び半導体膜 1 2 4 に対して、二段階でエッチングを行う。まず、導電膜 3 1 の上層側である第 2 導電膜 3 1 b に対して、ウェットエッチングを行う。図 11 は、開口領域に対応する部分の第 2 導電膜をウェットエッチングする工程を示す図である。図 11 に示されるように、フォトマスク層 3 2 で覆われていない開口領域 3 3 に対応する部分の第 2 導電膜 3 1 b は、ウェットエッチングによって除去される。なお、フォトマスク層 3 2 で覆われている部分の第 2 導電膜 3 1 b はウェットエッチング後も残存する。

[0046] 続いて、フォトリジスト層 3 2 をマスクとして、第 1 導電膜 3 1 a 及び半

導体膜 1 2 4 に対して、ドライエッチングを行う。図 1 2 は、開口領域に対応する部分の第 1 導電膜及び半導体膜をドライエッチングする工程を示す図である。図 1 2 に示されるように、フォトレジスト層 3 2 で覆われていない開口領域 3 3 に対応する部分の第 1 導電膜 3 1 a は、ドライエッチングにより除去される。また、開口領域 3 3 に対応する部分の半導体膜 1 2 4 は、ドライエッチングによって表面が僅かに削られて厚みがその削られた分だけ少なくなる。なお、フォトマスク層 3 2 で覆われている部分の第 1 導電膜 3 1 a 及び半導体膜 1 2 4 は、ドライエッチング後も残存する。

[0047] その後、フォトレジスト層 3 2 に対して、酸素プラズマ等を利用してアッシングすることによって、第 2 導電膜 3 1 b 上からフォトレジスト層 3 2 が除去される。図 1 3 は、第 2 導電膜上のフォトレジスト層をアッシングする工程を示す図である。図 1 3 に示されるように、アッシングによって第 2 導電膜 3 1 b 上からフォトレジスト層 3 2 が除去される。すると、ゲート配線 2 6 の上側には、T F T 2 4 が形成される。そして、この T F T 2 4 には、半導体膜 1 2 4 上に形成されている第 1 導電膜 3 1 a 及び第 2 導電膜 3 1 b からなるソース電極 2 4 a と、同じく第 1 導電膜 3 1 a 及び第 2 導電膜 3 1 b からなるドレイン電極 2 4 b とが設けられている。

[0048] 上記のように、T F T 2 4 が形成された後、アレイ基板 2 0 上に、所定の厚みを持った第 2 絶縁膜（層間絶縁膜）2 9 が形成される。図 1 4 は、アレイ基板 2 0 上に、第 2 絶縁膜を形成する工程を示す図である。図 1 4 に示されるように、第 2 絶縁膜 2 9 はアレイ基板 2 0 上に形成されている T F T 2 4 及び第 1 絶縁膜 2 8 を覆うように形成される。第 2 絶縁膜 2 9 は、例えば、プラズマ C V D 法によって形成される。第 2 絶縁膜 2 9 は、例えば、窒化シリコン（S i N x）等の無機材料、アクリル樹脂材料等からなる。

[0049] 次いで、第 2 絶縁膜 2 8 上にフォトレジストを塗布し、その第 2 絶縁膜 2 8 の全面にフォトレジスト層（第 3 フォトレジスト層）を形成する。その後、そのフォトレジスト層に対して、第 3 のフォトマスクを介して露光する。図 1 5 は、第 2 絶縁膜 2 8 上に形成されているフォトレジスト層を第 3 のフ

フォトマスクを介して露光する工程を示す図である。図 15 には、容量配線 126 付近の断面図が示されている。第 3 のフォトマスク 35 は、上述したようにハーフトーンマスク、又はグレートーンマスクからなる。そして、この第 3 のフォトマスク 35 は、光透過部と、この光透過部よりも光透過量が少ない半透過部と、遮光部とからなる第 3 パターンが形成されている。

[0050] 図 15 に示されるように、容量配線 126 付近のフォトレジスト層 34 を露光する第 3 のフォトマスク 35 には、遮光部 35a, 35c 及び 35e と、半透過部 35b 及び 35d が設けられている。図 16 は、露光後のフォトレジスト層 34 を現像する工程を示す図である。露光後のフォトレジスト層 34 が、現像液で現像されると、そのフォトレジスト層 34 には、前記第 3 パターンに基づくパターンが形成される。

[0051] フォトレジストがポジ型の場合、半透過部 35b 及び 35d (図 15 参照) に対応するフォトレジスト層 34 の部分 34b 及び 35d は、遮光部 35a, 35c 及び 35e (図 15 参照) に対応するフォトレジスト層 34 の部分 34a, 34c 及び 34e よりも、現像後の厚みが薄くなり、フォトレジスト層 34 の表面に凹凸のパターンが形成される。図 16 に示されるように、フォトレジスト層 34 の部分 34c は、溝状に窪んだ部分 34b 及び 34d で挟まれており、凸状に盛り上がった形となっている。なお、第 3 のフォトマスク 35 の光透過部に対応するフォトレジスト層 34 の部分は、現像後、除去される。この部分は、後述するコンタクトホール形成に利用される。

[0052] 上記のようにパターンが形成されたフォトレジスト層 34 をマスクとして、第 2 絶縁膜 29 をエッチングする。エッチングとしては、ウェットエッチング又はドライエッチングが行われる。エッチング後のフォトレジスト層 34 はアッシングして除去される。図 17 は、エッチングされた第 2 絶縁膜 29 を示す図である。フォトレジスト層 34 の厚みの少ない部分 34b 及び部分 34d で覆われている第 2 導電膜 29 の部分には、溝 229 (229A, 229B) が形成されている。フォトレジスト層 34 の前記部分 34b に対

応して溝 2 2 9 B が形成され、そして前記部分 3 4 d に対応して溝 2 2 9 A が形成される。

[0053] また、前記部分 3 4 b と前記部分 3 4 d との間の厚みのある部分 3 4 c に対応して、第 2 絶縁膜 2 9 上に凸条部 1 2 9 が形成される。つまり、前記溝 2 2 9 A 及び溝 2 2 9 B が形成されると、それらの間で挟まれた部分が残って凸条部 1 2 9 となる。なお、前記溝 2 2 9 B の外側（凸条部 1 2 9 と反対側）には、前記溝 2 2 9 B に沿った外側凸部 3 2 9 B が形成され、前記溝 2 2 9 A の外側（凸条部 1 2 9 と反対側）には、前記溝 2 2 9 A に沿った外側凸部 3 2 9 A が形成される。このようにして、第 2 絶縁膜 2 9 がパターンニングされて、前記凸条部 1 2 9 等が形成される。なお、第 2 絶縁膜 2 9 には、画素電極 2 5 がドレイン電極 2 4 b と接続するために利用されるコンタクトホール 6 5 等も形成される（図 3 参照）。

[0054] 続いて、パターンニングされた第 2 絶縁膜 2 9 上に、所定の厚みを持った透明導電膜が形成される。透明導電膜は、例えば、スパッタリング法によって形成される。透明導電膜は、例えば、ITO からなる。図 1 8 は、第 2 絶縁膜上の透明導電膜をパターンニングして画素電極を形成する工程を示す図である。図 1 8 に示されるように、透明導電膜 2 5 0 は、凸条部 1 2 9 及び溝 2 2 9 等を覆うように第 2 絶縁膜 2 9 上に形成されている。そして、この透明導電膜 2 5 0 上に、フォトレジストが塗布されて、その全面にフォトレジスト層（第 4 フォトレジスト層）を形成する。そして、このフォトレジスト層 3 6 に対して、第 4 のフォトマスクを介して露光する。なお、第 4 のフォトマスクには、光透過部及び遮光部からなる第 4 パターンが形成されている。

[0055] 露光後のフォトレジスト層 3 6 を、現像液を利用して現像すると、そのフォトレジスト層 3 6 には、前記第 4 パターンに基づくパターンが形成される。図 1 8 に示されるように、フォトレジスト層 3 6 は、厚みがある部分 3 6 a 及び部分 3 6 c と、それらの間に配置し、フォトレジスト層 3 6 が除去された部分 3 6 b からなる。前記部分 3 6 は、透明導電膜 2 5 0 が露出しており、その透明導電膜 2 5 0 の下側に凸条部 1 2 9 が配置している。

[0056] このようにパターンが形成されたフォトリジスト層 36 をマスクとして、前記透明導電膜 250 のエッチングが行われる。エッチングとしては、ウェットエッチング又はドライエッチングが行われる。このエッチングによって、透明導電膜 250 がパターンニングされて、フォトリジスト層 36 で覆われていない部分 36b の透明導電膜 250 が除去される。そして、除去された透明導電膜 250 の下側から凸条部 129 が露出する。その後、フォトリジスト層 36 をアッシングして除去すると、図 3 及び図 4 に示されるような、形状の画素電極 25 が得られる。

[0057] 以上のような製造工程を経て製造された本実施形態のアレイ基板 20 は、容量配線 126 を挟んで隣り合った画素電極 25 (25A, 25B) の間隔を狭く設定することができる (図 3 及び図 4 参照)。以下、その理由を説明する。

[0058] 本実施形態の場合、図 3 に示されるように、画素電極 25 (25A) の外縁 125 (125A) と、画素電極 25 (25B) の外縁 125 (125B) とは、なるべく容量配線 126 に対して多く重なるように、第 2 絶縁膜 29 上に設けられている。つまり、画素電極 25B の外縁 125B は、溝 229B における表面 (底面) を覆い、画素電極 25A の外縁 125A は、溝 229A における表面 (底面) を覆うように配置している。そしてそれらの先端部分は、凸条部 129 を挟んで隙間 D を保ちつつ、凸条部 129 に乗り上がるような形状となっている。

[0059] つまり、画素電極 25 (25A, 25B) の外縁 125 (125A, 125B) は、凸条部 129 の縁に対して下側から上側に向かってせり上がるような状態になっている。初めに、このような状態で形成しておく、画素電極 25 (25A, 25B) の外縁 125 (125A, 125B) は、時間の経過と共に、その自重等によって、乗り上がった状態から下側に若干、ずり落ちる。つまり画素電極 25 (25A, 25B) の外縁 125 (125A, 125B) 同士は、時間の経過と共に、若干、互いに離れることになる。なお、画素電極 25 の外縁 125 が凸条部 129 からずれ落ちる程度は、極僅

かであり、通常、画素電極 25 と容量配線 126 との間で形成される容量には、殆ど影響はない。

[0060] したがって、本実施形態のアレイ基板 20 は、容量配線 126 を挟んで隣り合った画素電極 25 (25A, 25B) 同士の間隔を狭く設定することが可能である。なお、本実施形態のアレイ基板 20 は、上述したように、第 2 絶縁膜 29 をパターニングする工程において、その表面に凸条部 129 を形成できる。そのため、製造工程を増加させることなく、これまでの製造設備を利用して、効率的に凸条部 129 を有するアレイ基板 20 を製造できる。

[0061] <実施形態 2>

本発明の実施形態 2 を、図 19 ないし図 22 を参照しつつ説明する。本実施形態では、上記実施形態 1 と同様、液晶表示装置 10 を構成する液晶パネルに用いられるアクティブマトリクス基板 (アレイ基板) について例示する。

[0062] 図 19 は、実施形態 2 のアレイ基板の断面図である。このアレイ基板 20A の基本的な構造は、実施形態 1 のものと同様である。図 19 に示されるアレイ基板 20A は、図 4 に示される実施形態 1 のアレイ基板 20 と同様、容量配線 126 付近のものである。図 19 に示されるように、本実施形態の凸条部 129A は、実施形態 1 のものよりも高さ (厚み) がある。この凸条部 129A は、溝 229 (229A, 229B) を実施形態 1 の場合よりも深く掘り下げることによって形成される。本実施形態の場合、溝 229 (229A, 229B) は、第 2 絶縁膜 29 を貫通するように設けられている。

[0063] このような凸条部 129A を備えるアレイ基板 20A は、基本的には、上述した実施形態 1 の製造工程と同様の工程を経て、製造される。したがって、ここでは主として実施形態 1 の製造工程と異なる点を説明する。図 20 は、実施形態 2 において、第 3 のフォトリソマスクを介して露光されたフォトリソレジスト層を現像する工程を示す図である。図 20 に示されるように、露光後のフォトリソレジスト層 134 が現像液で現像されると、フォトリソレジスト層 134 はパターニングされて、厚みのある部分 134a, 134e 及び 134d と

、除去された部分 1 3 4 b 及び 1 3 4 d とが形成される。なお、図 2 0 には、実施形態 1 の場合と同様、容量配線 1 2 6 付近の断面図が示されている。

[0064] この図 2 0 に示される内容は、実施形態 1 の図 1 6 に示される内容に対応するものであり、実施形態 1 の場合と比べて、フォトリジスト層 1 3 4 の部分 1 3 4 b 及び 1 3 4 d における厚みが少なく設定されている。本実施形態では、このようなパターンがフォトリジスト層 1 3 4 に形成されるように、第 3 のフォトマスクのパターンが設定される。

[0065] 次に、上記のようなパターンが形成されたフォトリジスト層 1 3 4 をマスクとして、第 2 絶縁膜 2 9 を実施形態 1 と同様、エッチングする。その後、フォトリジスト層 1 3 4 は、実施形態 1 と同様、アッシングして除去される。図 2 1 は、エッチングされた第 2 絶縁膜を示す図である。図 2 1 に示されるように、第 2 絶縁膜 2 9 がエッチングされて、容量配線 1 2 6 を覆う第 1 絶縁膜 2 8 上に、凸条部 1 2 9 A と、溝 2 2 9 (2 2 9 A, 2 2 9 B) が形成される。

[0066] その後、第 2 絶縁膜 2 9 を覆うように、実施形態 1 と同様、透明導電膜 2 5 0 が形成され、更に、その透明導電膜 2 5 0 を覆うように、フォトリジスト層 3 6 が形成される。その後、そのフォトリジスト層 3 6 に対して第 4 のフォトマスクを介して露光すると、パターニングされたフォトリジスト層 3 6 が透明導電膜 2 5 0 上に形成される。図 2 2 は、第 2 絶縁膜上の透明導電膜をパターニングして画素電極を形成する工程を示す図である。図 2 2 に示されるように、パターニングされたフォトリジスト層 3 6 は、厚みのある部分 3 6 a 及び 3 6 c と、凸条部 1 2 9 A を覆う部分の透明導電膜 2 5 0 が露出した部分 3 6 b とからなる。このフォトリジスト層 3 6 をマスクとして、透明導電膜 2 5 0 をエッチングすると、図 1 9 に示されるようなパターニングされた画素電極 2 5 が得られる。

[0067] 本実施形態のアレイ基板 2 0 A も、実施形態 1 と同様、容量配線 1 2 6 を挟んで隣り合った画素電極 2 5 (2 5 A, 2 5 B) 同士の間隔を狭く設定することが可能である。なお、本実施形態のアレイ基板 2 0 A も、上述したよ

うに、第2絶縁膜29をパターニングする工程において、その表面に凸条部129Aを形成できる。そのため、製造工程を増加させることなく、これまでの製造設備を利用して、効率的に凸条部129Aを有するアレイ基板20Aを製造できる。また、本実施形態のアレイ基板20Aは、実施形態1のものと比べて、画素電極25の外縁125がより乗り上がる（せり上がる）ような形状となっている。外縁125がこのような形状であると、実施形態1と比べて、画素電極25（25A、25B）同士は、互いに離れやすくなる。したがって、より確実に、画素電極25（25A、25B）同士を離れた状態で維持できる。

[0068] <実施形態3>

本発明の実施形態3を、図23を参照しつつ説明する。本実施形態では、上記実施形態1と同様、液晶表示装置10を構成する液晶パネルに用いられるアクティブマトリクス基板（アレイ基板）について例示する。

[0069] 図23は、実施形態3のアレイ基板における画素電極の外縁を示す平面図である。本実施形態のアレイ基板20Bにおける基本的な構造は、実施形態1のものと同様である。ただし、本実施形態のアレイ基板20Bにおける凸条部129Bは、実施形態1のものと形状が異なっている。

[0070] 本実施形態の凸条部129Bは、実施形態1のものと同様、容量配線126の配線方向に沿って線状に延びた構造であるものの、その両端部130B、131Bの線幅が、それらで挟まれた部分である中間部132Bの線幅よりも、狭く（細く）設定されている。凸条部129Bは、実施形態1と同様、第2絶縁膜29からなり、厚みは均一である。本実施形態の凸条部129Bは、その製造工程において、このような形状となるようにパターニングされる。

[0071] 凸条部129Bがこのような形状であると、その両端部130B、131Bに乗り上がる画素電極25の外縁125部分が、中間部132Bに乗り上がる画素電極25の外縁125部分と比べて、少なくなっており、凸条部129Bから離れ易くなっている。したがって、容量配線126を挟んで向か

い合った画素電極 25, 25 の隙間が、その両端において広くなる。

[0072] すると、透明導電膜 250 をウェットエッチングして画素電極 25 をパターンニングする際に、隣り合った画素電極 25, 25 同士を隔てるための溝（間隔 D）を形成し易くなる。ウェットエッチングの際に、不要な部分の透明導電膜（例えば、前記溝に相当する部分）は、溶剤と共に除去される必要がある。本実施形態のように、凸条部 129B の両端部 130B, 131B の線幅が狭く設定されていると、上述したように、容量配線 126 を挟んで向かい合った画素電極 25, 25 の隙間（間隔 D）が、その両端において広くなるため、前記溝に相当する部分の透明導電膜が、溶剤と共に排出され易くなる。そのため、画素電極 25, 25 間で、透明導電膜が除去されずに残ること（所謂、膜残り）が抑制される。

[0073] <実施形態 4>

本発明の実施形態 4 を、図 24 を参照しつつ説明する。本実施形態では、上記実施形態 1 と同様、液晶表示装置 10 を構成する液晶パネルに用いられるアクティブマトリクス基板（アレイ基板）について例示する。

[0074] 図 24 は、実施形態 4 のアレイ基板における画素電極の外縁を示す平面図である。本実施形態のアレイ基板 20C の基本的な構造は、実施形態 1 のものと同様である。ただし、本実施形態のアレイ基板 20C における凸条部 129C は、実施形態 1 のものと形状が異なっている。

[0075] 図 24 に示されるように、本実施形態の凸条部 129C は、実施形態 1 のものと同様、容量配線 126 の配線方向に沿って線状に延びた構造であるものの、その両端部 130C, 131C の高さが、それらで挟まれた部分である中間部 132C の高さよりも、低く設定されている。なお、中間部 132C は、その表面が平坦になっており、高さが一定となるように設定されている。本実施形態の凸条部 129C は、その製造工程において、このような形状となるようにパターンニングされる。

[0076] 凸条部 129C の形状をこのように設定すると、透明導電膜をウェットエッチングして、画素電極 25 をパターンニングする際に、隣り合った画素電極

25, 25同士を隔てるための溝（間隔D）を形成し易くなる。ウェットエッチングの際に、不要な部分の透明導電膜（例えば、前記溝に相当する部分）は、溶剤と共に除去される必要がある。本実施形態のように、凸条部129Cの両端の高さが低くなっていると、画素電極25の外縁125における両端が下るように傾斜するため、前記溝に相当する部分の透明導電膜が、溶剤と共に排出され易くなる。すると、画素電極25, 25間で、透明導電膜が除去されずに残ること（所謂、膜残り）が抑制される。

[0077] <実施形態5>

本発明の実施形態5を、図25を参照しつつ説明する。本実施形態では、上記実施形態1と同様、液晶表示装置10を構成する液晶パネルに用いられるアクティブマトリクス基板（アレイ基板）について例示する。図25は、実施形態5のアレイ基板における画素電極の外縁を示す平面図である。本実施形態のアレイ基板20Dにおける基本的な構造は、実施形態1のものと同様である。ただし、本実施形態のアレイ基板20Dにおける画素電極25（25C, 25D）の外縁125（125C, 125D）の形状が、実施形態1のものと異なっている。

[0078] 図25に示されるように、本実施形態のアレイ基板20Dにおける画素電極25（25C, 25D）の外縁（125C, 125D）は、両端部分が丸みを帯びるように（所謂、R状に）切り欠かれている。つまり、画素電極25（25C, 25D）の外縁（125C, 125D）は、容量配線126に沿って延びた帯状であり、その帯状の端部における両端に切り欠き部を有している。そのため、この切り欠かれた部分で挟まれた画素電極25（25C, 25D）の間には、大きな隙間40, 40が形成される。

[0079] 画素電極25（25C, 25D）における外縁125（125C, 125D）の形状をこのように設定すると、透明導電膜をウェットエッチングして、画素電極25（25C, 25D）をパターンニングする際に、隣り合った画素電極25, 25同士を隔てるための溝（間隔D）に、膜残りが発生することを抑制できる。つまり、画素電極25（25C, 25D）の間の溝（間隔

D)の前後に、大きな隙間40、40があるため、ウェットエッチングの際に前記溝に相当する部分の透明導電膜が、溶剤と共に排出され易くなっている。また、その前記溝に相当する部分（透明導電膜上に形成されているパターンニングされたフォトレジスト層の隙間）に前記溶剤が浸入し易くもなっている。

[0080] <実施形態6>

本発明の実施形態6を、図26を参照しつつ説明する。本実施形態では、上記実施形態1と同様、液晶表示装置10を構成する液晶パネルに用いられるアクティブマトリクス基板（アレイ基板）について例示する。図26は、実施形態6のアレイ基板における画素電極の外縁を示す平面図である。本実施形態のアレイ基板20Eにおける基本的な構造は、実施形態1のものと同様である。ただし、本実施形態のアレイ基板20Eにおける画素電極25（25E、25F）の外縁125（125E、125F）の形状が、実施形態1のものと異なっている。

[0081] 図26に示されるように、本実施形態のアレイ基板20Eにおける画素電極25（25E、25F）の外縁125（125E、125F）は、その中央部分のみが、凸条部129に乗り上がっている。そして外縁125（125E、125F）の両端部分は、切り欠かれている。つまり、画素電極25（25E、25F）は、アレイ基板20Eを平面視した際に、ソース配線方向における長さが、前記中央部分よりも前記両端部分の方が短くなるように設定されている。そのため、この切り欠かれた部分で挟まれた画素電極25（25E、25F）の間には、大きな隙間40A、40Aが形成される。

[0082] 画素電極25（25E、25F）における外縁125（125E、125F）の形状をこのように設定すると、透明導電膜をウェットエッチングして、画素電極25（25E、25F）をパターンニングする際に、隣り合った画素電極25、25同士を隔てるための溝（間隔D）に、膜残りが発生することを抑制できる。つまり、画素電極25（25E、25F）の間の溝（間隔D）の前後に、大きな隙間40A、40Aがあるため、ウェットエッチング

の際に前記溝に相当する部分の透明導電膜が、溶剤と共に排出され易くなっている。また、その前記溝に相当する部分（透明導電膜上に形成されているパターニングされたフォトリソ層の隙間）に前記溶剤が浸入し易くなっている。

[0083] <他の実施形態>

本発明は上記記述及び図面によって説明した実施形態に限定されるものではなく、例えば次のような実施形態も本発明の技術的範囲に含まれる。

[0084] （１）上記実施形態では、凸条部は、容量配線の中央に配置していたが、本発明の目的を達成できるのであれば、他の実施形態においては、容量配線の中央に配置しなくてもよい。

[0085] （２）上記実施形態では、凸条部としては、各画素において容量配線の配線方向に沿って一続きのものを使用していたが、本発明の目的を達成できるのであれば、他の実施形態においては、凸条部が途中で分断されていてもよい。

[0086] （３）凸条部は、全ての画素に対応するように設けてもよいし、必要に応じて、一部の画素に対して設けてもよい。

[0087] （４）上記実施形態では、カラー表示する液晶表示装置であったが、白黒表示する液晶表示装置にも本発明は適用可能である。

符号の説明

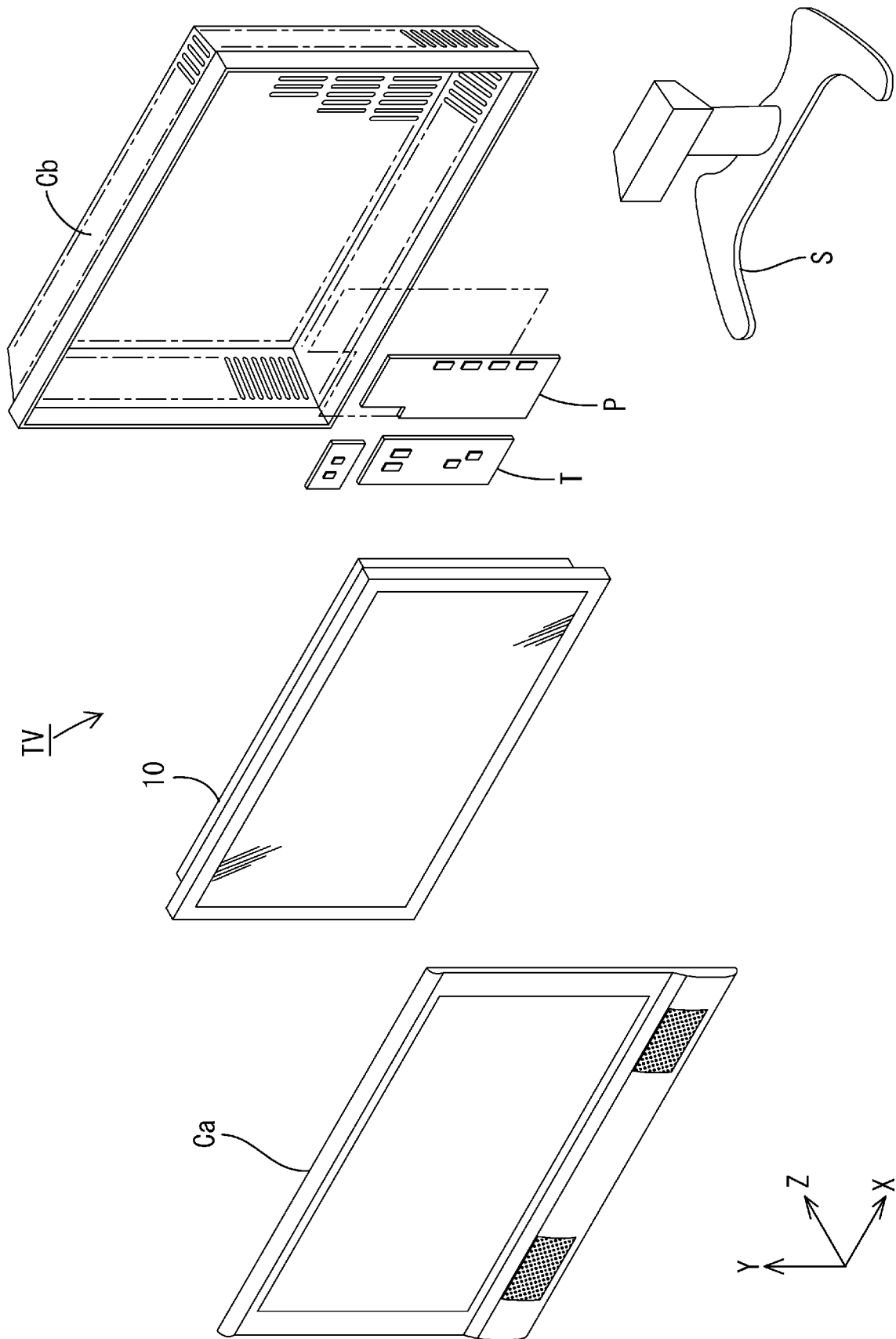
[0088] １０…液晶表示装置（表示装置）、１１…液晶パネル（表示パネル）、１２…照明装置、１３…ベゼル、１４…シャーシ、１６…光学部材、１７…フレーム、１８…冷陰極管（光源）、２０…アレイ基板（アクティブマトリクス基板）、２１…対向基板、２４…ＴＦＴ、２４ａ…ソース電極、２４ｂ…ドレイン電極、２５…画素電極、１２５…画素電極の外縁、２６…ゲート配線、１２６…容量配線、２７…ソース配線、１２９…凸条部、１２４…半導体膜

請求の範囲

- [請求項1] 互いに交差する複数のゲート配線およびソース配線によって区画された領域に画素電極を形成してなるアクティブマトリクス基板であって、
- 前記ゲート配線に並列して配され、前記画素電極との間で容量を形成する容量配線を備え、
- 前記容量配線は、隣り合う前記画素電極の外縁に重畳する形で配されるとともに、
- 前記容量配線上には、
- 当該容量配線を覆う第1絶縁膜と、
- 前記第1絶縁膜上に形成される絶縁膜であって、前記容量配線よりも線幅が狭く、前記容量配線に沿うように配される凸条部を備える第2絶縁膜と、
- が形成され、
- 前記画素電極は、前記第2絶縁膜上であって隣り合う当該画素電極の外縁がそれぞれ前記凸条部上に乗り上がる形で形成されていることを特徴とするアクティブマトリクス基板。
- [請求項2] 前記凸条部が、2つの端部と、それらで挟まれた中間部とからなり、前記端部における高さが、前記中間部の高さよりも低く設定されている請求項1に記載のアクティブマトリクス基板。
- [請求項3] 前記凸条部が、2つ端部と、それらで挟まれた中間部とからなり、前記端部における線幅が、前記中間部における線幅よりも狭く設定されている請求項1又は請求項2に記載のアクティブマトリクス基板。
- [請求項4] 前記画素電極の端部が、前記容量配線に沿って延びた帯状であり、その帯状の端部における両端に切り欠き部を有する請求項1ないし請求項3のいずれか一項に記載のアクティブマトリクス基板。
- [請求項5] 請求項1ないし請求項4のいずれか一項に記載のアクティブマトリクス基板を備える表示パネル。

- [請求項6] 照明装置と、
 前記照明装置からの光を利用して表示を行う請求項5に記載の表示
 パネルとを備える表示装置。
- [請求項7] 請求項6に記載された表示装置を備えるテレビ受信装置。

[図1]



[図2]

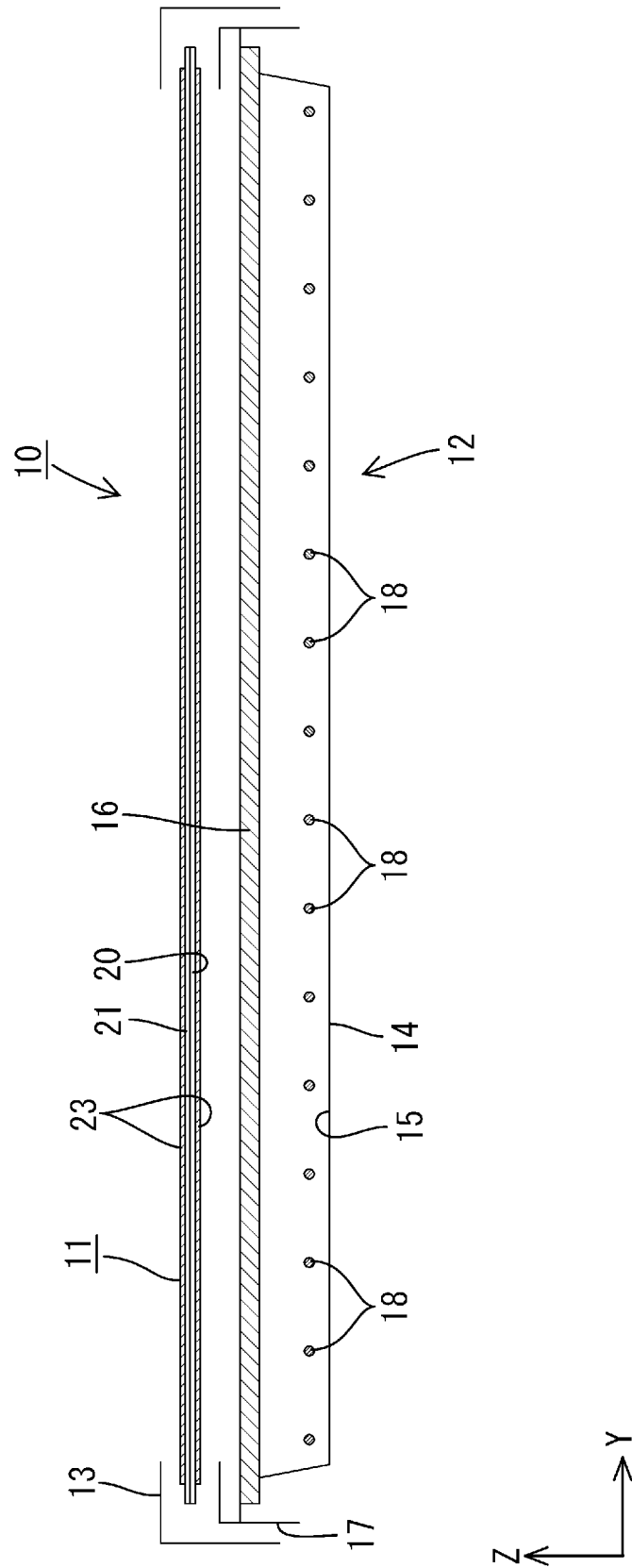
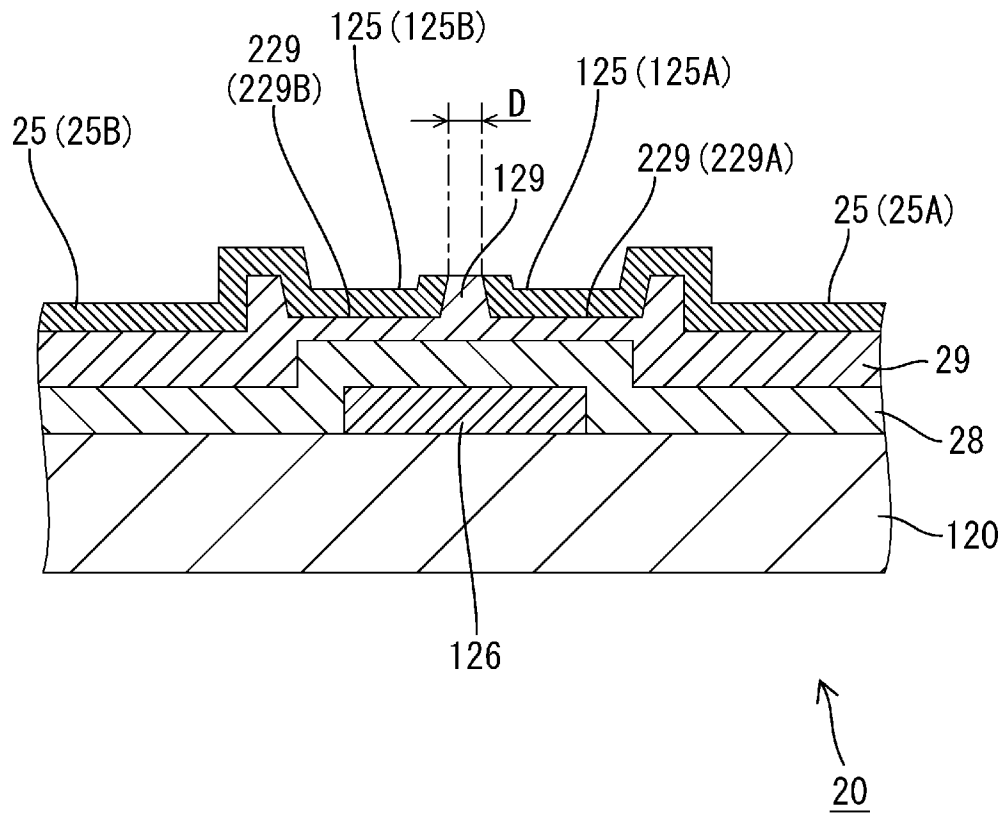
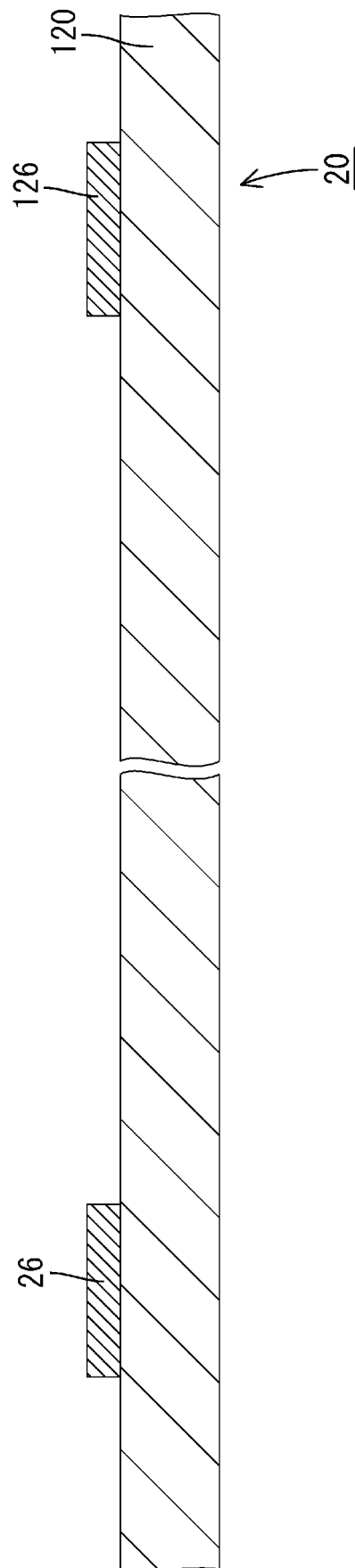


Figure 1 is a plan view of a semiconductor device. The device is divided into two main regions, 25(25A) on the left and 25(25B) on the right, separated by a central vertical strip 25. The device includes various layers and structures labeled with reference numerals: 24, 24a, 24b, 26, 27, 124, 125(125A), 125(125B), and 126. Dashed lines A and B indicate cross-sectional planes. A dashed line 65 indicates a specific feature or boundary.

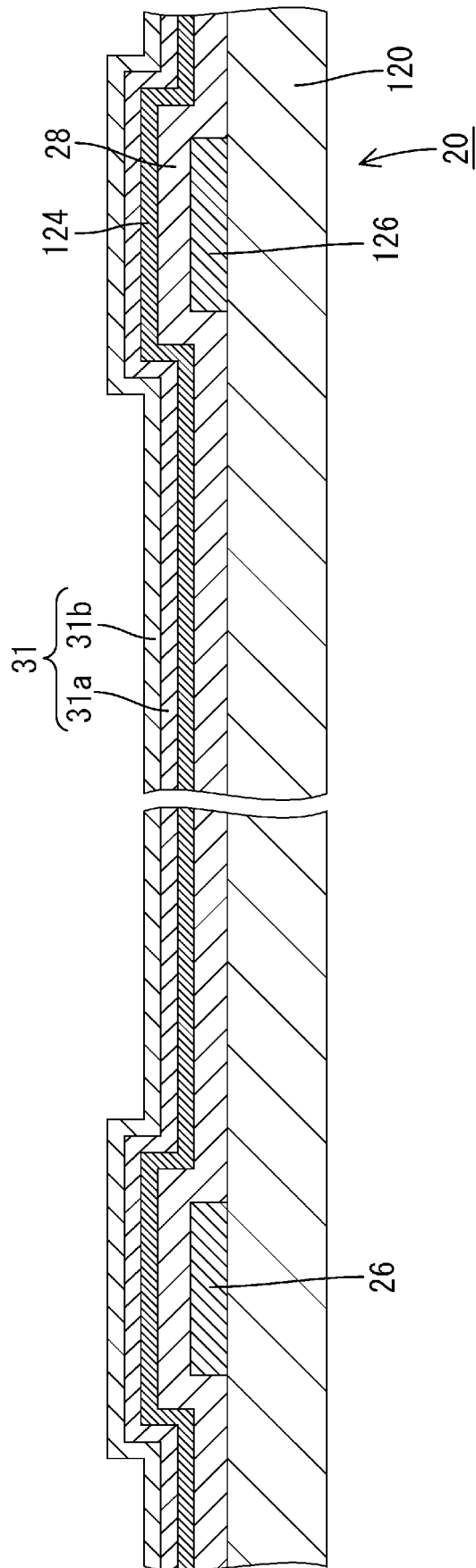
[図4]



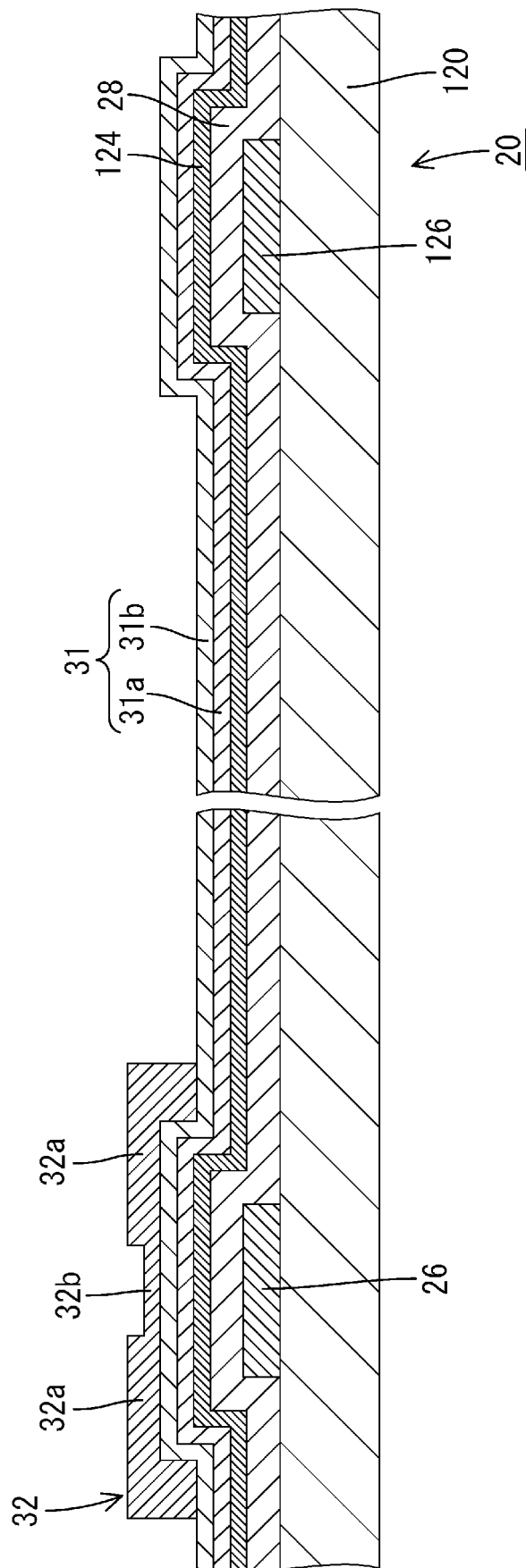
[図5]



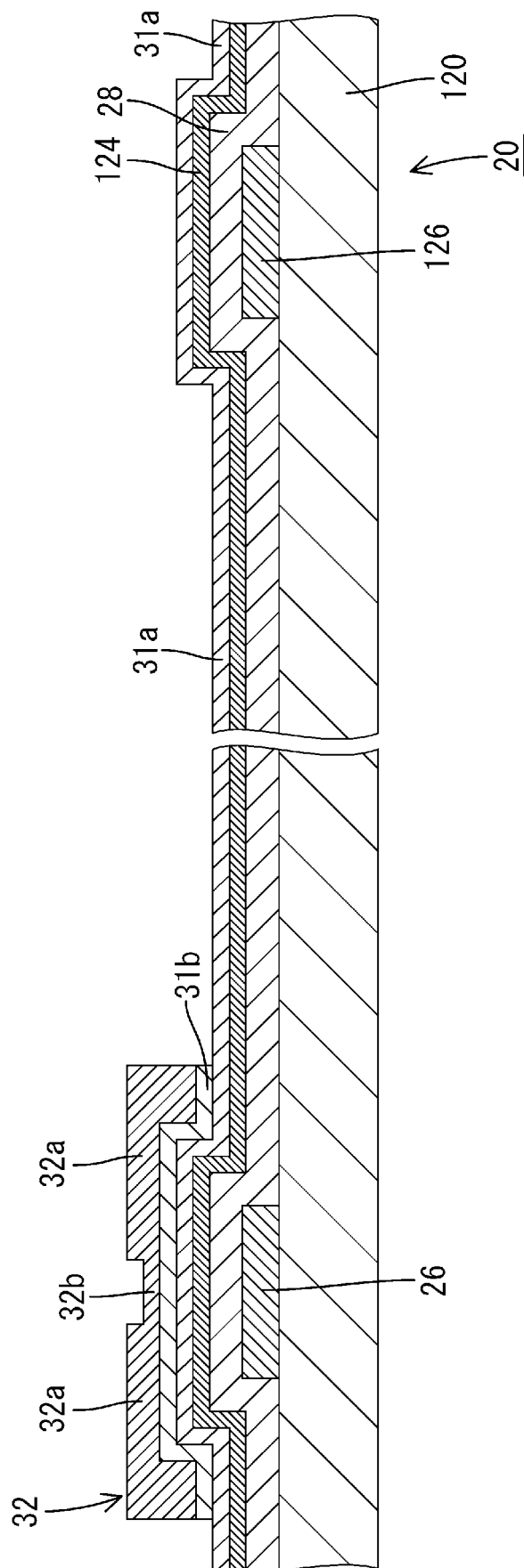
[図6]



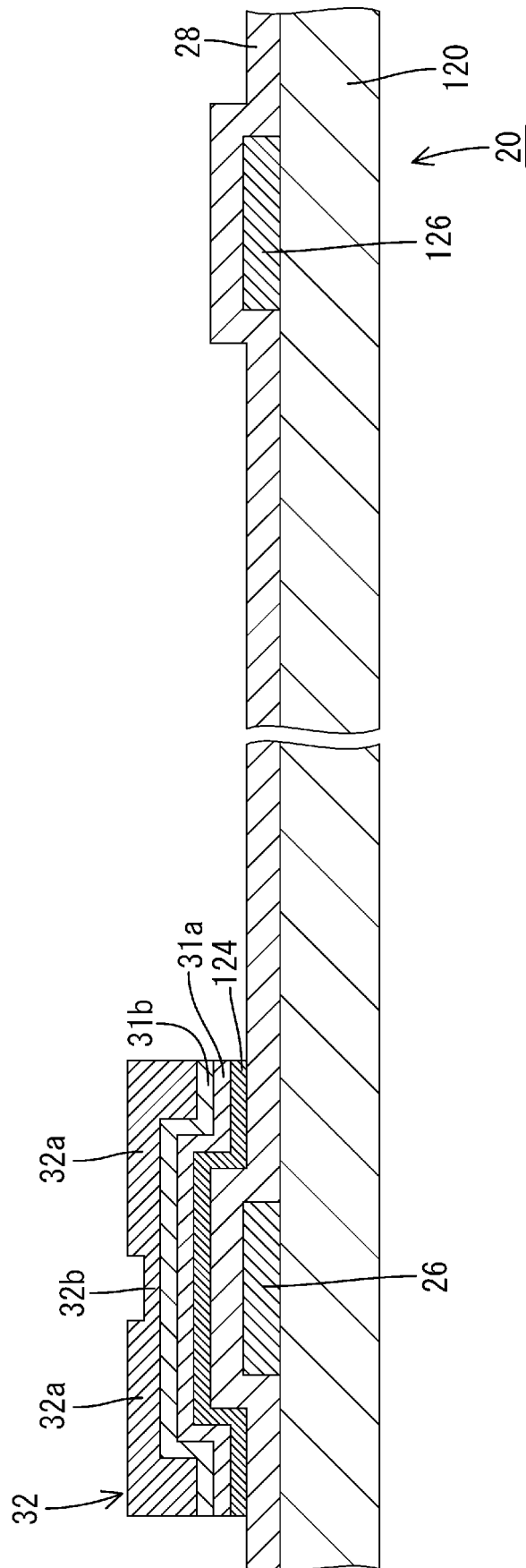
[図7]



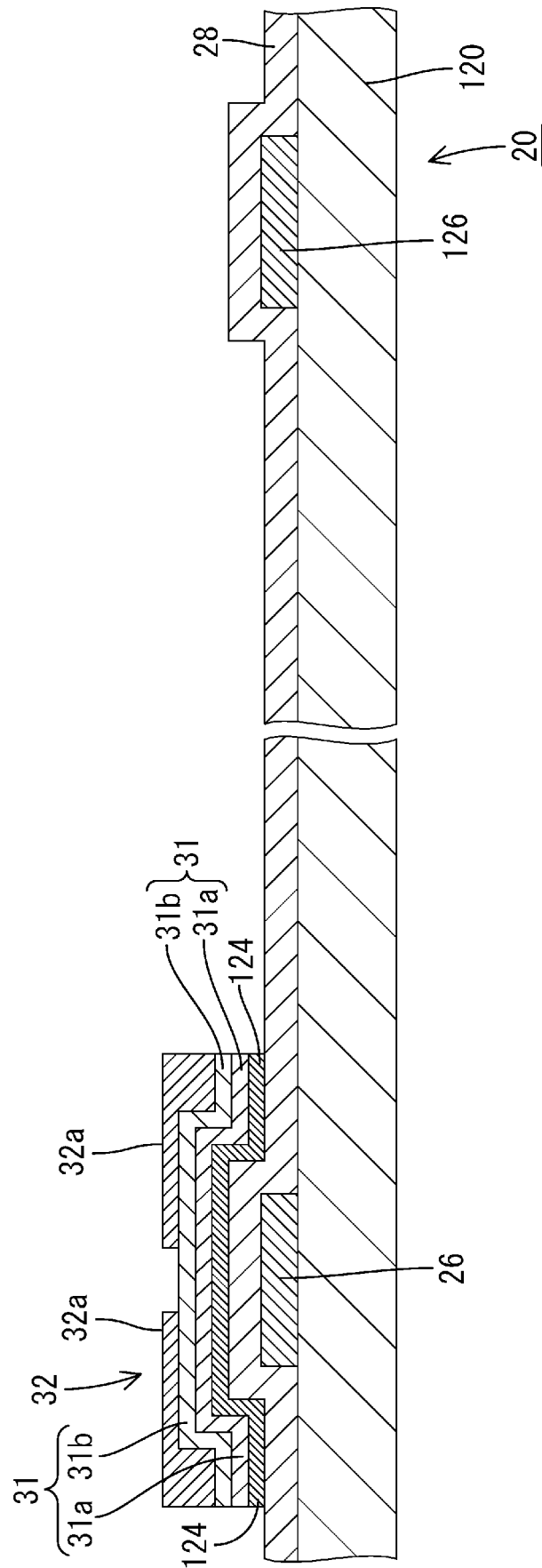
[図8]



[図9]

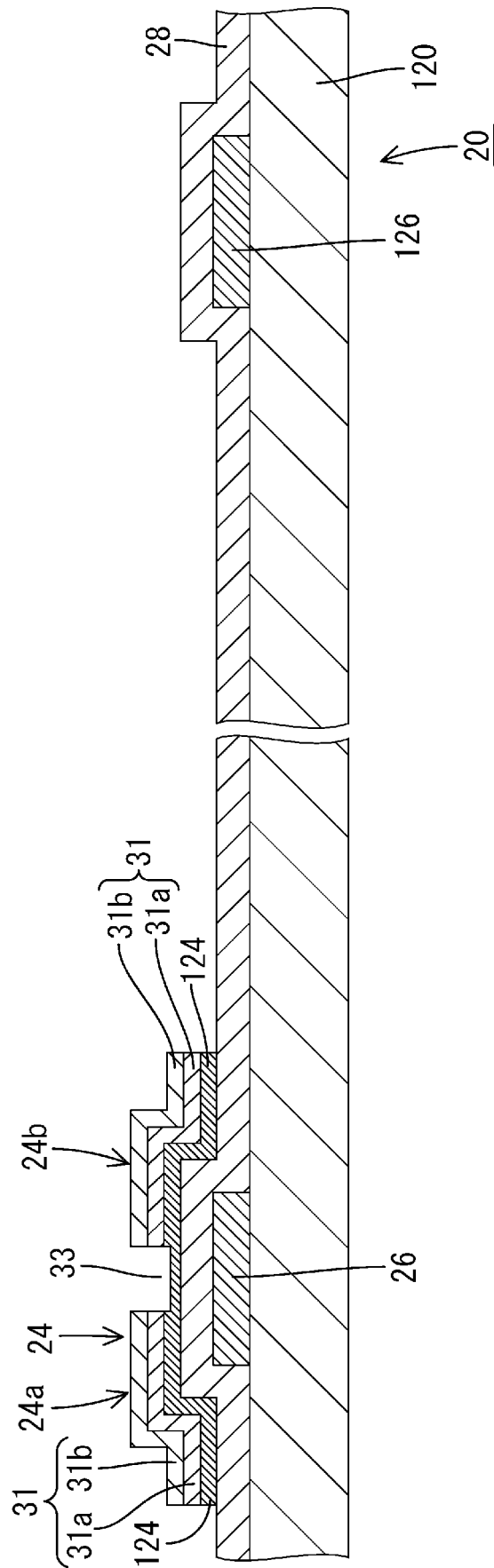


[図10]

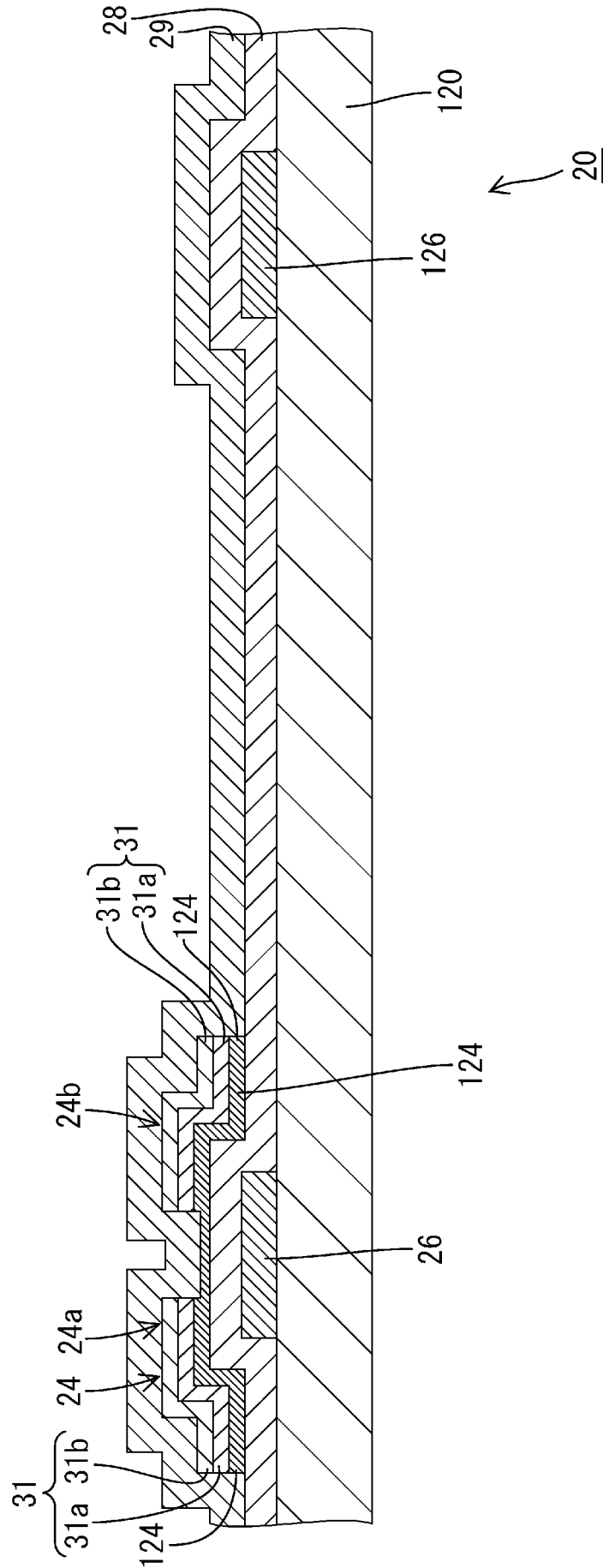


A cross-sectional view of a semiconductor device 20. The device consists of a substrate 26 with a top layer 120 and a bottom layer 126. A central region 31 contains a stack of layers 31a and 31b, with a central core 32. A top contact layer 28 is shown on the right side of the central region.

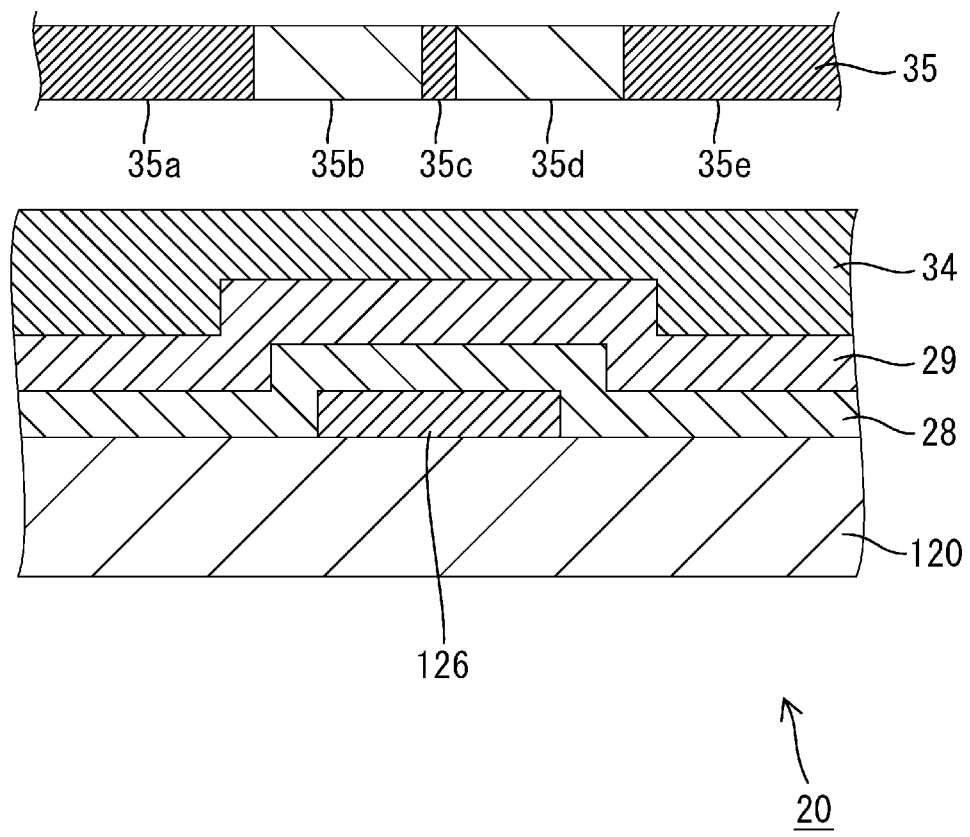
[図13]



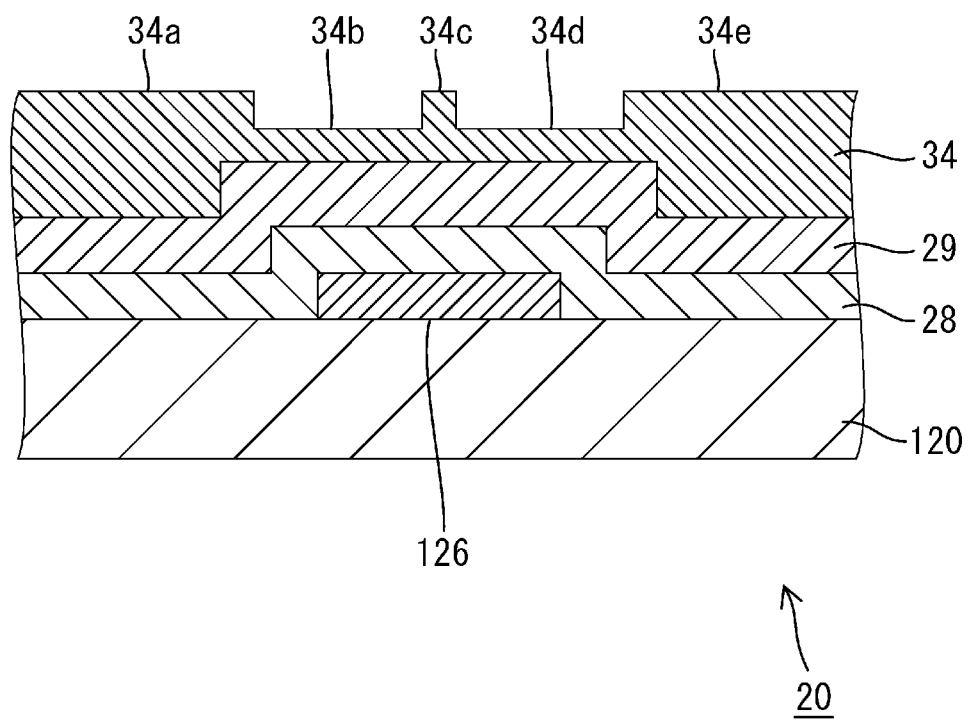
[図14]



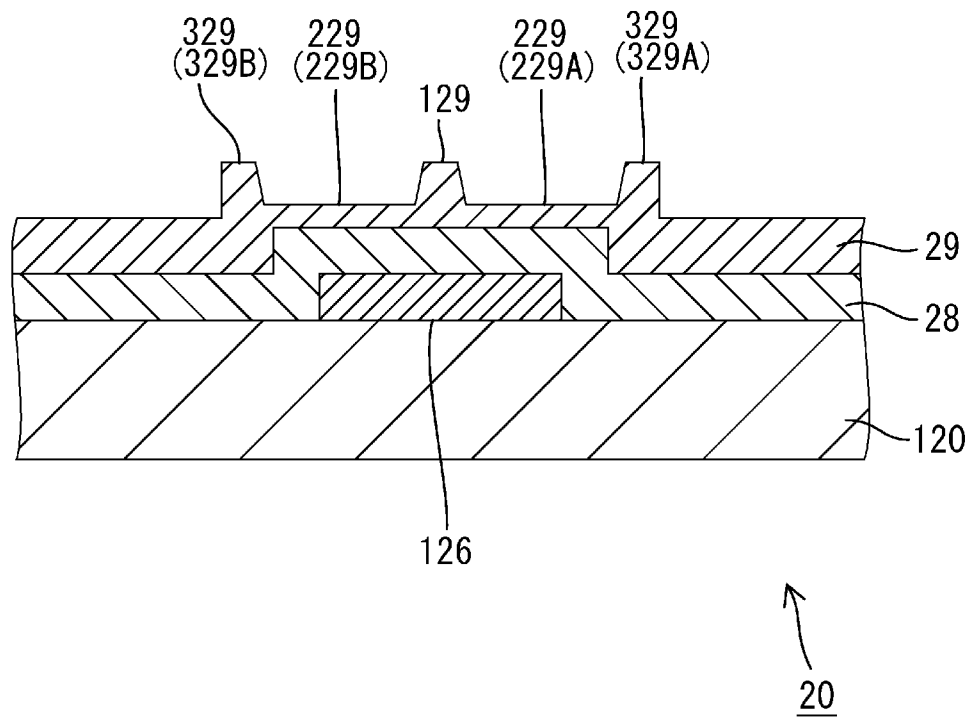
[図15]



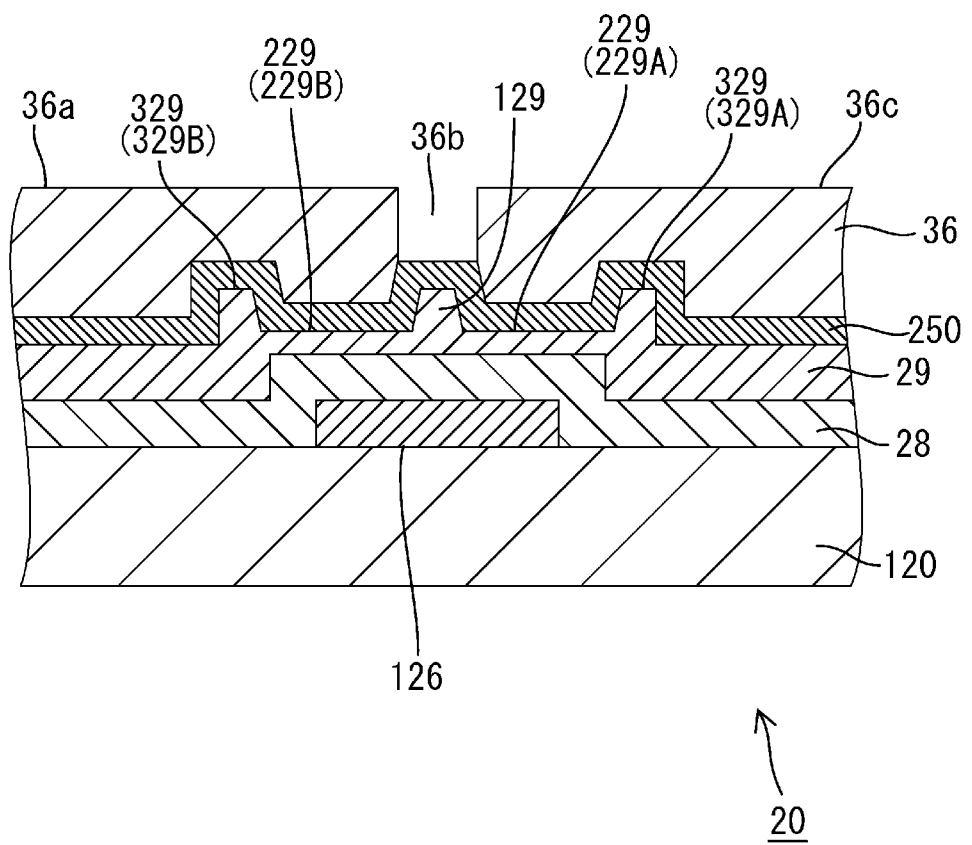
[図16]



[図17]



[図18]



20A

120

28

29

25 (25A)

25 (25B)

329 (329A)

329 (329B)

229 (229A)

229 (229B)

125 (125A)

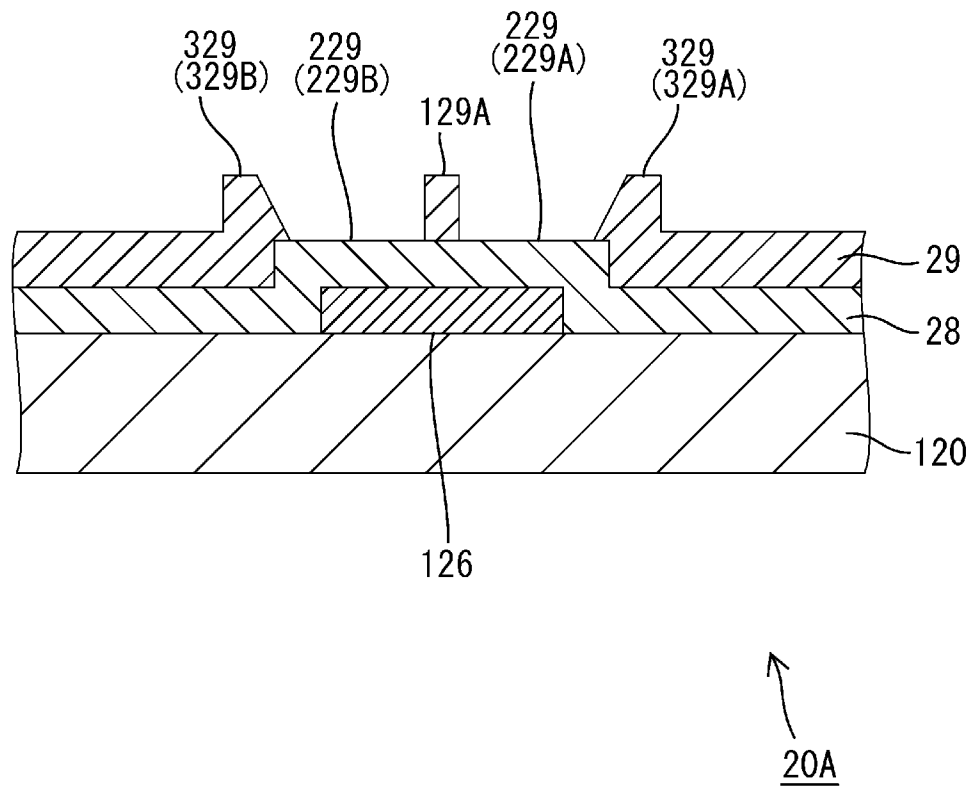
125 (125B)

129

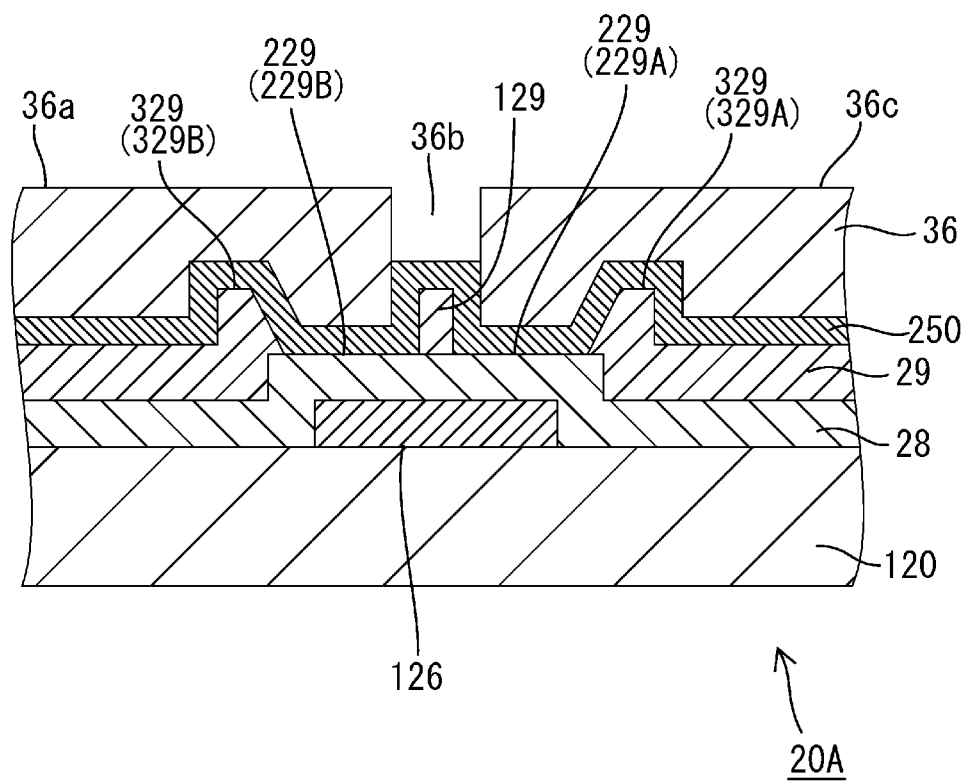
D

126

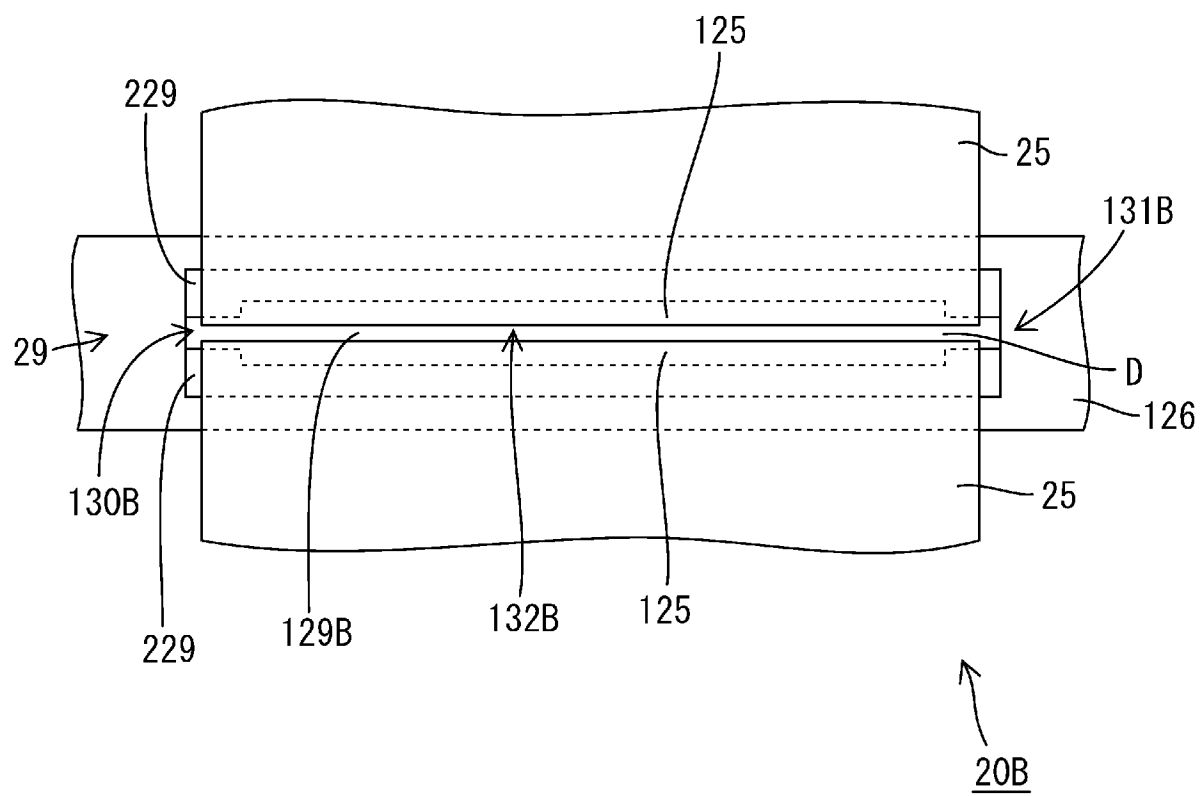
[図21]



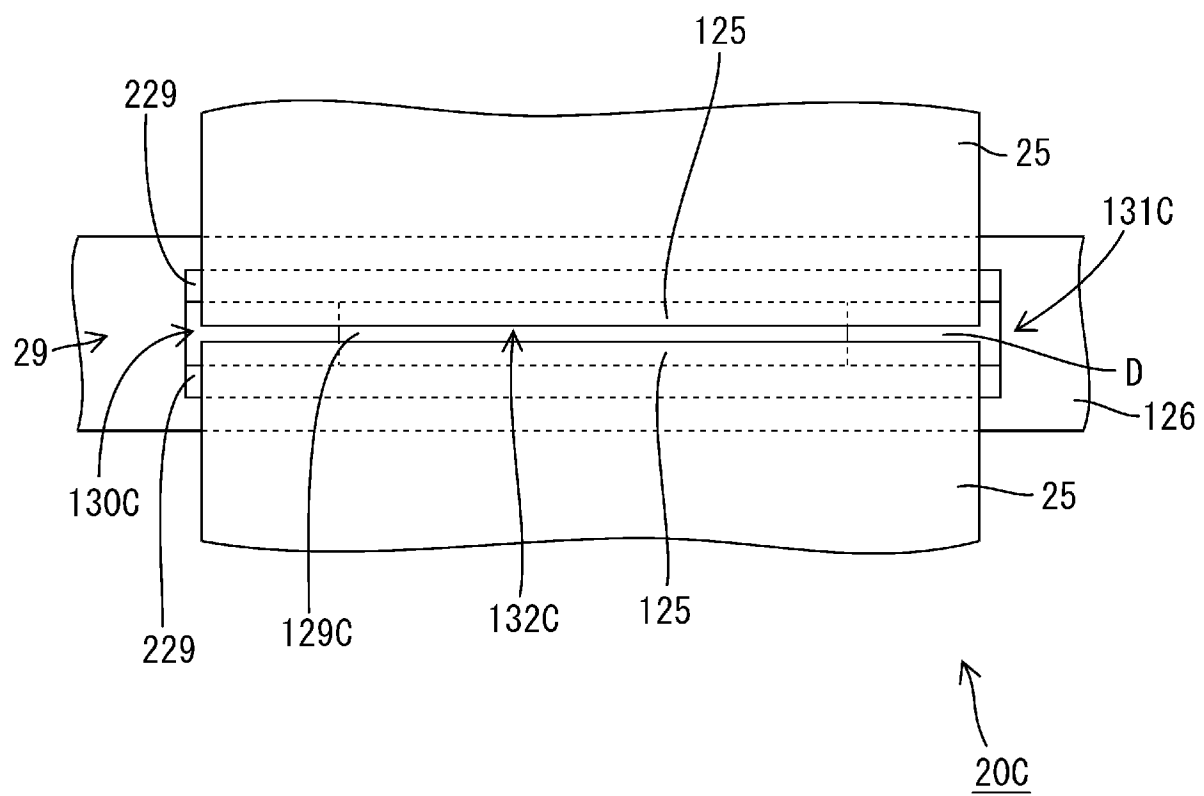
[図22]



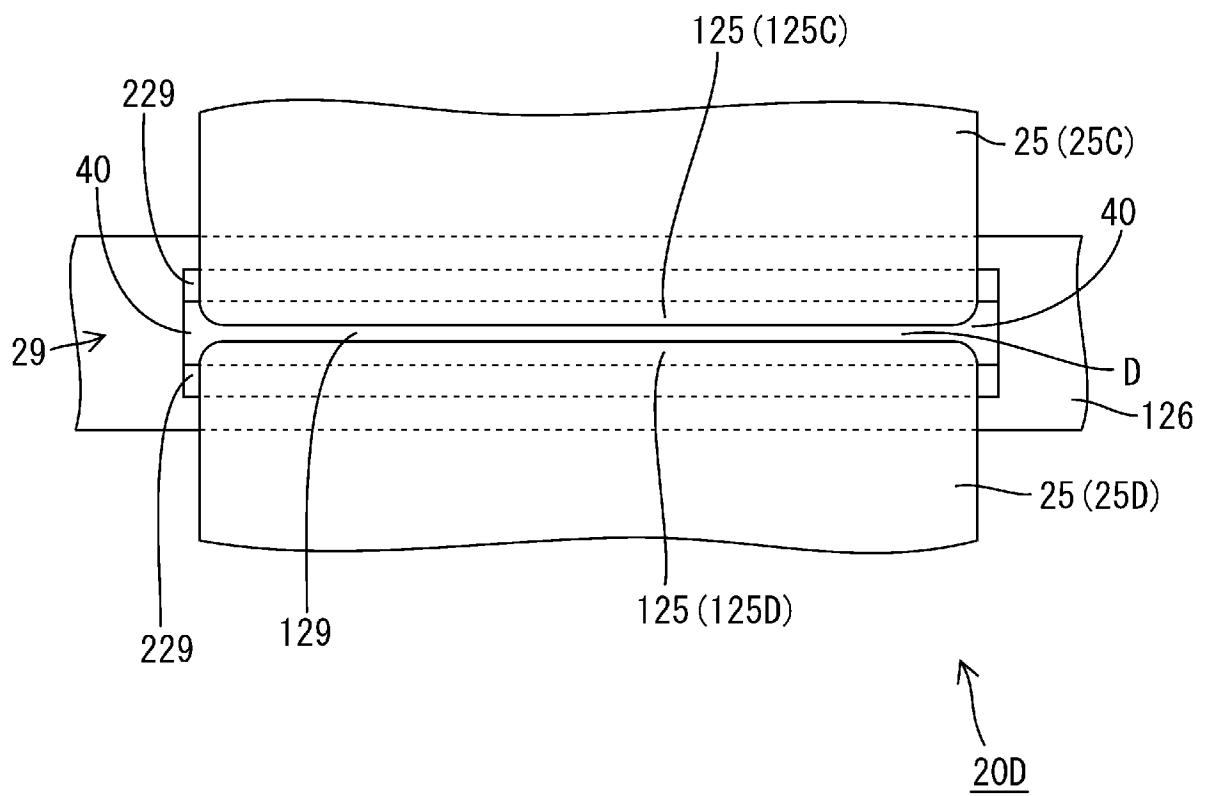
[図23]



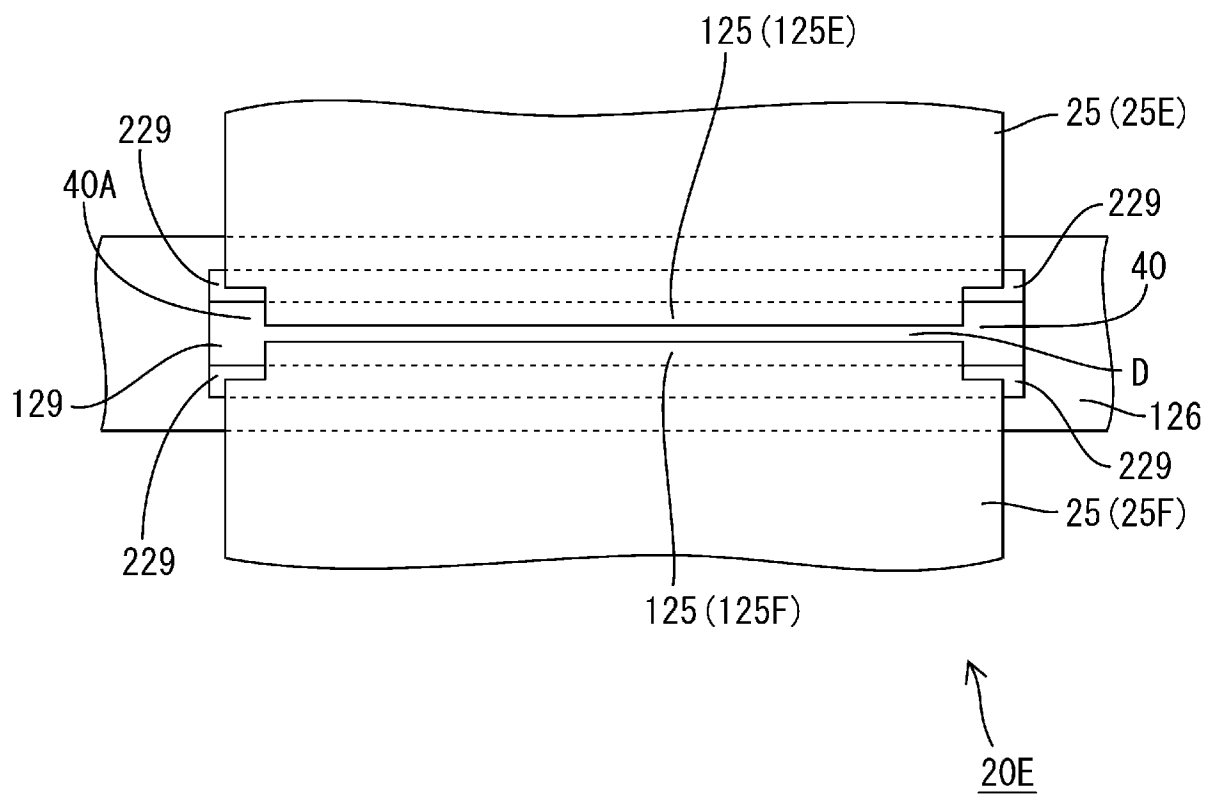
[図24]



[図25]



[図26]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/052955

A. CLASSIFICATION OF SUBJECT MATTER

G02F1/1343(2006.01)i, G02F1/1368(2006.01)i, G09F9/30(2006.01)i, H04N5/66(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G02F1/1343, G02F1/1368, G09F9/30, H04N5/66

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 5-289108 A (Fujitsu Ltd.), 05 November 1993 (05.11.1993), paragraphs [0012], [0014] to [0028]; fig. 2 (Family: none)	1-7
A	JP 2010-170057 A (NEC LCD Technologies, Ltd.), 05 August 2010 (05.08.2010), paragraphs [0026] to [0060]; fig. 3 & US 2010/188593 A1 & CN 101789426 A	1-7

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
19 March, 2012 (19.03.12)

Date of mailing of the international search report
27 March, 2012 (27.03.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. G02F1/1343 (2006.01) i, G02F1/1368 (2006.01) i, G09F9/30 (2006.01) i, H04N5/66 (2006.01) i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. G02F1/1343, G02F1/1368, G09F9/30, H04N5/66

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 5-289108 A (富士通株式会社) 1993. 11. 05, 段落[0012], [0014]-[0028]、図 2 (ファミリーなし)	1 - 7
A	JP 2010-170057 A (NEC 液晶テクノロジー株式会社) 2010. 08. 05, 段落[0026]-[0060]、図 3 & US 2010/188593 A1 & CN 101789426 A	1 - 7

C 欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

1 9 . 0 3 . 2 0 1 2

国際調査報告の発送日

2 7 . 0 3 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

右田 昌士

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 5 5

2 L

9 5 1 3