



(12) 发明专利申请

(10) 申请公布号 CN 114981970 A

(43) 申请公布日 2022. 08. 30

(21) 申请号 202180009299.5

(22) 申请日 2021.01.18

(30) 优先权数据

2020-007247 2020.01.21 JP

(85) PCT国际申请进入国家阶段日

2022.07.14

(86) PCT国际申请的申请数据

PCT/JP2021/001525 2021.01.18

(87) PCT国际申请的公布数据

W02021/149650 JA 2021.07.29

(71) 申请人 松下知识产权经营株式会社

地址 日本大阪府

(72) 发明人 井上晓登

(74) 专利代理机构 永新专利商标代理有限公司

72002

专利代理师 安香子

(51) Int.Cl.

H01L 27/146 (2006.01)

H01L 31/107 (2006.01)

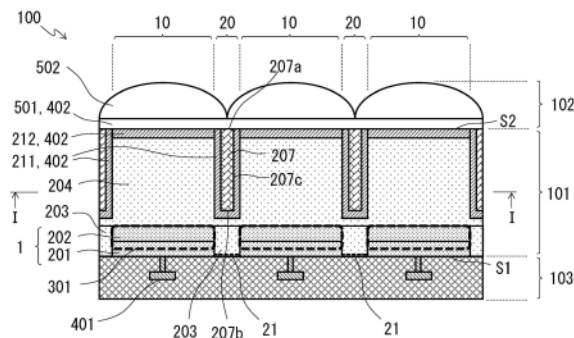
权利要求书2页 说明书16页 附图23页

(54) 发明名称

光电传感器及距离测定系统

(57) 摘要

光电传感器(100)具备多个APD区域(10)以及形成在相互相邻的APD区域(10)之间的分离区域(20)。第1半导体基板(101)具有第1主面(S1)和第2主面(S2)。APD区域(10)的APD(1)由与第1主面(S1)相接的第1导电型的第1半导体层(201)以及相对于第1半导体层(201)配置在第2主面(S2)侧的第2导电型的第2半导体层(202)构成。分离区域(20)具有第3半导体层(203)和设置于比第3半导体层(203)靠第2主面(S2)侧的位置的沟槽(207)。沟槽的一端(207a)与第2主面(S2)相接,沟槽的另一端(207b)不与第1主面(S1)相接,沟槽的另一端(207b)与第1主面(S1)之间的至少一部分耗尽。



1. 一种光电传感器,其中,具备:
多个APD区域,形成在第1半导体基板上,上述APD区域具有APD即雪崩光电二极管;以及分离区域,在上述第1半导体基板内形成在相互相邻的上述APD区域之间,
上述第1半导体基板具有作为上述第1半导体基板的两个主面中的一个的第1主面以及与上述第1主面相反一侧的第2主面,
上述APD由与上述第1主面相接的第1导电型的第1半导体层、以及相对于上述第1半导体层配置在上述第2主面侧的第2导电型的第2半导体层构成,上述第2导电型为与上述第1导电型相反的导电型,
上述分离区域具有设置于上述第1主面侧的上述第1导电型或上述第2导电型的第3半导体层、以及设置于比上述第3半导体层靠上述第2主面侧的位置的沟槽,
上述沟槽的一端与上述第2主面相接,上述沟槽的另一端不与上述第1主面相接,
上述沟槽的另一端与上述第1主面之间的至少一部分耗尽。
2. 如权利要求1所述的光电传感器,其中,
上述沟槽的另一端位于比上述第1半导体层与上述第2半导体层的界面靠上述第2主面侧的位置。
3. 如权利要求2所述的光电传感器,其中,
还具备将上述沟槽的另一端及侧面覆盖的保护层,
上述保护层位于比上述第2半导体层靠上述第2主面侧的位置。
4. 如权利要求1~3中任一项所述的光电传感器,其中,
上述第2半导体层的杂质浓度在上述第2主面侧比上述第1主面侧高。
5. 如权利要求4所述的光电传感器,其中,
上述第2半导体层随着向上述第2主面接近而杂质浓度逐渐增加。
6. 如权利要求5所述的光电传感器,其中,
上述第2半导体层还形成于上述第1半导体基板的整面。
7. 如权利要求3所述的光电传感器,其中,
还具备连接于上述第1半导体层的第1接触件、以及向上述保护层施加电压的第2接触件,
上述第1接触件、上述第2接触件及上述沟槽中的任一个都不与上述第1主面中的上述分离区域所占的分离区域面相接。
8. 如权利要求7所述的光电传感器,其中,
从相邻的两个上述APD延伸的两个不同的耗尽层在上述第3半导体层的至少一部分处相接。
9. 如权利要求7或8所述的光电传感器,其中,
还具备形成在上述第1半导体基板上的像素电路,
上述像素电路经由上述第1接触件与上述APD电连接。
10. 如权利要求9所述的光电传感器,其中,
上述像素电路包括上述第2导电型的晶体管,并且具有N阱+N-电场缓和区域。
11. 如权利要求9所述的光电传感器,其中,
上述像素电路包括上述第1导电型的晶体管,并且具有三重阱结构。

12. 如权利要求9~11中任一项所述的光电传感器,其中,
在相互相邻的上述APD区域之间形成有多个上述分离区域,
在上述第1半导体基板内的多个上述分离区域之间,形成有具有上述像素电路的电路区域。

13. 如权利要求7或8所述的光电传感器,其中,
还具备作为与上述第1半导体基板不同的半导体基板的第2半导体基板,
上述第2半导体基板具有经由上述第1接触件与上述APD电连接的像素电路。

14. 如权利要求1~13中任一项所述的光电传感器,其中,
上述光电传感器上被照射光的一侧的面是上述第2主面。

15. 如权利要求1~14中任一项所述的光电传感器,其中,
上述光电传感器是背面照射型。

16. 一种距离测定系统,其中,具备:

受光部,具有权利要求1~15中任一项所述的光电传感器;

发光部,朝向测定对象物发光;

控制部,对上述受光部及上述发光部进行控制;以及

运算部,从上述受光部接受与由上述测定对象物反射的反射光对应的信号,计算出上述测定对象物的距离。

光电传感器及距离测定系统

技术领域

[0001] 本公开涉及光电传感器及距离测定系统。

背景技术

[0002] 近年来,在通信、车载用途、监视、化学、生物、医疗以及放射线检测等领域中,使用高灵敏度的光电传感器(光检测器)。作为实现高灵敏度的手段之一,使用雪崩光电二极管(Avalanche Photo Diode:以下也称作APD)。APD是利用雪崩击穿将入射到光电转换层的光被光电转换而产生的信号电荷进行倍增,从而提高入射光的检测灵敏度的光电二极管。通过使用APD,即使光子(photon)的数量极少也能够提高检测灵敏度。

[0003] 例如,在以下的专利文献1中公开了具备配置为阵列状的多个APD和配置在相互相邻的APD之间的沟槽的光电传感器。通过如该光电传感器那样用沟槽分离APD之间,能够减少APD间的混色。

[0004] 现有技术文献

[0005] 专利文献

[0006] 专利文献1:国际公开第2018/174090号

发明内容

[0007] 发明要解决的课题

[0008] 但是,在如专利文献1那样用沟槽分离APD之间的情况下,为了沟槽表面上的缺陷的非活性化,需要设置用来使沟槽表面及沟槽侧面不耗尽的保护层(例如非活性层),并且,为了防止保护层中的电场集中,需要设置电场缓和层。在此情况下,由于沟槽、保护层、电场缓和层没有光灵敏度,所以光电传感器的开口率下降,难以使光电传感器高灵敏度化。

[0009] 本公开的目的是不使光电传感器的开口率下降而形成沟槽,从而兼顾光电传感器等的高灵敏度化和防混色。

[0010] 用来解决课题的手段

[0011] 本公开的光电传感器具备:多个APD区域,形成在第1半导体基板上,上述APD区域具有APD即雪崩光电二极管;以及分离区域,在上述第1半导体基板内形成在相互相邻的上述APD区域之间,上述第1半导体基板具有作为上述第1半导体基板的两个主面中的一个的第1主面以及与上述第1主面相反一侧的第2主面,上述APD由与上述第1主面相接的第1导电型的第1半导体层、以及相对于上述第1半导体层配置在上述第2主面侧的第2导电型的第2半导体层构成,上述第2导电型为与上述第1导电型相反的导电型,上述分离区域具有设置于上述第1主面侧的上述第1导电型或上述第2导电型的第3半导体层、以及设置于比上述第3半导体层靠上述第2主面侧的位置的沟槽,上述沟槽的一端与上述第2主面相接,上述沟槽的另一端不与上述第1主面相接,上述沟槽的另一端与上述第1主面之间的至少一部分耗尽。

[0012] 本公开的距离测定系统具备:受光部,具有上述光电传感器;发光部,朝向测定对

象物发光;控制部,对上述受光部及上述发光部进行控制;以及运算部,从上述受光部接受与由上述测定对象物反射的反射光对应的信号,计算到上述测定对象物的距离。

[0013] 发明效果

[0014] 根据本公开,能够兼顾光电传感器等的高灵敏度化和防混色。

附图说明

[0015] 图1是表示有关实施方式1的光电传感器的局部的布局构成的俯视图。

[0016] 图2A是从图1所示的IIA—IIA线观察有关实施方式1的光电传感器的情况下的剖视图。

[0017] 图2B是表示有关实施方式1的光电传感器的其他例的剖视图。

[0018] 图3是有关实施方式1的变形例1的光电传感器的剖视图。

[0019] 图4是有关实施方式1的变形例2的光电传感器的剖视图。

[0020] 图5是表示在光电传感器中产生的电场矢量的示意图。

[0021] 图6是表示有关实施方式1的变形例3的光电传感器的布局构成的俯视图。

[0022] 图7是表示有关实施方式2的光电传感器的像素电路的块构成图。

[0023] 图8是表示图7所示的像素电路的动作的时间图。

[0024] 图9是表示有关实施方式2的光电传感器的像素电路的其他例的块构成图。

[0025] 图10是表示有关实施方式2的光电传感器的布局构成的俯视图。

[0026] 图11是从图10所示的XI—XI线观察有关实施方式2的光电传感器的情况下的剖视图。

[0027] 图12是表示有关实施方式2的光电传感器的其他例的剖视图。

[0028] 图13是表示有关实施方式2的变形例1的光电传感器的布局构成的俯视图。

[0029] 图14是从图13所示的XIV—XIV线观察有关实施方式2的变形例1的光电传感器的情况下的剖视图。

[0030] 图15是从图13所示的XV—XV线观察有关实施方式2的变形例1的光电传感器的情况下的剖视图。

[0031] 图16是有关实施方式2的变形例1的光电传感器的剖视图。

[0032] 图17是表示有关实施方式2的变形例2的光电传感器的布局构成的俯视图。

[0033] 图18是从图17所示的XVIII—XVIII线观察有关实施方式2的变形例2的光电传感器的情况下的剖视图。

[0034] 图19是表示有关实施方式2的变形例3的光电传感器的剖视图。

[0035] 图20是表示有关实施方式3的光电传感器的布局构成的俯视图。

[0036] 图21是从图20所示的XXI—XXI线观察有关实施方式3的光电传感器的情况下的剖视图。

[0037] 图22是表示具备光电传感器的距离测定系统的块构成。

具体实施方式

[0038] 以下,参照附图对实施方式具体地进行说明。另外,以下说明的实施方式都表示本公开的一具体例。在以下的实施方式中表示的数值、形状、材料、构成要素、构成要素的配置

位置及连接形态等是一例,不是限定本公开的意思。此外,关于以下的实施方式的构成要素中的、表示本公开的一技术方案是实现形态的独立权利要求中没有记载的构成要素,设为任意的构成要素进行说明。本公开的实现形态并不限于现行的独立权利要求,也能够通过其他独立权利要求表现。

[0039] 另外,各图是示意图,并不一定是严密地图示的。此外,在各图中,对于实质上相同的结构赋予相同的标号,有时将重复的说明省略或简略化。

[0040] 另外,在以下的实施方式中,以半导体基板为基准,将设有第1主面一侧设为“下方”或“表面”,将设有第2主面的一侧设为“上方”或“背面”。此外,“水平方向”是指与第1主面及第2主面平行的方向,“深度方向”是指与第1主面及第2主面垂直的方向。此外,“上方”及“下方”这样的用语不仅用于两个构成要素相互隔开间隔配置而在两个构成要素之间夹着其他构成要素的情况,也用于两个构成要素相互相接的情况。

[0041] 此外,在以下的实施方式中,“俯视”是指从光电转换层的受光面的法线方向的上方观察。

[0042] 此外,在以下的实施方式中,“杂质浓度”是指有效的杂质浓度,在相同区域中存在不同导电型的两种杂质的情况下是指其差分。

[0043] (实施方式1)

[0044] [1-1.光电传感器的构成]

[0045] 参照图1~图2B对有关实施方式1的光电传感器进行说明。

[0046] 图1是表示有关实施方式1的光电传感器100的局部的布局构成的俯视图。图2A是从图1所示的IIA-IIA线观察光电传感器100的情况下的剖视图。另外,图1是从图2A所示的I-I线观察光电传感器100的情况下的俯视图。

[0047] 光电传感器100具有将多个APD(雪崩光电二极管)1以矩阵状配置而成的光电二极管阵列。光电传感器100具备多个具有APD1的APD区域10,各APD区域10被栅格状的分离区域20电分离或物理分离。分离区域20也可以有与APD区域10重叠的部分。这样,光电传感器100具备形成成为矩阵状的多个APD区域10和形成在相互相邻的APD区域10之间的分离区域20。虽然在本说明书中没有明示,但APD区域10也可以是交错状、蜂窝状,APD1的形状不仅可以是四边形,也可以是三角形等多边形或圆形。

[0048] 如图2A所示,光电传感器100具有第1半导体基板101、设置于第1半导体基板101的上方的光学层102、以及设置于第1半导体基板101的下方的布线层103。APD区域10及分离区域20分别形成在第1半导体基板101上。

[0049] 这里,在第1半导体基板101的两个主面中,设布线层103侧的主面为第1主面S1,设与第1主面S1对置的主面、即与第1主面S1相反一侧的主面为第2主面S2。

[0050] 在第1半导体基板101,设有具有第1导电型的第1半导体层201、设置于第1半导体层201之上且具有与第1导电型不同极性(相反的导电型)的第2导电型的第2半导体层202、以及第2导电型的第4半导体层204。第1半导体层201与第1主面S1相接,第2半导体层202相对于第1半导体层201配置在第2主面S2侧。APD1由上述的第1半导体层201和上述的第2半导体层202构成。第4半导体层204形成于第1半导体基板101的整面,在APD区域10中与第2半导体层202相接,位于比第2半导体层202靠第2主面S2侧的位置。

[0051] 例如,第1导电型是N型,第2导电型是P型,但也可以与上述相反,即,也可以将第1

导电型设为P型,将第2导电型设为N型。

[0052] 在第1半导体层201及第2半导体层202的界面的附近,形成通过雪崩倍增将通过光电转换产生的电荷进行倍增的倍增区域301。

[0053] 分离区域20具有与第1半导体层201及第2半导体层202不同的第3半导体层203、以及设置于比第3半导体层203靠第2主面S2侧的位置的沟槽207。

[0054] 沟槽207在俯视下呈栅格状的形状。此外,沟槽207在图2A所示的剖视图中呈壁板状的形状,以在上下方向上延伸的方式形成。在上下方向上延伸的沟槽207的一端207a与第2主面S2相接,沟槽207的另一端207b没有与第1主面S1相接。具体而言,沟槽207没有将分离区域20在上下方向上贯通,沟槽207的另一端207b位于比第2半导体层202与第1半导体层201的界面靠第2主面S2侧的位置。沟槽207的另一端207b与第1主面S1之间的至少一部分耗尽。

[0055] 沟槽207优选的是将入射光反射的材料。在此情况下,能够抑制入射光在光入射的像素以外的像素中被光电转换,能够减少相邻的APD1间的混色。由此,能够提高光电传感器100的灵敏度。

[0056] 在第1半导体基板101的分离区域20的第1主面S1侧设有第3半导体层203。第3半导体层203既可以是第1导电型,也可以是第2导电型。第3半导体层203在第1主面S1中至少一部分耗尽,相邻的APD1间被耗尽层电分离。在配设第3半导体层203的第1主面S1侧没有形成沟槽,在第1主面S1上也没有形成接触件。因而,第1主面S1中的分离区域20所占的分离区域面21不与沟槽及接触件相接。

[0057] 在第1半导体基板101的分离区域20的第2主面S2侧,设有沟槽207、以将沟槽207包围的方式形成的第1保护层211、以及以与第2主面S2相接的方式形成的第2保护层212。

[0058] 第1保护层211以将沟槽207的侧面207c及另一端207b覆盖的方式形成。第2保护层212配置于设置于第2半导体层202的上方的第4半导体层204上,与第1保护层211连接。第1保护层211及第2保护层212位于比第2半导体层202靠第2主面S2侧的位置。第2保护层212相对于第2半导体层202平行地形成。第4半导体层204的杂质浓度比第2半导体层202的杂质浓度低。

[0059] 在布线层103设有作为表面侧的电极的第1接触件401。在该光电传感器100中,从第1电源(未图示)经由第1接触件401向第1半导体层201施加电压,从第2电源(未图示)经由第2接触件402向第1保护层211、第2保护层212施加电压,进而经由第4半导体层204向第2半导体层202施加电压。这里,“施加电压”并不是指电极的电压与半导体层的电压一致,例如在第4半导体层204耗尽的情况下,第2半导体层202的电压为减去第4半导体层204内的电压下降量后的值。

[0060] 作为第2接触件402的一例,使用导电度高的材料形成布线及接触件,以使得与第2主面S2相接。在此情况下,优选的是将布线形成在分离区域20内,以免向APD1的入射光被遮挡。此外,作为第2接触件402的另一例,也可以将后述的第3保护层501设为导电度高且透光率高的材料。此外,也可以不将第2接触件设置于第1半导体基板外,而将第1保护层211及第2保护层212作为第2接触件402来利用。在此情况下,也可以将用来施加第2电源的电压的引出电极形成于第1半导体基板101的第1主面S1侧的没有配设光电传感器100的区域(例如配置后述的周边电路,即垂直扫描电路61、水平扫描电路62、读出电路63的区域等)中,经由第

1半导体基板101向第2主面S2侧施加电压。

[0061] 在光学层102设有第3保护层501及透镜502。第3保护层501的至少一部分及透镜502优选的是透光率高的材料。第3保护层501也可以由工作函数与第1半导体基板101不同的材料形成,以便能够减小来自第1半导体基板101的第2主面S2的暗电流。此外,第3保护层501也可以使用ITO(Indium Tin Oxide)等的透明电极构成为,施加背面电压。此外,第3保护层501也可以包括多个层。此外,在第3保护层501,也可以形成有光波导等。此外,也可以在光学层102的分离区域20中以栅格状配置透光率低材料。在此情况下,通过透光率低材料,能够抑制斜入射光入射到相邻像素。由此,能够减少相邻的APD1间的混色。

[0062] 另外,上述的光电传感器100是背面照射型,构成为,光学层102设置于第1半导体基板101的第2主面S2侧,光向第2主面S2侧照射。但是,并不限于该构成,光电传感器100也可以是光学层设置于布线层103的下方,光向第1主面S1侧照射的构成。

[0063] 第3半导体层203的第1主面S1侧的至少一部分耗尽,相邻的APD1间通过该耗尽层的电势被电分离。换言之,关于相邻的两个APD1,从APD1朝向第3半导体层203延伸的两个耗尽层相互相接。通过该耗尽层的电势,相邻的APD1间被电分离。由于在第1主面S1上耗尽,所以优选的是减少表面的缺陷,优选的是不形成沟槽,不形成接触件。在此情况下,能够缩小相邻的APD区域10之间的分离区域20,能够扩大倍增区域301。由此,能够提高光电传感器100的开口率。

[0064] 另一方面,第1保护层211、第2保护层212优选的是不耗尽。通常,半导体基板的表面因悬空键或金属污染等而缺陷较多,所以通过将沟槽207的表面及第2主面用第1保护层211、第2保护层212覆盖并使其不耗尽,来能够减少起因于缺陷的暗电流的发生量。

[0065] 此外,沟槽207、第1保护层211、第2保护层212优选的是不与从第1半导体层201朝向第2半导体层202、第4半导体层204延伸的耗尽层相接。换言之,有关倍增区域(雪崩区域)301的耗尽层优选的是不与沟槽207、第1保护层211、第2保护层212相接。这是因为,如上述那样第1保护层211、第2保护层212优选的是不耗尽,所以如果从第1半导体层201朝向第2半导体层202、第4半导体层204延伸的耗尽层与第1保护层211、第2保护层212相接,则在第1保护层211、第2保护层212相接的区域中电场变强,电场分布变得不均匀。在第2半导体层202的杂质浓度为高浓度的情况下,耗尽层的上端与第1半导体层201和第2半导体层202的接合界面大致一致,所以沟槽207及第1保护层211的下端优选的是位于比第1半导体层201与第2半导体层202的接合界面靠第2主面S2侧的位置。

[0066] 此外,APD1也可以是通过由第1半导体层201与第2半导体层202的PN结引起的耗尽层而将第2半导体层202完全耗尽、使耗尽层延伸到第4半导体层204的所谓贯通型的构成。通过该构成,能够通过电场使在第1半导体基板101中产生的电荷漂移到倍增区域301,能够提高光灵敏度。

[0067] 这里,各半导体层及各保护层的杂质浓度例如如下所述。

[0068] 第1半导体层201: 10^{16}cm^{-3} 以上 10^{19}cm^{-3} 以下,

[0069] 第2半导体层202: 10^{16}cm^{-3} 以上 10^{18}cm^{-3} 以下,

[0070] 第3半导体层203: 10^{16}cm^{-3} 以上 10^{18}cm^{-3} 以下,

[0071] 第4半导体层204: 10^{14}cm^{-3} 以上 10^{17}cm^{-3} 以下。

[0072] 第1保护层211: 10^{18}cm^{-3} 以上 10^{20}cm^{-3} 以下,

[0073] 第2保护层212: 10^{18}cm^{-3} 以上 10^{20}cm^{-3} 以下。

[0074] 此外,分离区域20中的各部位的尺寸例如如下所述。

[0075] 沟槽207的宽度: $0.1\mu\text{m}$ 以上 $1\mu\text{m}$ 以下,

[0076] 第1保护层211的厚度: $0.1\mu\text{m}$ 以上 $1\mu\text{m}$ 以下,

[0077] 第3半导体层203的宽度: $0.1\mu\text{m}$ 以上 $2\mu\text{m}$ 以下。

[0078] 在这样的情况下,倍增区域301的电场的大小是 $2\times 10^5\text{V}/\text{cm}$ 以上 $6\times 10^5\text{V}/\text{cm}$ 以下,击穿电压是5V以上200V以下。

[0079] 此外,在本实施方式中,雪崩倍增包括线性倍增及盖革倍增这两者。击穿电压是区分线性倍增模式和盖革倍增模式的电压,在作用于APD1的电压是击穿电压以下的情况下为线性倍增模式,在击穿电压以上的情况下为盖革倍增模式。特别是,在盖革倍增模式的情况下,也可以设置用于停止盖革倍增的猝熄(quenching)元件。作为该情况下的猝熄元件,可以使用电阻、电容或晶体管等。在图2A所示的光电传感器100的情况下,例如只要经由第1接触件401设置猝熄元件即可。但是,本实施方式的线性倍增模式是指“对APD施加的反向偏压是击穿电压以下,但通过碰撞电离来引起电荷倍增的APD的动作模式”。此外,盖革倍增模式是指“至少暂时地对APD施加击穿电压以上的反向偏压而使其动作的APD的动作模式”,是与该技术领域中的一般性的用语相同的意思。

[0080] 特别是,有关本公开的构成能够用于图像传感器、MPPC (Multi-Pixel Photon Counter:多像素光子计数器)或SPAD (Single Photon Avalanche Diode:单光子雪崩二极管)等元件。

[0081] 进而,对有关实施方式1的光电传感器100的其他例进行说明。图2B是表示有关实施方式1的光电传感器100的其他例的剖视图。

[0082] 图2B所示的光电传感器100也具备形成为矩阵状的多个APD区域10和形成在相互相邻的APD区域10之间的分离区域20。分离区域20具有设置于第1主面S1侧的第3半导体层203和设置于比第3半导体层203靠第2主面S2侧的位置的沟槽207。

[0083] 沟槽207的一端207a与第2主面S2相接,沟槽207的另一端207b不与第1主面S1相接。具体而言,沟槽207形成为,沟槽207的另一端207b位于第1半导体层201与第2半导体层202的接合界面。在沟槽207的侧面207c及另一端207b形成有第1保护层211,但在第1保护层211的侧面没有形成电场缓和层。因而,在图2B所示的例子中,也能够提高光电传感器100的开口率,使光灵敏度提高。

[0084] 这里,第4半导体层204的杂质浓度也可以从第1主面S1朝向第2主面S2逐渐增加。在此情况下,通过由杂质浓度的梯度产生的电场,电荷漂移到倍增区域301,能够实现光灵敏度的提高和混色的减少。这里,“逐渐增加”包括杂质浓度的增加率为一定的情况及阶梯函数的情况。

[0085] [1-2.实施方式1的变形例1]

[0086] 接着,参照图3对有关实施方式1的变形例1的光电传感器100A进行说明。

[0087] 图3是有关实施方式1的变形例1的光电传感器100A的剖视图。

[0088] 有关变形例1的光电传感器100A在设有光散射层503这一点上与实施方式1的光电传感器100不同。

[0089] 该光散射层503设置于第1半导体基板101的第2主面S2。光散射层503也可以设置

于第1半导体基板101内,也可以设置于光学层102内。在变形例1的光电传感器100A中,光散射层503与第1半导体基板101的界面相对于光入射方向倾斜,所以从相对于第2主面S2大致垂直的方向入射的光在光散射层503与第1半导体基板101的界面处折射,在第1半导体基板101内,以相对于第1半导体基板101的第2主面S2倾斜的朝向行进,所以光路长变长。由此,光电转换概率提高,光灵敏度提高。

[0090] 另外,光散射层503的材料优选的是与第3保护层501的材料相同。通过将光散射层503及第3保护层501设为相同的材料,能够减少光散射层503与第3保护层501的界面处的反射,使光电传感器100A高灵敏度化。此外,第2保护层212优选的是形成到比光散射层503的下端靠第1主面S1侧的位置。由此,能够减少因光散射层503的表面的晶体缺陷产生的暗电流。

[0091] [1-3.实施方式1的变形例2]

[0092] 参照图4及图5对有关实施方式1的变形例2的光电传感器100B进行说明。

[0093] 图4是有关实施方式1的变形例2的光电传感器100B的剖视图。

[0094] 在实施方式1的光电传感器100中,第2半导体层202相对于APD区域10一对一地设置,而在变形例2的光电传感器100B中,在多个APD区域10中共用第2半导体层202。具体而言,光电传感器100B的第2半导体层202从位于第1半导体层201的上方的第2半导体层202经由位于第2保护层212的下方的第2半导体层202连接到位于相邻的第1半导体层201的上方的第2半导体层202。第2半导体层202在俯视的情况下形成于光电传感器100B的整面。在此情况下,也可以不形成实施方式1-1的第4半导体层204。

[0095] 第2半导体层202的杂质浓度优选的是在第2主面S2侧比第1主面S1侧高。具体而言,第2半导体层202优选的是在深度方向上随着从第1主面S1侧向第2主面S2侧接近而杂质浓度逐渐增加。由此,不仅通过热扩散,还通过由内建势的梯度带来的漂移,能够使在第1半导体基板101内产生的电荷在更短的时间内到达倍增区域301,能够提高光电传感器100B的光灵敏度。例如,第2半导体层202的第1主面S1侧的浓度是 10^{16} 以上 10^{18} 以下,与第2半导体层202的第2主面S2侧的杂质浓度的浓度比是1倍以上100倍以下。

[0096] 图5是表示在光电传感器中产生的电场矢量的示意图。在图5的(a)中表示了由使用了穿通型APD1的情况下的光电传感器100A产生的第1电场矢量601。第1电场矢量601是由第1半导体层201与第2半导体层202的PN结引起的电场矢量,向第4半导体层204延伸。在使用穿通型APD1的情况下,通过第1电场矢量601使由光电转换产生的电荷漂移到倍增区域301,所以将电力线向第4半导体层204延伸。于是,在APD1的端部,第1电场矢量601朝向第1保护层211,所以第1电场矢量601的长度变短,产生相对于半导体基板斜向的强电场。另一方面,在APD1的中央部,第1电场矢量601延伸到第2保护层212,所以第1电场矢量601的长度较长,电场较低。因此,倍增区域301的端部与中央部的电场的朝向和大小不同,在倍增区域301内发生倍增率的偏差。

[0097] 在图5的(b)中表示由变形例2的光电传感器100B产生的第1电场矢量601及第2电场矢量602。第2电场矢量602是由内建势引起的电场矢量。在变形例2的光电传感器100B的情况下,能够通过第2电场矢量602使由光电转换产生的电荷漂移到倍增区域301,所以第1电场矢量601只要仅在第1半导体层201与第2半导体层202的界面的较短的区域中产生即可,能够防止与第1保护层211相接。因此,倍增区域301内的电场被均匀化,不易发生倍增区

域301中的倍增率的偏差。由此,能够提高光电传感器100B的有效的开口率。另外,在盖革倍增模式下,相当于雪崩概率提高,能够提高光灵敏度。

[0098] 特别是,变形例2由于只要仅在第1半导体层201、第2半导体层202的界面附近形成耗尽层即可,所以在使半导体基板厚膜化时,击穿电压也是一定的。例如,在半导体基板为硅的情况下,由于红外光的吸收系数低,所以要提高红外光灵敏度就需要半导体基板的厚膜化,通过使用变形例2的构成,能够容易地制作高灵敏度的APD。

[0099] [1-4.实施方式1的变形例3]

[0100] 参照图6对有关实施方式1的变形例3的光电传感器100C进行说明。

[0101] 图6是表示有关实施方式1的变形例3的光电传感器100C的布局构成的俯视图。

[0102] 在有关变形例3的光电传感器100C中,在沿该图的纵向延伸的分离区域20与沿横向延伸的分离区域20交叉的区域中,不存在沟槽207,代替沟槽207而埋入有第1保护层211或第2保护层212。根据该构成,相邻的APD区域10彼此容易通过第1保护层211或第1保护层211导通,容易将第1半导体基板101的第2主面S2的电压固定。由此,能够减小光电传感器100C的灵敏度的偏差。

[0103] (实施方式2)

[0104] [2-1.光电传感器的构成]

[0105] 接着,参照图7~图12对实施方式2的光电传感器100D进行说明。在实施方式2中,对光电传感器100D具备像素电路31的例子进行说明。

[0106] 图7是表示有关实施方式2的光电传感器100D的像素电路31的块构成图。

[0107] 如图7所示,光电传感器100D具有像素110、垂直扫描电路61、水平扫描电路62、读出电路63和缓冲放大器64。

[0108] 像素110包括APD1、将积蓄在APD1的阴极中的电荷进行传输的传输晶体管51、浮动扩散电容(浮动扩散部)52、将浮动扩散电容52的电荷复位的复位晶体管53、将积蓄在浮动扩散电容52中的电荷放大的源极跟随器晶体管54、垂直信号线55和将所选择的列的信号传输到垂直信号线55的选择晶体管56。

[0109] 传输晶体管51将从APD1输出的电荷传输到浮动扩散电容52,浮动扩散电容52积蓄该电荷。复位晶体管53将浮动扩散电容52的电位复位为规定的电位。复位晶体管53的漏极与第1电源(未图示)连接。源极跟随器晶体管54的栅极被输入与积蓄在浮动扩散电容52中的电荷量对应的电位,从源极跟随器晶体管54的源极输出放大后的信号。源极跟随器晶体管54的漏极连接于第1电源或与第1电源不同的电源(未图示)。选择晶体管56将从源极跟随器晶体管54的源极输出的放大信号经由垂直信号线55传输到读出电路63。

[0110] 另外,在图7中设各晶体管为MOSFET(Metal Oxide Semiconductor Field Effect Transistor:金属氧化物半导体场效应晶体管),但也可以是双极晶体管或JFET(Junction Field Effect Transistor:结型场效应晶体管)等,晶体管的种类没有限定。

[0111] 图8是表示图7所示的像素电路31的动作的时间图。图8中的上段的曲线表示向复位晶体管53的栅极输入的信号,中段的曲线表示向传输晶体管51的栅极输入的信号,下段的曲线表示向选择晶体管56的栅极输入的信号。关于各曲线,上方意味着导通(ON),下方意味着截止(OFF),在图7那样的N型的晶体管中对应于高电压,在图9那样的P型的晶体管中对应于低电压。

[0112] 该时间图分为以下的5个期间(1)~(5)。

[0113] (1) 复位期间:从垂直扫描电路61经由水平信号线57向复位晶体管53的栅极输入信号(在图7中是高电压),复位晶体管53成为导通状态,将浮动扩散电容52复位。与此同时,从垂直扫描电路61经由水平信号线57向传输晶体管51的栅极输入信号(在图7中是高电压),将APD1复位。复位晶体管53的漏极与第1电源连接,如果复位晶体管53成为导通状态,则浮动扩散电容52的电位被复位为复位晶体管53的漏极电位、即第1电源的电位。此外,由于与浮动扩散电容52连接的传输晶体管51也是导通状态,所以APD1的阴极电位也被复位为复位晶体管53的漏极电位、即第1电源的电位。

[0114] (2) 钳位期间:使复位晶体管53和传输晶体管51分别成为截止状态,并且从垂直扫描电路61经由水平信号线57向选择晶体管56的栅极输入信号,使该选择晶体管56成为导通状态。刚复位后的浮动扩散区域的电位经由源极跟随器晶体管54、选择晶体管56和垂直信号线55被传输到读出电路63,作为第1信号被保存到未图示的电容或存储器等中。存储器等也可以设置在读出电路63中。

[0115] (3) 曝光期间:在复位期间结束后,如果光入射到APD1,则通过光电转换产生的电荷被雪崩倍增。所产生的电荷(在图7中是电子)被积蓄到与APD1的阴极连接的电容中,具体而言被积蓄到第1半导体层201与第2半导体层202的PN结电容、第1半导体层201与第3半导体层203的PN结电容、第1接触件401的寄生电容、以及经由第1接触件401连接的布线及传输晶体管51的寄生电容等中。

[0116] (4) 传输期间:在曝光期间结束后,再次使传输晶体管51成为导通状态,将积蓄在APD1中的电子传输到浮动扩散电容52。曝光时间 Δt 相当于钳位期间、曝光期间与传输期间之和,根据在该期间内入射的光量,像素110输出信号。

[0117] (5) 读出期间:使传输晶体管51成为截止状态,并且使选择晶体管56成为导通状态,将积蓄有电子的状态的浮动扩散区域的电位作为第2信号经由源极跟随器晶体管54、选择晶体管56和垂直信号线55传输到读出电路63。求出第2信号与在钳位期间中取得的第1信号的差分来生成信号。

[0118] 另外,由读出电路63生成的信号由水平扫描电路62传送到缓冲放大器64,进而被输出到外部。此外,通过求出第1信号与第2信号的差分(相关双采样),能够从像素信号除去kTC噪声等噪声成分,所以能够得到高品质的信号。但是,在盖革模式动作等的能得到高输出的信号的情况下,也可以将钳位期间省略,进行仅取得第1信号、求出相对于基准电压的差分的驱动。

[0119] 另外,有关本实施方式的像素电路31并不限于图7所示的块构成,特别是,在SPAD(Single Photon Avalanche Diode:单光子雪崩二极管)中使用的电路构成能够与全部的有关实施方式的构成组合。

[0120] 图9是表示有关实施方式2的光电传感器100D的像素电路31的其他例的块构成图。

[0121] 如图9所示,传输晶体管51、复位晶体管53、源极跟随器晶体管54、选择晶体管56的极性也可以是P型,APD1及传输晶体管51、复位晶体管53、源极跟随器晶体管54、选择晶体管56的极性没有限定。

[0122] 接着,使用图10~图12对有关实施方式2的光电传感器100D的布局构成及截面结构进行说明。

[0123] 图10是表示光电传感器100D的布局构成的俯视图。另外,在图10的俯视图中,为了将后述的电路区域30、APD1及分离区域20的位置关系容易理解地表示,将电路区域30显示在前面。在以下的俯视图中也是同样的。

[0124] 在图10中,对应于图9所示的电路图而表示了APD1的阴极连接有P型晶体管的构成。但是,APD1的极性也可以相反,即也可以是在APD1的阳极连接有N型的晶体管的构成。这里,与图2A同样,使用第1导电型、第2导电型这样的表现。

[0125] 有关实施方式2的光电传感器100D除了实施方式1的变形例2的光电传感器100B的构成以外还具备电路区域30。电路区域30与APD区域10及分离区域20局部重叠。

[0126] 如图10所示,电路区域30具备第1阱221、传输晶体管251、复位晶体管253、源极跟随器晶体管254、选择晶体管256及阱接触件230。传输晶体管251经由第1接触件401电连接于APD1。

[0127] 图11是从图10所示的XI—XI线观察光电传感器100D的情况下的剖视图。图12是从图10所示的XII—XII线观察光电传感器100D的情况下的剖视图。

[0128] 如图11所示,光电传感器100D具备第1导电型的第1阱221、形成在第1阱221之上且杂质浓度比第1阱221低的第2阱222(导电型没有指定)、杂质浓度比第2半导体层202高的第2导电型的第3阱223以及第2导电型的传输晶体管251。

[0129] 第1半导体层201和传输晶体管251通过第1接触件401连接。在APD区域10中,第1半导体层201与第1阱221之间被第5半导体层205分离,第5半导体层205的至少一部分耗尽。杂质浓度较低的第2阱222抑制在上述的各阱与第2半导体层202之间发生高电场,第3阱223抑制通过光电转换产生的电荷进入第1阱221。由此,能够提高光电传感器100D的灵敏度。

[0130] 另外,如图10所示,优选的是将电路区域30(或第1阱221)跨多个APD区域10共用。由此,能够缩小电路区域30的面积,扩大倍增区域301的面积,提高光电传感器100D的灵敏度。此时,电路区域30与沟槽207、保护层211、保护层212重叠。

[0131] 此外,在光电传感器100D中,如图12所示,在各阱的上方配置有沟槽207及第1保护层211。由此,能够减少相邻的APD区域10的混色。此外,也可以从配置有沟槽207及第1保护层211的区域去除第3阱223。由此,能够进一步减小第1阱221的电场。

[0132] [2—2.实施方式2的变形例1]

[0133] 接着,参照图13~图15对有关实施方式2的变形例1的光电传感器100E进行说明。

[0134] 图13是表示有关实施方式2的变形例1的光电传感器100E的布局构成的俯视图。图14是从图13所示的XIV—XIV线观察光电传感器100E的情况下的剖视图。图15是从图13所示的XV—XV线观察光电传感器100E的情况下的剖视图。

[0135] 如图14所示,在光电传感器100E中,在相互相邻的APD区域10之间形成有多个分离区域20。具体而言,在相邻的APD区域10之间形成有两个分离区域20。在两个分离区域20之间形成有电路区域30。沟槽207及第1保护层211配置在倍增区域301与电路区域30之间。在光电传感器100D中,由于在电路区域30与APD区域10之间没有形成沟槽207,所以通过光电转换产生的电荷通过热扩散从第1阱221排出,有光灵敏度下降的情况,但在光电传感器100E中,由于在电路区域30与APD区域10之间配设有沟槽207,所以通过光电转换产生的电荷通过热扩散从第1阱221排出的概率减小,光灵敏度提高。

[0136] 此外,在图14的光电传感器100E中,表示了透镜502及倍增区域301配置为使透镜

502的光学中心与倍增区域301的中心一致的情况下的例子。由此,能够进一步提高聚光效率,能够提高光电传感器100E的灵敏度。此外,在该光电传感器100E中,即使如图15所示不在电路区域30的上方设置沟槽207,也由于APD区域10的周围被沟槽207包围,所以不需要在电路区域30的上方设置沟槽207。

[0137] [2-3.实施方式2的变形例2]

[0138] 接着,参照图16对有关实施方式2的变形例2的光电传感器100F进行说明。

[0139] 图16是有关实施方式2的变形例2的光电传感器100F的剖视图。

[0140] 变形例2的光电传感器100F具备N型的传输晶体管251、N型的复位晶体管253、N型的源极跟随器晶体管254、N型的选择晶体管256以及被N型的第1阱221包围的P型的第2导电型的第4阱224。该光电传感器100F在第4阱224内配置传输晶体管251、复位晶体管253、源极跟随器晶体管254及选择晶体管256。例如,在硅的情况下,由于电子移动度比空穴移动度高,所以通过使晶体管为N型的晶体管,电流量变大,能够缩短像素电路31的时间常数。

[0141] [2-4.实施方式2的变形例3]

[0142] 接着,参照图17~图19对有关实施方式2的变形例3的光电传感器100G进行说明。

[0143] 图17是表示有关实施方式2的变形例3的光电传感器100G的布局构成的俯视图。

[0144] 在上述的例子中,在横向上排列的一行像素110配置在一连串的电路区域30内,即共用第1阱221,而有关变形例3的光电传感器100G具有由该图中纵向两行的像素110共用电路区域30的第1阱221的布局构成。

[0145] 图18是从图17所示的XVIII-XVIII线观察光电传感器100G的情况下的剖视图。

[0146] 例如,在如上述的图10所示相对于一行像素110配设一行电路区域30的情况下,(在俯视图的纵向上)每一个像素需要两处分离区域20,即每两个像素需要4处分离区域20。相对于此,在变形例3的光电传感器100G中,通过如图18所示共用电路区域30,分离区域20的数量成为每两个像素有3处。因此,能够将分离区域20的数量减少到3/4倍,能够扩大倍增区域301的面积,使光电传感器100G高灵敏度化。

[0147] 接着,对有关变形例3的光电传感器100G的其他例进行说明。

[0148] 图19是表示有关实施方式2的变形例3的光电传感器100G的其他例的图。

[0149] 在有关变形例3的其他例的光电传感器100G中,配置在电路区域30上的沟槽207的宽度比图18所示的沟槽207的宽度宽。因此,能够进一步抑制电荷向第1阱221的漏出,能够使光电传感器100G更高灵敏度化。另外,光电传感器100G也可以不具有第3阱223。

[0150] 另外,在实施方式2及各变形例中,如实施方式2的变形例2所示构成为,第2半导体层202在俯视下形成于整面,杂质浓度从第1主面S1朝向第2主面S2逐渐增大,但并不限于该构成。即,也可以如实施方式1的图2所示构成为,第2半导体层202在俯视下不形成于整面,第4半导体层204从第1主面S1朝向第2主面S2杂质浓度不变化。

[0151] (实施方式3)

[0152] 接着,参照图20及图21对有关实施方式3的光电传感器100H进行说明。

[0153] 图20是表示有关实施方式3的光电传感器100H的布局构成的俯视图。图21是从图20所示的XXI-XXI线观察光电传感器100H的情况下的剖视图。

[0154] 光电传感器100H的第1半导体基板101是与有关实施方式1的光电传感器的第1半导体基板101同样的构成,但实施方式3的光电传感器100H还具备第2半导体基板104,在第2

半导体基板104形成有像素电路31。

[0155] 在光电传感器100H中,第1半导体基板101和第2半导体基板104经由布线层103连接,在第2半导体基板104配置各种晶体管。在此情况下,第2半导体基板104的导电型以及形成在第2半导体基板104内的阱、晶体管的导电型可以是第1导电型及第2导电型的任何一种,也可以包含两者。由此,能够进一步扩大倍增区域301的面积,进一步提高灵敏度。

[0156] 此外,也可以构成为,在布线层103设置反射板701,通过该反射板701将入射光反射,进一步提高光灵敏度。

[0157] (实施方式4)

[0158] 接着,对有关实施方式4的距离测定系统进行说明。有关实施方式4的距离测定系统是所谓的TOF(Time Of Flight:飞行时间)方式的距离测定系统。

[0159] 图22是表示具备光电传感器的距离测定系统800的块构成。距离测定系统800具备的光电传感器是上述光电传感器100~100H中的哪一种都可以。

[0160] 实施方式4的距离测定系统800具备发出脉冲光的发光部810、接受反射的脉冲光的受光部820、对发光部810及受光部820进行控制的控制部830、以及计算到测定对象物900的距离的运算部840。

[0161] 发光部810由发光二极管等发光设备构成,根据来自控制部830的控制信号产生脉冲光,并朝向测定对象物900照射。

[0162] 受光部820包括光电传感器100~100H中的任一个,接受由测定对象物900反射的脉冲光。

[0163] 控制部830由CPU(Central Processing Unit:中央处理单元)等构成,对发光部810和受光部820进行控制以使两者同步地动作。

[0164] 运算部840基于来自受光部820的输出信号,测定脉冲光从测定对象物900反射而回到受光部820为止的时间,由此计算到测定对象物900的距离。另外,控制部830及运算部840既可以是一个芯片,也可以由单独的多个芯片构成。

[0165] 输出部850以数值数据形式或图像形式输出在运算部840中计算出的到测定对象物900的距离。输出部850由CPU等控制装置、以及显示器、例如液晶显示器或有机EL显示器等显示装置构成。此外,输出部850也可以组装到距离测定系统800中。

[0166] 上述光电传感器例如能够由传输晶体管51任意地设定曝光定时。因此,通过使用上述光电传感器100~100H中的任一个作为距离测定系统800的光电传感器,能够防止由背景光造成的距离的误检测,以高精度求出到物体的距离。

[0167] (总结)

[0168] 本实施方式的光电传感器100具备:多个APD区域10,形成在第1半导体基板101上,APD区域10具有APD1;以及分离区域20,在第1半导体基板101内形成在相互相邻的APD区域10之间。第1半导体基板101具有作为第1半导体基板101的两个主面中的一个的第1主面S1以及与第1主面S1相反一侧的第2主面S2。APD1由与第1主面S1相接的第1导电型的第1半导体层201、以及相对于第1半导体层201配置在第2主面S2侧的第2导电型的第2半导体层202构成,第2导电型为与第1导电型相反的导电型。分离区域20具有设置于第1主面S1侧的第1导电型或第2导电型的第3半导体层203、以及设置于比第3半导体层203靠第2主面S2侧的位置的沟槽207。沟槽207的一端207a与第2主面S2相接,沟槽207的另一端207b不与第1主面S1

相接,沟槽207的另一端207b与第1主面S1之间的至少一部分耗尽。

[0169] 由此,能够将相邻的APD区域10用沟槽207分离,所以能够适度地抑制相邻的APD1的混色。此外,通过构成为沟槽207的另一端207b不与第1主面S1相接,例如不再需要在沟槽207的侧面设置电场缓和层,能够提高光电传感器100的开口率。由此,能够兼顾光电传感器100的高灵敏度化和防混色。

[0170] 此外,也可以是,沟槽207的另一端207b位于比第1半导体层201与第2半导体层202的界面靠第2主面S2侧的位置。

[0171] 由此,能够将相邻的APD区域10用沟槽207分离,所以能够适度地抑制相邻的APD1的混色。此外,通过使沟槽207的另一端207b处于比第1半导体层201与第2半导体层202的界面靠第2主面S2侧的位置,例如不再需要在沟槽207的侧面设置电场缓和层,能够提高光电传感器100的开口率。由此,能够兼顾光电传感器100的高灵敏度化和防混色。

[0172] 此外,也可以是,光电传感器100还具备将沟槽207的另一端207b及侧面207c覆盖的保护层(例如第1保护层211及第2保护层212),保护层位于比第2半导体层202靠第2主面S2侧的位置。

[0173] 例如,如果第1半导体层201及第2半导体层202的周边的耗尽层与第1保护层211相接,则在与第1保护层211相接的区域中电场变强,电场分布变得不均匀。因此,通过如上述那样将第1保护层211配置在比第2半导体层202靠第2主面S2侧的位置,能够抑制在形成于第1半导体层201及第2半导体层202的界面附近的倍增区域301中电场分布变得不均匀。由此,能够提高光电传感器100的开口率,能够使光电传感器100高灵敏度化。

[0174] 此外,也可以是,第2半导体层202的杂质浓度在第2主面S2侧比第1主面S1侧高。

[0175] 由此,能够通过第2电场矢量602使由光电转换产生的电荷漂移到倍增区域301,所以能够使第1电场矢量601直接朝向第2保护层212。因此,倍增区域301内的电场被均匀化,不易发生倍增区域301中的倍增率的偏差。由此,能够提高光电传感器100B的开口率,能够使光电传感器100B高灵敏度化。

[0176] 此外,也可以是,第2半导体层202随着向第2主面S2接近而杂质浓度逐渐增加。

[0177] 由此,能够通过第2电场矢量602使由光电转换产生的电荷漂移到倍增区域301,所以能够使第1电场矢量601直接朝向第2保护层212。因此,倍增区域301内的电场被均匀化,不易发生倍增区域301中的倍增率的偏差。由此,能够提高光电传感器100B的开口率,能够使光电传感器100B高灵敏度化。

[0178] 此外,也可以是,第2半导体层202还形成于第1半导体基板101的整面。

[0179] 由此,能够通过第2电场矢量602更有效地使由光电转换产生的电荷漂移到倍增区域301,所以能够使第1电场矢量601直接朝向第2保护层212。因此,倍增区域301内的电场被均匀化,不易发生倍增区域301中的倍增率的偏差。由此,能够提高光电传感器100B的开口率,能够使光电传感器100B高灵敏度化。

[0180] 此外,也可以是,光电传感器100还具备连接于第1半导体层201的第1接触件401和向保护层(例如第1保护层211及第2保护层212)施加电压的第2接触件402。第1接触件401、第2接触件402及沟槽407中任一个都不与第1主面S1中的分离区域20所占的分离区域面21相接。

[0181] 由此,能够构成为在分离区域面21没有设置第1接触件401、第2接触件402及沟槽

407,能够使分离区域20的宽度变窄。由此,能够提高光电传感器100的开口率,能够使光电传感器100高灵敏度化。

[0182] 此外,也可以是,从相邻的两个APD1延伸的两个不同的耗尽层在第3半导体层的至少一部分处相接。

[0183] 通过这两个不同的耗尽层,能够形成势垒,所以能够在抑制相邻的APD1的混色的同时提高光电传感器100的开口率。由此,能够使光电传感器100高灵敏度化。

[0184] 此外,也可以是,光电传感器100D还具备形成在第1半导体基板101上的像素电路31。像素电路31经由第1接触件401与APD1电连接。

[0185] 由此,能够将光电传感器100D高集成化,能够提高光电传感器100的开口率。

[0186] 此外,也可以是,像素电路31包括第2导电型的晶体管,具有N阱+N-电场缓和区域。

[0187] 由此,能够使像素电路31的时间常数变短。

[0188] 此外,也可以是,像素电路31包括第1导电型的晶体管,具有三重阱结构。

[0189] 由此,能够使像素电路31的时间常数变短。

[0190] 此外,也可以是,在相互相邻的APD区域10之间形成有多个分离区域20,在第1半导体基板101内的多个分离区域20之间形成有具有像素电路31的电路区域30。

[0191] 由此,能够使用分离区域20将电路区域30和APD区域可靠地分离。因此,例如在APD区域10中,能够将透镜502及倍增区域301配置为使透镜502的光学中心与倍增区域301的中心一致。由此,通过光电转换产生的电荷更容易进入倍增区域301,能够提高光电传感器100E的灵敏度。

[0192] 此外,也可以是,光电传感器100H还具备作为与第1半导体基板101不同的半导体基板的第2半导体基板104。第2半导体基板104具有经由第1接触件401与APD1电连接的像素电路31。

[0193] 由此,能够将光电传感器100H高集成化,能够提高光电传感器100的开口率。

[0194] 此外,也可以是,光电传感器100上被照射光的一侧的面是第2主面S2。

[0195] 由此,能够在第1半导体基板101上简单地形成像素电路31,能够提高光电传感器100的开口率。

[0196] 此外,也可以是,光电传感器100是背面照射型。

[0197] 由此,能够在第1半导体基板101上简单地形成像素电路31,能够提高光电传感器100的开口率。

[0198] 本实施方式的距离测定系统800具备:受光部820,具有上述光电传感器;发光部810,朝向测定对象物900发光;控制部830,对受光部820及发光部810进行控制;以及运算部840,从受光部820接受与由测定对象物900反射的反射光对应的信号,计算到测定对象物900的距离。

[0199] 通过距离测定系统800具备被高灵敏度化的上述光电传感器,能够防止距离的误检测,以高精度求出到测定对象物900的距离。

[0200] (其他实施方式)

[0201] 以上,对实施方式进行了说明,但本公开并不限定于上述实施方式。对于实施方式施以本领域技术人员想到的各种变形而得到的形态或在不脱离本公开的主旨的范围内通过将各实施方式的构成要素及功能任意地组合而实现的形态也包含在本公开中。

- [0202] 工业实用性
- [0203] 本公开作为具有雪崩光电二极管的光电传感器、图像传感器或距离测定系统是有用的。
- [0204] 标号说明
- [0205] 1 APD(雪崩光电二极管)
- [0206] 10 APD区域
- [0207] 20 分离区域
- [0208] 21 分离区域面
- [0209] 30 电路区域
- [0210] 31 像素电路
- [0211] 51 传输晶体管
- [0212] 52 浮动扩散电容
- [0213] 53 复位晶体管
- [0214] 54 源极跟随器晶体管
- [0215] 55 垂直信号线
- [0216] 56 选择晶体管
- [0217] 57 水平信号线
- [0218] 61 垂直扫描电路
- [0219] 62 水平扫描电路
- [0220] 63 读出电路
- [0221] 64 缓冲放大器
- [0222] 100、100A、100B、100C、100D、100E、100F、100G、100H 光电传感器
- [0223] 101 第1半导体基板
- [0224] 102 光学层
- [0225] 103 布线层
- [0226] 104 第2半导体基板
- [0227] 110 像素
- [0228] 201 第1半导体层
- [0229] 202 第2半导体层
- [0230] 203 第3半导体层
- [0231] 204 第4半导体层
- [0232] 205 第5半导体层
- [0233] 207 沟槽
- [0234] 207a 一端
- [0235] 207b 另一端
- [0236] 207c 侧面
- [0237] 211 第1保护层
- [0238] 212 第2保护层
- [0239] 221 第1阱

- [0240] 222 第2阱
- [0241] 223 第3阱
- [0242] 224 第4阱
- [0243] 230 阱接触件
- [0244] 251 传输晶体管
- [0245] 253 复位晶体管
- [0246] 254 源极跟随器晶体管
- [0247] 256 选择晶体管
- [0248] 301 倍增区域
- [0249] 401 第1接触件
- [0250] 402 第2接触件
- [0251] 501 第3保护层
- [0252] 502 透镜
- [0253] 503 光散射层
- [0254] 601 第1电场矢量
- [0255] 602 第2电场矢量
- [0256] 701 反射板
- [0257] 800 距离测定系统
- [0258] 810 发光部
- [0259] 820 受光部
- [0260] 830 控制部
- [0261] 840 运算部
- [0262] 850 输出部
- [0263] 900 测定对象物
- [0264] S1 第1主面
- [0265] S2 第2主面。

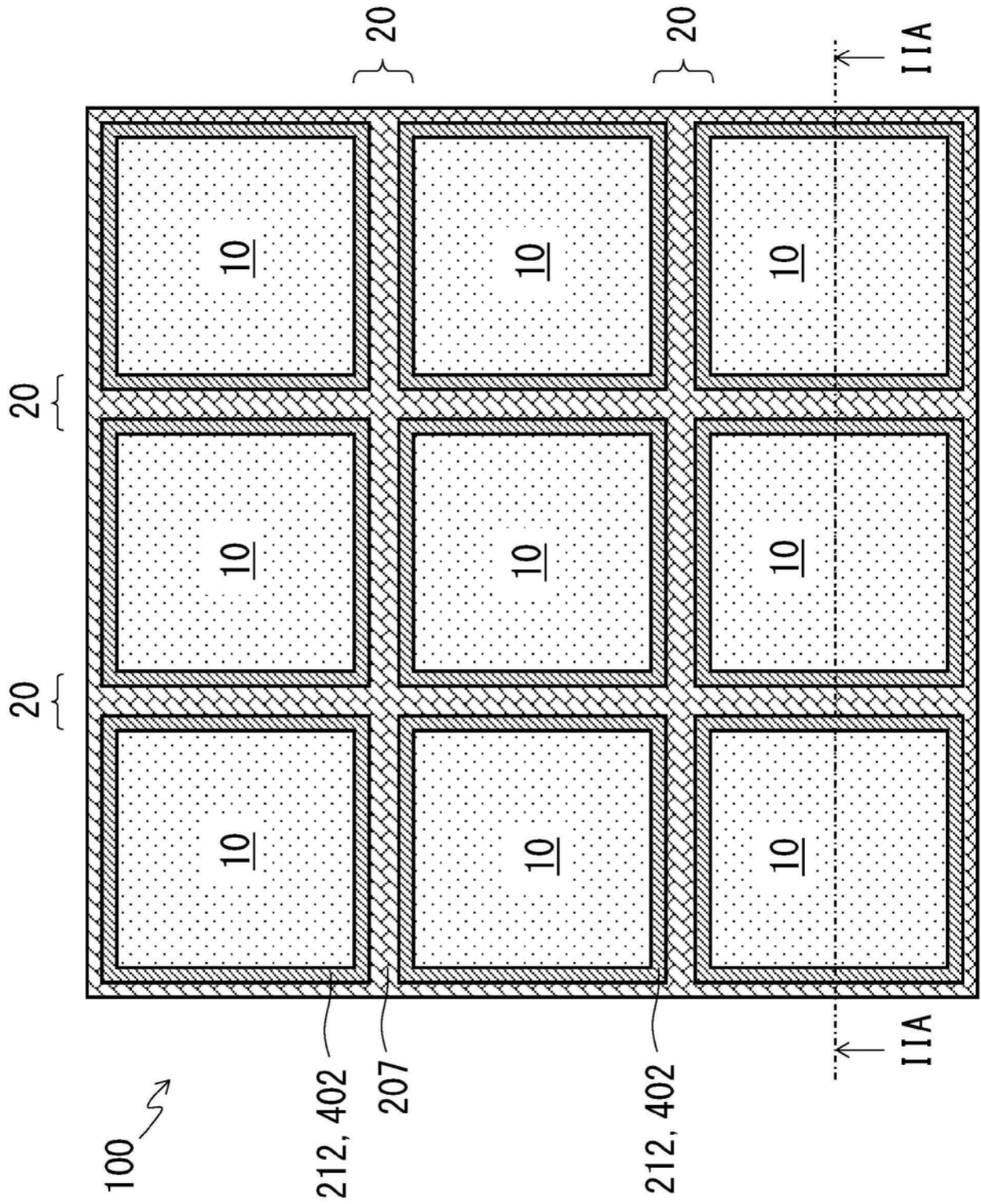


图1

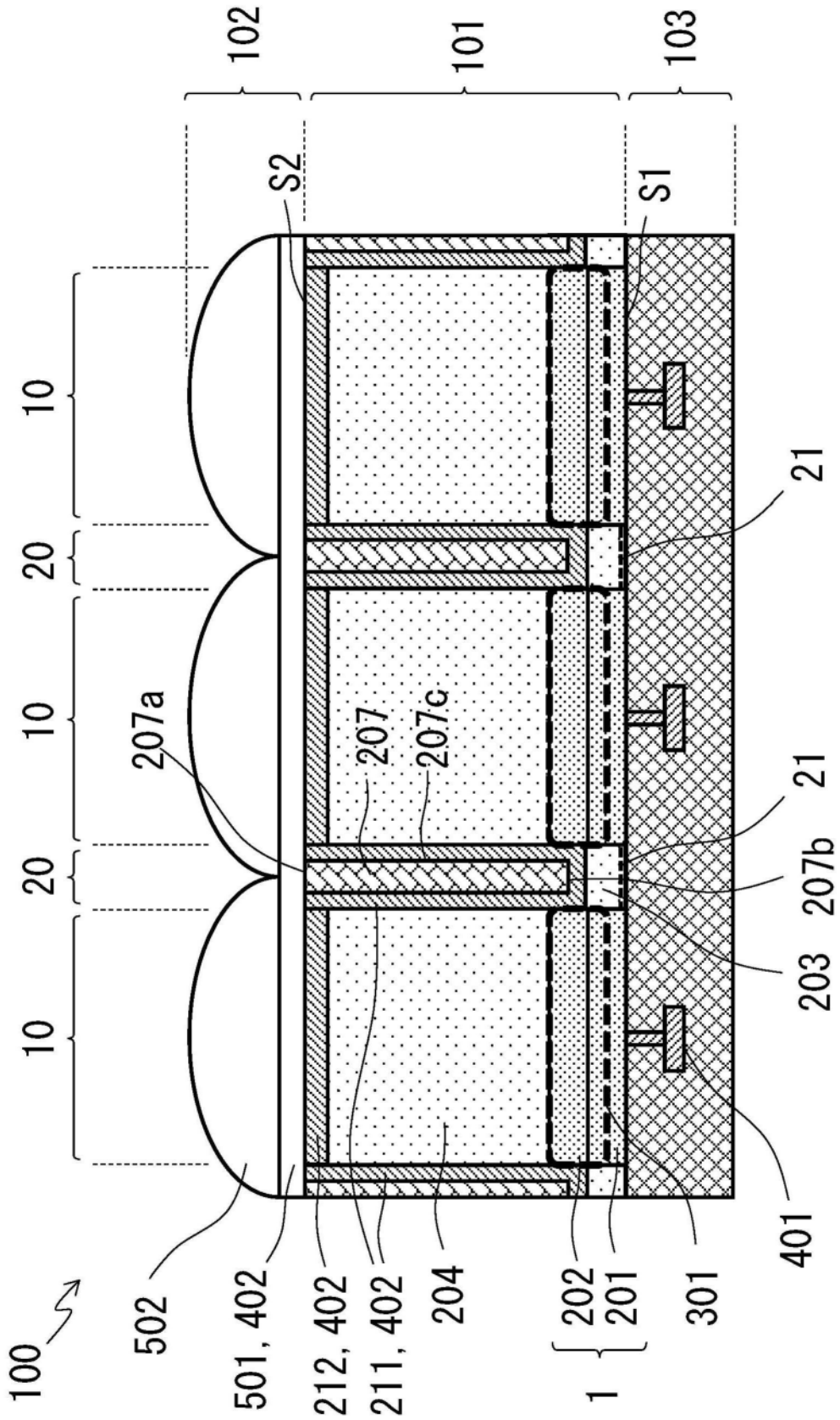


图2B

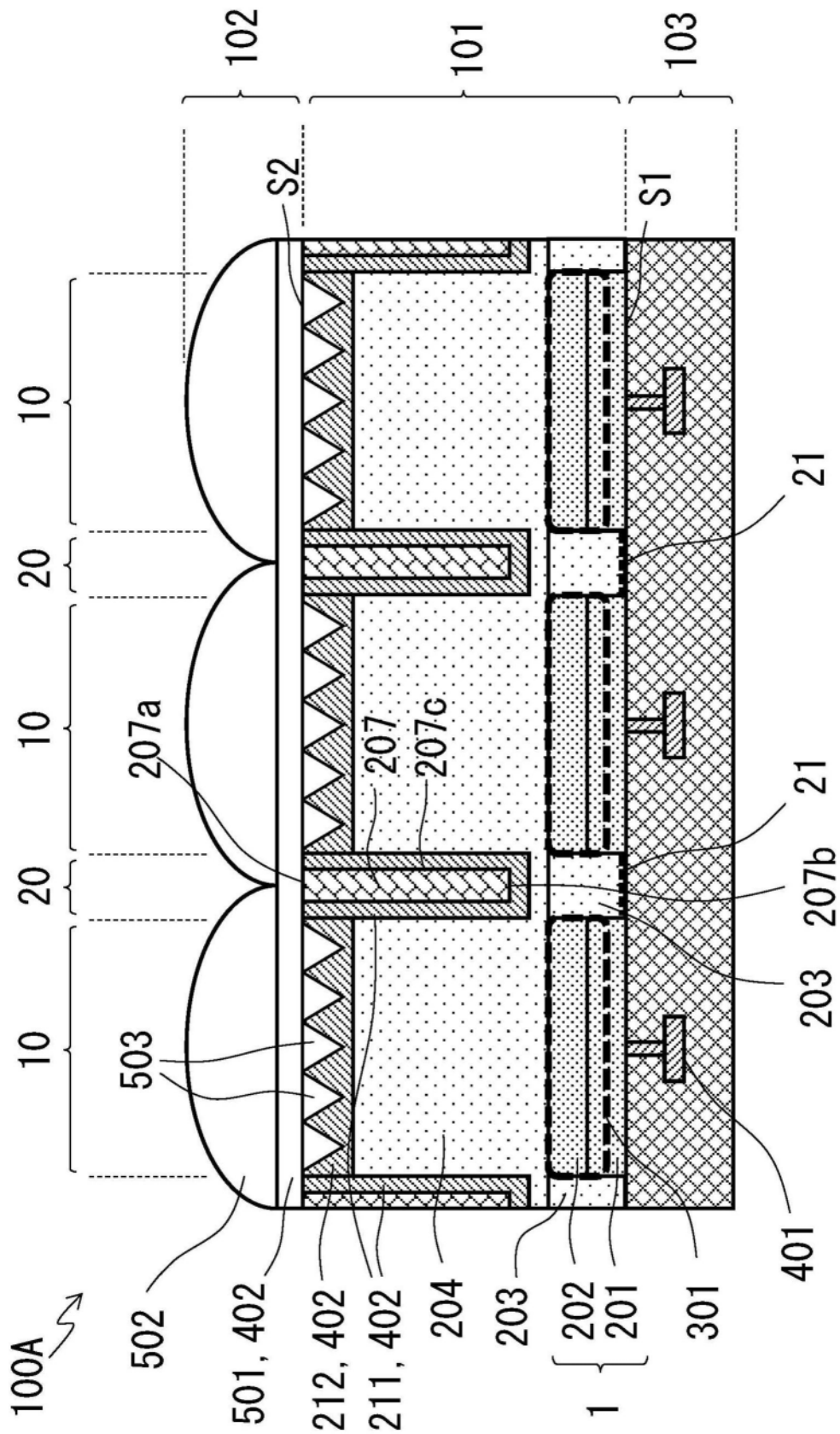


图3

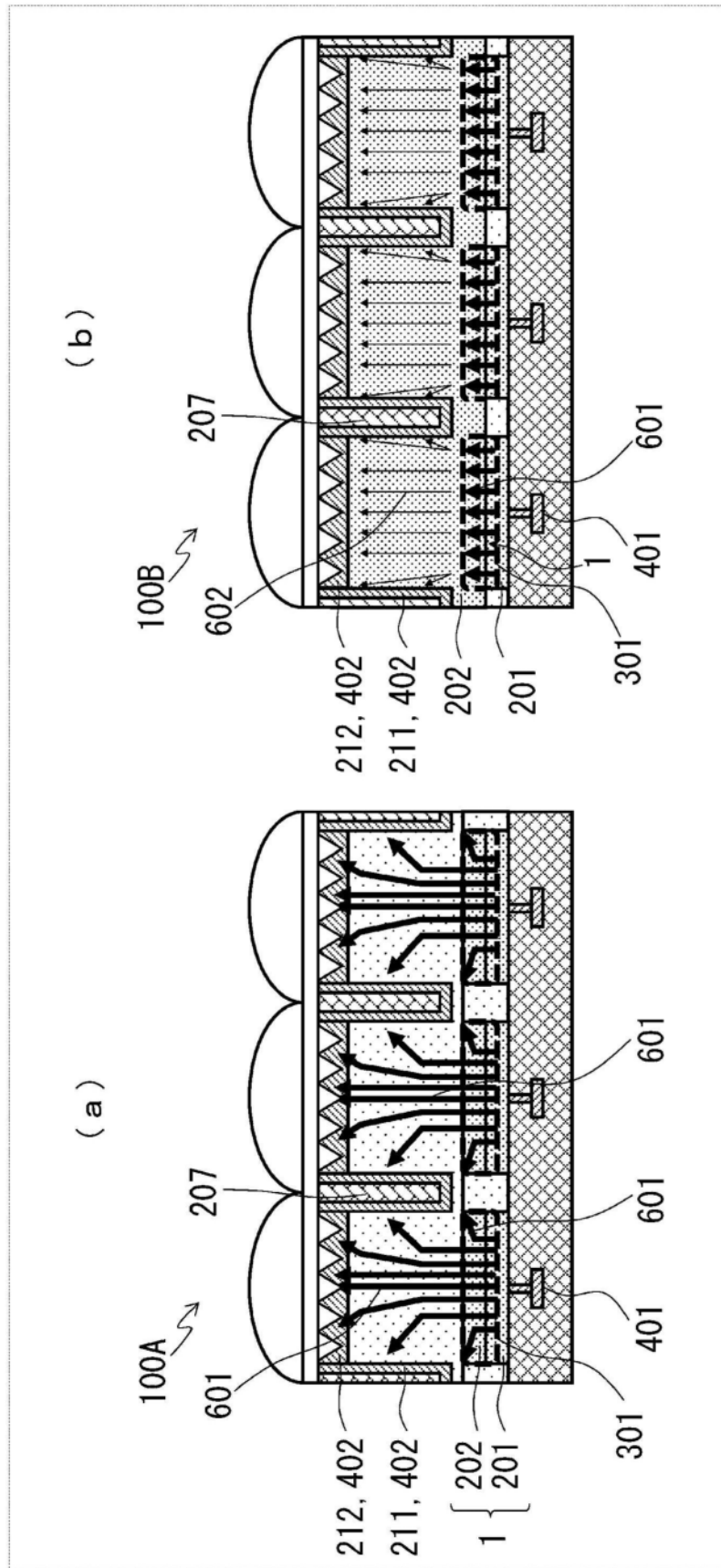


图5

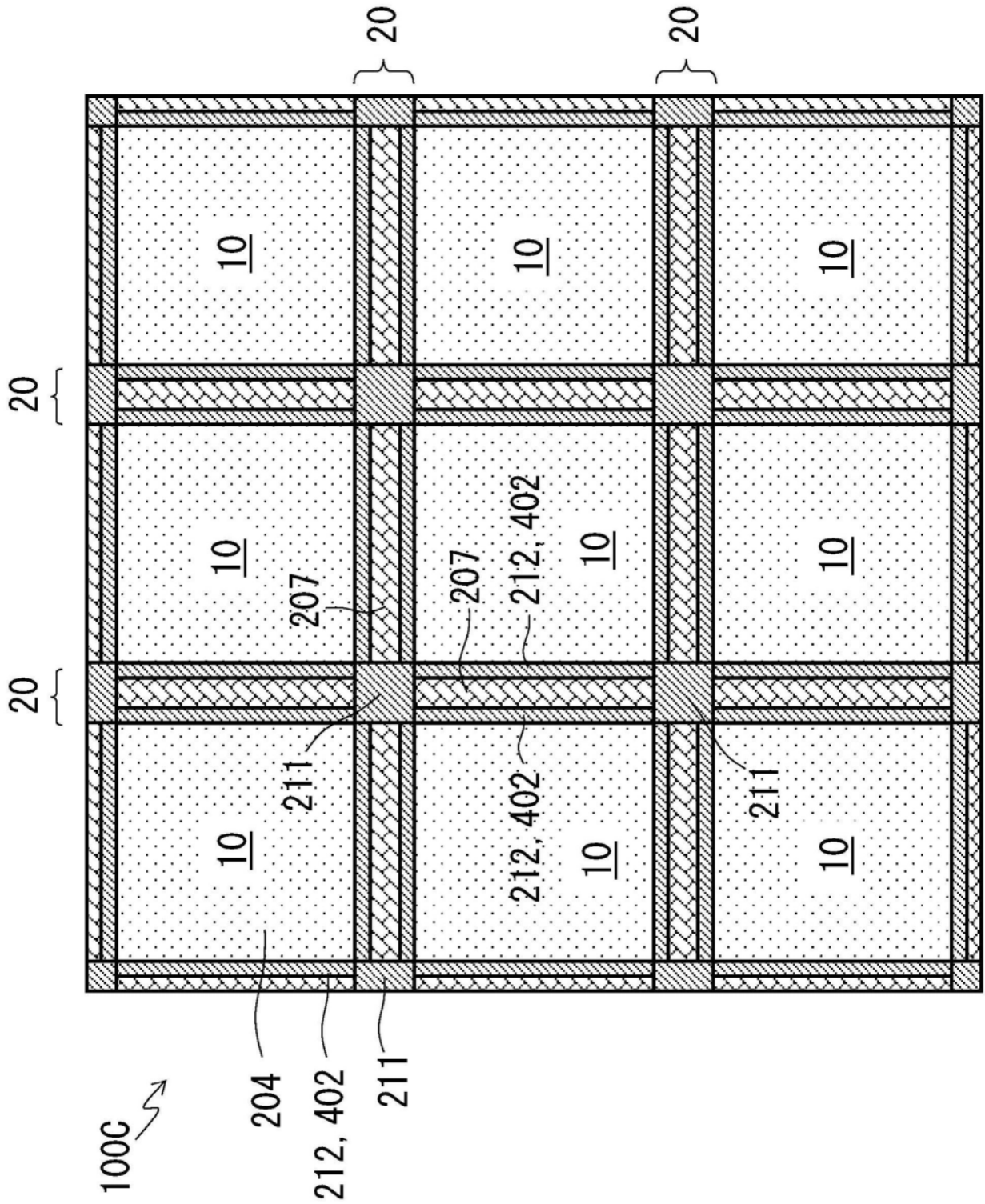


图6

100D

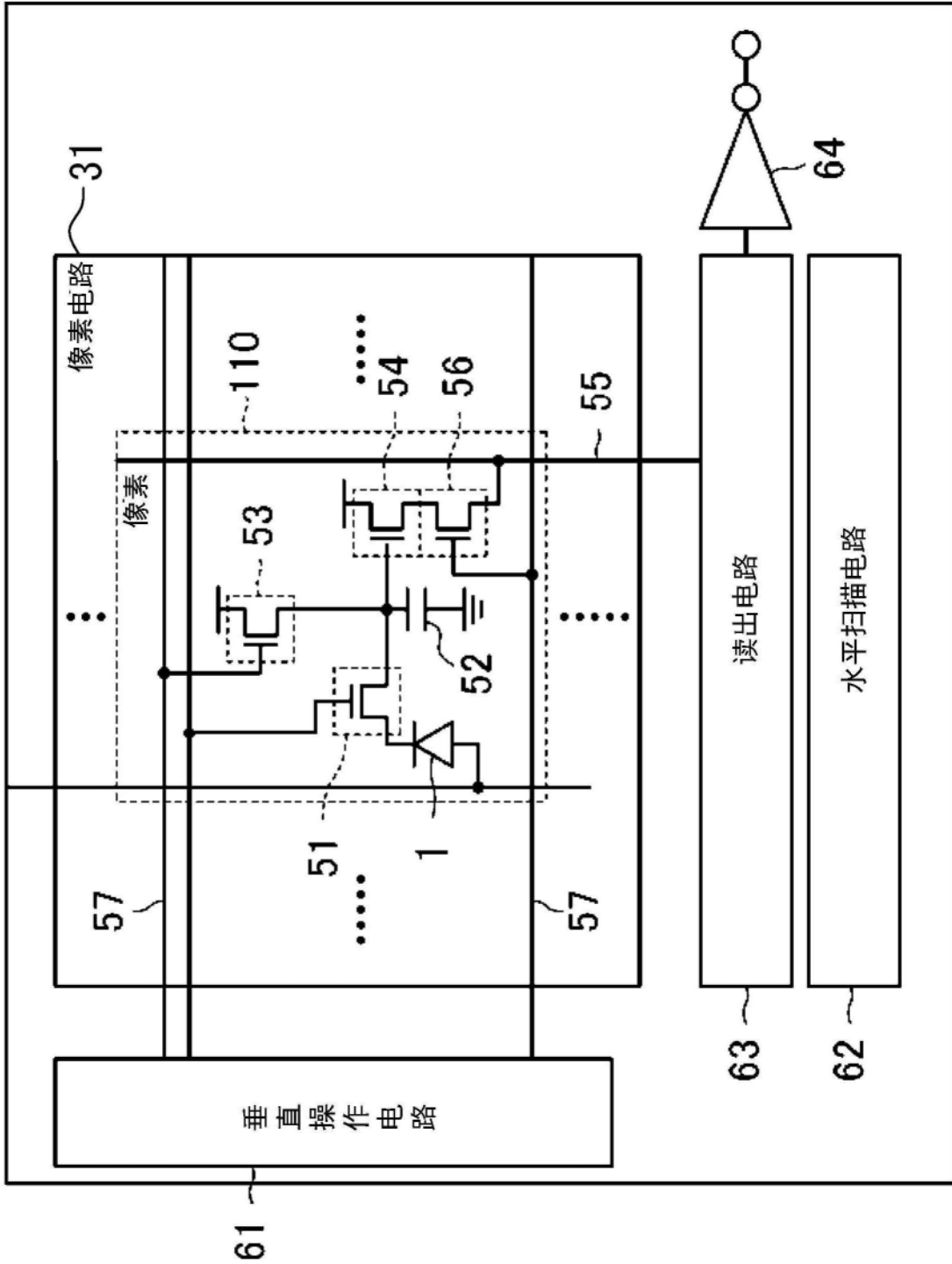


图7

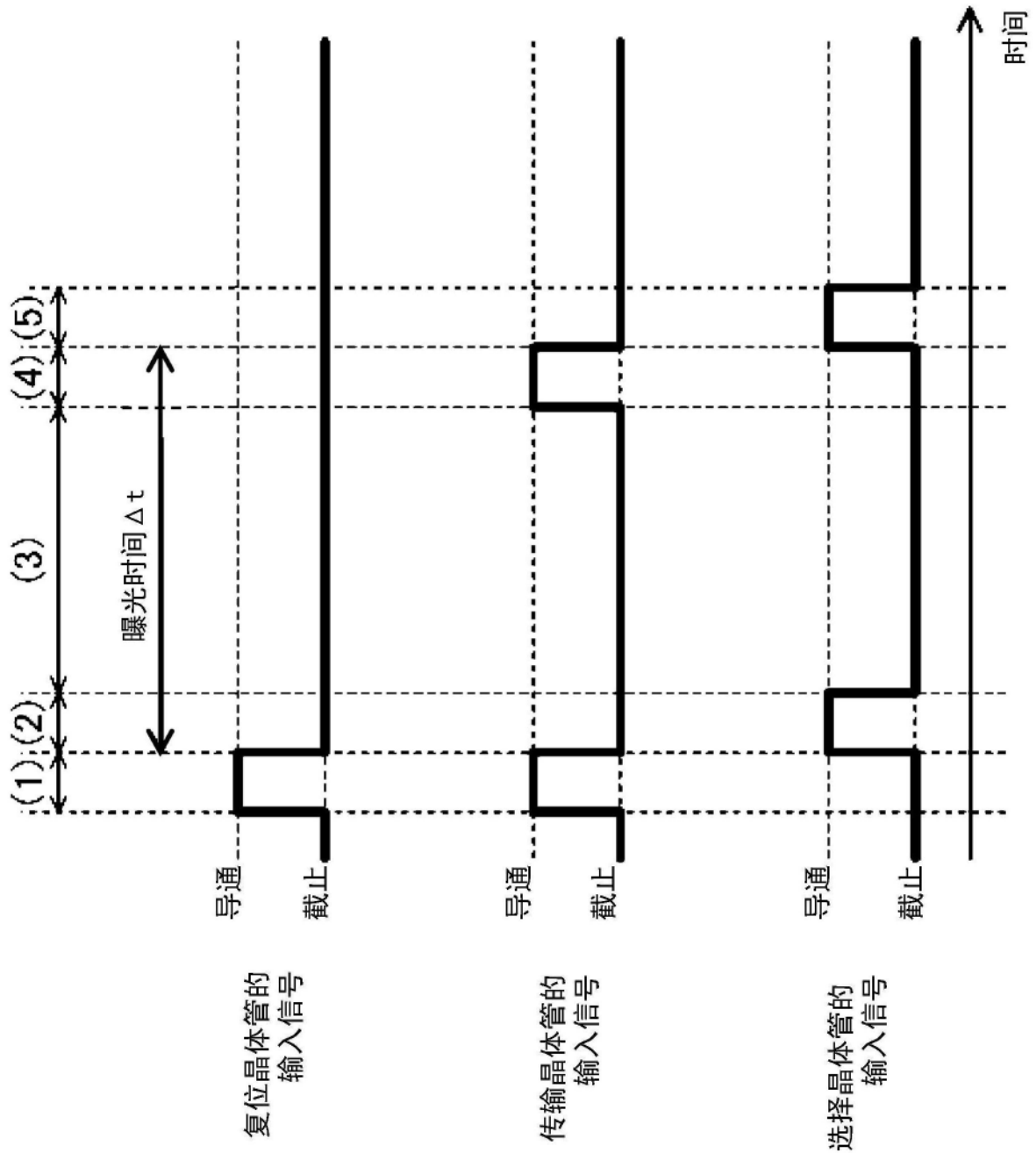


图8

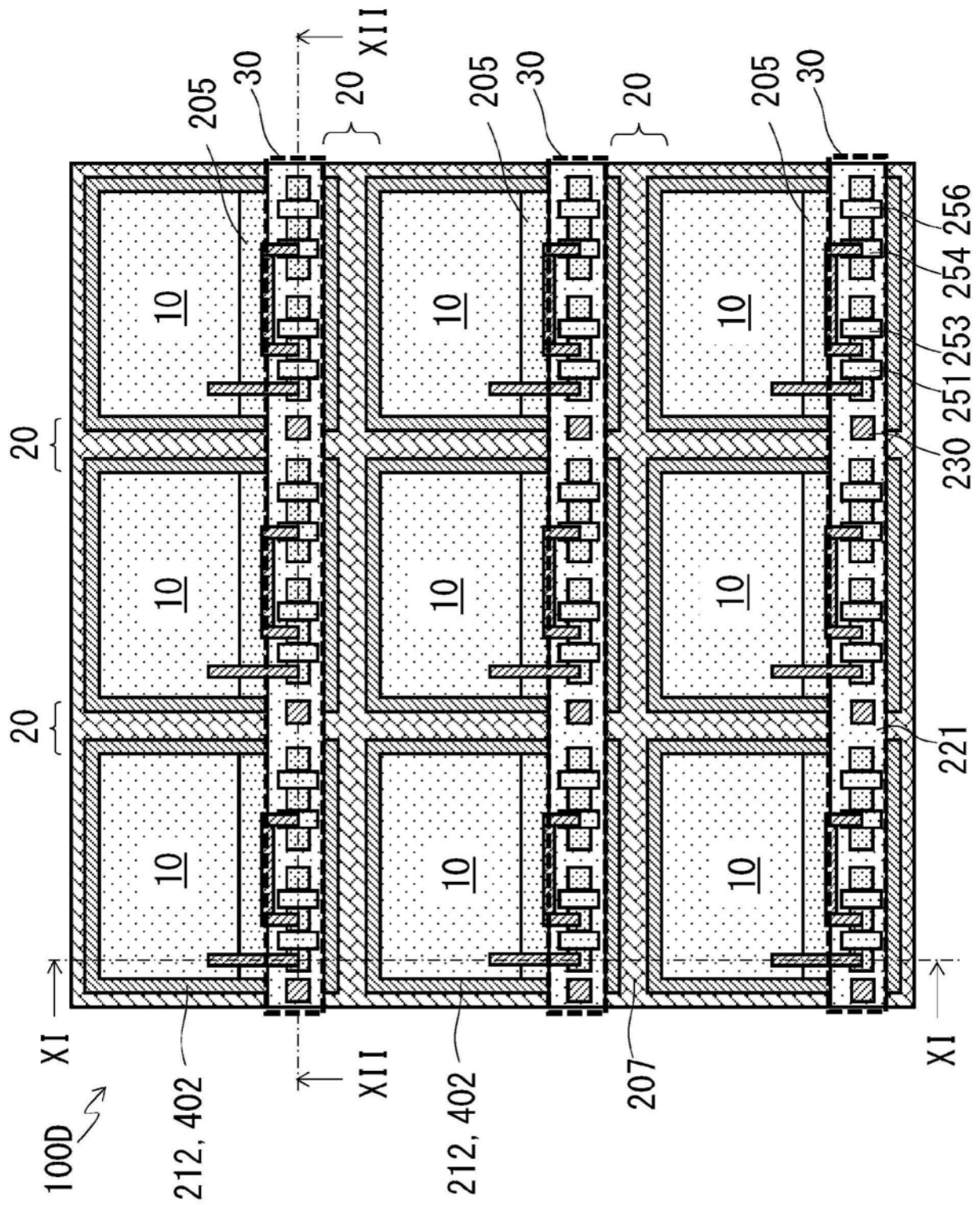


图10

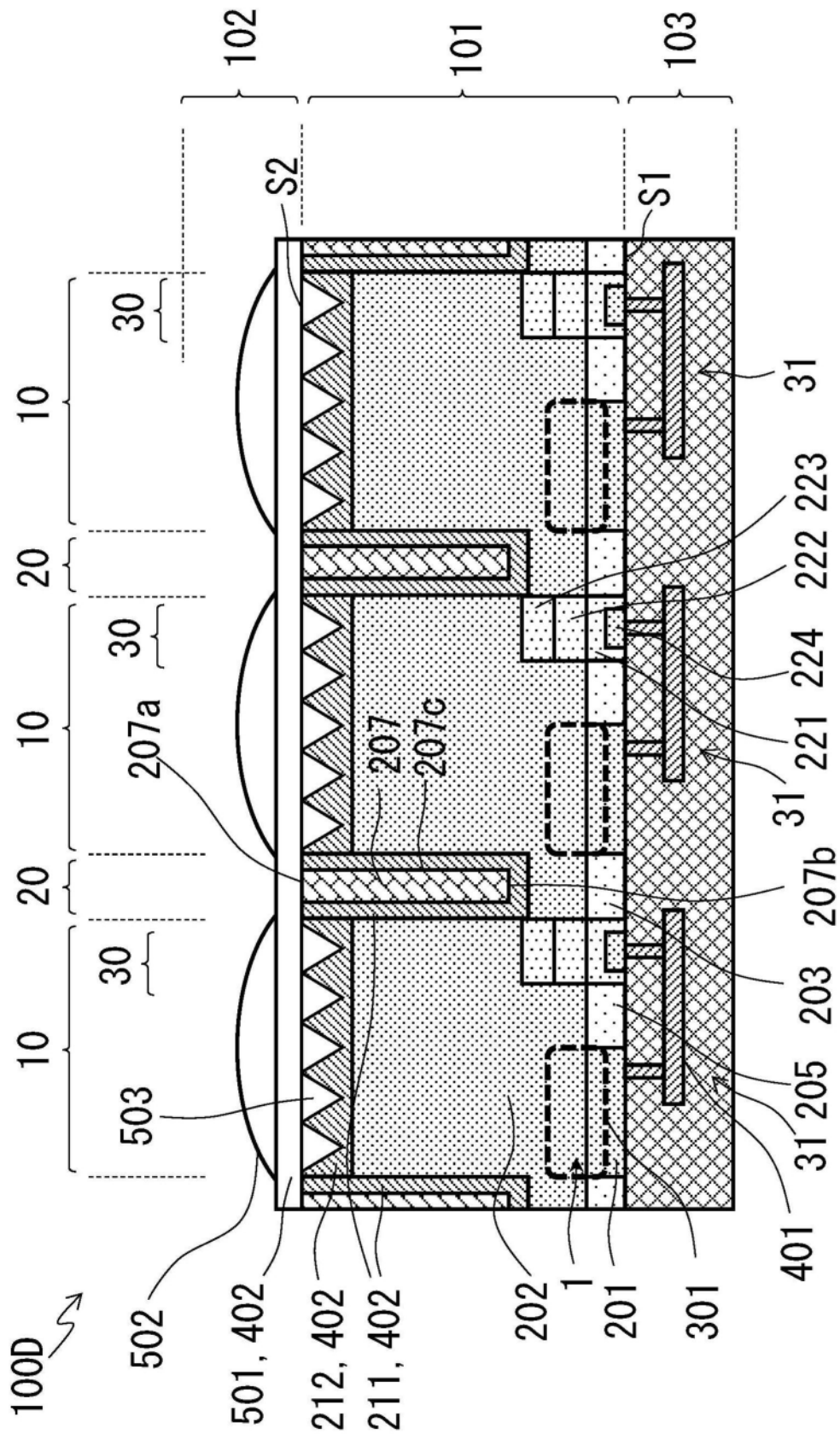


图11

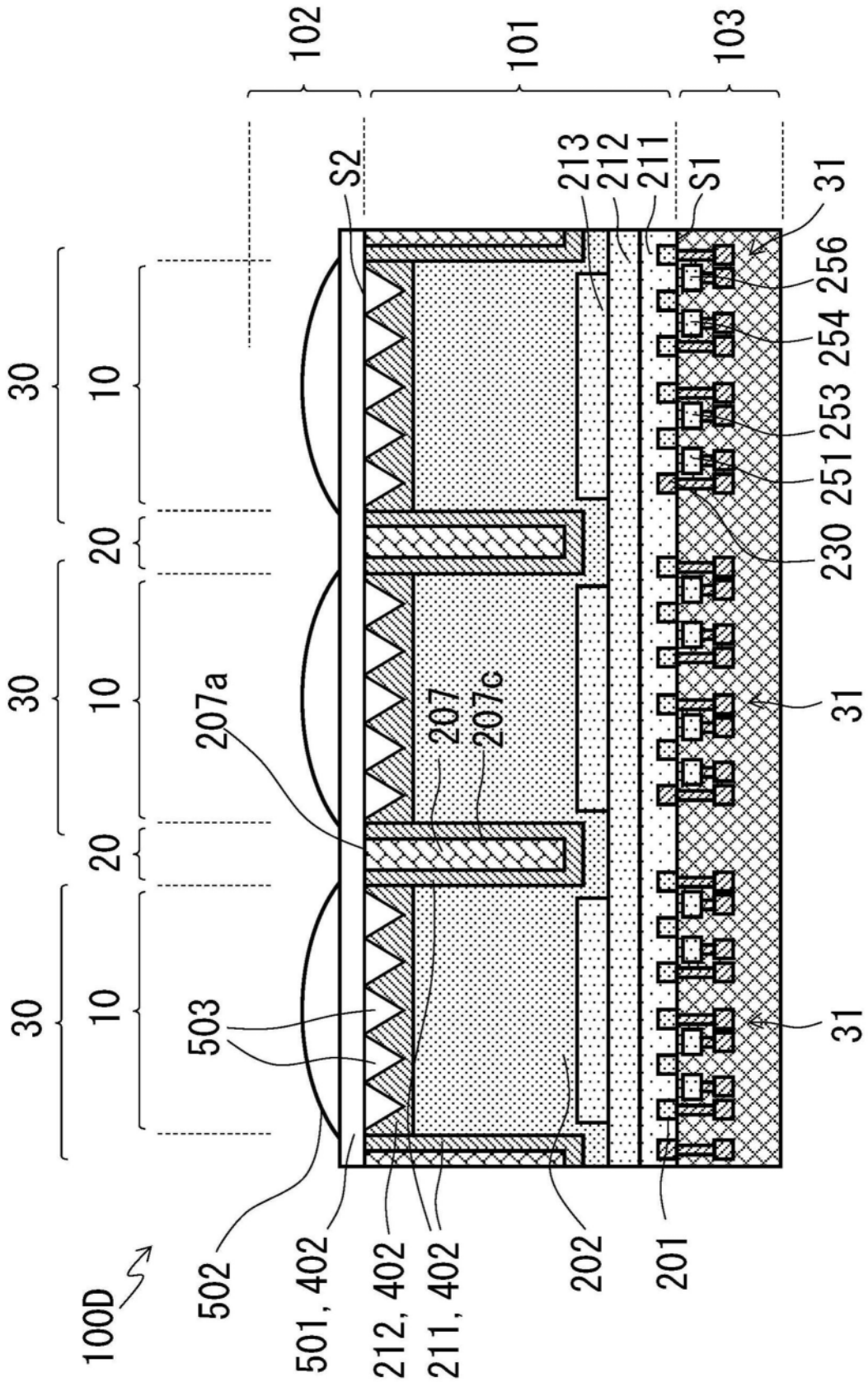


图12

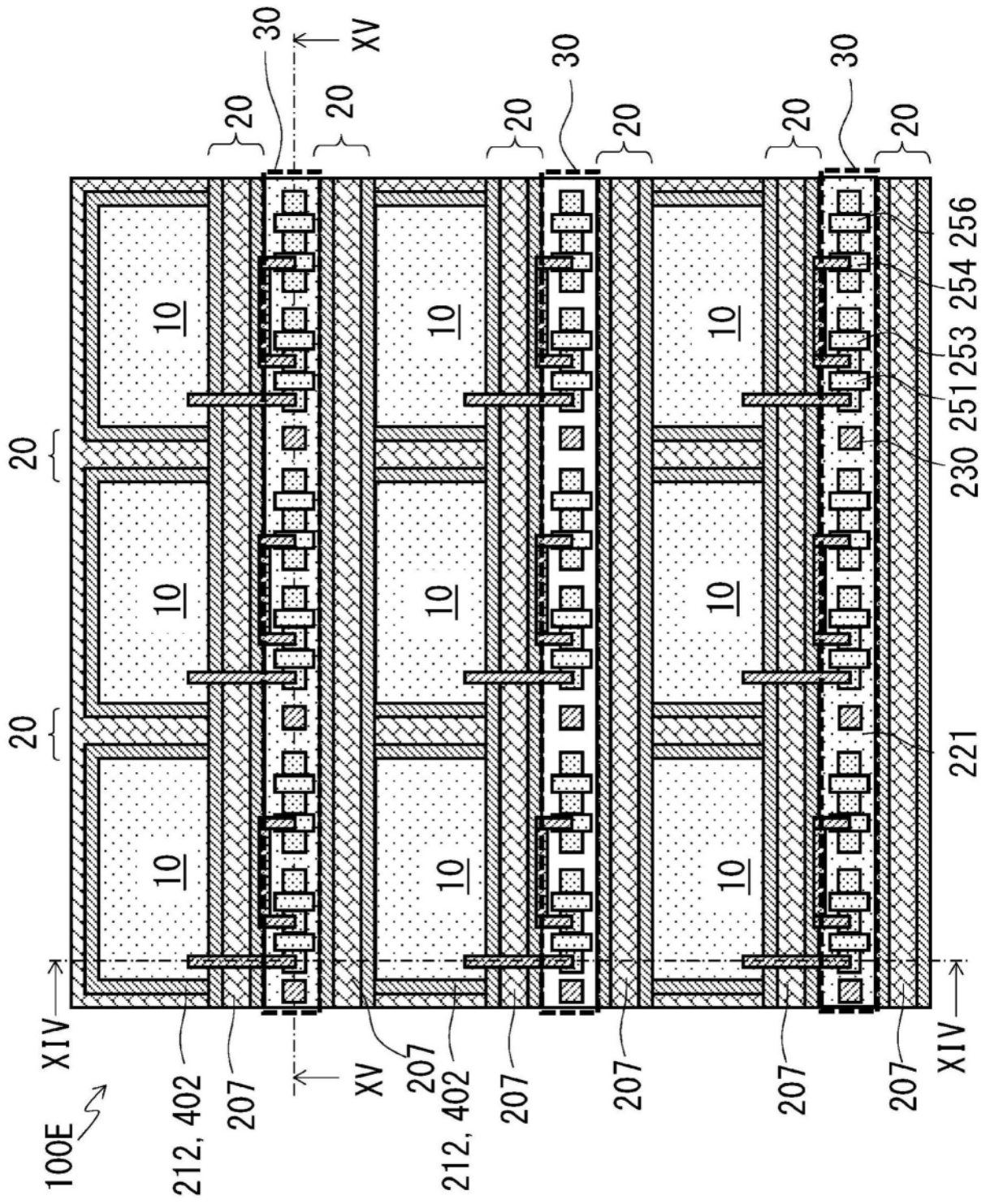


图13

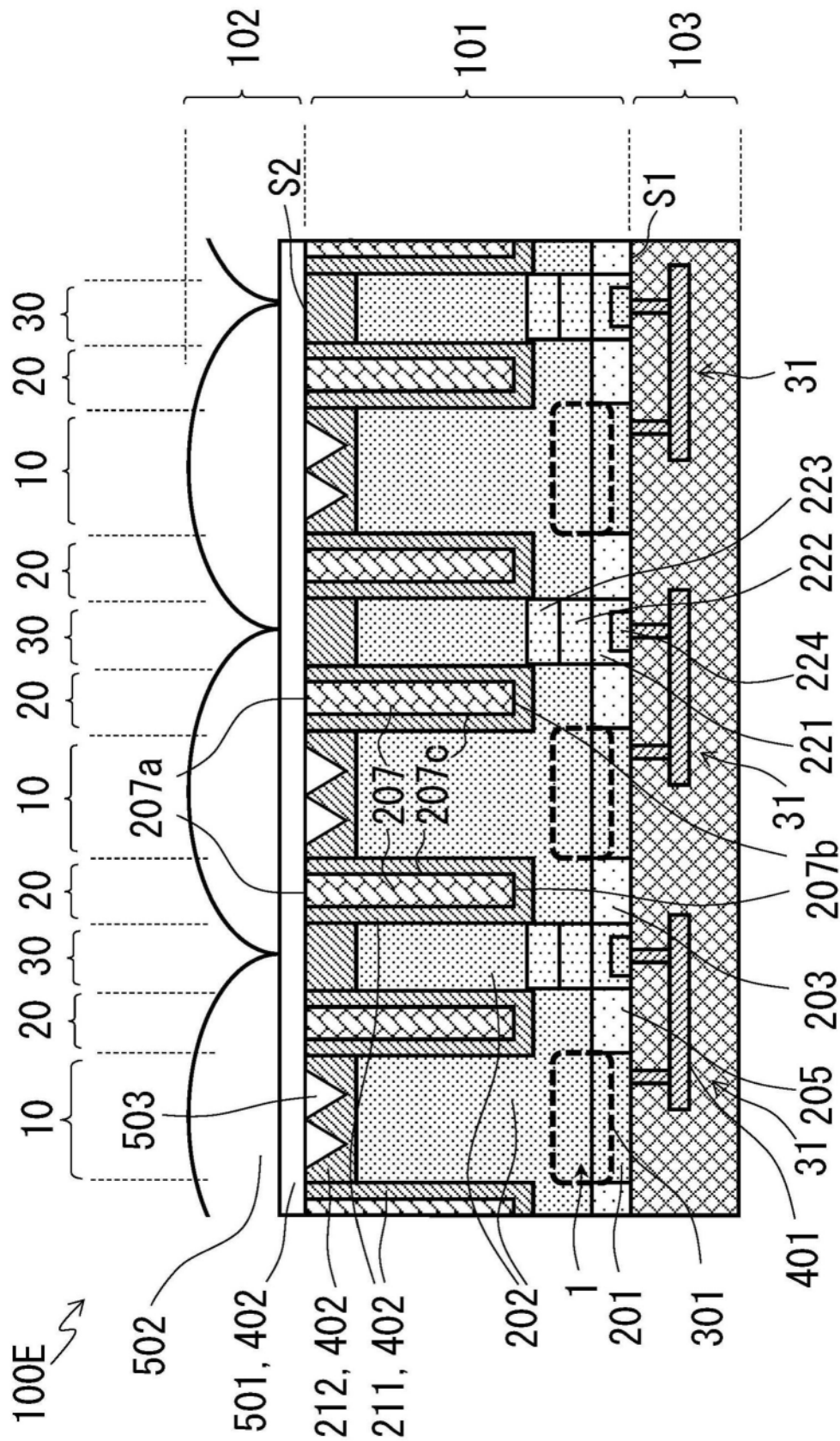


图14

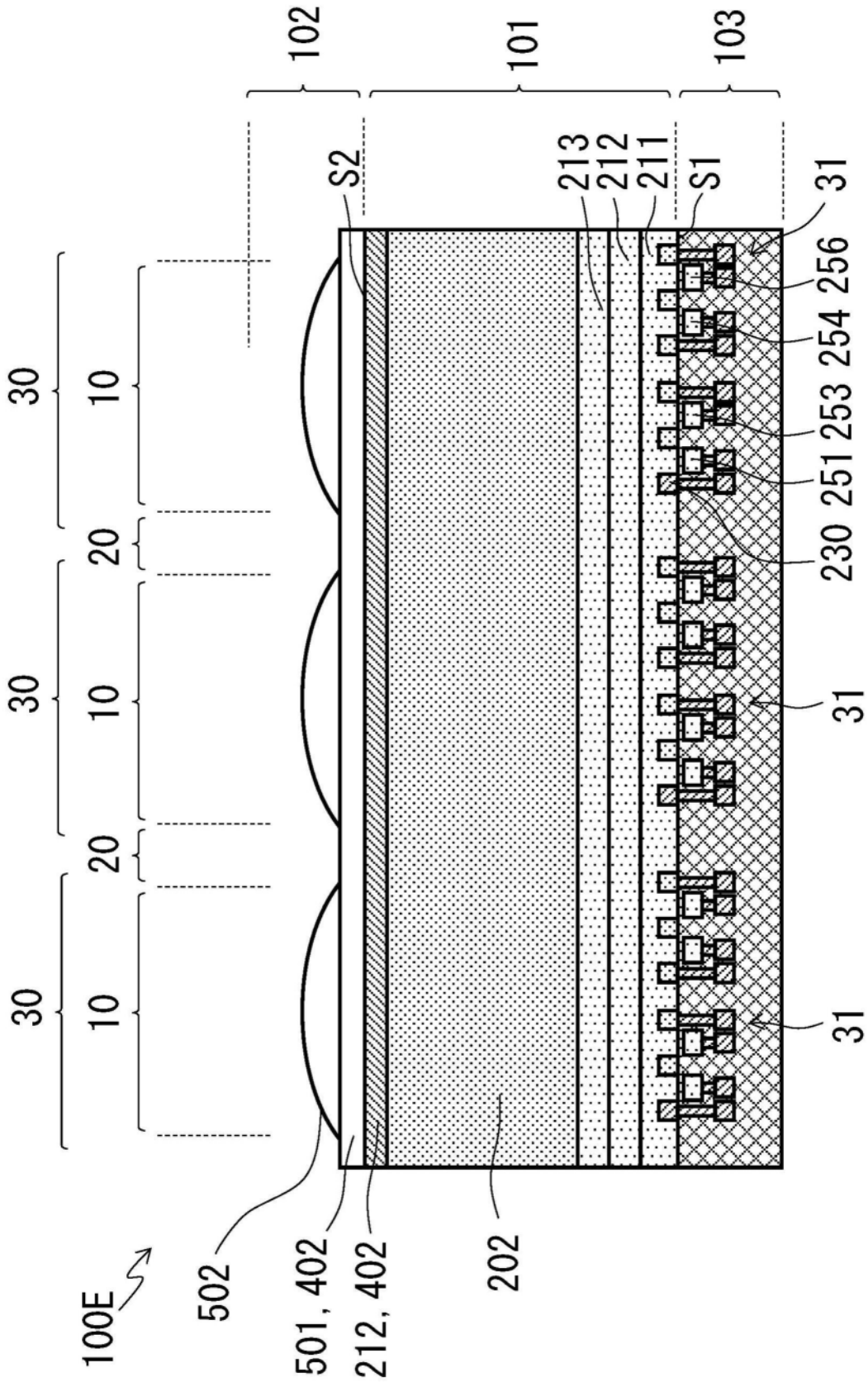


图15

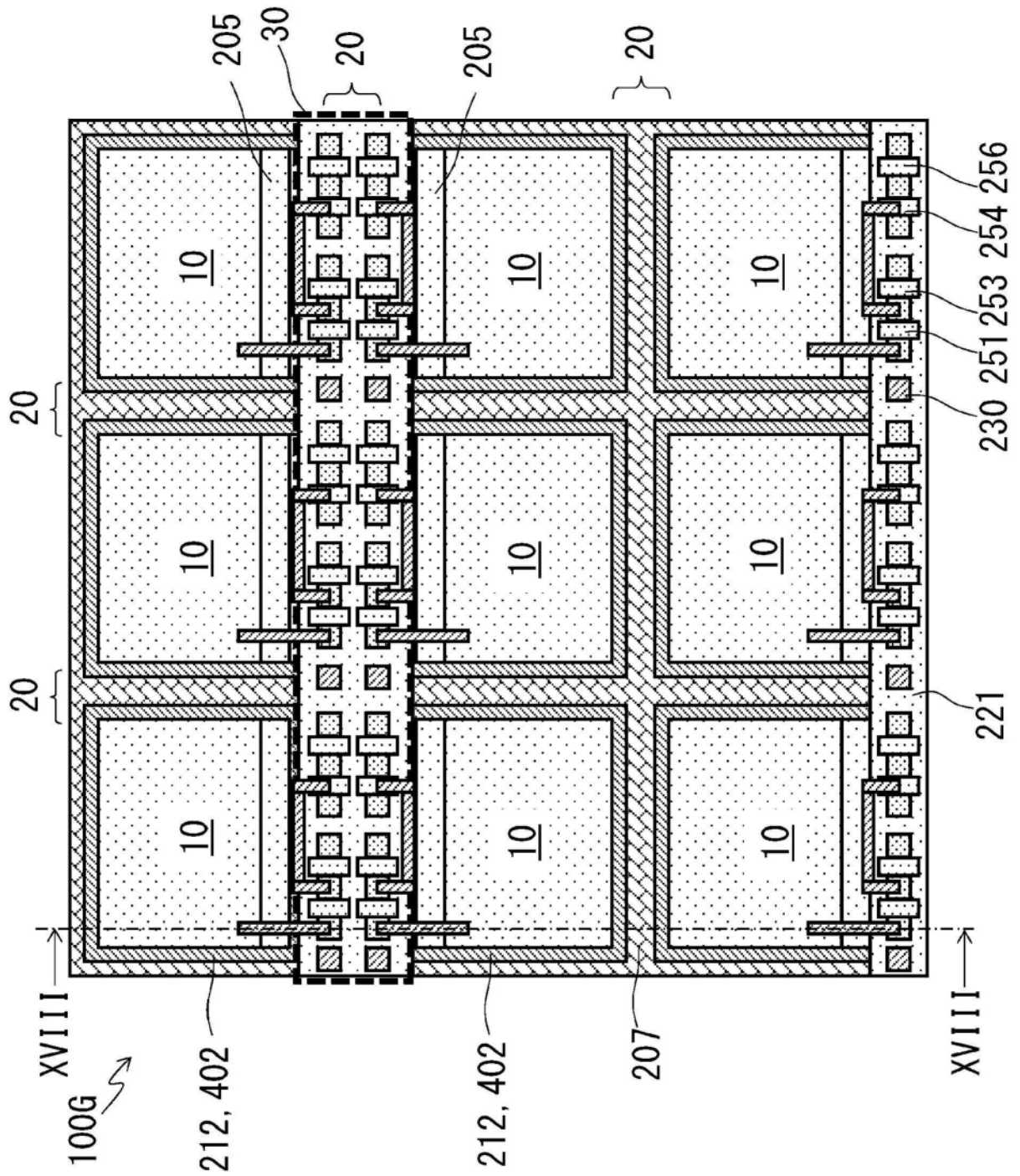


图17

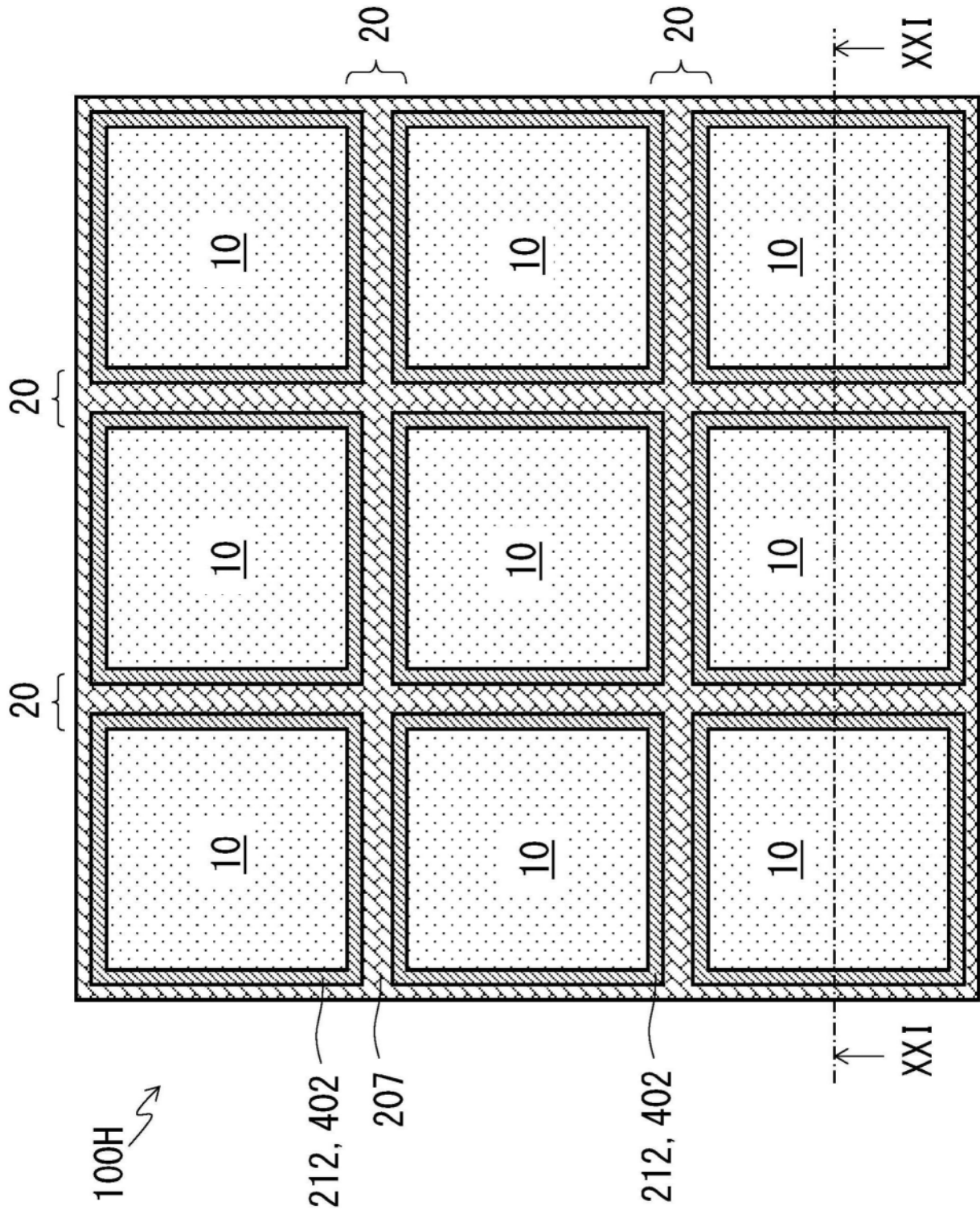


图20

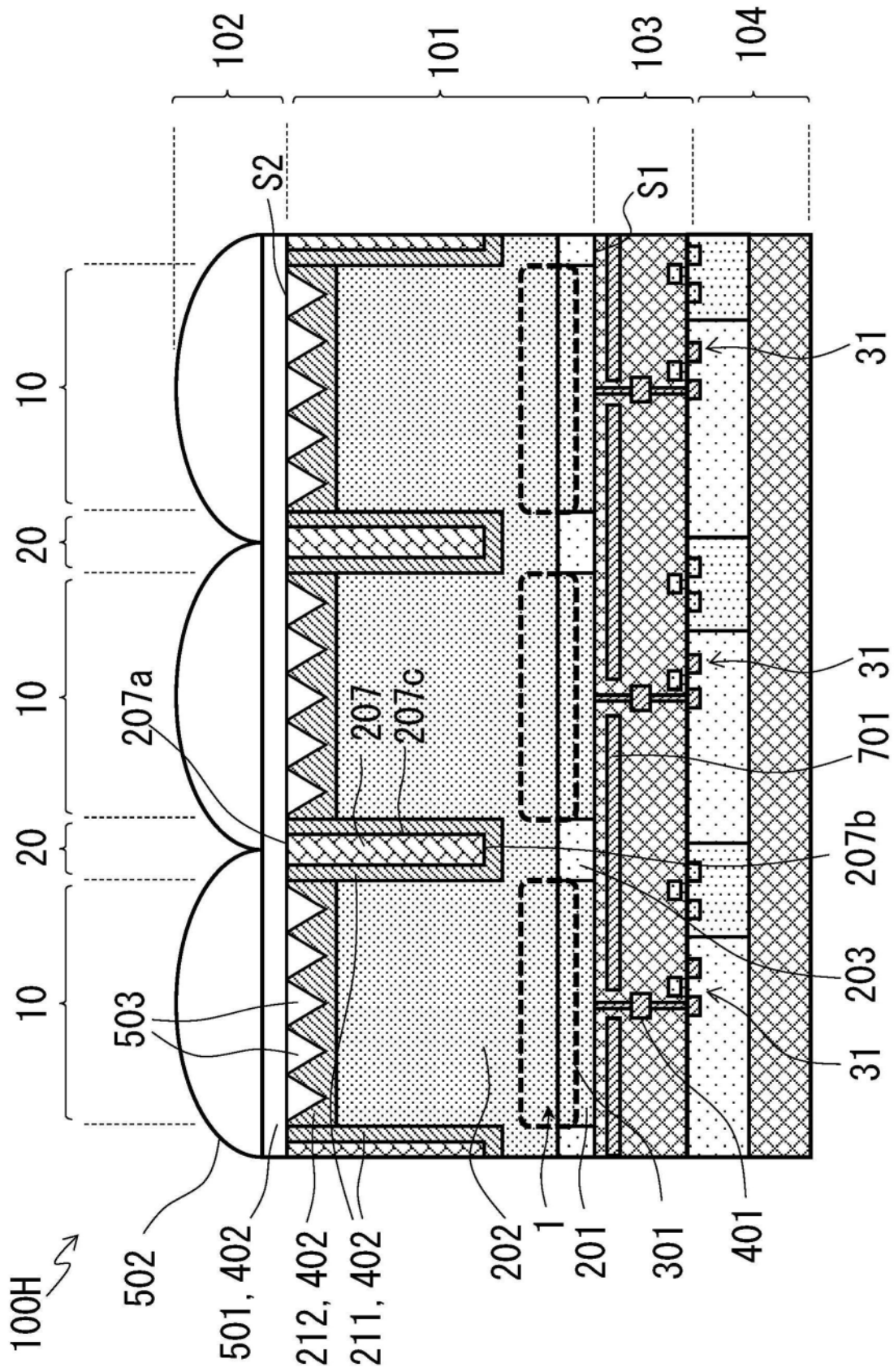


图21

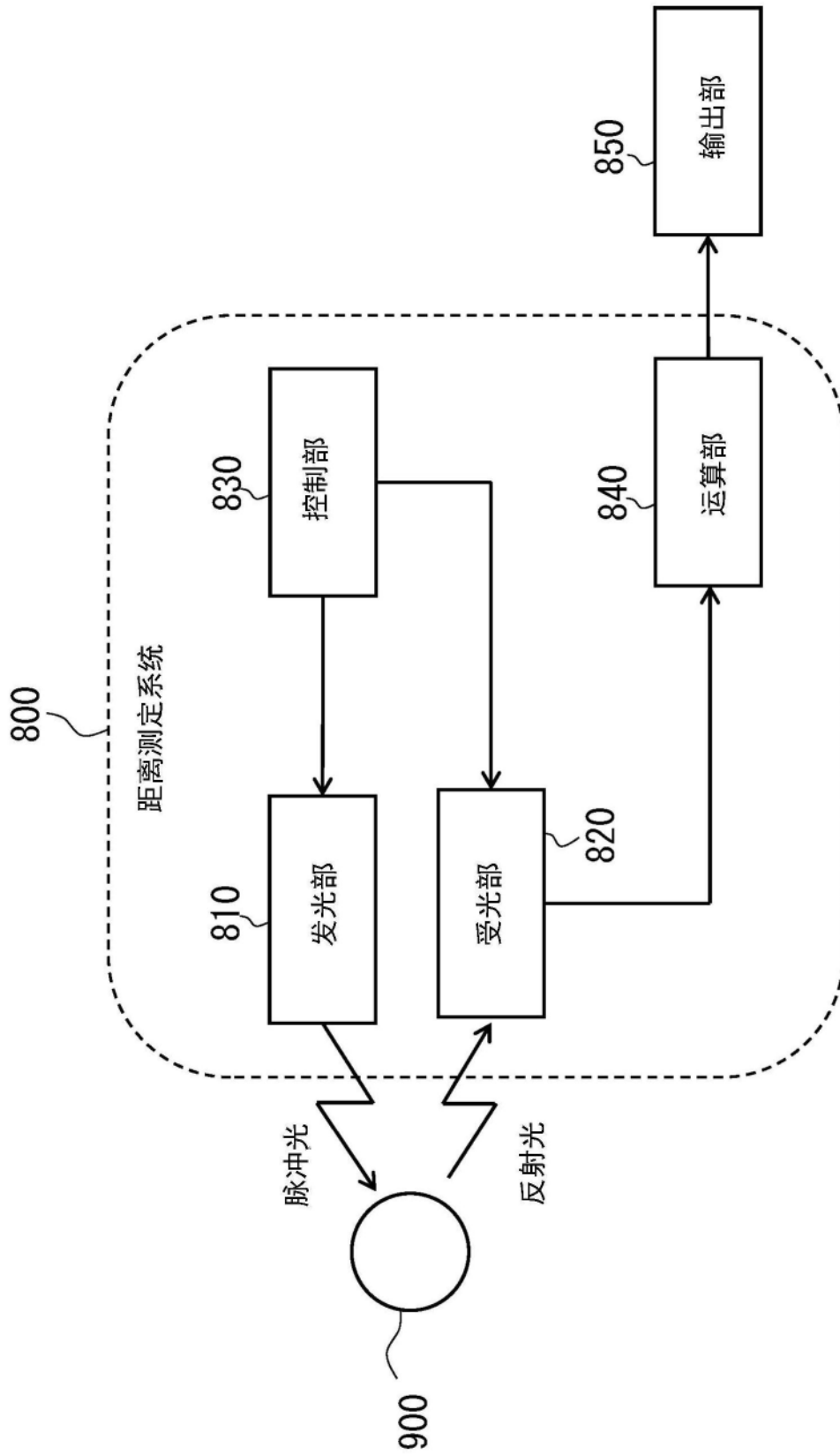


图22